

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5292066号
(P5292066)

(45) 発行日 平成25年9月18日(2013.9.18)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 9 F 9/30 (2006.01)

G O 9 F 9/30 3 3 8

請求項の数 1 (全 28 頁)

(21) 出願番号 特願2008-296460 (P2008-296460)
 (22) 出願日 平成20年11月20日(2008.11.20)
 (65) 公開番号 特開2009-157354 (P2009-157354A)
 (43) 公開日 平成21年7月16日(2009.7.16)
 審査請求日 平成23年10月28日(2011.10.28)
 (31) 優先権主張番号 特願2007-314123 (P2007-314123)
 (32) 優先日 平成19年12月5日(2007.12.5)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 細谷 邦雄
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 植田 高盛

(56) 参考文献 特開2009-042630(JP, A)
)
 特開2002-148658(JP, A)
)
 特開平11-194360(JP, A)

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の導電層及び第2の導電層と、
前記第1の導電層及び前記第2の導電層上に設けられた第1の絶縁層と、
前記第1の絶縁層上に設けられた第1の半導体層と、
前記第1の絶縁層上に設けられた第2の半導体層と、
前記第1の半導体層上に設けられた第2の絶縁層と、
前記第2の絶縁層上に設けられ、一導電性を示す第3の半導体層と、
前記第2の絶縁層上に設けられ、一導電性を示す第4の半導体層と、
前記第2の半導体層上に設けられた一導電性を示す第5の半導体層と、
前記第3の半導体層上に設けられた第3の導電層と、
前記第4の半導体層上に設けられた第4の導電層と、
前記第5の半導体層上に設けられた第5の導電層と、
前記第3の導電層、前記第4の導電層、及び前記第5の導電層上に設けられた第3の絶縁層と、
前記第3の絶縁層上に設けられた第6の導電層と、
前記第3の絶縁層上に設けられた第7の導電層と、
 を有し、
前記第1の導電層は、トランジスタのゲート電極となる機能を有し、
前記第1の絶縁層は、前記トランジスタのゲート絶縁層となる機能を有し、

10

20

前記第 1 の半導体層は、前記第 1 の絶縁層を介して前記第 1 の導電層と重なる領域を有し、

前記第 1 の半導体層は、前記トランジスタのチャネル形成領域を有し、

前記第 2 の絶縁層は、前記チャネル形成領域と重なる領域を有し、

前記第 3 の半導体層と、前記第 4 の半導体層と、は、前記第 2 の絶縁層上において間隔をあけて設けられ、

前記第 3 の導電層と、前記第 4 の導電層と、は、前記第 2 の絶縁層上において間隔をあけて設けられ、

前記第 3 の導電層は、前記トランジスタのソース電極又はドレイン電極の一方となる機能を有し、

前記第 4 の導電層は、前記トランジスタのソース電極又はドレイン電極の他方となる機能を有し、

前記第 6 の導電層は、表示素子に電圧を印加する一対の電極の一方となる機能を有し、

前記第 6 の導電層は、前記第 3 の絶縁層に設けられたコンタクトホールを介して、前記第 3 の導電層と電気的に接続され、

前記第 5 の半導体層と、前記第 5 の導電層と、は、容量素子の一対の電極のうちの一方となる機能を有し、

前記第 3 の絶縁層は、前記容量素子の誘電体層となる機能を有し、

前記第 6 の導電層は、前記容量素子の一対の電極のうちの他方となる機能を有し、

前記第 2 の導電層は、第 7 の導電層によって、前記第 4 の導電層と電気的に接続され、

前記第 7 の導電層は、前記第 4 の導電層の上面と接する領域と、前記第 4 の導電層の側面と接する領域と、前記第 2 の導電層と接する領域と、を有することを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその作製方法に関する。

【背景技術】

【0002】

ノート型のパーソナルコンピュータやデスクトップ型のパーソナルコンピュータ用のモニタ、携帯電話、音楽再生装置、テレビ、携帯端末、デジタルスチルカメラ、ビデオカメラ、画像・動画閲覧専用のビューワ等の電子機器に、画像や文字情報を表示するためのアクティブマトリクス型表示装置は幅広く用いられている。

【0003】

アクティブマトリクス型表示装置は、表示領域となる画素部において能動素子（例えば薄膜トランジスタ（Thin Film Transistor：TFT））を個々の画素に対応してマトリクス状に配置して構成している。TFTはスイッチング素子として画素に印加される電圧を制御し所望の画像表示を行っている。

【0004】

スイッチング素子として用いられるTFTのうち、チャネルストッパ型（チャネル保護型、エッチストッパ型ともいう）の逆スタガ型TFTを有する素子基板は、5枚のフォトリソマスクを用いて画素電極までを作製していた（特許文献1参照）。

【0005】

従来のチャネルストッパ型の逆スタガ型TFT及びそれを含む画素部の例を図6、図7、図8（A）～図8（C）、図9（A）～図9（B）に示す。図6は一画素及びその周辺の上面図であり、図7は図6のB-B'における断面図である。図8（A）～図8（C）、図9（A）～図9（B）は、図7に至る作製工程を示す断面図である。

【0006】

一画素には、TFT領域1141、容量領域1142、配線領域1143が基板1101上に設けられている。TFT領域1141には、ゲート配線1102、ゲート絶縁膜1

10

20

30

40

50

104、チャネル形成領域を有するi型半導体層1113、絶縁膜からなるチャネル保護膜1108、一導電性を付与する不純物元素を有する半導体層からなるソース領域1118及びドレイン領域1117、ソース配線1122、ドレイン電極1121、保護膜1127、画素電極1131が設けられている。

【0007】

容量領域1142には、容量配線1151、ゲート絶縁膜1104、保護膜1127、画素電極1131が設けられている。また配線領域1143には、ソース配線1122が設けられている。

【0008】

容量領域1142は、ゲート配線1102と同じ材料及び同じ工程で形成された容量配線1151、並びに、画素電極1131を上下の電極とし、電極間に挟まれたゲート絶縁膜1104と保護膜1127とを誘電体とした構成であった。

【0009】

従来のチャネルストップ型の逆スタガ型TFT及び画素部を作製するには、まず基板1101上に第1の導電膜1161を形成し、さらに第1の導電膜1161上にレジストマスク1162を形成する(図8(A)参照)。

【0010】

ここでレジストマスクは、レジスト材料を塗布し、フォトリソを用いて露光し、さらに現像という工程を経ることにより形成される。塗布されたレジスト材料を上方から露光する場合には、レジストマスクを形成するには、フォトリソが1枚必要になる。すなわち、レジストマスク1162を形成するには、第1のフォトリソが必要である。

【0011】

レジストマスク1162をマスクとして、第1の導電膜1161をエッチングし、ゲート配線1102及び容量配線1151を形成する。次いでレジストマスク1162を除去後、ゲート絶縁膜1104、半導体層1105、絶縁膜1106を成膜する。次いでチャネル保護膜1108を形成する領域に、レジストマスク1109を形成する(図8(B)参照)。すなわちレジストマスク1109を形成するために、第2のフォトリソを用いる必要がある。

【0012】

次いでレジストマスク1109をマスクとして、絶縁膜1106をエッチングして、チャネル保護膜1108を形成する。レジストマスク1109を除去後、半導体層1105及びチャネル保護膜1108上に、一導電性を付与する不純物元素を含む半導体層1111、第2の導電膜1112を成膜する。第2の導電膜1112上に、レジストマスク1125を形成する(図8(C)参照)。すなわち第3のフォトリソが用いられる。

【0013】

レジストマスク1125をマスクとして、第2の導電膜1112及び半導体層1111をエッチングする。このとき、チャネル保護膜1108及びゲート絶縁膜1104がエッチングストップとして機能する。これにより第2の導電膜1112は分断されて、ソース配線1122及びドレイン電極1121が形成される。また一導電性を付与する不純物元素を含む半導体層1111も分断され、ソース領域1118及びドレイン領域1117に分断される。さらに半導体層1105もエッチングされ、その端部は、ドレイン領域1117及びドレイン電極1121の端部と一致する。次いでレジストマスク1125を除去後、保護膜1127を全面に成膜し、さらにレジストマスク1128を形成する(図9(A)参照)。すなわち第4のフォトリソが用いられる。

【0014】

レジストマスク1128を用いて、保護膜1127をエッチングしてコンタクトホール1173を形成する。レジストマスク1128を除去後、第3の導電膜1129を成膜し、第3の導電膜1129上の、画素電極1131が形成される領域に、レジストマスク1134を形成する(図9(B)参照)。すなわち第5のフォトリソが用いられる。

【0015】

10

20

30

40

50

レジストマスク 1 1 3 4 をマスクとして、第 3 の導電膜 1 1 2 9 がエッチングされ、画素電極 1 1 3 1 が形成される。次いでレジストマスク 1 1 3 4 を除去すると、図 7 に示す画素部が完成する。

【特許文献 1】特開 2 0 0 2 - 1 4 8 6 5 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 6 】

従来の画素部の作製には、フォトマスクが 5 枚必要であった。フォトマスクが 1 枚増えると、レジスト材料を塗布、フォトマスクを用いて露光、現像という工程の他に、露光前のプリバーク、露光後のポストバーク、レジスト剥離、レジスト剥離後の洗浄、洗浄後の乾燥等、様々な工程が増え、作製時間や作製コストが増大する。

10

【 0 0 1 7 】

また剥離できなかったレジスト材料が、素子の中に入り込み、不良の原因となる恐れもある。このため素子や装置の信頼性が低くなってしまいう可能性もある。

【 0 0 1 8 】

また、図 6 及び図 7 に示す構成において、保持容量の誘電体膜は、ゲート絶縁膜 1 1 0 4 と保護膜 1 1 2 7 という二層の絶縁膜で構成される。そのため、誘電体膜が絶縁膜一層である場合と比べて、誘電体が絶縁膜二層であると保持容量は小さくなってしまいう。

【 0 0 1 9 】

容量は誘電体膜の膜厚に反比例し、面積に比例する。従って、目的とする保持容量の値を確保するためには、容量領域 1 1 4 2 の面積を大きく取る必要があった。

20

【 0 0 2 0 】

しかしながら容量領域 1 1 4 2 の面積を大きくしてしまうと、画素部の開口率が低下してしまう。

【 0 0 2 1 】

そこで本発明は、フォトマスクの数を増やさず、かつ、画素部の開口率を低下させずに、誘電体膜の厚さを薄くして容量を増加させることを目的とする。

【課題を解決するための手段】

【 0 0 2 2 】

本発明は、チャンネルストップ型の逆スタガ型 T F T において、高開口率を得るため、保持容量を、画素電極、並びに、ソース電極及びドレイン電極と同様の材料及び同様の工程により形成される導電膜（以下、第 2 の導電膜という）を用いて形成する。画素電極と第 2 の導電膜の間の誘電体膜は保護膜一層のみとする。これにより、高開口率な画素部と容量の大きな保持容量を同時に得ることができる。

30

【 0 0 2 3 】

ソース配線もゲート配線と同様の材料及び同様の工程により形成される導電膜（以下、第 1 の導電膜という）で形成する。また、ソース配線とゲート配線の交差部については、いずれか一方の配線を交差する部分で分断し、第 2 の導電膜により中継する。

【 0 0 2 4 】

特に、第 1 の導電膜と第 2 の導電膜との中継において、画素電極の材料である透光性導電膜を使用する。第 1 の導電膜と第 2 の導電膜とを接続させる場合、従来ではゲート絶縁膜のコンタクトホール形成工程が必要となる。

40

【 0 0 2 5 】

しかし本発明においては、後述する構造とすることで、ゲート絶縁膜のコンタクトホール形成工程を行わなくてもよい。すなわち、第 1 の導電膜上のゲート絶縁膜、半導体層、第 2 の導電膜にコンタクトホールを形成し（第 1 のコンタクトホール）、さらに第 1 のコンタクトホールよりも広いコンタクトホールを保護膜に形成する（第 2 のコンタクトホール）。第 2 のコンタクトホールに接する透光性導電膜を、第 2 のコンタクトホール内に部分的に露出した第 2 の導電膜と、第 1 のコンタクトホール内に露出した第 1 の導電膜に接続させる。

50

【 0 0 2 6 】

第 1 のコンタクトホールを作製する際、T F T にはチャネル保護膜があるため、i 型半導体層のエッチングが阻害され、第 1 のコンタクトホールにおける半導体層だけを選択的にエッチングすることができる。

【 0 0 2 7 】

本発明は、第 1 の導電膜により形成されるゲート電極と、前記第 1 の導電膜上の第 1 の絶縁層で形成されるゲート絶縁膜と、前記第 1 の絶縁層上に、前記ゲート電極と重なる第 1 の半導体層と、前記第 1 の半導体層上に配置され、かつ、前記ゲート電極に重なる第 2 の絶縁層で形成されるチャネル保護膜と、前記第 1 の半導体層と重なり、一端がチャネル保護膜上に延び、ソース領域及びドレイン領域に分離された、一導電性を付与する不純物元素を有する第 2 の半導体層と、前記第 2 の半導体層上の第 2 の導電膜により形成され、前記ソース領域及びドレイン領域に対応して形成されたソース電極及びドレイン電極と、を含む薄膜トランジスタと、前記第 2 の導電膜上に形成された第 3 の絶縁層と、前記第 3 の絶縁層上の第 3 の導電膜により形成され、前記第 3 の絶縁層に形成されたコンタクトホールを介して前記ソース電極またはドレイン電極の一方と電気的に接続する画素電極と、前記第 1 の絶縁層上の、前記第 1 の半導体層、前記第 2 の半導体層及び前記第 2 の導電膜の積層体で形成される容量配線と、前記容量配線上の前記第 3 の絶縁層と、前記画素電極の重畳領域に形成される保持容量とを有する表示装置に関する。

【 0 0 2 8 】

また本発明は、第 1 の導電膜により形成されるゲート電極と、前記第 1 の導電膜上の第 1 の絶縁層で形成されるゲート絶縁膜と、前記第 1 の絶縁層上に、前記ゲート電極と重なる第 1 の半導体層と、前記第 1 の半導体層上に配置され、かつ、前記ゲート電極に重なる第 2 の絶縁層で形成されるチャネル保護膜と、前記第 1 の半導体層と重なり、一端がチャネル保護膜上に延び、ソース領域及びドレイン領域に分離された、一導電性を付与する不純物元素を有する第 2 の半導体層と、前記第 2 の半導体層上の第 2 の導電膜により形成され、前記ソース領域及びドレイン領域に対応して形成されたソース電極及びドレイン電極と、を含む薄膜トランジスタと、前記第 2 の導電膜上に形成された第 3 の絶縁層と、前記第 3 の絶縁層上の第 3 の導電膜により形成され、前記第 3 の絶縁層に形成されたコンタクトホールを介して前記ソース電極またはドレイン電極の一方と電気的に接続する画素電極と、前記第 1 の絶縁層上の、前記第 1 の半導体層、前記第 2 の半導体層及び前記第 2 の導電膜の積層体で形成される容量配線と、前記容量配線上の前記第 3 の絶縁層と、前記画素電極の重畳領域に形成される保持容量と、前記第 1 の導電膜により形成される配線と、前記配線上の前記第 3 の導電膜により形成され、前記ソース電極またはドレイン電極の他方の上面と側面に接する電極とを有する接続領域を有する表示装置に関する。

【 0 0 2 9 】

本発明において、前記第 3 の導電膜は、透光性導電膜である。

【 0 0 3 0 】

また本発明は、基板上に第 1 の導電膜を成膜し、前記第 1 の導電膜上に、第 1 のレジストマスクを形成し、前記第 1 のレジストマスクを用いて、前記第 1 の導電膜をエッチングして、ゲート配線及びソース配線を形成し、前記ゲート配線及びソース配線上に、ゲート絶縁膜となる第 1 の絶縁膜、i 型半導体層、第 2 の絶縁膜を成膜し、前記第 2 の絶縁膜上、第 2 のレジストマスクを形成し、前記第 2 のレジストマスクを用いて、前記第 2 の絶縁膜をエッチングして、チャネル保護膜を形成し、前記 i 型半導体層及びチャネル保護膜上に、一導電性を付与する不純物元素を含む導電型半導体層、第 2 の導電膜を成膜し、前記第 2 の導電膜上に、第 3 のレジストマスクを形成し、前記第 2 の導電膜、前記導電型半導体層、前記 i 型半導体層をエッチングして、前記チャネル保護膜を露出させ、前記第 3 のレジストマスクを用いた前記第 2 の導電膜のエッチングにより、ソース電極及びドレイン電極、並びに、容量配線の配線が形成され、前記第 3 のレジストマスクを用いた前記導電型半導体層のエッチングにより、ソース領域及びドレイン領域、並びに、前記容量配線の導電型半導体層が形成され、前記第 3 のレジストマスクを用いた前記 i 型半導体層のエッ

チングにより、チャネル形成領域を含む i 型半導体層、並びに、容量配線の i 型半導体層が形成され、前記第 3 のレジストマスクを用いた、前記第 2 の導電膜、前記導電型半導体層、前記 i 型半導体層のエッチングにより、前記ソース配線及び前記ゲート絶縁膜上に、第 1 のコンタクトホールを形成し、前記ソース電極及びドレイン電極、前記チャネル保護膜、前記容量配線の配線を覆って、保護膜を形成し、前記保護膜上に第 4 のレジストマスクを形成し、前記第 4 のレジストマスクを用いて、前記保護膜及び前記ゲート絶縁膜をエッチングし、前記第 4 のレジストマスクを用いた前記保護膜のエッチングにより、前記第 1 のコンタクトホールより径の大きい第 2 のコンタクトホールを形成し、かつ、前記ゲート絶縁膜のエッチングにより、前記第 1 のコンタクトホール中のゲート絶縁膜が除去され、前記ソース配線が露出し、前記ゲート絶縁膜が除去された第 1 のコンタクトホール及び第 2 のコンタクトホールにより、前記保護膜、前記ソース電極、前記ソース領域、前記 i 型半導体層、前記ゲート絶縁膜中に、階段状コンタクトホールが形成され、前記第 4 のレジストマスクを用いた前記保護膜のエッチングにより、前記保護膜中に、前記ドレイン電極に達する第 3 のコンタクトホールが形成され、前記保護膜、前記階段状コンタクトホール、前記第 3 のコンタクトホールを覆って、第 3 の導電膜を成膜し、前記第 3 の導電膜上に、第 5 のレジストマスクを形成し、前記第 5 のレジストマスクを用いて、前記第 3 の導電膜をエッチングし、前記第 3 のコンタクトホールを介して前記ドレイン電極に電氣的に接続され、前記容量配線上に延びる画素電極を形成し、前記第 5 のレジストマスクを用いた前記第 3 の導電膜のエッチングにより、前記階段状コンタクトホール中に、前記ソース配線及び前記ソース電極を電氣的に接続する電極を形成することを特徴とする表示装置の作製方法に関するものである。

10

20

【 0 0 3 1 】

本発明において、前記第 3 の導電膜は、透光性導電膜である。

【 0 0 3 2 】

なお、半導体装置とは、半導体特性を利用することで機能する薄膜トランジスタ等の素子、及びそのような素子を有する装置全般を指し、例えば、薄膜トランジスタを用いた液晶表示装置や、薄膜トランジスタを用いた電子機器をその範疇に含む。

【発明の効果】

【 0 0 3 3 】

本発明により、フォトマスクの数を増やすことなく、保持容量の容量が大きく、また開口率の高い画素部を得ることが可能となる。このため、作製コスト及び作製時間が少なく、信頼性の高い表示装置及びそのような表示装置を有する電子機器を得ることが可能となる。

30

【発明を実施するための最良の形態】

【 0 0 3 4 】

以下、本発明の実施の形態について図面を参照して説明する。ただし本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 3 5 】

40

なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 3 6 】

[実施の形態 1]

本実施の形態では、本発明のチャネルストッパ型の逆スタガ型 T F T 及びそれを有する画素部の作製方法について、図 1 (A) ~ 図 1 (D)、図 2 (A) ~ 図 2 (C)、図 3 (A) ~ 図 3 (C)、図 4、図 5、図 20、図 21、図 22、図 23 を用いてを説明する。

【 0 0 3 7 】

本実施の形態により作製される画素部の上面図が図 5 であり、図 5 に示す A - A ' の断面図が図 4 である。図 4 及び図 5 において、T F T 領域 141、容量領域 142、中継領

50

域 1 4 3 が基板 1 0 1 上に形成される。図 4 に至るまでの作製工程を図 1 (A) ~ 図 1 (D)、図 2 (A) ~ 図 2 (C)、図 3 (A) ~ 図 3 (C)、図 2 0、図 2 1、図 2 2、図 2 3 を用いて以下に説明する。

【 0 0 3 8 】

まず基板 1 0 1 上に、第 1 の導電膜 1 6 1 を形成し、さらにゲート配線 1 0 2 及びソース配線 1 0 3 を形成するためのレジストマスク 1 6 2 を形成する (図 1 (A) 参照)。

【 0 0 3 9 】

上述のように、レジストマスク 1 6 2 を形成するためには、フォトマスクが 1 枚必要となる。レジストマスク 1 6 2 を形成するためのフォトマスクを第 1 のフォトマスクとする。

10

【 0 0 4 0 】

基板 1 0 1 は透光性を有する絶縁性基板を用い、例えば基板 1 0 1 として、コーニング社の 7 0 5 9 や 1 7 3 7、E A G L E 2 0 0 0 などに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、アルミノシリケートガラスなどの透光性のガラス基板を用いることができる。その他に透光性を有する石英基板などを使用しても良い。

【 0 0 4 1 】

第 1 の導電膜 1 6 1 は、アルミニウム (A l)、などの低抵抗導電性材料で形成することが望ましいが、アルミニウム単体では耐熱性が劣り、また腐食しやすい等の問題があることから耐熱性導電性材料と組み合わせて積層膜を形成することが望ましい。

【 0 0 4 2 】

耐熱性導電性材料としては、モリブデン (M o)、チタン (T i)、タンタル (T a)、タングステン (W)、クロム (C r) から選ばれた元素、または前記元素を成分とする合金膜、または前記元素を成分とする窒化物で形成する。或いは、このような耐熱性導電性材料をのみを組み合わせ用いても良い。

20

【 0 0 4 3 】

またアルミニウムは純アルミニウムの他に、0 . 0 1 ~ 5 a t o m i c % のスカンジウム (S c)、チタン (T i)、シリコン (S i)、銅 (C u)、クロム (C r)、ネオジム (N d)、モリブデン (M o) 等を含むアルミニウムを使用してもよい。アルミニウムよりも質量の重い原子を添加することで、熱処理時のアルミニウム原子の移動を制限しヒロックを発生するのを防ぐ効果がある。

30

【 0 0 4 4 】

上記のアルミニウムと耐熱性導電性材料との組合せの例として、クロム (C r) 及びアルミニウム (A l) の積層膜、クロム (C r) 及びネオジムを含むアルミニウム (A l - N d) との積層膜、チタン (T i)、アルミニウム (A l) 及びチタン (T i) の積層膜、チタン (T i)、ネオジムを含むアルミニウム (A l - N d) 及びチタン (T i) の積層膜、モリブデン (M o)、アルミニウム (A l) 及びモリブデン (M o) の積層膜、モリブデン (M o)、ネオジムを含むアルミニウム (A l - N d) 及びモリブデン (M o) の積層膜、モリブデン (M o) 及びアルミニウム (A l) の積層膜、モリブデン (M o) 及びネオジムを含むアルミニウム (A l - N d) の積層膜などを用いることができる。

40

【 0 0 4 5 】

次いでレジストマスク 1 6 2 をマスクとして、第 1 の導電膜 1 6 1 をエッチングし、ゲート配線 1 0 2 及びソース配線 1 0 3 を形成し、レジストマスク 1 6 2 を除去する (図 1 (B) 参照)。

【 0 0 4 6 】

図 1 (B) は、上面図である図 2 1 の A - A ' の断面を示している。

【 0 0 4 7 】

次いで、基板 1 0 1、ゲート配線 1 0 2、ソース配線 1 0 3 上に、第 1 の絶縁膜であるゲート絶縁膜 1 0 4、i 型半導体層 1 0 5、第 2 の絶縁膜 1 0 6 を、大気に触れないように真空状態を保ったまま、連続して C V D 法にて成膜する。

50

【0048】

ここで、i型半導体層とは、真性半導体層ともいい、半導体層に含まれる一導電性を付与する不純物元素、すなわちp型もしくはn型を付与する不純物元素が $1 \times 10^{20} \text{ cm}^{-3}$ 以下の濃度であり、酸素及び窒素が $9 \times 10^{19} \text{ cm}^{-3}$ 以下の濃度であり、暗伝導度に対して光伝導度が100倍以上である半導体を指す。この真性半導体には、周期表第13族若しくは第15族の不純物元素が含まれるものを含む。すなわち、微結晶半導体層は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示すので、i型微結晶半導体層においては、p型を付与する不純物元素を成膜と同時に、或いは成膜後に、意図的若しくは非意図的に添加することがあるためである。

【0049】

本実施の形態では、i型半導体層105として、ノンドーブアモルファスシリコン（ノンドーブ非晶質珪素）膜を用いるが、半導体層としてシリコン（珪素）膜に限定されるものではなく、ゲルマニウム膜、シリコンゲルマニウム膜等を用いてもよい。

【0050】

またゲート絶縁膜104及び第2の絶縁膜106は、酸化珪素膜、窒化珪素膜、酸素を含む窒化珪素膜、窒素を含む酸化膜のいずれか1つあるいは2つ以上の積層膜を成膜すればよい。本実施の形態では、ゲート絶縁膜104及び第2の絶縁膜106として窒化珪素膜を成膜する。

【0051】

次いで第2の絶縁膜106上にレジストマスク109を形成し（図1（C）参照）、レジストマスク109をマスクとしてエッチングし、チャンネル保護膜108を形成する（図1（D）参照）。またこのエッチング工程において、ハーフトーンマスクやリフローを用いて、i型半導体層105をエッチングして島状半導体層を形成してもよい。

【0052】

図1（D）は、上面図である図22のA-A'の断面を示している。

【0053】

レジストマスク109を形成する際には、第2のフォトマスクが用いられる。

【0054】

また、エッチング方法によっては、チャンネル保護膜108やレジストマスク109をマスクとして、i型半導体層105をエッチングし、第2の絶縁膜106から形成されるチャンネル保護膜108よりも緩やかなテーパ形状を持つ、島状半導体層形成することもある。

【0055】

ただしi型半導体層105から島状半導体層を形成する場合には、島状半導体層上に成膜される、一導電性を付与する不純物元素を有する半導体層（以下「導電型半導体層」という）と接続が可能な上面を有する必要がある。

【0056】

i型半導体層105、チャンネル保護膜108を覆って、導電型半導体層111、第2の導電膜112を成膜する。導電型半導体層111に含まれる、一導電性を付与する不純物元素は、n型を付与する不純物元素であればリン（P）またはヒ素（As）を用いればよく、p型であればホウ素（B）を用いればよい。本実施の形態では、n型のチャンネルストップパ型逆スタガ型TFETを形成するため、リンを含む非晶質珪素膜を導電型半導体層111として成膜する。また第2の導電膜112は、第1の導電膜161と同様の材料を用いて成膜すればよい。

【0057】

次いで、第2の導電膜112上にレジストマスク125を形成し、レジストマスク125をマスクとして、i型半導体層105、導電型半導体層111、第2の導電膜112をエッチングする（図2（A）参照）。i型半導体層105及び導電型半導体層111のエッチングはドライエッチングにより行うが、第2の導電膜112はウエットエッチングでもドライエッチングでもよい。エッチング終了後、レジストマスク125を除去する（図

10

20

30

40

50

2 (B) 参照)。

【 0 0 5 8 】

レジストマスク 1 2 5 が形成されるためには、第 3 のフォトマスクが必要である。

【 0 0 5 9 】

T F T 領域 1 4 1 において、i 型半導体層 1 0 5 中のチャネル形成領域となる領域においては、チャネル保護膜 1 0 8 がエッチングストップとして働き、導電型半導体層 1 1 1 及び第 2 の導電膜 1 1 2 のみがエッチングされ、i 型半導体層 1 0 5 はエッチングされない。エッチングされた導電型半導体層 1 1 1 及び第 2 の導電膜 1 1 2 はそれぞれ、ソース領域 1 1 8 とドレイン領域 1 1 7、並びに、ソース電極 1 2 2 とドレイン電極 1 2 1 に分断される。

10

【 0 0 6 0 】

なお本実施の形態では、ソース領域 1 1 8 とドレイン領域 1 1 7、ソース電極 1 2 2 とドレイン電極 1 2 1、さらにソース配線 1 0 3 と、ソースとドレインを説明をわかりやすくするために区別しているが、電流の向きによってはソースとドレインが反転することもある。

【 0 0 6 1 】

中継領域 1 4 3 ではチャネル保護膜がないため、i 型半導体層 1 0 5 及び導電型半導体層 1 1 1 がエッチングされ、i 型半導体層 1 0 5 及び導電型半導体層 1 1 1 中に、第 1 のコンタクトホール 1 7 1 が形成される。

【 0 0 6 2 】

20

また、容量領域 1 4 2 には、本エッチング工程により、第 2 の導電膜からなる配線 1 2 3、導電型半導体層 1 1 6、i 型半導体層 1 1 4 の積層体からなる容量配線が形成される。

【 0 0 6 3 】

図 2 (B) は、上面図である図 2 3 の A - A ' の断面を示している。

【 0 0 6 4 】

次いで第 3 の絶縁膜による保護膜 1 2 7 を全面に成膜する (図 2 (C) 参照)。保護膜 1 2 7 は、ゲート絶縁膜 1 0 4 や第 2 の絶縁膜 1 0 6 と同様の材料で形成すればよく、本実施の形態では窒化珪素膜を用いる。

【 0 0 6 5 】

30

保護膜 1 2 7 を形成後、レジストマスク 1 2 8 を形成し、レジストマスク 1 2 8 をマスクとして保護膜 1 2 7 をエッチングする。本実施の形態では、保護膜 1 2 7 のエッチングはドライエッチングにより行う (図 3 (A) 参照)。

【 0 0 6 6 】

レジストマスク 1 2 8 を形成する際には、第 4 のフォトマスクが用いられる。

【 0 0 6 7 】

T F T 領域 1 4 1 においては、後の工程で形成する画素電極 1 3 1 と、T F T のドレイン電極 1 2 1 とを接続するための第 3 のコンタクトホール 1 7 3 を形成する。第 3 のコンタクトホール 1 7 3 形成のための保護膜 1 2 7 のエッチングの際には、第 2 の導電膜により形成されたドレイン電極 1 2 1 がエッチングストップとして働く。

40

【 0 0 6 8 】

一方、中継領域 1 4 3 には、保護膜 1 2 7 とゲート絶縁膜 1 0 4 がエッチングされ、ソース配線 1 0 3 が露出する。また、このエッチングにより、i 型半導体層 1 0 5 及び導電型半導体層 1 1 1 がエッチングされて形成された第 1 のコンタクトホール 1 7 1 よりも広く、第 1 のコンタクトホール 1 7 1 を完全に覆う第 2 のコンタクトホール 1 7 2 を形成する。

【 0 0 6 9 】

第 1 のコンタクトホール 1 7 1 と第 2 のコンタクトホール 1 7 2 が重ならない領域では、第 2 の導電膜により形成されたソース電極 1 2 2 が存在するため、ドライエッチングはソース電極 1 2 2、特にソース電極 1 2 2 の上面で止まる。すなわちソース電極 1 2 2 が

50

エッチングストッパとして機能する。

【 0 0 7 0 】

また、第 1 のコンタクトホール 1 7 1 と第 2 のコンタクトホール 1 7 2 が重なる領域は、保護膜 1 2 7 の下のゲート絶縁膜 1 0 4 もエッチングされ、第 1 の導電膜で形成されたソース配線 1 0 3 が露出する。

【 0 0 7 1 】

このエッチング工程によって、中継領域 1 4 3 に階段状のコンタクトホールが形成される。上述のように第 1 のコンタクトホール 1 7 1 と第 2 のコンタクトホール 1 7 2 が重ならない領域ではソース電極 1 2 2 の上面と側面が露出する。ソース電極 1 2 2 が露出した領域が、後の工程で形成される透光性導電膜からなる接続電極 1 3 2 との接続領域となるため、接触抵抗を考慮した幅となるように設計する必要がある。即ち、露出面積が大きければ接触抵抗は下がる。一方、露出面積が小さければ、接触抵抗も増加する。このため、適宜設計する必要がある。

10

【 0 0 7 2 】

容量領域 1 4 2 においては、保護膜 1 2 7 が容量を形成する誘電体膜となるため、エッチングを行わずにそのまま残存させる。

【 0 0 7 3 】

次いでレジストマスク 1 2 8 を除去し、透光性導電膜 1 2 9 を成膜する（図 3（B）参照）。透光性導電膜 1 2 9 として、インジウム錫酸化物（Indium Tin Oxide：略称ITO）、酸化珪素を含むインジウム錫酸化物、酸化インジウム酸化亜鉛（Indium Zinc Oxide：略称IZO）、酸化亜鉛等の等の金属酸化物や半導体酸化物が用いられる。本実施の形態では、インジウム錫酸化物を透光性導電膜 1 2 9 として用いる。

20

【 0 0 7 4 】

透光性導電膜 1 2 9 上にレジストマスク 1 3 4 を形成し、レジストマスク 1 3 4 をマスクとして、透光性導電膜 1 2 9 をエッチングし、画素電極 1 3 1 及び接続電極 1 3 2 を形成する（図 3（C）参照）。

【 0 0 7 5 】

レジストマスク 1 3 4 を形成するには、第 5 のフォトマスクが必要である。

【 0 0 7 6 】

TFT 領域 1 4 1 では、保護膜 1 2 7 に形成されたコンタクトホールを介して、ドレイン電極 1 2 1 と画素電極 1 3 1 が電氣的に接続される。

30

【 0 0 7 7 】

画素電極 1 3 1 は容量領域 1 4 2 まで延び、画素電極 1 3 1 が保護膜 1 2 7 を挟んで配線 1 2 3 と重なる領域に保持容量が形成される。

【 0 0 7 8 】

一方中継領域 1 4 3 においては、前述した階段状のコンタクトホール上に、第 2 のコンタクトホール 1 7 2 を完全に覆う広さを持ち、透光性導電膜 1 2 9 により形成された接続電極 1 3 2 が形成されるので、接続電極 1 3 2、ソース配線 1 0 3、ソース電極 1 2 2 は電氣的に接続される。接続電極 1 3 2 とソース電極 1 2 2 は、露出していた表面および側面とで接続するため、確実な接触を行うことができる。

40

【 0 0 7 9 】

次いでレジストマスク 1 3 4 を除去し、本実施の形態の画素部が完成する（図 4 参照）。

【 0 0 8 0 】

5 枚のフォトマスクを使用して、チャンネルストッパ型の逆スタガ型 TFT を含む TFT 領域 1 4 1、容量領域 1 4 2、中継領域 1 4 3 完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画像表示部を構成する。これにより能動素子である TFT を用いたアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上、このような基板を TFT 基板と呼ぶ。

50

【0081】

また図20に示すように、i型半導体層113を、微結晶半導体層（「セミアモルファス半導体層」ともいう）113aと非晶質半導体層113bの積層膜としてもよい。

【0082】

なおセミアモルファス半導体（本明細書では「Semi-amorphous Semiconductor（SAS）」ともいう）層とは、非晶質半導体と結晶構造を有する半導体（単結晶、多結晶を含む）層の中間的な構造の半導体を含む層である。このセミアモルファス半導体層は、自由エネルギー的に安定な第3の状態を有する半導体層であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その粒径を0.5～20nmとして非単結晶半導体膜中に分散させて存在せしめることが可能である。なお微結晶半導体層（マイクロクリスタル半導体膜）もセミアモルファス半導体層に含まれる。

10

【0083】

セミアモルファス半導体層の1つの例として、セミアモルファス珪素層が挙げられる。セミアモルファス珪素層は、そのラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしており、またX線回折ではSi結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。また、未結合手（ダングリングボンド）を終端化させるために水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。本明細書では便宜上、このような珪素層をセミアモルファス珪素層と呼ぶ。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なセミアモルファス半導体層が得られる。

20

【0084】

またセミアモルファス珪素層は珪素（シリコン）を含む気体をグロー放電分解することにより得ることができる。代表的な珪素（シリコン）を含む気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。また水素や、水素にヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素を加えたガスで、この珪素（シリコン）を含む気体を希釈して用いることで、セミアモルファス珪素層の形成を容易なものとすることができる。希釈率は2倍～1000倍の範囲で珪素（シリコン）を含む気体を希釈することが好ましい。またさらに、珪素（シリコン）を含む気体中に、 CH_4 、 C_2H_6 などの炭化物気体、 GeH_4 、 GeF_4 などのゲルマニウム化気体、 F_2 などを混入させて、エネルギーバンド幅を1.5～2.4eV、若しくは0.9～1.1eVに調節しても良い。

30

【0085】

チャネル形成領域が微結晶半導体層113aと非晶質半導体層113bの積層で形成されていると、オン状態の際に、キャリアが微結晶半導体層113aを流れるので、オン電流が高くなり、TFTの移動度が高くなるという利点がある。

【0086】

一方オフ状態の際には、リーク電流が微結晶半導体層を流れてしまうと、リーク電流が高くなってしまふ恐れがある。しかしながら、チャネル形成領域が微結晶半導体層113aと非晶質半導体層113bの積層では、リーク電流は非晶質半導体層113bを通るので、リーク電流を抑制することができる。

40

【0087】

本実施の形態で形成された画素部と従来の画素部の比較を、それぞれ図4及び図5、並びに、図7及び図6を用いて以下に説明する。

【0088】

保持容量は、面積に比例し、誘電体膜の膜厚に反比例する。そこで例えば、ゲート絶縁膜104及びゲート絶縁膜1104、並びに、保護膜127及び保護膜1127が、全て膜厚300nmの窒化珪素膜で形成されているとする。本発明の保持容量の誘電体膜の膜厚は、保護膜127の膜厚300nmであるのに対して、従来の保持容量の誘電体膜の膜厚は、ゲート絶縁膜1104及び保護膜1127の膜厚を合計した厚さである600nmとなる。

50

【 0 0 8 9 】

従って、本発明の保持容量は、従来の保持容量の 2 倍の容量を持つことができるということになる。

【 0 0 9 0 】

さらに、本発明の保持容量と従来の保持容量の容量が同じ場合には、本発明の保持容量では、従来の保持容量よりも面積が半分ですむということとなる。すると、遮光材料で形成される配線 1 2 3 の面積は、容量配線 1 1 5 1 の半分の面積でよいことになり、従来の画素部よりも開口率を高くすることができる。

【 0 0 9 1 】

以上から、本発明のチャンネルストッパ型の逆スタガ型 T F T 及びそれを有する画素部は、フォトマスクの数を増やすことなく、保持容量の容量が大きく、かつ、開口率の高い画素部を作製することができる。

10

【 0 0 9 2 】

また本発明では、i 型半導体層 1 0 5 の膜厚を薄くすることができるので、C V D 法による成膜時間の短縮化や、光照射時のリーク電流の発生の低減が可能となる。

【 0 0 9 3 】

本発明の逆スタガ型 T F T はチャンネルストッパ型であるので、チャンネル保護膜 1 0 8 により、i 型半導体層 1 1 3 中のチャンネル形成領域は、大気に露出することがない。

【 0 0 9 4 】

また中継領域 1 4 3 において、階段状のコンタクトホールを介して、ソース配線 1 0 3 、ソース電極 1 2 2 、接続電極 1 3 2 が電氣的に接続されている。一方、一般的に 2 つの異なる層からなる配線を他の配線で接続する場合、橋渡しのためにコンタクトホールは 2 つ必要となる。本発明の階段状のコンタクトホールは、橋渡しのために形成される 2 つのコンタクトホールの 1 つと比べ、若干サイズが大きくなる可能性はあるが、コンタクトホールを 2 つを併せた面積に比べれば十分小さい。このため開口率向上に有利である。さらにコンタクトホール数が減ることは、不良発生率の低下を意味する。

20

【 0 0 9 5 】

[実施の形態 2]

本実施の形態では、実施の形態 1 で作製した T F T 基板を用いて、液晶表示装置を完成させるまでの作製工程を、図 1 0、図 1 1 (A) ~ 図 1 1 (D)、図 1 2、を用いて以下に説明する。

30

【 0 0 9 6 】

T F T 基板上の保護膜 1 2 7 及び画素電極 1 3 1 を覆うように、配向膜 2 0 8 を形成する。なお、配向膜 2 0 8 は、液滴吐出法やスクリーン印刷法やオフセット印刷法を用いればよい。その後、配向膜 2 0 8 の表面にラビング処理を行う。

【 0 0 9 7 】

そして、対向基板 2 1 1 には、着色層 2 1 2、遮光層 (ブラックマトリクス) 2 1 3、及びオーバーコート層 2 1 4 からなるカラーフィルタを設け、さらに透光性導電膜を用いて形成された対向電極 2 1 5 と、その上に配向膜 2 1 6 を形成する (図 1 0 参照)。対向電極 2 1 5 が透光性導電膜を用いて形成されることにより、本実施の形態の液晶表示装置は透過型液晶表示装置となる。なお対向電極 2 1 5 を反射電極で形成すると、本実施の形態の液晶表示装置は反射型液晶表示装置となる。

40

【 0 0 9 8 】

そして、シール材 2 2 1 をディスペンサにより画素部 2 3 1 と重なる領域を囲むように描画する。ここでは液晶 2 1 8 を滴下するため、シール材 2 2 1 を画素部 2 3 1 を囲むように描画する例を示すが、シール材で画素部 2 3 1 を囲みかつ開口部を有するように設け、T F T 基板を貼りあわせた後に毛細管現象を用いて液晶を注入するディップ式 (汲み上げ式) を用いてもよい (図 1 1 (A) 参照)。

【 0 0 9 9 】

次いで、気泡が入らないように減圧下で液晶 2 1 8 の滴下を行い (図 1 1 (B) 参照)

50

、基板 101 及び対向基板 211 を貼り合わせる（図 11（C）参照）。シール材 221 に囲まれた領域内に液晶 218 を 1 回若しくは複数回滴下する。

【0100】

液晶 218 の配向モードとしては、液晶分子の配列が光の入射から射出に向かって 90°ツイスト配向した TN モードを用いる場合が多い。TN モードの液晶表示装置を作製する場合には、基板のラビング方向が直交するように貼り合わせる。

【0101】

なお、一对の基板間隔は、球状のスペーサを散布することや、樹脂からなる柱状のスペーサを形成することや、シール材 221 にフィラーを含ませることによって維持すればよい。上記柱状のスペーサは、アクリル、ポリイミド、ポリイミドアミド、エポキシの少なくとも 1 つを主成分とする有機樹脂材料、もしくは酸化珪素、窒化珪素、窒素を含む酸化珪素のいずれか一種の材料、或いはこれらの積層膜からなる無機材料であることを特徴としている。

【0102】

次いで、基板の分断を行う。多面取りの場合、それぞれのパネルを分断する。また、1 面取りの場合、予めカットされている対向基板を貼り合わせることによって、分断工程を省略することもできる（図 11（D）参照）。

【0103】

そして、異方性導電体層を介し、公知の技術を用いて FPC（Flexible Printed Circuit）222 を貼りつける（図 12 参照）。以上の工程で液晶表示装置が完成する。また、必要があれば光学フィルムを貼り付ける。透過型液晶表示装置とする場合、偏光板は、TFT 基板と対向基板の両方に貼り付ける。以上により本実施の形態の液晶表示装置が作製される。

【0104】

〔実施の形態 3〕

本発明が適用される電子機器として、テレビ、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオコンボ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示し

【0105】

それらの電子機器の具体例を、図 13、図 14、図 15（A）～図 15（B）、図 16（A）～図 16（B）、図 17、図 18（A）～図 18（E）、図 19（A）～図 19（B）に示す。

【0106】

図 13 は液晶表示パネル 2001 と、回路基板 2011 を組み合わせた液晶モジュールを示している。回路基板 2011 には、コントロール回路 2012 や信号分割回路 2013 などが形成されており、接続配線 2014 によって本発明を用いて形成された液晶表示パネル 2001 と電氣的に接続されている。

【0107】

この液晶表示パネル 2001 には、複数の画素が設けられた画素部 2002 と、走査線駆動回路 2003、選択された画素にビデオ信号を供給する信号線駆動回路 2004 を備えている。画素部 2002 は、実施の形態 2 に基づいて作製すればよく、走査線駆動回路 2003 及び信号線駆動回路 2004 は、チップで形成し、FPC 等を用いて、画素部 2002、並びに、走査線駆動回路 2003 及び信号線駆動回路 2004 を接続すればよい。

【0108】

図 13 に示す液晶モジュールにより液晶テレビ受像器を完成させることができる。図 14 は、液晶テレビ受像機の主要な構成を示すブロック図である。チューナ 2101 は映像

10

20

30

40

50

信号と音声信号を受信する。映像信号は、映像信号増幅回路 2 1 0 2 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 2 1 0 3 と、その映像信号をドライバ IC の入力仕様に換するためのコントロール回路 2 0 1 2 により処理される。コントロール回路 2 0 1 2 は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 2 0 1 3 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

【 0 1 0 9 】

チューナ 2 1 0 1 で受信した信号のうち、音声信号は音声信号増幅回路 2 1 0 5 に送られ、その出力は音声信号処理回路 2 1 0 6 を経てスピーカ 2 1 0 7 に供給される。制御回路 2 1 0 8 は受信局（受信周波数）や音量の制御情報を入力部 2 1 0 9 から受け、チューナ 2 1 0 1 や音声信号処理回路 2 1 0 6 に信号を送出する。

10

【 0 1 1 0 】

図 1 5 (A) に示すように、液晶モジュールを筐体 2 2 0 1 に組みこんで、テレビ受像機を完成させることができる。液晶モジュールにより、表示画面 2 2 0 2 が形成される。また、スピーカ 2 2 0 3、操作スイッチ 2 2 0 4 などが適宜備えられている。

【 0 1 1 1 】

また図 1 5 (B) に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。筐体 2 2 1 2 にはバッテリー及び信号受信器が内蔵されており、そのバッテリーで表示部 2 2 1 3 やスピーカ部 2 2 1 7 を駆動させる。バッテリーは充電器 2 2 1 0 で繰り返し充電が可能となっている。また、充電器 2 2 1 0 は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。筐体 2 2 1 2 は操作キー 2 2 1 6 によって制御する。また、図 1 5 (B) に示す装置は、操作キー 2 2 1 6 を操作することによって、筐体 2 2 1 2 から充電器 2 2 1 0 に信号を送ることも可能であるため映像音声双方向通信装置とも言える。また、操作キー 2 2 1 6 を操作することによって、筐体 2 2 1 2 から充電器 2 2 1 0 に信号を送り、さらに充電器 2 2 1 0 が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能であり、汎用遠隔制御装置とも言える。本発明は表示部 2 2 1 3 に適用することができる。

20

【 0 1 1 2 】

本発明を図 1 3、図 1 4、図 1 5 (A) ~ 図 1 5 (B) に示すテレビ受像器使用することにより、品質のよい表示装置を備えたテレビ受像器を得ることが可能となる。

30

【 0 1 1 3 】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【 0 1 1 4 】

図 1 6 (A) は本発明を用いて形成された液晶表示パネル 2 3 0 1 とプリント配線基板 2 3 0 2 を組み合わせたモジュールを示している。液晶表示パネル 2 3 0 1 は、複数の画素が設けられた画素部 2 3 0 3 と、第 1 の走査線駆動回路 2 3 0 4、第 2 の走査線駆動回路 2 3 0 5 と、選択された画素にビデオ信号を供給する信号線駆動回路 2 3 0 6 を備えている。

40

【 0 1 1 5 】

プリント配線基板 2 3 0 2 には、コントローラ 2 3 0 7、中央処理装置 (CPU) 2 3 0 8、メモリ 2 3 0 9、電源回路 2 3 1 0、音声処理回路 2 3 1 1 及び送受信回路 2 3 1 2 などが備えられている。プリント配線基板 2 3 0 2 と液晶表示パネル 2 3 0 1 は、フレキシブル・プリント・サーキット (FPC) 2 3 1 3 により接続されている。プリント配線基板 2 3 0 2 には、容量素子、バッファ回路などを設け、電源電圧や信号にノイズのったり、信号の立ち上がりが鈍ったりすることを防ぐ構成としても良い。また、コントローラ 2 3 0 7、音声処理回路 2 3 1 1、メモリ 2 3 0 9、CPU 2 3 0 8、電源回路 2 3 1 0 などは、COG (Chip On Glass) 方式を用いて液晶表示パネル 2 3 0 1 に実装することもできる。COG 方式により、プリント配線基板 2 3 0 2 の規模を縮小

50

することができる。

【0116】

プリント配線基板2302に備えられたインターフェース2314を介して、各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行なうためのアンテナ用ポート2315が、プリント配線基板2302に設けられている。

【0117】

図16(B)は、図16(A)に示したモジュールのブロック図を示す。このモジュールは、メモリ2309としてVRAM2316、DRAM2317、フラッシュメモリ2318などが含まれている。VRAM2316にはパネルに表示する画像のデータが、DRAM2317には画像データまたは音声データが、フラッシュメモリには各種プログラ

10

【0118】

電源回路2310は、液晶表示パネル2301、コントローラ2307、CPU2308、音声処理回路2311、メモリ2309、送受信回路2312を動作させる電力を供給する。またパネルの仕様によっては、電源回路2310に電流源が備えられている場合もある。

【0119】

CPU2308は、制御信号生成回路2320、デコーダ2321、レジスタ2322、演算回路2323、RAM2324、CPU2308用のインターフェース2319などを有している。インターフェース2319を介してCPU2308に入力された各種信号は、一旦レジスタ2322に保持された後、演算回路2323、デコーダ2321などに入力される。演算回路2323では、入力された信号に基づき演算を行ない、各種命令を送る場所を指定する。一方デコーダ2321に入力された信号はデコードされ、制御信号生成回路2320に入力される。制御信号生成回路2320は入力された信号に基づき、各種命令を含む信号を生成し、演算回路2323において指定された場所、具体的にはメモリ2309、送受信回路2312、音声処理回路2311、コントローラ2307などに送る。

20

【0120】

メモリ2309、送受信回路2312、音声処理回路2311、コントローラ2307は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

30

【0121】

入力手段2325から入力された信号は、インターフェース2314を介してプリント配線基板2302に実装されたCPU2308に送られる。制御信号生成回路2320は、ポインティングデバイスやキーボードなどの入力手段2325から送られてきた信号に従い、VRAM2316に格納してある画像データを所定のフォーマットに変換し、コントローラ2307に送付する。

【0122】

コントローラ2307は、パネルの仕様に合わせてCPU2308から送られてきた画像データを含む信号にデータ処理を施し、液晶表示パネル2301に供給する。またコントローラ2307は、電源回路2310から入力された電源電圧やCPU2308から入力された各種信号をもとに、Hsync信号、Vsync信号、クロック信号CLK、交流電圧(AC Cont)、切り替え信号L/Rを生成し、液晶表示パネル2301に供給する。

40

【0123】

送受信回路2312では、アンテナ2328において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO(Voltage Controlled Oscillator)、LPF(Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいる。送受信回路2312において送受信される信号のうち音声情報を含む信号が、CPU2308からの命令に従って、音声処理回路2311に送られる。

50

【0124】

CPU2308の命令に従って送られてきた音声情報を含む信号は、音声処理回路2311において音声信号に復調され、スピーカ2327に送られる。またマイク2326から送られてきた音声信号は、音声処理回路2311において変調され、CPU2308からの命令に従って、送受信回路2312に送られる。

【0125】

コントローラ2307、CPU2308、電源回路2310、音声処理回路2311、メモリ2309を、本実施の形態のパッケージとして実装することができる。本実施の形態は、アイソレータ、バンドパスフィルタ、VCO(Voltage Controlled Oscillator)、LPF(Low Pass Filter)、カプラ、
10 バランなどの高周波回路以外であれば、どのような回路にも応用することができる。

【0126】

図17は、図16(A)～図16(B)に示すモジュールを含む携帯電話機の一態様を示している。液晶表示パネル2301はハウジング2330に脱着自在に組み込まれる。ハウジング2330は液晶表示パネル2301のサイズに合わせて、形状や寸法を適宜変更することができる。液晶表示パネル2301を固定したハウジング2330はプリント基板2331に嵌着されモジュールとして組み立てられる。

【0127】

液晶表示パネル2301はFPC2313を介してプリント基板2331に接続される。プリント基板2331には、スピーカ2332、マイクロフォン2333、送受信回路2334、CPU及びコントローラなどを含む信号処理回路2335が形成されている。
20 このようなモジュールと、入力手段2336、バッテリー2337、アンテナ2340を組み合わせ、筐体2339に収納する。液晶表示パネル2301の画素部は筐体2339に形成された開口窓から視認できるように配置する。

【0128】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、表示パネルを複数備えたり、筐体を適宜複数に分割して蝶番により開閉式とした構成としても、上記した作用効果を奏することができる。

【0129】

本発明を図16(A)～図16(B)、図17に示す携帯電話に使用することにより、
30 品質のよい表示装置を備えた携帯電話を得ることが可能となる。

【0130】

図18(A)は液晶ディスプレイであり、筐体2401、支持台2402、表示部2403などによって構成されている。本発明は表示部2403に適用が可能である。

【0131】

本発明を使用することにより、品質のよい表示装置を備えた液晶ディスプレイを得ることが可能となる。

【0132】

図18(B)はコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504、外部接続ポート2505、ポインティングデバイス2506等を含む。
40 本発明は表示部2503に適用することができる。

【0133】

本発明を使用することにより、品質のよい表示装置を備えたコンピュータを得ることが可能となる。

【0134】

図18(C)は携帯可能なコンピュータであり、本体2601、表示部2602、スイッチ2603、操作キー2604、赤外線ポート2605等を含む。本発明は表示部2602に適用することができる。

【0135】

本発明を使用することにより、品質のよい表示装置を備えたコンピュータを得ることが
50

可能となる。

【 0 1 3 6 】

図 1 8 (D) は携帯型のゲーム機であり、筐体 2 7 0 1、表示部 2 7 0 2、スピーカ部 2 7 0 3、操作キー 2 7 0 4、記録媒体挿入部 2 7 0 5 等を含む。本発明は表示部 2 7 0 2 に適用することができる。

【 0 1 3 7 】

本発明を使用することにより、品質のよい表示装置を備えたゲーム機を得ることが可能となる。

【 0 1 3 8 】

図 1 8 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には D V D 再生装置）であり、本体 2 8 0 1、筐体 2 8 0 2、表示部 A 2 8 0 3、表示部 B 2 8 0 4、記録媒体読込部 2 8 0 5、操作キー 2 8 0 6、スピーカ部 2 8 0 7 等を含む。表示部 A 2 8 0 3 は主として画像情報を表示し、表示部 B 2 8 0 4 は主として文字情報を表示する。本発明は表示部 A 2 8 0 3、表示部 B 2 8 0 4 及び制御用回路部等に適用することができる。なお、記憶媒体とは、D V D 等であり、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 1 3 9 】

本発明を使用することにより、品質のよい表示装置を備えた画像再生装置を得ることが可能となる。

【 0 1 4 0 】

図 1 9 (A) 及び図 1 9 (B) は、本発明の液晶表示装置をカメラ、例えばデジタルカメラに組み込んだ例を示す図である。図 1 9 (A) は、デジタルカメラの前面方向から見た斜視図、図 1 9 (B) は、後面方向から見た斜視図である。図 1 9 (A) において、デジタルカメラには、リリースボタン 2 9 0 1、メインスイッチ 2 9 0 2、ファインダ窓 2 9 0 3、フラッシュ 2 9 0 4、レンズ 2 9 0 5、鏡胴 2 9 0 6、筐体 2 9 0 7 が備えられている。

【 0 1 4 1 】

また、図 1 9 (B) において、ファインダ接眼窓 2 9 1 1、モニタ 2 9 1 2、操作ボタン 2 9 1 3 が備えられている。

【 0 1 4 2 】

リリースボタン 2 9 0 1 は、半分の位置まで押下されると、焦点調整機構および露出調整機構が作動し、最下部まで押下されるとシャッターが開く。

【 0 1 4 3 】

メインスイッチ 2 9 0 2 は、押下又は回転によりデジタルカメラの電源の O N / O F F を切り替える。

【 0 1 4 4 】

ファインダ窓 2 9 0 3 は、デジタルカメラの前面のレンズ 2 9 0 5 の上部に配置されており、図 1 9 (B) に示すファインダ接眼窓 2 9 1 1 から撮影する範囲やピントの位置を確認するための装置である。

【 0 1 4 5 】

フラッシュ 2 9 0 4 は、デジタルカメラの前面上部に配置され、被写体輝度が低いときに、リリースボタン 2 9 0 1 が押下されてシャッターが開くと同時に補助光を照射する。

【 0 1 4 6 】

レンズ 2 9 0 5 は、デジタルカメラの正面に配置されている。レンズは、フォーカシングレンズ、ズームレンズ等により構成され、図示しないシャッター及び絞りと共に撮影光学系を構成する。また、レンズの後方には、C C D (C h a r g e C o u p l e d D e v i c e) 等の撮像素子が設けられている。

【 0 1 4 7 】

鏡胴 2 9 0 6 は、フォーカシングレンズ、ズームレンズ等のピントを合わせるためにレンズの位置を移動するものであり、撮影時には、鏡胴を繰り出すことにより、レンズ 2 9

10

20

30

40

50

０５を手前に移動させる。また、携帯時は、レンズ２９０５を沈銅させてコンパクトにする。なお、本実施の形態においては、鏡胴を繰り出すことにより被写体をズーム撮影することができる構造としているが、この構造に限定されるものではなく、筐体２９０７内での撮影光学系の構成により鏡胴を繰り出さずともズーム撮影が可能なデジタルカメラでもよい。

【０１４８】

ファインダ接眼窓２９１１は、デジタルカメラの後面上部に設けられており、撮影する範囲やピントの位置を確認する際に接眼するために設けられた窓である。

【０１４９】

操作ボタン２９１３は、デジタルカメラの後面に設けられた各種機能ボタンであり、セットアップボタン、メニューボタン、ディスプレイボタン、機能ボタン、選択ボタン等により構成されている。

10

【０１５０】

本発明の液晶表示装置は、図１９（Ａ）及び図１９（Ｂ）に示すカメラのモニタ２９１２に組み込むことができる。これにより品質のよい表示装置を備えたデジタルカメラを得ることが可能となる。

【０１５１】

なお、本実施の形態に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【図面の簡単な説明】

20

【０１５２】

【図１】本発明の画素部の作製工程を説明する断面図。

【図２】本発明の画素部の作製工程を説明する断面図。

【図３】本発明の画素部の作製工程を説明する断面図。

【図４】本発明の画素部の作製工程を説明する断面図。

【図５】本発明の画素部の上面図。

【図６】従来の画素部の上面図。

【図７】従来の画素部の作製工程を説明する断面図。

【図８】従来の画素部の作製工程を説明する断面図。

【図９】従来の画素部の作製工程を説明する断面図。

30

【図１０】本発明の液晶表示装置の作製工程を説明する断面図。

【図１１】本発明の液晶表示装置の作製工程を説明する上面図。

【図１２】本発明の液晶表示装置の作製工程を説明する上面図。

【図１３】本発明が適用される電子機器の例を示す図。

【図１４】本発明が適用される電子機器の例を示す図。

【図１５】本発明が適用される電子機器の例を示す図。

【図１６】本発明が適用される電子機器の例を示す図。

【図１７】本発明が適用される電子機器の例を示す図。

【図１８】本発明が適用される電子機器の例を示す図。

【図１９】本発明が適用される電子機器の例を示す図。

40

【図２０】本発明の画素部の作製工程を説明する断面図。

【図２１】本発明の画素部の作製工程を説明する上面図。

【図２２】本発明の画素部の作製工程を説明する上面図。

【図２３】本発明の画素部の作製工程を説明する上面図。

【符号の説明】

【０１５３】

１０１ 基板

１０２ ゲート配線

１０３ ソース配線

１０４ ゲート絶縁膜

50

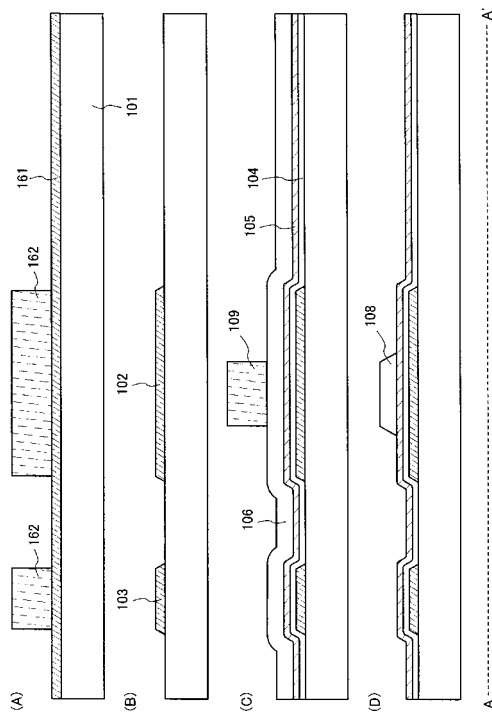
1 0 5	i 型半導体層	
1 0 6	絶縁膜	
1 0 8	チャネル保護膜	
1 0 9	レジストマスク	
1 1 1	導電型半導体層	
1 1 2	導電膜	
1 1 3	i 型半導体層	
1 1 3 a	微結晶半導体層	
1 1 3 b	非晶質半導体層	
1 1 4	i 型半導体層	10
1 1 6	導電型半導体層	
1 1 7	ドレイン領域	
1 1 8	ソース領域	
1 2 1	ドレイン電極	
1 2 2	ソース電極	
1 2 3	配線	
1 2 5	レジストマスク	
1 2 7	保護膜	
1 2 8	レジストマスク	
1 2 9	透光性導電膜	20
1 3 1	画素電極	
1 3 2	接続電極	
1 3 4	レジストマスク	
1 4 1	T F T 領域	
1 4 2	容量領域	
1 4 3	中継領域	
1 6 1	導電膜	
1 6 2	レジストマスク	
1 7 1	コンタクトホール	
1 7 2	コンタクトホール	30
1 7 3	コンタクトホール	
2 0 8	配向膜	
2 1 1	対向基板	
2 1 2	着色層	
2 1 3	遮光層（ブラックマトリクス）	
2 1 4	オーバーコート層	
2 1 5	対向電極	
2 1 6	配向膜	
2 1 8	液晶	
2 2 1	シール材	40
2 2 2	F P C	
2 3 1	画素部	
1 1 0 1	基板	
1 1 0 2	ゲート配線	
1 1 0 4	ゲート絶縁膜	
1 1 0 5	半導体層	
1 1 0 6	絶縁膜	
1 1 0 8	チャネル保護膜	
1 1 0 9	レジストマスク	
1 1 1 1	半導体層	50

1 1 1 2	導電膜	
1 1 1 3	i 型半導体層	
1 1 1 7	ドレイン領域	
1 1 1 8	ソース領域	
1 1 2 1	ドレイン電極	
1 1 2 2	ソース配線	
1 1 2 5	レジストマスク	
1 1 2 7	保護膜	
1 1 2 8	レジストマスク	
1 1 2 9	導電膜	10
1 1 3 1	画素電極	
1 1 3 4	レジストマスク	
1 1 4 1	T F T 領域	
1 1 4 2	容量領域	
1 1 4 3	配線領域	
1 1 5 1	容量配線	
1 1 6 1	導電膜	
1 1 6 2	レジストマスク	
1 1 7 3	コンタクトホール	
2 0 0 1	液晶表示パネル	20
2 0 0 2	画素部	
2 0 0 3	走査線駆動回路	
2 0 0 4	信号線駆動回路	
2 0 1 1	回路基板	
2 0 1 2	コントロール回路	
2 0 1 3	信号分割回路	
2 0 1 4	接続配線	
2 1 0 1	チューナ	
2 1 0 2	映像信号増幅回路	
2 1 0 3	映像信号処理回路	30
2 1 0 5	音声信号増幅回路	
2 1 0 6	音声信号処理回路	
2 1 0 7	スピーカ	
2 1 0 8	制御回路	
2 1 0 9	入力部	
2 2 0 1	筐体	
2 2 0 2	表示画面	
2 2 0 3	スピーカ	
2 2 0 4	操作スイッチ	
2 2 1 0	充電器	40
2 2 1 2	筐体	
2 2 1 3	表示部	
2 2 1 6	操作キー	
2 2 1 7	スピーカ部	
2 3 0 1	液晶表示パネル	
2 3 0 2	プリント配線基板	
2 3 0 3	画素部	
2 3 0 4	走査線駆動回路	
2 3 0 5	走査線駆動回路	
2 3 0 6	信号線駆動回路	50

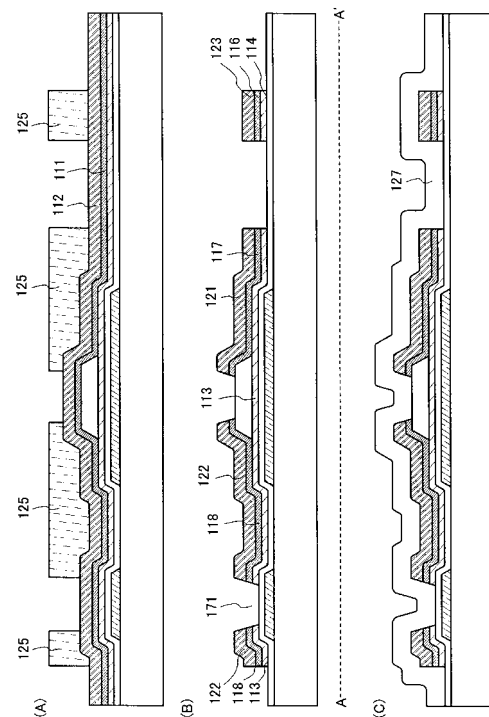
2 3 0 7	コントローラ	
2 3 0 8	C P U	
2 3 0 9	メモリ	
2 3 1 0	電源回路	
2 3 1 1	音声処理回路	
2 3 1 2	送受信回路	
2 3 1 3	F P C	
2 3 1 4	インターフェース	
2 3 1 5	アンテナ用ポート	
2 3 1 6	V R A M	10
2 3 1 7	D R A M	
2 3 1 8	フラッシュメモリ	
2 3 1 9	インターフェース	
2 3 2 0	制御信号生成回路	
2 3 2 1	デコーダ	
2 3 2 2	レジスタ	
2 3 2 3	演算回路	
2 3 2 4	R A M	
2 3 2 5	入力手段	
2 3 2 6	マイク	20
2 3 2 7	スピーカ	
2 3 2 8	アンテナ	
2 3 3 0	ハウジング	
2 3 3 1	プリント基板	
2 3 3 2	スピーカ	
2 3 3 3	マイクロフォン	
2 3 3 4	送受信回路	
2 3 3 5	信号処理回路	
2 3 3 6	入力手段	
2 3 3 7	バッテリー	30
2 3 3 9	筐体	
2 3 4 0	アンテナ	
2 4 0 1	筐体	
2 4 0 2	支持台	
2 4 0 3	表示部	
2 5 0 1	本体	
2 5 0 2	筐体	
2 5 0 3	表示部	
2 5 0 4	キーボード	
2 5 0 5	外部接続ポート	40
2 5 0 6	ポインティングデバイス	
2 6 0 1	本体	
2 6 0 2	表示部	
2 6 0 3	スイッチ	
2 6 0 4	操作キー	
2 6 0 5	赤外線ポート	
2 7 0 1	筐体	
2 7 0 2	表示部	
2 7 0 3	スピーカ部	
2 7 0 4	操作キー	50

2 7 0 5	記録媒体挿入部
2 8 0 1	本体
2 8 0 2	筐体
2 8 0 3	表示部 A
2 8 0 4	表示部 B
2 8 0 5	記録媒体読込部
2 8 0 6	操作キー
2 8 0 7	スピーカ部
2 9 0 1	リリースボタン
2 9 0 2	メインスイッチ
2 9 0 3	ファインダ窓
2 9 0 4	フラッシュ
2 9 0 5	レンズ
2 9 0 6	鏡胴
2 9 0 7	筐体
2 9 1 1	ファインダ接眼窓
2 9 1 2	モニタ
2 9 1 3	操作ボタン

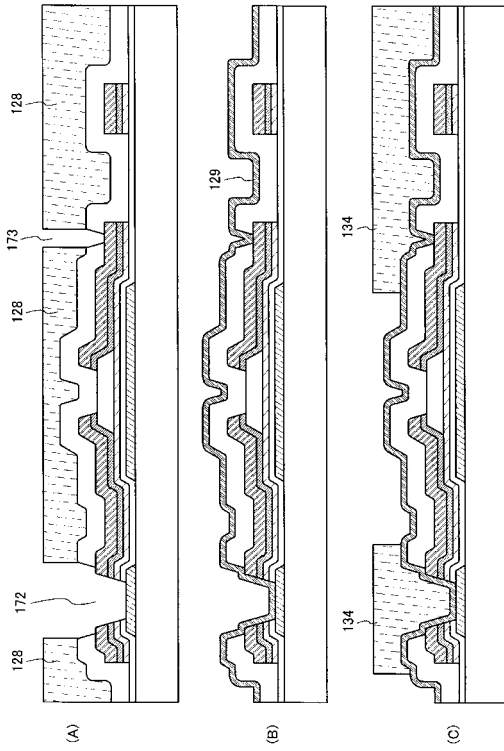
【図 1】



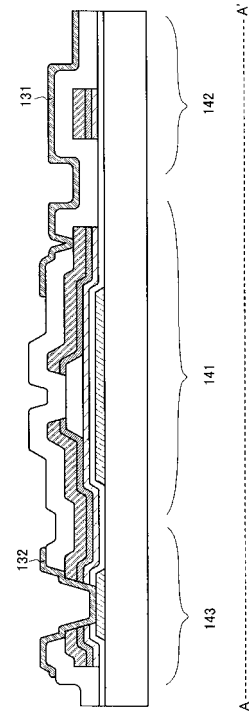
【図 2】



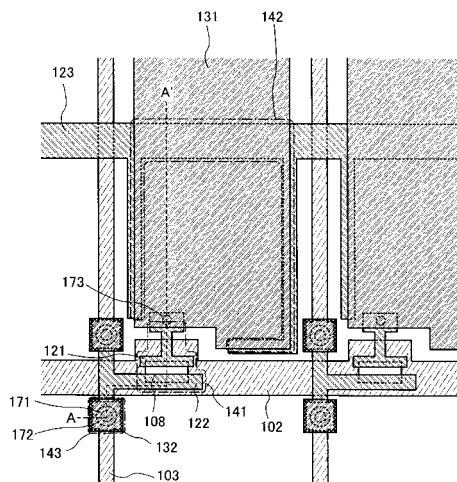
【図 3】



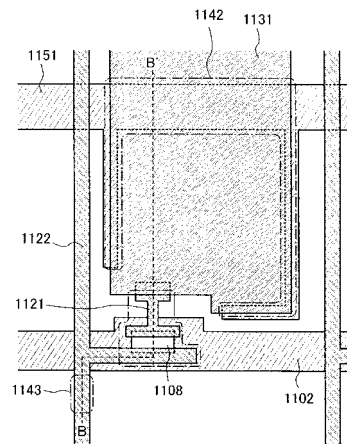
【図 4】



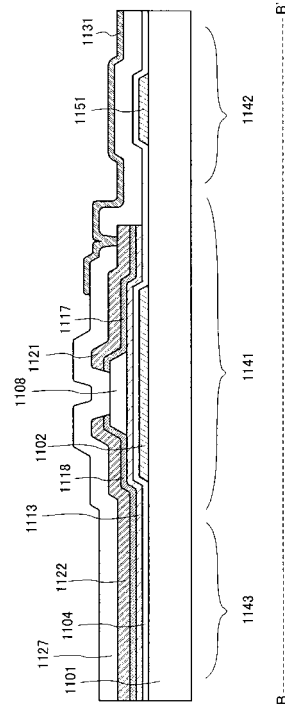
【図 5】



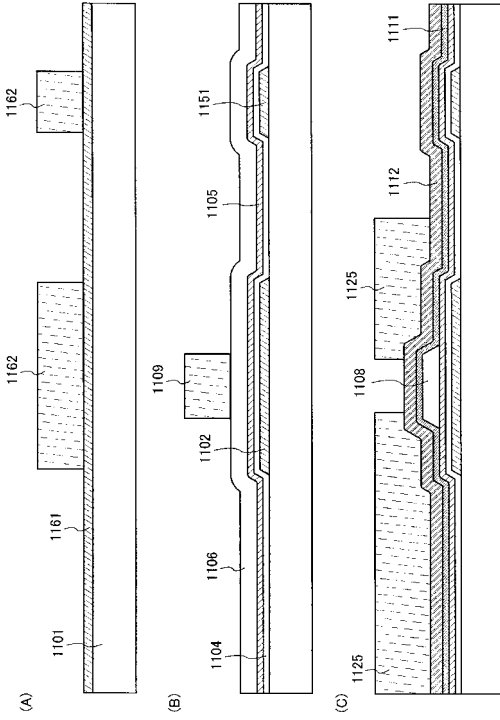
【図 6】



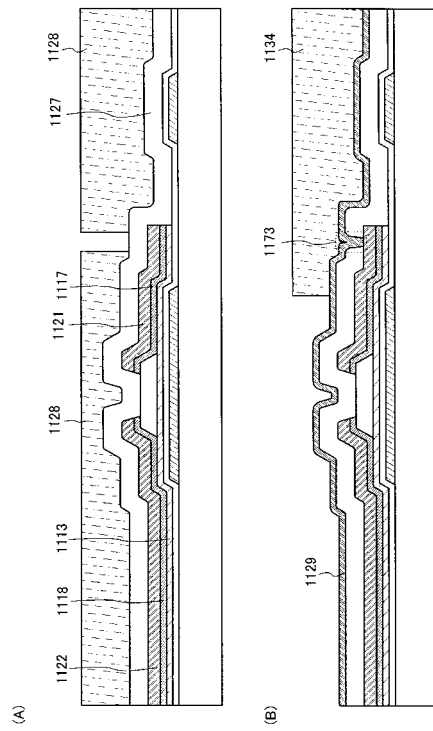
【図 7】



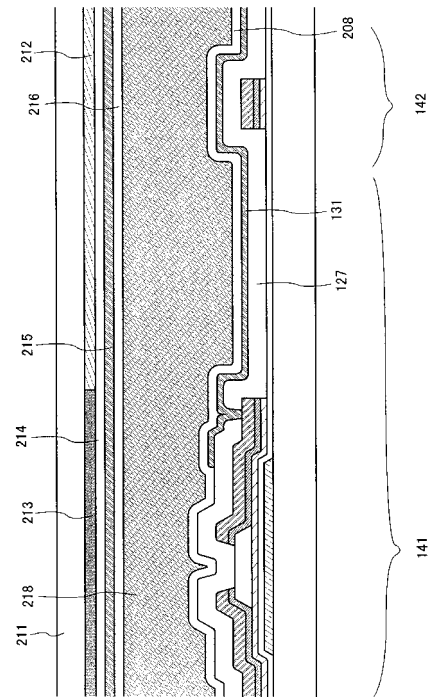
【図 8】



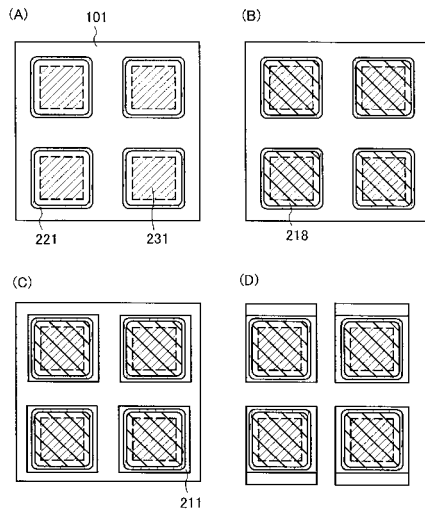
【図 9】



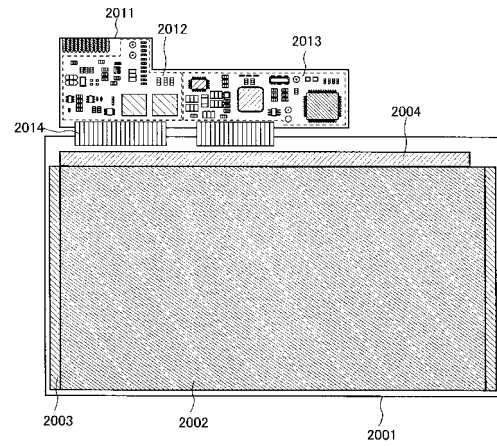
【図 10】



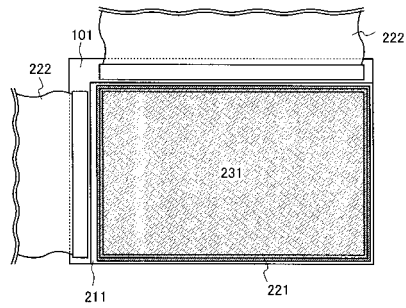
【図 11】



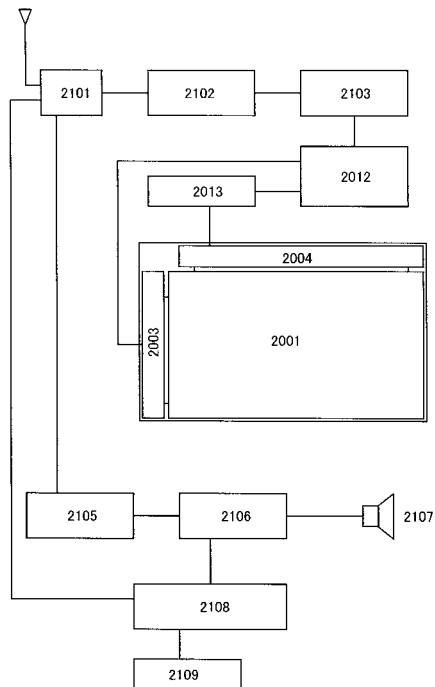
【図 13】



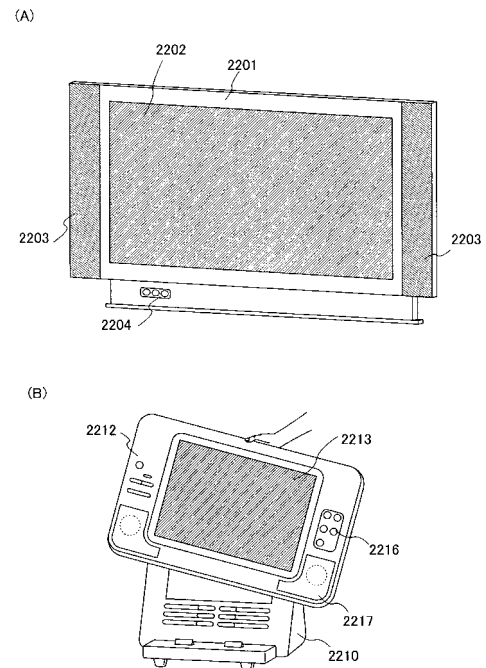
【図 12】



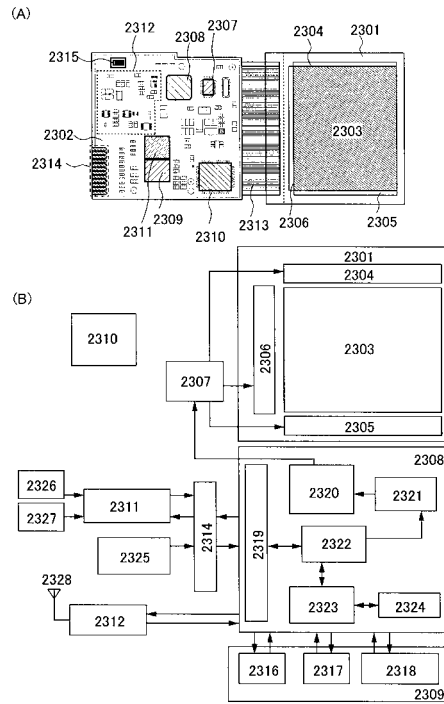
【図 14】



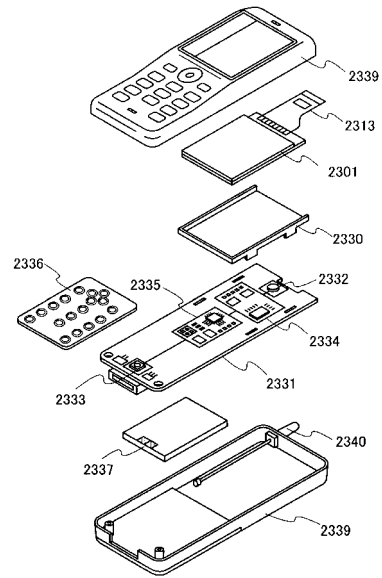
【図 15】



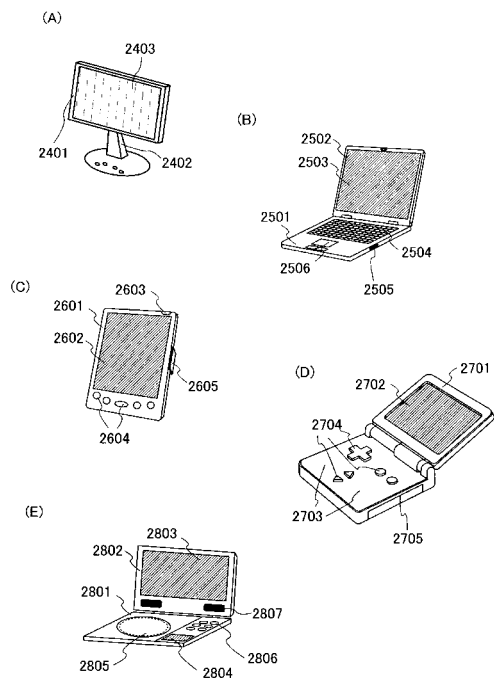
【図 16】



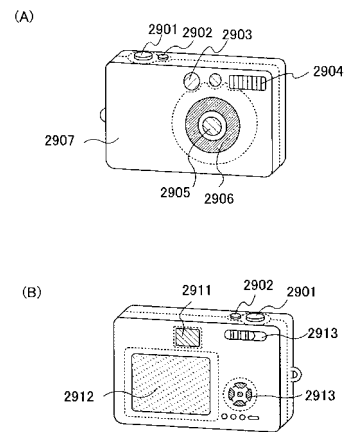
【図 17】



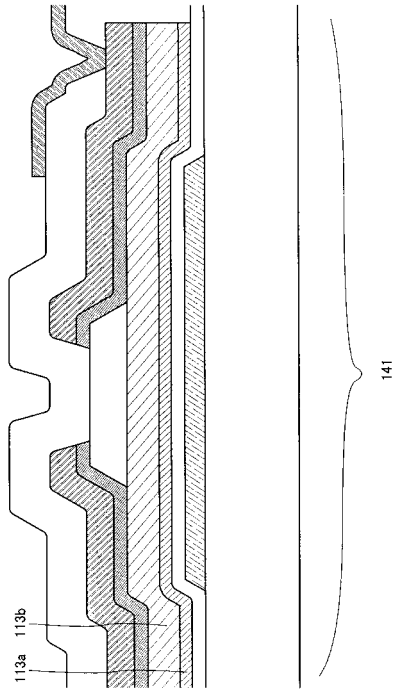
【図 18】



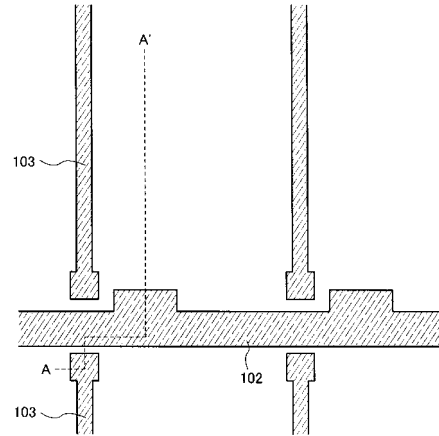
【図 19】



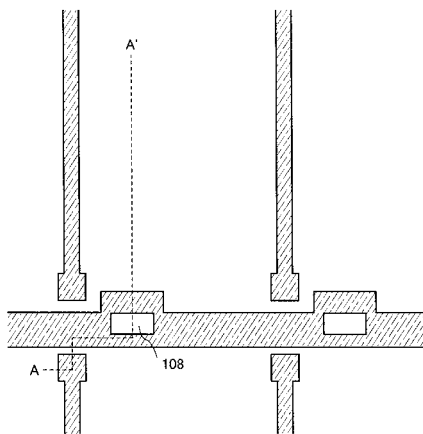
【図 20】



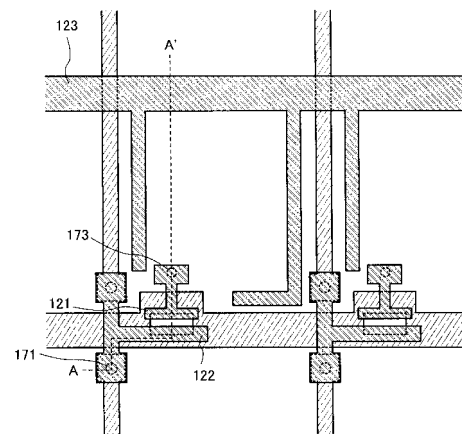
【図 21】



【図 22】



【図 23】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 6 8
G 0 9 F	9 / 3 0