



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2006 005 077 B3** 2007.06.14

(12)

Patentschrift

(21) Aktenzeichen: **10 2006 005 077.0**

(22) Anmeldetag: **03.02.2006**

(43) Offenlegungstag: –

(45) Veröffentlichungstag
der Patenterteilung: **14.06.2007**

(51) Int Cl.⁸: **G11C 16/34** (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
11/272,044 **10.11.2005** **US**

(73) Patentinhaber:
Infineon Technologies Flash GmbH & Co. KG,
01099 Dresden, DE

(74) Vertreter:
Epping Hermann Fischer,
Patentanwalts-gesellschaft mbH, 80339 München

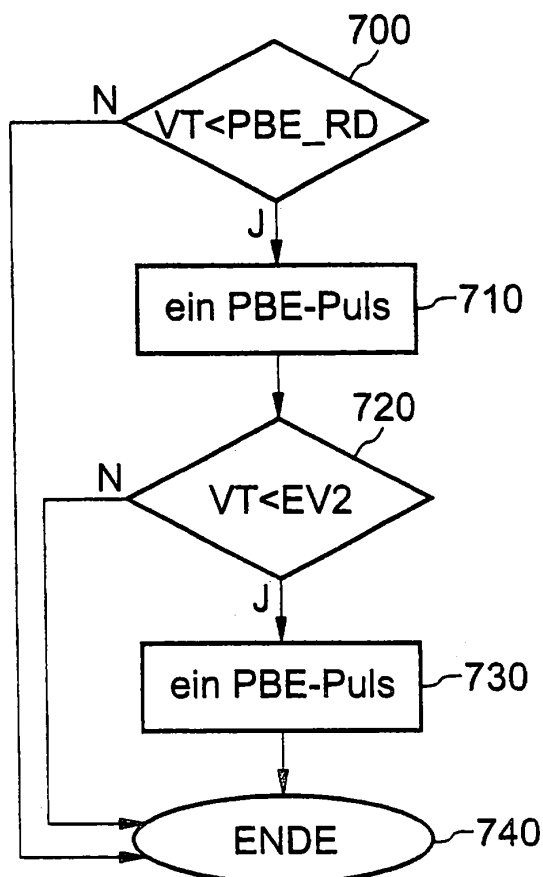
(72) Erfinder:
Augustin, Uwe, 01099 Dresden, DE; Köbernik,
Gert, 01067 Dresden, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US2003/00 21 155 A1
US 60 11 725 A

(54) Bezeichnung: **Verfahren zum Betreiben einer Halbleiterspeicheranordnung und Halbleiterspeicheranordnung**

(57) Zusammenfassung: Verfahren zum Vorbereiten eines Rückspeicherns von Informationen, die in einer Vielzahl von Speicherzellen (100) gespeichert sind, wobei jede Speicherzelle (100) eine veränderbare Kenngröße (VT) hat, die die gespeicherte Information anzeigt, und wobei die veränderbare Kenngröße (VT) einen ersten Zustand anzeigt, wenn die Kenngröße (VT) kleiner als ein Leseschwellwert (RD) ist, und die veränderbare Kenngröße (VT) einen zweiten Zustand anzeigt, wenn die Kenngröße (VT) größer als der Leseschwellwert (RD) ist, wobei das Verfahren umfasst:

- Überprüfen, ob ein Absolutwert einer ersten Differenz zwischen der Kenngröße (VT) und dem Leseschwellwert (RD) größer als ein gegebener erster Schwellwert ist,
- Zuordnen der überprüften Kenngröße (VT) zu einer ersten Gruppe (61), wenn der Absolutwert der ersten Differenz größer als der erste Schwellwert ist, und
- Verändern der Kenngrößen (VT), die der ersten Gruppe (61) zugeordnet sind, sodass zumindest einer der Absolutwerte der ersten Differenzen verringert ist, oder sodass zumindest einer der gespeicherten Zustände wechselt.



Beschreibung

[0001] Die Erfindung betrifft eine Halbleiterspeicheranordnung mit einer Vielzahl von Speicherzellen und ein Verfahren zum Betreiben einer Halbleiterspeicheranordnung, um deren Speicherzellen zum Rückspichern vorzubereiten.

[0002] Tragbare Geräte, wie Digitalkameras oder Musikwiedergabegeräte, umfassen nichtflüchtige Speichereinheiten. Diese tragbaren Geräte sind in den letzten Jahren kleiner geworden, ebenso wie die Speichereinheiten. Es ist anzunehmen, dass die Miniaturisierung von tragbaren Geräten fortschreiten wird. Um den Bedarf nach verbesserter Leistungsfähigkeit zu erfüllen, kann die Datenmenge, die in der nichtflüchtigen Speichereinheit gespeichert wird, vergrößert werden. Somit können beispielsweise mehr Musik, Fotos oder andere Daten in kleineren Geräten gespeichert werden.

[0003] Nichtflüchtige Speichereinheiten können als so genannte EEPROMs, elektrisch löschbare und programmierbare Festwertspeicher, ausgebildet sein. Die gespeicherten Daten verbleiben ohne Zufuhr von Versorgungsspannung für lange Zeit im EEPROM, der viele Male programmiert und gelöscht werden kann.

[0004] Eine EEPROM-Speichereinheit umfasst eine Vielzahl von Speicherzellen, von denen jede ausgebildet ist, Information zu speichern. Die Speicherzellen können derart ausgestaltet sein, dass lediglich ein Bit gespeichert wird. Multi-Bit-Speicherzellen, jedoch, können mehr als ein Bit speichern. Eine so genannte NROM-Speicherzelle, kurz für „Nitrid-Programm-Read-Only-Memory-Cell“ ist ausgebildet, zwei Bits zu speichern. Die NROM-Speicherzelle ist in dem Dokument US 6,011,725 offenbart.

[0005] Eine NROM-Speicherzelle hat einen Transistorkörper mit einer Zellwanne, die ein erstes und ein zweites Dotiergebiet umfasst. Eine Kanalregion befindet sich zwischen dem ersten und dem zweiten Dotiergebiet. Eine Gate-Elektrode ist über der Kanalregion angeordnet. Sie wird durch eine dielektrische Schicht, die zwischen der Kanalregion und der Gate-Elektrode angeordnet ist, isoliert. Die dielektrische Schicht umfasst eine obere Oxidschicht, eine Nitridschicht, beispielsweise Siliziumnitrid, und eine untere Oxidschicht. Die Nitridschicht, eingeschoben zwischen den isolierenden Oxidschichten, dient als Ladungsfängerschicht. Die Oxidschichten verhindern die Diffusion von Elektronen in Richtung der Oxidschichten. Alternative Materialien zur Ausbildung der Ladungsfängerschichten sind auch denkbar.

[0006] Zwei Bits können in verschiedenen Regionen der Nitridschicht gespeichert werden. Eine erste Bitregion zum Speichern eines ersten Bits befindet

sich benachbart zum ersten Dotiergebiet, und eine zweite Bitregion zum Speichern eines zweiten Bits befindet sich benachbart zum zweiten Dotiergebiet.

[0007] Die Bits werden mittels so genannter „heißer Elektronen“ programmiert. Elektronen werden aus der Kanalregion in die Ladungsfängerschicht eingebracht. Das Programmieren des ersten Bits wird durchgeführt, indem Programmierpotenziale an das erste Dotiergebiet und an das Gate angelegt werden, während das zweite Dotiergebiet geerdet ist. Typischerweise beträgt das Programmierpotenzial, das an das Gate angelegt wird, ungefähr 9 Volt. Das Programmierpotenzial, das an das erste Dotiergebiet angelegt wird, beträgt ungefähr 4,5 Volt. Auf Grund eines daraus resultierenden elektrischen Feldes werden Elektronen in die erste Bitregion, die benachbart zum ersten Dotiergebiet ist, eingebracht und gefangen. Ähnlich erfolgt das Programmieren des zweiten Bits, indem die Programmierpotenziale an das zweite Dotiergebiet und das Gate angelegt werden, während das erste Dotiergebiet geerdet ist. In diesem Fall werden die Elektronen in die zweite Bitregion eingebracht und gefangen. Typischerweise werden die Programmierpotenziale derart angelegt, dass das resultierende Feld in Pulsen aufgeprägt wird.

[0008] Zum Löschen kann das Einbringen von so genannten „heißen Löchern“, beispielsweise mittels Fowler-Nordheim-Tunneln, verwendet werden. Das Löschen des ersten Bits wird durchgeführt, indem Löschpotenziale an das Gate oder an das erste Dotiergebiet und das Gate angelegt werden. Typischerweise werden ungefähr 6 Volt an das erste Dotiergebiet angelegt und eine negative Spannung bezogen auf ein Bezugspotenzial von ungefähr -7 Volt wird an das Gate angelegt. Die angelegten Löschpotenziale resultieren in einem elektrischen Feld. Es bewirkt, dass Löcher die untere Oxidschicht überwinden, um die Ladung der gefangenen Elektronen zu kompensieren. Das zweite Bit wird gelöscht, indem die Löschpotenziale an das Gate und das zweite Dotiergebiet angelegt werden. Alternativ kann das Löschen des ersten und zweiten Bits durchgeführt werden, indem eine negative Spannung, bezogen auf das Bezugspotenzial, lediglich an das Gate angelegt wird.

[0009] Das Bit wird gelesen, indem eine Spannung zwischen das erste und das zweite Dotiergebiet angelegt wird, die entgegengesetzt zu der Programmiervspannung ist, die zum Programmieren dieses Bits verwendet wird. Typischerweise wird, um das erste Bit zu lesen, ein Lesepotenzial von 1,5 Volt an das zweite Dotiergebiet angelegt, während das erste Dotiergebiet geerdet ist. Ein Strom fließt, wenn keine oder nahezu keine Elektronen innerhalb der ersten Bitregion gefangen sind. Relativ geringe Ladungen nahe dem ersten Dotiergebiet reduzieren den Stromfluss. Das Lesen des zweiten Bits wird durchgeführt, indem das Lesepotenzial an das erste Dotiergebiet

angelegt wird, während das zweite Dotiergebiet geerdet ist. Während des Durchführens des Leseschritts wird eine Lesespannung von typischerweise 4 Volt, bezogen auf das Bezugspotenzial, an das Gate angelegt.

[0010] Ein Speicherzellenfeld umfasst eine Vielzahl von Speicherzellen, die als Matrix mit Zeilen und Spalten angeordnet sind. Das Speicherzellenfeld umfasst eine Vielzahl von Wortleitungen und eine Vielzahl von Bitleitungen. Eine der Wortleitungen verbindet die Gate-Elektroden, die in einer, selben Zeile angeordnet sind. Somit wird ein Potenzial, das an die Wortleitung angelegt ist, an die Gate-Elektroden jeder Speicherzelle in derselben Zeile angelegt. Jede Bitleitung bildet die ersten Dotiergebiete der Speicherzellen, die in einer, selben Spalte auf einer Seite der Bitleitung angeordnet sind, sowie die zweiten Dotiergebiete der Speicherzellen, die in einer, selben Zeile auf der anderen Seite der Bitleitung angeordnet sind, aus. Ein Potenzial, das an eine der Bitleitungen angelegt ist, wird an die Speicherzellen auf jeder Seite dieser Bitleitung gekoppelt.

[0011] Jede Speicherzelle kann durch die Wortleitung und die Bitleitungen auf jeder Seite, welche an diese Speicherzelle gekoppelt sind, identifiziert werden. Programmieren, Löschen oder Lesen von einer der Speicherzellen wird durchgeführt, indem die Programmierpotenziale, Löschpotenziale beziehungsweise Lesepotenziale an die Wortleitung und an die Bitleitungen, die mit dieser Speicherzelle verbunden sind, angelegt werden.

[0012] Die Bitleitungen können an einen Bitleitungsdecoder gekoppelt werden. Die Wortleitungen können an einen Wortleitungsdecoder gekoppelt werden. Der Bitleitungsdecoder ist ausgebildet, die Programmier-, Lese- oder Löschpotenziale an jede Bitleitung, insbesondere an ein Paar benachbarter Bitleitungen, anzulegen, um die Bits, die in den Speicherzellen zwischen diesen beiden Bitleitungen gespeichert sind, zu programmieren, zu lesen oder zu löschen. Der Wortleitungsdecoder ist ausgebildet, das Programmier-, Lese- oder Löschpotenzial an jede der Wortleitungen anzulegen. Der Bitleitungsdecoder und der Wortleitungsdecoder sind an einen Adressdecoder gekoppelt, der ausgebildet ist, die Speicherzellen zu identifizieren, welche die zu programmierenden, zu löschenden oder zu lesenden Bits speichern. Der Adressdecoder ist weiterhin ausgebildet, den Bitleitungsdecoder und den Wortleitungsdecoder zu kontrollieren, um den Zugriff auf diese Speicherzellen durchzuführen.

[0013] Das Verändern von Informationen, die in den Speicherzellen des Speicherzellenfeldes gespeichert ist, kann durchgeführt werden, indem alle Bits, die in den Speicherzellen gespeichert sind, gelöscht werden und dann ausgewählte Bits programmiert wer-

den, um die veränderte Information zu speichern.

[0014] Jede Speicherzelle kann einem aus einer Vielzahl von Löschsektoren zugeordnet werden, der seinerseits eine Gruppe von Wortleitungen und eine Gruppe von Bitleitungen umfasst. Jede Speicherzelle, die dem Löschsektor zugeordnet ist, ist an eine Wortleitung aus der Gruppe der Wortleitungen und zwischen zwei benachbarte Bitleitungen aus der Gruppe der Bitleitungen gekoppelt. Typischerweise werden die Speicherzellen eines Flash-Speicherzellenfeldes synchronisiert gelöscht, indem ein Löschsektor nach dem anderen gelöscht wird. Die Löschpotenziale können an die Gruppe von Wortleitungen und die ungradzahligen Bitleitungen aus der Gruppe von Bitleitungen angelegt werden, um zunächst ein Bit der zwei Bits, die in jeder Speicherzelle des Löschsektors gespeichert sind, zu löschen. Dann können die Löschpotenziale an die Gruppe der Wortleitungen und an die gradzahligen Bitleitungen der Gruppe von Bitleitungen angelegt werden, um das andere Bit, das in jeder Speicherzelle des Löschsektors gespeichert ist, zu löschen.

[0015] Die programmierten Bits und die gelöschten Bits werden durch dieses Vorgehen gelöscht. Löcher werden in die Ladungsfängerbereiche der Speicherzellen gezwungen. Wenn das Bit vor dem Löschen programmiert gewesen ist, neutralisieren die Löcher die Elektronen, die innerhalb der Ladungsfängerschicht gefangen sind, zum Löschen des entsprechenden Bits. Wenn das Bit vor dem Löschen bereits gelöscht gewesen ist, kann das Einbringen der Löcher auf Grund der damit einhergehenden weiteren Reduzierung der Schwellspannung zu so genannten „über-gelöschten“ Bits führen. Die Schwellspannung, die ein über-gelöschtes Bit repräsentiert, ist im Vergleich zur durchschnittlichen Schwellspannung von gelöschten Bits signifikant verringert. Insbesondere wenn das Bit selten programmiert und mehrmals in Folge gelöscht wird, kann das Bit über-gelöscht werden. Speicherzellen, die über-gelöschte Bits speichern, können Leckströme im Speicherzellenfeld verursachen. Diese Speicherzellen verursachen während des Detektierens von anderen Bits in Speicherzellen, die an dieselbe Bitleitung gekoppelt sind, Fehler.

[0016] Aus dem Dokument US 2003/0021155 A1 ist eine Vorrichtung bekannt, die gelöschte Speicherzellen durch ein so genanntes "Soft Programming" dahingehend verändert, dass ihre Schwellwerte erhöht und über einen schmalen Bereich verteilt werden. Diese Änderung wirkt sich auch positiv auf so genannte überlöschte Zellen aus, deren Schwellwerte sehr gering sind und durch das Vorgehen erhöht werden.

[0017] Verfahren zu vermeiden und eine verbesserte Halbleiterspeicheranordnung vorzusehen, in der

diese vermieden werden.

[0018] Die Aufgabe wird durch ein Verfahren zum Vorbereiten eines Rückspeicherns von Informationen gelöst. Die Informationen sind die in einer Vielzahl von Speicherzellen gespeichert, wobei jede Speicherzelle eine veränderbare Kenngröße hat, die die gespeicherte Information anzeigt. Die veränderbare Kenngröße zeigt einen ersten Zustand an, wenn die Kenngröße kleiner als ein Leseschwellwert ist, und die veränderbare Kenngröße zeigt einen zweiten Zustand an, wenn die Kenngröße größer als der Leseschwellwert ist. Das Verfahren umfasst folgende Schritte: Überprüfen, ob ein Absolutwert einer ersten Differenz zwischen der Kenngröße und dem Leseschwellwert größer als ein gegebener erster Schwellwert ist, Zuordnen der überprüften Kenngröße zu einer ersten Gruppe, wenn der Absolutwert der ersten Differenz größer als der erste Schwellwert ist, und Verändern der Kenngrößen, die der ersten Gruppe zugeordnet sind, sodass zumindest einer der Absolutwerte der ersten Differenzen verringert ist, oder sodass zumindest einer der gespeicherten Zustände wechselt.

[0019] Vorteil dieses Verfahrens ist, dass selektiv nur die Kenngrößen, insbesondere Schwellspannungen, in Speicherzellen verändert vor dem Löschen werden, bei denen Leckströme durch ein erneutes Löschen auftreten könnten. Somit werden lediglich die Kenngrößen über-gelöschter Bits modifiziert, um die degradierenden Einflüsse durch einen folgenden Löschrhythmus zu vermindern. Das Löschen der bereits gelöschten Zellen wird als Rückspeicherschritt bezeichnet.

[0020] Vorteilhafterweise wird die Kenngröße, die im vorhergehenden Schritt verändert worden ist, in einem weiteren Schritt dahingehend überprüft, ob der Absolutwert einer zweiten Differenz zwischen dieser Kenngröße und dem Leseschwellwert größer ist als ein gegebener zweiter Schwellwert. Wenn dieses der Fall ist, wird die Kenngröße erneut verändert, sodass sie näher dem Leseschwellwert ist, oder sodass der gespeicherte Zustand verändert wird. Dieser Schritt erlaubt, das Vorgehen für leicht zu löschende und schwer zu löschende Bits zu differenzieren, was mit einer Energieersparnis einhergeht. Denn während des zweiten Veränderungsschritts werden lediglich die Kenngrößen erneut verändert, die während des ersten Veränderungsschritts schwer zu verändern waren. Auch wenn diese Kenngrößen während der Veränderungsschritte schwer zu verändern sind, werden sie signifikant während des folgenden Rückspeicherschritts modifiziert, bei dem die Kenngrößen in entgegen gesetzter Weise zu den bisher durchgeführten Veränderungsschritten modifiziert werden. Der Abstand der Kenngrößen vom Leseschwellwert vergrößert sich durch das Rückspeichern, was ohne die Veränderungsschritte zu einem extrem über-

löschten Bit führen könnte. Um diesen degradierenden Effekt zu mindern, werden die Kenngrößen, die schwer zu verändern sind, im Vorwege zumindest zweimal verändert.

[0021] Das Rückspeichern der gelöschten Speicherzellen erfolgt im Rahmen des Löschens aller Speicherzellen in einem Löschrhythmus, indem eine Folge von Speicherpulsen, die auch als Löschrhythmus bezeichnet werden können, an die Speicherzellen angelegt wird.

[0022] Die gespeicherte Information wird nach dem Löschen programmiert, indem eine Folge von Programmierpulsen an die zu programmierenden Speicherzellen angelegt wird.

[0023] Vorzugsweise erfolgt im Vorwege des Löschens das Verändern der Kenngrößen im Rahmen der Veränderungsschritte, indem wenige, insbesondere lediglich ein Veränderungspuls an die entsprechenden Speicherzellen angelegt wird. Da das Verfahren für gelöschte Bits angewendet wird, umfasst der Veränderungsschritt das Anlegen von zumindest einem Programmierpuls an die Speicherzellen, die die über-gelöschten Bits speichern.

[0024] Das Durchführen eines Überprüfungsschritts, um hinsichtlich des ersten Schwellwertes zu überprüfen, und eines weiteren Überprüfungsschritts, um hinsichtlich des zweiten Schwellwertes zu überprüfen, jeweils gefolgt von dem Veränderungsschritt, ist dem Durchführen lediglich eines Überprüfungsschritts, um hinsichtlich des zweiten Schwellwertes zu überprüfen, gefolgt von einem entsprechenden Veränderungsschritt vorzuziehen. Beim Durchführen zweier Veränderungsschritte umfasst jeder der Veränderungsschritte das Anlegen von einem Veränderungspuls. Während des zweiten Veränderungsschritts wird der Veränderungspuls lediglich an Bits angelegt, die schwer zu verändern sind. Somit werden an diese Bits insgesamt zwei Veränderungspulse angelegt, um sie zu verändern. Im anderen Fall, bei dem lediglich ein Veränderungsschritt durchgeführt wird, müssen zwei Veränderungspulse an jede Speicherzelle, die ein über-gelöschtes Bit speichert, angelegt werden, um sicherzustellen, dass selbst die Kenngrößen, die schwer zu verändern sind, verändert werden. Dieses Vorgehen erfordert mehr Energie zum Anlegen einer größeren Anzahl von Veränderungspulsen im Vergleich zum Verfahren mit zwei Überprüfungsschritten.

[0025] Durch die Überprüfungs- oder Veränderungsschritte kann die Speicherzelle vorteilhafterweise derart getunt werden, dass nach dem Durchführen eines darauf folgenden Rückspeicherschritts das Bit nicht mehr über-gelöscht ist. Es wird nach dem Löschen vielmehr durch eine Kenngröße repräsentiert, die im Bereich durchschnittlicher Kenngrößen ge-

löscher Bits ist.

[0026] Die Folge von Überprüfungs- und Veränderungsschritt kann mehrere Male wiederholt werden, wobei der zweite Schwellwert jedes Mal verändert werden kann. Der zweite Schwellwert kann dem Leseschwellwert Schritt für Schritt angenähert werden, um den Tuningeffekt zu justieren.

[0027] Das Verfahren ist nicht darauf begrenzt, die oben beschriebenen Schritte vor jedem Rückspeicherschritt durchzuführen. Es kann auch durchgeführt werden, nachdem mehrere Löschschriffe ohne vorherige Vorbereitung durchgeführt worden sind. Alternativ kann in anderen Ausführungen lediglich eine Gruppe von Löschsektoren vor dem Löschen in der geschilderten Art vorbereitet werden.

[0028] Ferner betrifft die Erfindung eine Halbleiterspeicheranordnung zum Vorbereiten der Speicherzellen. Die Halbleiterspeicheranordnung umfasst ein Speicherzellenfeld mit Speicherzellen, wobei jede Speicherzelle Information basierend auf zumindest einer veränderbaren Kenngröße der Speicherzelle speichert, sowie eine Überprüfungseinheit, die an das Speicherzellenfeld gekoppelt ist und die ausgebildet ist, zu überprüfen, ob ein Absolutwert einer Differenz zwischen der Kenngröße und einem Leseschwellwert größer als ein gegebener Schwellwert ist. Die Halbleiterspeicheranordnung umfasst ferner eine Zugriffseinheit, die an das Speicherzellenfeld sowie an die Überprüfungseinheit gekoppelt ist und die ausgebildet ist, die überprüfte Kenngröße zu verändern, sodass der Absolutwert der Differenz verringert ist, oder sodass ein durch die Kenngröße repräsentierter Zustand wechselt. Die zu verändernden Kenngrößen werden mittels einer Zuordnungseinheit einer ersten Gruppe zugeordnet, wenn ein Absolutwert der Differenz zwischen der Kenngröße und dem Leseschwellwert größer ist als der gegebene Schwellwert. Die Zugriffseinheit ist vorzugsweise ausgebildet, die Kenngrößen, die der ersten Gruppe zugeordnet sind zu verändern, indem auf die entsprechenden Speicherzellen zugegriffen wird. Die Zugriffseinheit ist vorzugsweise ferner ausgebildet, Information in jeder Speicherzelle zu speichern.

[0029] Vorteil dieser Anordnung ist, dass Kenngrößen, die möglicherweise in einem folgenden Rückspeicherschritt zu Leckströmen führen, derart manipuliert werden, dass die Leckströme nach dem Rückspeicherschritt nicht mehr auftreten können.

[0030] Die Überprüfungseinheit ist vorteilhafterweise ausgebildet, hinsichtlich eines ersten und eines zweiten Schwellwertes zu überprüfen, um ein differenziertes Vorgehen für leicht zu verändernde und schwer zu verändernde Kenngrößen zu ermöglichen. Der zweite Schwellwert kann variabel sein, um die Vorbereitungsschritte mit mehreren Überprüfungs-

und Veränderungsschritten durchzuführen.

[0031] Vorteilhafterweise sind Speicherzellen als Platz sparende, jeweils zwei Bits speichernde NROM-Zellen ausgebildet.

[0032] Die Zugriffseinheit ist vorzugsweise derart ausgebildet, in den Bits eines Sektors durch Anlegen eines Rückspeichersignals, denselben Zustand zu speichern. Bits die bereits diesen, selben, meist gelöschten Zustand aufweisen, werden lediglich rückgespeichert. Die Zustände der anderen Bits wechseln. In beiden Fällen wird dasselbe Signal angelegt.

[0033] Zum Programmieren der Information wird an einen Teil der gelöschten Speicherzellen ein Programmiersignal angelegt, sodass der Zustand der entsprechenden Bits verändert wird. Das Programmiersignal umfasst eine Folge von Programmierpulsen.

[0034] Die Zugriffseinheit ist vorteilhafterweise ausgebildet, ein Veränderungssignal bereitzustellen, um die Kenngrößen zu verändern. Das Veränderungssignal kann genau einen Programmierpuls oder einige, meist wenige Programmierpulse umfassen. Alternativ kann das Veränderungssignal Pulse umfassen, deren Spannung größer oder kleiner ist als die Spannung eines der Programmierpulse. Solche Veränderungspulse verändern die Kenngröße mehr oder weniger deutlich als die Programmierpulse.

[0035] Nachfolgend wird die Erfindung unter Bezugnahme auf die Zeichnung anhand von Ausführungsbeispielen erklärt.

[0036] Es zeigen:

[0037] [Fig. 1](#) einen Querschnitt einer NROM-Speicherzelle,

[0038] [Fig. 2](#) ein Blockdiagramm eines NROM-Speicherzellenfeldes,

[0039] [Fig. 3](#) eine Verteilung der Schwellspannungen von Bits, die im Speicherzellenfeld gespeichert sind,

[0040] [Fig. 4](#) ein Histogramm der Schwellspannung von Bits, die im Speicherzellenfeld gespeichert sind, nach dem Überprüfen der Schwellspannungen hinsichtlich eines ersten Schwellwertes,

[0041] [Fig. 5](#) das Histogramm gemäß [Fig. 4](#) nach dem Verändern der Schwellspannungen,

[0042] [Fig. 6](#) das Histogramm gemäß [Fig. 5](#) nach dem erneuten Überprüfen und Verändern der Schwellspannung,

[0043] [Fig. 7](#) ein Flussdiagramm eines ersten Ausführungsbeispiels des Verfahrens,

[0044] [Fig. 8](#) ein Flussdiagramm eines zweiten Ausführungsbeispiels des Verfahrens,

[0045] [Fig. 9](#) ein Flussdiagramm eines dritten Ausführungsbeispiels des Verfahrens,

[0046] [Fig. 10](#) ein Flussdiagramm eines vierten Ausführungsbeispiels des Verfahrens,

[0047] [Fig. 11](#) ein erstes Ausführungsbeispiel einer Speicheranordnung und

[0048] [Fig. 12](#) ein zweites Ausführungsbeispiel der Speicheranordnung.

[0049] [Fig. 1](#) zeigt ein Ausführungsbeispiel einer NROM-Speicherzelle. Die Speicherzelle umfasst einen Transistorkörper mit einer Zellwanne **255**, die ein erstes Dotiergebiet **201** und ein zweites Dotiergebiet **202** hat. Eine Kanalregion **254** ist zwischen dem ersten und dem zweiten Dotiergebiet **201**, **202** angeordnet. Eine Gate-Elektrode **400** ist über der Kanalregion **254** angeordnet. Sie ist durch eine Oxid-Nitrid-Oxid-Schicht **251**, **252**, **253** isoliert, wobei die Nitridschicht **252** als Ladungsfängerschicht dient.

[0050] Ein erstes Bit **101** und ein zweites Bit **102** können in verschiedenen Bereichen der Ladungsfängerschicht **252** gespeichert werden. Das erste Bit **101** ist in einer ersten Bitregion nahe dem ersten Dotiergebiet **201** gespeichert, das zweite Bit **102** ist in einer zweiten Bitregion nahe dem zweiten Dotiergebiet **202** gespeichert. Wenn ein gewisser Wert von Ladungen in einer dieser Bitregionen gespeichert ist, wird das entsprechende Bit als „programmiert“ bezeichnet. Dieses Bit repräsentiert eine logische Null. Wenn weniger als der gewisse Wert der Ladungen, oder keine Ladungen, innerhalb dieser Bitregionen gespeichert wird, wird das entsprechende Bit als „gelöscht“ bezeichnet. Es repräsentiert eine logische Eins.

[0051] Das erste und das zweite Bit werden in [Fig. 1](#) durch zwei Ellipsen **101**, **102** dargestellt. Eine leere Ellipse repräsentiert das gelöschte Bit, und eine schraffierte Ellipse repräsentiert das programmierte Bit.

[0052] Das erste und das zweite Bit **101**, **102** beeinflussen eine erste Schwellspannung beziehungsweise eine zweite Schwellspannung. Die Schwellspannung hängt von der Menge der Ladungen ab, die in der entsprechenden Bitregion gefangen sind.

[0053] Das erste Bit **101**, das in der Speicherzelle **100** gespeichert ist, wird gelesen, indem eine Lesespannung zum Lesen des ersten Bits an die Speicherzelle angelegt wird. Wenn das erste Bit **101** pro-

grammiert ist, fließt kein Strom, oder nur ein sehr geringer, zwischen dem ersten und dem zweiten Dotiergebiet **201**, **202**, da die erste Schwellspannung größer ist als die Lesespannung. Wenn das erste Bit gelöscht ist, fließt der Strom, da die erste Schwellspannung geringer ist als die Lesespannung.

[0054] Die erste Schwellspannung steigt mit zunehmender Anzahl von Ladungen, die in der ersten Bitregion gefangen sind, an.

[0055] Das zweite Bit **102** der Speicherzelle **100** wird gelesen, indem eine Lesespannung zum Lesen des zweiten Bits angelegt wird. Wenn das zweite Bit **102** programmiert ist, ist die zweite Schwellspannung, die den binären Wert des zweiten Bits **102** anzeigt, größer als die Lesespannung, sodass der Strom nicht fließt oder lediglich bis zu einer bestimmten Stromstärke fließt. Wenn das zweite Bit **102** gelöscht ist, ist die zweite Schwellspannung geringer als die Lesespannung, sodass der Strom fließt. Die zweite Schwellspannung steigt mit zunehmender Anzahl der Ladungen, die in der zweiten Bitregion gespeichert sind, an.

[0056] [Fig. 2](#) zeigt ein Blockdiagramm eines Speicherzellenfeldes, das eine Vielzahl von Speicherzellen **100** umfasst. Die Speicherzellen **100** sind in Zeilen und Spalten angeordnet. Die Gate-Elektrode **400** der Speicherzellen **100**, die in einer, selben Zeile innerhalb der Vielzahl der Zeilen angeordnet sind, ist mit einer, selben Wortleitung **40** aus der Vielzahl der Wortleitungen verbunden. Das erste Dotiergebiet der Speicherzellen **100**, die in einer selben Zeile angeordnet sind, wird durch eine, selbe Bitleitung **20** aus der Vielzahl der Bitleitungen ausgebildet. Dieselbe Bitleitung **20** bildet die zweiten Dotiergebiete der Speicherzellen **100** aus, die in der benachbarten Spalte angeordnet sind.

[0057] Der Speicherinhalt der Speicherzellen kann geändert werden, indem zuerst die Speicherzellen **100** gleichzeitig oder schrittweise gelöscht werden. Dann werden ausgewählte erste Bits **101** und ausgewählte zweite Bits **102** in Abhängigkeit der Information, die in den Speicherzellen **100** gespeichert werden soll, programmiert.

[0058] Das Löschen wird durchgeführt, indem ein Löschpotenzial, das eine hohe negative Spannung bezogen auf ein Bezugspotenzial ist, an die Wortleitungen **40** angelegt wird. Alternativ ist es möglich, Löschpotenziale ebenso an die Bitleitungen **20** anzulegen. Üblicherweise wird Löschen sektorweise durchgeführt. Das Löschpotenzial wird an alle Speicherzellen eines Löschsektors angelegt, welche sowohl gelöschte als auch programmierte Bits enthalten können. Das resultierende elektrische Feld zwingt Löcher aus der Kanalregion **254** in die Ladungsfängerschicht **252** einzudringen. Somit werden

gelöschte Bits während des Löschrhythms wieder-gelöscht.

[0059] Wenn ein programmiertes Bit gelöscht wird, neutralisieren die eingebrachten Löcher die Elektronen, die in der Ladungsfängerschicht gefangen sind. Somit wird die Schwellspannung, die den Wert des Bits anzeigt, verringert und ist geringer als die Lesespannung.

[0060] Wenn das Löschrhythmpotenzial angelegt wird, sodass ein gelöschtes Bit gelöscht wird, werden die Löcher in die entsprechende Bitregion eingebracht. Diese Löcher können nicht neutralisiert werden, da keine oder nur wenige Elektronen in der Bitregion gefangen sind. Die Schwellspannung, die das gelöschte Bit repräsentiert, kann durch die eingebrachten Löcher weiter verringert werden.

[0061] [Fig. 3](#) zeigt eine typische Verteilung von ersten und zweiten Schwellspannungen VT, die eine Vielzahl von ersten und zweiten Bits **101**, **102**, die in einem Speicherzellenfeld gespeichert sind, repräsentieren. Die gespeicherten Bits **101**, **102** sind entweder programmiert oder gelöscht.

[0062] Die Verteilung umfasst zwei glockenförmige Verteilungskurven **50**, **51** innerhalb eines Programmierbereichs **30** oberhalb der Lesespannung RD beziehungsweise innerhalb eines Löschrhythmbereichs **31** unterhalb der Lesespannung RD.

[0063] Die erste Kurve **51** zeigt die Verteilung von gelöschten Bits über der Schwellspannung VT an. Diese Bits werden durch die Schwellspannungen VT, die geringer als die Lesespannung RD und üblicherweise geringer als eine Löschrhythmspannung EV sind, repräsentiert. Die zweite Kurve **50** zeigt die Verteilung der programmierten Bits an, die durch Schwellspannungen VT repräsentiert werden, die größer als die Lesespannung RD und üblicherweise größer als eine Programmierspannung PV sind.

[0064] Die Bits innerhalb eines linken Ausläufers **511** der ersten Kurve **51** werden als „über-gelöscht“ bezeichnet. Ihre Schwellspannungen VT sind deutlich geringer als eine durchschnittliche Schwellspannung P1 der gelöschten Bits. Bits innerhalb eines rechten Ausläufers **510** der ersten Kurve **51** werden als „unter-gelöscht“ bezeichnet. Ihre Schwellspannungen VT sind deutlich oberhalb der durchschnittlichen Schwellspannung P1 der gelöschten Bits.

[0065] In entsprechender Weise werden die Bits innerhalb eines linken Ausläufers **501** der zweiten Kurve **50** als „unter-programmiert“ und die Bits innerhalb eines rechten Ausläufers **500** der zweiten Kurve **50** als „über-programmiert“ bezeichnet.

[0066] Der Schritt zum Löschen eines der program-

mierten Bits umfasst das Verändern der Schwellspannung VT, die das Bit repräsentiert, sodass die Schwellspannung VT aus Programmierbereich **30** in den Löschrhythmbereich **31** verschoben wird. Das Löschen wird durchgeführt, indem die Löschrhythmpotenziale in Pulsen an die Speicherzelle angelegt werden, die das entsprechende Bit speichert. Üblicherweise ist die Nummer der Löschrhythmpulse, die an die Speicherzellen angelegt werden, fix und variiert nicht von Speicherzelle zu Speicherzelle.

[0067] Durch jeden Speicherpuls wird hervorgerufen, dass ein Quantum an Löchern in die entsprechende Bitregion der Speicherzellen eingebracht wird. Die Größe dieses Quantums kann von Speicherzelle zu Speicherzelle variieren. In ähnlicher Weise können Unterschiede hinsichtlich der Schwellspannungen eines jeden Bits im gelöschten Zustand und desselben Bits im programmierten Zustand von Bit zu Bit differieren. Die durchschnittliche Differenz zwischen den Schwellspannungen der programmierten Bits zu den entsprechenden Schwellspannungen derselben Bits im gelöschten Zustand ist ungefähr die Differenz zwischen den durchschnittlichen Schwellspannungen P1 und P0 der gelöschten beziehungsweise der programmierten Bits. Nichtsdestotrotz sind über-programmierte Bits und unter-programmierte Bits nach dem Löschen meist unter-gelöschte Bits beziehungsweise über-gelöschte Bits.

[0068] Üblicherweise wird das Löschen durchgeführt, indem die Löschrhythmpulse an alle Speicherzellen eines Sektors angelegt werden. Dadurch werden die Schwellspannungen der programmierten Bits deutlich verringert, sodass diese Bits gelöscht werden. Die Schwellspannungen der vor dem Löschen bereits gelöschten Bits werden weiter verringert. Der Schwellspannungsabfall der gelöschten Bits ist jedoch geringer als der Schwellspannungsabfall der programmierten Bits. Im Gegensatz zum Löschen, bei dem alle Speicherzellen eines Sektors gelöscht werden, umfasst das Programmieren das Anlegen von Programmierpulsen lediglich an ausgewählte Speicherzellen, die programmiert werden sollen.

[0069] Ein über-programmiertes Bit kann schwer zu löschen sein, weil die Schwellspannung VT, die das Bit repräsentiert, um zumindest die Differenz zwischen der Schwellspannung VT und der Lesespannung RD verringert werden muss. Ein Bit, das schwer zu löschen ist, ist nach dem Durchführen des Löschrhythms unterprogrammiert. Dieses Bit ist üblicherweise leicht zu programmieren, da der Unterschied zwischen der Schwellspannung VT des gelöschten Bits und der Lesespannung RD gering ist.

[0070] In ähnlicher Weise können über-gelöschte Bits schwer zu programmieren sein, was in diesem Fall zu unter-programmierten Bits führt, die wiederum leicht zu löschen sind.

[0071] Jedoch ist nicht jedes über-gelöschte Bit schwer zu programmieren. In diesem Fall ist die Schwellspannung VT des vormals über-gelöschten Bits nach dem Durchführen des Programmierens nahe der durchschnittlichen Schwellspannung P0 der programmierten Bits oder übertrifft diesen Wert. Ähnlich muss nicht jedes über-programmierte Bit schwer zu löschen sein.

[0072] Im Fall von Bits, die extrem über-gelöscht sind, sodass ihre Schwellspannungen VT größer ist eine Leckschwellspannung PAEV sind, sind die entsprechenden Speicherzellen leitend selbst wenn das Lesepotenzial nicht an diese Speicherzellen angelegt wird. Wegen der großen Menge von Löchern, die in den Ladungsfängerregionen dieser extrem über-gelöschten Speicherzellen gefangen sind, fließt ein Leckstrom. Sie haben einen großen Leistungsverbrauch und das entsprechende extrem über-gelöschte Bit ist üblicherweise schwer zu programmieren. Aufgrund dessen verringert sich die Lebenszeit dieser Speicherzellen, und sie können ausfallen, nachdem ein paar Löschzyklen nacheinander durchgeführt worden sind.

[0073] Durch ein so genanntes „Programmieren-nach-dem-Löschen“-Verfahren können Leckströme vermieden werden. Dieses Verfahren umfasst, zumindest einen Programmierpuls an die Speicherzellen anzulegen, die ein über-gelöschtes Bit speichern, sodass die Schwellspannung VT größer als die Leckschwellspannung PAEV wird.

[0074] Das folgende so genannte „Programmieren-vor-dem-Löschen“-Verfahren ermöglicht es, den Ausfall von Speicherzellen, die selten programmiert und oft wieder-gelöscht werden, zu vermeiden. Die über-gelöschten Bits werden vor dem eigentlichen Löschen mittels dieses Verfahrens vorbereitet, um einen weiteren Schwellspannungsabfall, insbesondere auf einen Wert unterhalb der Leckschwellspannung, wegen des Löschens zu vermeiden.

[0075] [Fig. 4](#) zeigt ein Histogramm der gelöschten Bits über der Schwellspannung VT in Anlehnung an die Verteilungskurve [51](#), die in [Fig. 3](#) gezeigt wird. Das Histogramm umfasst mehrere Balken, von denen jeder eine Höhe und eine Breite hat. Die Höhe jedes Balkens gibt die Anzahl der Bits an, die durch eine Schwellspannung VT repräsentiert werden, die innerhalb eines Intervalls liegt, welches durch die Position des Balkens auf der VT-Achse und dessen Breite angezeigt wird. Um das folgende Verfahren zu veranschaulichen, umfasst das Histogramm nur wenige Balken.

[0076] Die über-gelöschten Bits werden dahingehend überprüft, ob ihre Schwellspannung VT, die das Bit repräsentiert, geringer ist als eine gegebene erste Schwellwert-Spannung PBE_RD. Die erste Schwell-

wert-Spannung PBE_RD wird zwischen der Löschespannung EV und der Leckschwellspannung PAEV eingestellt. Die erste Schwellwert-Spannung PBE_RD ist nahe der Leckschwellspannung PAEV.

[0077] Das Überprüfen der zweiten Bits **102** in den Speicherzellen kann durchgeführt werden, indem die erste Schwellwert-Spannung PBE_RD an das Gate und eine bestimmte Spannung zwischen das erste und zweite Dotiergebiet **201, 202** jeder Speicherzelle **100** angelegt wird. Es wird detektiert, ob Strom zwischen dem ersten und dem zweiten Dotiergebiet fließt. Wenn der Strom fließt, ist die Schwellspannung VT geringer als die erste Schwellwert-Spannung PBE_RD. Das erste Bit wird überprüft, indem die inverse Spannung zwischen das erste und das zweite Dotiergebiet **201, 202** angelegt wird.

[0078] Die Bits, die durch eine Schwellspannung VT, die geringer als die erste Schwellwert-Spannung PBE_RD ist, repräsentiert werden, werden einer ersten Gruppe zugeordnet. Diese Bits **61** sind in [Fig. 4](#) durch Schraffur angedeutet. Die anderen Bits **62** werden einer zweiten Gruppe zugeordnet. Obwohl die folgende Beschreibung des Verfahrens auf die gelöschten Bits ausgerichtet ist, sind die programmierten Bits ebenso der zweiten Gruppe zugeordnet, da sie durch Schwellspannungen VT repräsentiert werden, welche sehr viel größer sind als die erste Schwellwert-Spannung PBE_RD.

[0079] Die Schwellspannungen VT der Bits **61**, die der ersten Gruppe zugeordnet sind, werden verändert, sodass die Schwellspannung VT näher der Lesespannung RD ist oder darüber hinausgeht. Das Verändern wird durchgeführt, indem ein Programmierpuls, der auch als „Programmieren-vor-dem-Löschen“-Puls oder PBE-Puls bezeichnet wird, an die Speicherzellen angelegt wird, die Bits **61** speichern, die der ersten Gruppe zugeordnet sind. Es ist ebenso möglich, mehr als einen Programmierpuls an diese Speicherzellen **61** anzulegen. Alternativ kann die durch den PBE-Puls angelegte Spannung größer als die durch den Programmierpuls angelegte Spannung sein.

[0080] [Fig. 5](#) zeigt ein Histogramm gemäß [Fig. 4](#) nachdem das Verändern der Schwellspannungen VT durchgeführt worden ist. Die Schwellspannungen VT, die der ersten Gruppe zugeordnete Bits **61a, 61b** repräsentieren, sind erhöht. Hierzu ist dieselbe Anzahl von PBE-Pulsen, üblicherweise einer, an die Speicherzellen angelegt worden, um die Schwellspannungen VT zu verändern, welche die Bits **61a, 61b**, die der ersten Gruppe zugeordnet sind, repräsentieren. Jedoch variiert die Veränderung der Schwellspannung VT. Die veränderten Schwellspannungen VT sind in [Fig. 5](#) durch Schraffur angedeutet.

[0081] Das oben beschriebene Ausführungsbeispiel

umfasst auch das Verändern der Schwellspannung VT, die unterhalb der Leckschwellspannung PAEV liegen. Dadurch ist der Fluss von Leckströmen unterdrückt.

[0082] Basierend von der Abhängigkeit der veränderten Schwellspannungen VT der der ersten Gruppe zugeordneten Bits **61a**, **61b** wird ein weiterer Programmieren-vor-dem-Löschen-Schritt durchgeführt.

[0083] Die Schwellspannungen VT der Bits **61a**, **61b**, die der ersten Gruppe zugeordnet sind, werden hinsichtlich einer gegebenen zweiten Schwellwert-Spannung EV2 überprüft. Dieser Vergleich ermöglicht es, zu detektieren, ob die vormals über-gelöschten Bits leicht zu löschende Bits oder schwer zu löschende Bits sind. Die Bits **61a**, die durch eine Schwellspannung VT repräsentiert werden, welche größer als die zweite Schwellwert-Spannung EV2 ist, werden der zweiten Gruppe zugeordnet. Diese Bits **61a** sind leicht zu programmieren und folglich schwer zu löschen. Die Bits **61b**, die durch eine Schwellspannung VT repräsentiert werden, welche geringer ist als die zweite Schwellwert-Spannung EV2, bleiben der ersten Gruppe zugeordnet. Diese Bits **61b** sind schwer zu programmieren und leicht zu löschen.

[0084] Die Schwellspannung VT der Bits **61b**, die noch der ersten Gruppe zugeordnet sind, werden während eines folgenden Veränderungsschritts verändert. Ein PBE-Puls wird an die entsprechenden Speicherzellen angelegt, um die Schwellspannungen VT der Bits **61b**, die der ersten Gruppe zugeordnet sind, zu erhöhen. Der zweite Veränderungsschritt kann auch umfassen, mehr als einen PBE-Puls anzulegen.

[0085] Die zweite Schwellwert-Spannung EV2 kann gleich der Löschespannung EV sein. In diesem Fall werden, nachdem der weitere Veränderungsschritt durchgeführt worden ist, die Schwellspannungen VT der vormals über-gelöschten Bits größer als die Schwellspannung VT der übrigen gelöschten Bits. Alternativ kann die zweite Schwellwert-Spannung EV2 gleich der Lesespannung RD sein. In diesem Fall werden, um die Schwellspannung VT der vormals über-gelöschten Bits zu verändern, diese Bits programmiert. Die zweite Schwellwert-Spannung EV2 kann größer oder geringer als die Löschespannung EV sein.

[0086] [Fig. 6](#) zeigt ein modifiziertes Histogramm gemäß [Fig. 5](#), nachdem der zweite Veränderungsschritt durchgeführt worden ist. Die Schwellspannungen VT, durch die die Bits **61b** der ersten Gruppe repräsentiert werden, sind weiter erhöht.

[0087] Auf Grund der oben beschriebenen Veränderung der Schwellspannungen VT, führt der folgende eigentliche Löscheschritt, um alle vormals gelöschten

Bits **61**, **61a**, **62** zu löschen, nicht dazu, dass die Schwellspannungen VT kleiner als die Leckschwellspannung PAEV werden.

[0088] [Fig. 7](#) fasst ein Ausführungsbeispiel der Erfindung zusammen.

[0089] [Fig. 7](#) zeigt ein Flussdiagramm zur Kennzeichnung des Programmieren-vor-dem-Löschen-Verfahrens für ein Bit, das in einer der Speicherzellen gespeichert ist. Während des ersten Schritts **700** wird die Schwellspannung VT, die das Bit repräsentiert, hinsichtlich der ersten Schwellwert-Spannung PBE_RD überprüft. Wenn die Schwellspannung VT geringer ist als die erste Schwellwert-Spannung PBE_RD, wird zumindest ein PBE-Puls an die Speicherzelle angelegt, um die Schwellspannung VT während des folgenden Veränderungsschritts **710** zu erhöhen. Wenn die Schwellspannung VT größer als die erste Schwellwert-Spannung PBE_RD ist, wird die Schwellspannung VT vor dem Löschen nicht verändert.

[0090] Nach dem Durchführen des Veränderungsschritts **710** wird die Schwellspannung VT hinsichtlich der zweiten Schwellwert-Spannung EV2 während des Überprüfungsschritts **720** überprüft. Wenn die Schwellspannung VT geringer als die gegebene zweite Schwellwert-Spannung EV2 ist, wird während des zweiten Veränderungsschritts **730** ein weiterer PBE-Puls an diese Speicherzelle angelegt.

[0091] Der Schritt zum Löschen dieses Bits wird durchgeführt, nachdem das oben beschriebene Programmieren-vor-dem-Löschen-Verfahren angewendet worden ist.

[0092] [Fig. 8](#) zeigt ein Flussdiagramm, das ein weiteres Ausführungsbeispiel des Verfahrens verdeutlicht. Dieses Verfahren richtet sich auf eine Vielzahl von Bits, die in einer Vielzahl von Speicherzellen, die einem Löschesektor zugeordnet sind, gespeichert sind. Während des ersten Schritts **750** wird jedes Bit hinsichtlich der ersten Schwellwert-Spannung PBE_RD überprüft. Wenn die Schwellspannung VT geringer ist als die erste Schwellwert-Spannung PBE_RD, wird das Bit während des folgenden Zuordnungsschritts **760** der ersten Gruppe zugeordnet. Sonst wird das Bit während des Zuordnungsschritts **790** der zweiten Gruppe zugeordnet. Ein PBE-Puls wird an die Speicherzellen angelegt, welche Bits, die der ersten Gruppe zugeordnet sind, speichern. Dadurch werden die Schwellspannungen VT, die diese Bits repräsentieren, erhöht. Die Schwellspannungen der Bits, die der zweiten Gruppe zugeordnet sind, werden nicht verändert.

[0093] Nach dem Durchführen dieses Veränderungsschritts **770** werden die Schwellspannungen VT der Bits, die der ersten Gruppe zugeordnet sind, wäh-

rend des Schritts **780** hinsichtlich der zweiten Schwellwert-Spannung EV2 überprüft. Wenn die Schwellspannung VT größer ist als die zweite Schwellwert-Spannung EV2, wird das entsprechende Bit während des Zuordnungsschritts **790** der zweiten Gruppe zugeordnet. Wenn die Schwellspannung VT geringer ist als die zweite Schwellwert-Spannung EV2, bleibt das entsprechende Bit der ersten Gruppe zugeordnet. Während des Schritts **800** wird ein weiterer PBE-Puls an die Speicherzellen, die Bits speichern, die der ersten Gruppe zugeordnet sind, angelegt, um die Schwellspannungen VT dieser Bits zu erhöhen.

[0094] [Fig. 9](#) zeigt ein weiteres Ausführungsbeispiel des Verfahrens. Das Flussdiagramm zeigt das Verfahren für ein Bit.

[0095] Während des ersten Schritts **830** wird die Schwellspannung VT, die das Bit repräsentiert, hinsichtlich der ersten Schwellwert-Spannung PBE_RD überprüft. Wenn die Schwellspannung VT geringer ist als die erste Schwellwert-Spannung PBE_RD, wird ein Programmpuls an die Speicherzelle angelegt, um deren Schwellspannung VT zu erhöhen, wie in Schritt **840** dargestellt. Wenn die Schwellspannung VT größer ist als die erste Schwellwert-Spannung PBE_RD, wird die Schwellwert-Spannung VT vor dem Löschen nicht verändert.

[0096] Während des zweiten Überprüfungsschritts **850** wird die veränderte Schwellspannung VT hinsichtlich der zweiten Schwellwert-Spannung EV2 überprüft. Wenn die Schwellspannung VT geringer ist als die zweite Schwellwert-Spannung EV2, wird ein PBE-Puls an die Speicherzelle angelegt, um den Schwellspannung VT zu erhöhen, wie in Schritt **860** angedeutet.

[0097] Die Überprüfungs- und Veränderungsschritte **850**, **860** können mehrere Male wiederholt werden, wobei die zweite Schwellwert-Spannung EV2 jedes Mal verändert wird. Die Anzahl der Iterationen, angedeutet in Block **870** als N, hängt von dem gewünschten Tuning-Grad der über-gelöschten Bits ab. Vorzugsweise wird die zweite Schwellwert-Spannung EV2 schrittweise erhöht, wie in Schritt **880** angedeutet. Das Inkrement, Mn, kann während jedes Schritts **880** gleich sein oder variieren. Es ist auch denkbar, dass die Überprüfungs- und Veränderungsschritte **850**, **860** N-mal ohne Veränderung der zweiten Schwellwertspannung EV2 wiederholt werden. In diesen Fällen werden die Schwellspannungen VT der Bits, die sehr schwer zu programmieren sind, öfter verändert als die Schwellspannung der Bits, die leichter zu programmieren sind.

[0098] Dieses Ausführungsbeispiel ermöglicht das schrittweise Erhöhen der Schwellspannung VT und das schrittweise Tuning der über-gelöschten Bits.

[0099] [Fig. 10](#) zeigt ein weiteres Ausführungsbeispiel des Verfahrens, eine Vielzahl von Bits betreffend. Jede Schwellspannung VT repräsentiert eines der Bits und wird während des ersten Schritts **910** hinsichtlich der ersten Schwellwert-Spannung PBE_RD überprüft. Wenn die Schwellspannung VT geringer ist als die erste Schwellwert-Spannung PBE_RD, wird das Bit, das durch diese Schwellspannung VT repräsentiert wird, während des Zuordnungsschritts **920** der ersten Gruppe zugeordnet. Sonst wird das Bit während des Zuordnungsschritts **950** der zweiten Gruppe zugeordnet.

[0100] Während des ersten Veränderungsschritts **930** wird ein PBE-Puls an die Speicherzellen angelegt, die Bits speichern, die der ersten Gruppe zugeordnet sind. Die Schwellspannung VT, die der ersten Gruppe zugeordnete Bits repräsentiert, wird während des Schritts **940** hinsichtlich der zweiten Schwellwert-Spannung EV2 überprüft. Wenn die Schwellspannung VT größer als die zweite Schwellwert-Spannung EV2 ist, werden die entsprechenden Bits während des Zuordnungsschritts **950** der zweiten Gruppe zugeordnet. Sonst bleiben die Bits der ersten Gruppe zugeordnet, und ein weiterer PBE-Puls wird angelegt, um die entsprechenden Schwellspannungen VT während des Veränderungsschritts **960** zu erhöhen.

[0101] Die Schleife, die den Überprüfungsschritt **940** und den Veränderungsschritt **960** umfasst, kann mehrere Male wiederholt werden, wie in [Fig. 10](#) angedeutet und bereits für [Fig. 8](#) beschrieben.

[0102] Das oben beschriebene Programmieren-vor-dem-Löschen-Verfahren und seine Ausführungsbeispiele kann in entsprechender Weise verwendet werden, um die Schwellspannungen von überprogrammierten Speicherzellen vor einem erneuten Programmieren zu reduzieren.

[0103] Das Zuordnen der Bits, die durch eine Schwellspannung repräsentiert werden, zu der ersten oder der zweiten Gruppe ist gleichwertig mit dem Zuordnen der entsprechenden Schwellwerte zu der ersten oder der zweiten Gruppe.

[0104] [Fig. 11](#) zeigt ein Ausführungsbeispiel der Speicherschaltung, die ausgebildet ist, das oben beschriebene Programmieren-vordem-Löschen-Verfahren auszuführen.

[0105] Die Speicheranordnung umfasst ein Speicherzellenfeld **1** mit einer Vielzahl von Speicherzellen **100**, von denen jede zu einem von einer Vielzahl von Löschsektoren **10** zugeordnet ist. Jede Speicherzelle **100** ist ausgebildet, zumindest ein Bit zu speichern. Im Falle von NROM-Speicherzellen ist jede Speicherzelle ausgebildet, ein erstes und ein zweites Bit zu speichern. Jedes Bit wird durch eine Schwellspan-

nung VT repräsentiert.

[0106] Eine Zugriffseinheit **3** ist an das Speicherzellenfeld **1** gekoppelt. Die Zugriffseinheit **3** ist ausgebildet, die Bits, die in den Speicherzellen **100** gespeichert sind, zu programmieren und zu löschen. Die Zugriffseinheit ist ferner ausgebildet, Löschpulse bereitzustellen, die an die Speicherzellen **100** angelegt werden, die zu löschende Bits speichern. Im Falle von gleichzeitigem Löschen der Speicherzellen **100**, die einem Löschsektor **10** zugeordnet sind, können die zu löschenden Bits programmierte und gelöschte Bits umfassen. Ferner ist die Zugriffseinheit ausgebildet, Programmierpulse bereitzustellen, die an die Speicherzellen angelegt werden, die die zu programmierenden Bits speichern. Hierbei werden die Schwellspannungen VT, die diese Bits repräsentieren, erhöht. Die Zugriffseinheit **3** ist ferner ausgebildet, PBE-Pulse anzulegen, um die Schwellspannung VT derart zu erhöhen, dass die Schwellspannung VT näher an der Lesespannung RD ist oder dass der Zustand des gespeicherten Bits wechselt.

[0107] Die Speichereinheit umfasst ferner eine Überprüfungseinheit **2**, die an das Speicherzellenfeld **1** und an die Zugriffseinheit **3** gekoppelt ist.

[0108] Die Überprüfungseinheit **2** ist ausgebildet, zu überprüfen, ob die Schwellspannung VT größer als eine Schwellwert-Spannung ist. Die Schwellwert-Spannung ist variabel, um hinsichtlich der ersten oder der zweiten Schwellwert-Spannung PBE_RD, EV2, zu prüfen. Letztere Schwellwert-Spannung kann veränderbar sein, um mehrere Iterationsschritte, jeweils überprüfen und verändern umfassend, durchzuführen.

[0109] Die Zugriffseinheit **3** ist ferner ausgebildet, die Bits nebst den entsprechenden Speicherzellen zu identifizieren, die durch eine überprüfte Schwellspannung VT kleiner als eine gegebene erste Schwellwert-Spannung PBE_RD repräsentiert werden. Die Zugriffseinheit **3** ist ferner ausgebildet, diese Schwellspannung VT zu verändern. Darüber hinaus ist die Zugriffseinheit ausgebildet, zu überprüfen, ob die Bits, die durch die Schwellspannung VT repräsentiert werden, während des vorhergehenden Veränderungsschritts verändert worden sind, nunmehr eine Schwellspannung VT haben, die geringer als eine gegebene zweite Schwellwert-Spannung EV2 ist. Die Zugriffseinheit **3** ist ferner ausgebildet, diese Schwellspannungen VT zu ändern.

[0110] Die Speicheranordnung kann einen Zähler umfassen, der an die Überprüfungseinheit **2** und die Zugriffseinheit **3** gekoppelt ist und welcher ausgebildet ist, die Anzahl der Iterationen an Überprüfungs- und Veränderungsschritten zu zählen.

[0111] [Fig. 12](#) zeigt eine Schaltungsanordnung ge-

mäß [Fig. 11](#) die darüber hinaus eine Zuordnungseinheit **4** umfasst, die zwischen die Überprüfungseinheit **2** und die Zugriffseinheit **3** gekoppelt ist und welche ausgebildet ist, jedes der Bits zu einer ersten Gruppe zuzuordnen, wenn die repräsentierende Schwellspannung VT geringer ist als eine gegebene Schwellwert-Spannung PBE_RD, EV2 oder sonst einer zweiten Gruppe zuzuordnen.

[0112] Die Zugriffseinheit **3** ist ferner ausgebildet, die Bits zu identifizieren, die der ersten Gruppe zugeordnet sind, beziehungsweise die entsprechenden Speicherzellen, um die Schwellspannungen VT der ersten Gruppe zu verändern.

[0113] Das Zuordnen der Bits, jeweils durch Schwellspannungen repräsentiert, zu der ersten oder zu der zweiten Gruppe ist gleichwertig mit dem Zuordnen der entsprechenden Schwellspannung zu der ersten oder der zweiten Gruppe.

[0114] Obwohl die Erfindung und ihre Vorteile detailliert beschrieben worden sind, sei bemerkt, dass verschiedene Veränderungen, Substitutionen oder Abänderungen gemacht werden können ohne vom erfindungsgemäßen Gedanken und der Erfindung abzurücken.

[0115] Ferner ist der Fokus der Anwendung nicht auf bestimmte Ausführungsbeispiele des Verfahrens oder der Vorrichtung beschränkt.

Bezugszeichenliste

1:	Speicherzellenfeld
2:	Überprüfungseinheit
3:	Zugriffseinheit
4:	Zuordnungseinheit
10:	Löschsektor
20:	Bitleitung
40:	Wortleitung
100:	Speicherzelle
101:	erstes Bit
102:	zweites Bit
201:	erstes Dotiergebiet
202:	zweites Dotiergebiet
250:	Substrat
251, 252, 253:	Oxid-Nitrid-Oxid-Schicht
254:	Kanalregion
255:	Zellwanne
400:	Gate
51:	erste Verteilungskurve
50:	zweite Verteilungskurve
31:	Löschbereich
30:	Programmierbereich
500:	rechter Ausläufer der zweiten Verteilungskurve
501:	linker Ausläufer der zweiten Verteilungskurve

510:	rechter Ausläufer der ersten Verteilungskurve
511:	linker Ausläufer der ersten Verteilungskurve
60, 60b:	erste Gruppe
62, 61a:	zweite Gruppe
VT:	Schwellschwung
EV:	Löschschwung
PV:	Programmierschwung
P1, P2:	durchschnittliche Schwellschwung
PAEV:	Leckschwellschwung
PBE_RD:	erste Schwellschwung-Spannung
EV2:	zweite Schwellschwung-Spannung

Patentansprüche

1. Verfahren zum Vorbereiten eines Rückspeicherns von Informationen, die in einer Vielzahl von Speicherzellen (**100**) gespeichert sind, wobei jede Speicherzelle (**100**) eine veränderbare Kenngröße (VT) hat, die die gespeicherte Information anzeigt, und wobei die veränderbare Kenngröße (VT) einen ersten Zustand anzeigt, wenn die Kenngröße (VT) kleiner als ein Leseschwellschwung (RD) ist, und die veränderbare Kenngröße (VT) einen zweiten Zustand anzeigt, wenn die Kenngröße (VT) größer als der Leseschwellschwung (RD) ist, wobei das Verfahren umfasst:

- Überprüfen, ob ein Absolutwert einer ersten Differenz zwischen der Kenngröße (VT) und dem Leseschwellschwung (RD) größer als ein gegebener erster Schwellschwung ist,
- Zuordnen der überprüften Kenngröße (VT) zu einer ersten Gruppe (**61**), wenn der Absolutwert der ersten Differenz größer als der erste Schwellschwung ist, und
- Verändern der Kenngrößen (VT), die der ersten Gruppe (**61**) zugeordnet sind, sodass zumindest einer der Absolutwerte der ersten Differenzen verringert ist, oder sodass zumindest einer der gespeicherten Zustände wechselt.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass weiterhin vorgesehen sind:

- Überprüfen, ob ein Absolutwert einer zweiten Differenz zwischen der veränderten Kenngröße (VT), die der ersten Gruppe (**61a, 61b**) zugeordnet ist, und dem Leseschwellschwung (RD) größer als ein gegebener zweiter Schwellschwung ist,
- Zuordnen der überprüften Kenngröße (VT), die der ersten Gruppe (**61a, 61b**) zugeordnet ist, zu einer zweiten Gruppe (**61a**), wenn der Absolutwert der zweiten Differenz kleiner als der zweite Schwellschwung ist, und
- Verändern der Kenngrößen (VT), die der ersten Gruppe (**61b**) zugeordnet sind, sodass zumindest einer der Absolutwerte der zweiten Differenzen verringert ist, oder sodass zumindest einer der gespeicherten Zustände wechselt.

3. Verfahren nach Anspruch 1 oder 2, dadurch

gekennzeichnet, dass im ersten Überprüfungsschritt die Kenngrößen (VT) aller Bits überprüft werden, die einem Sektor (**10**) zugeordnet sind.

4. Verfahren nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass zumindest eine weitere Folge von einem Überprüfungs-, einem Zuordnungs- und einem Veränderungsschritt vorgesehen ist.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass bei jedem weiteren Überprüfungsschritt der zweite Schwellschwung verändert wird und der darauf folgende Zuordnungs- und Veränderungsschritt in Abhängigkeit des veränderten zweiten Schwellschwungs erfolgt.

6. Verfahren nach Anspruch 4 oder 5, dadurch gekennzeichnet, dass der zweite Schwellschwung bei dem weiteren Überprüfungsschritt oder den weiteren Überprüfungsschritten reduziert wird.

7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die variable Kenngröße eine Schwellschwung (VT) der Speicherzelle (**100**) umfasst.

8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Verändern der Kenngröße (VT) das Anlegen zumindest eines Veränderungspulses an die Speicherzelle (**100**) umfasst.

9. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Informationen nach dem Durchführen zumindest einer Folge von einem Überprüfungs-, einem Zuordnungs- und einem Veränderungsschritt rückgespeichert wird.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass das Rückspeichern im Rahmen eines Schritts erfolgt, in Folge dessen in den Bits des Sektors derselbe Zustand gespeichert ist.

11. Verfahren nach Anspruch 9 oder 10, dadurch gekennzeichnet, dass das Rückspeichern das Anlegen zumindest eines Rückspeicherpulses an die Speicherzellen (**100**) umfasst.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass die Rückspeicherpulse an alle Speicherzellen (**100**) angelegt werden, die Bits speichern, die dem Sektor (**10**) zugeordnet sind.

13. Halbleiterspeicheranordnung mit

- einem Speicherzellenfeld (**1**) mit Speicherzellen (**100**), wobei jede Speicherzelle (**100**) Information basierend auf zumindest einer Kenngröße (VT) der Speicherzelle (**100**) speichert,
- einer Überprüfungseinheit (**2**), die an das Speicher-

zellenfeld (1) gekoppelt ist und die ausgebildet ist, zu überprüfen, ob ein Absolutwert einer Differenz zwischen der Kenngröße (VT) und einem Leseschwellwert (RD) größer als ein gegebener Schwellwert ist, und

– einer Zugriffseinheit (3), die an das Speicherzellenfeld (1) sowie an die Überprüfungseinheit (2) gekoppelt ist und die ausgebildet ist, die überprüfte Kenngröße (VT) zu verändern, sodass der Absolutwert der Differenz verringert ist, oder sodass ein durch die Kenngröße repräsentierter Zustand wechselt,
– und gekennzeichnet durch eine Zuordnungseinheit (4), die an die Überprüfungseinheit (2) gekoppelt ist und die ausgebildet ist, die überprüfte Kenngröße (VT) einer ersten Gruppe zuzuordnen, wenn der Absolutwert der Differenz zwischen der Kenngröße (VT) und dem Leseschwellwert (RD) größer als der gegebene Schwellwert ist.

14. Halbleiterspeicheranordnung nach Anspruch 13, dadurch gekennzeichnet, dass die Überprüfungseinheit (2) die Differenz hinsichtlich eines ersten und eines zweiten gegebenen Schwellwertes überprüfen kann.

15. Halbleiterspeicheranordnung nach Anspruch 13 oder 14, dadurch gekennzeichnet, dass die Zuordnungseinheit (4) ferner ausgebildet ist, die überprüfte Kenngröße (VT) einer zweiten Gruppe zuzuordnen, wenn der Absolutwert der Differenz zwischen der Kenngröße (VT) und dem Leseschwellwert (RD) kleiner als der gegebene Schwellwert ist.

16. Halbleiterspeicheranordnung nach einem der Ansprüche 13 bis 15, dadurch gekennzeichnet, dass die Zugriffseinheit (3) die Kenngrößen (VT), die der ersten Gruppe zugeordnet sind, verändert.

17. Halbleiterspeicheranordnung nach einem der Ansprüche 14 bis 16, dadurch gekennzeichnet, dass der zweite Schwellwert veränderbar ist.

18. Halbleiterspeicheranordnung nach einem der Ansprüche 14 bis 17, dadurch gekennzeichnet, dass ein Zähler zum Zählen von durchgeführten Vergleichsschritten vorgesehen ist.

19. Halbleiterspeicheranordnung nach einem der Ansprüche 13 bis 18, dadurch gekennzeichnet, dass die Kenngröße eine Schwellspannung (VT) der Speicherzelle (100) umfasst.

20. Halbleiterspeicheranordnung nach einem der Ansprüche 13 bis 19, dadurch gekennzeichnet, dass die Speicherzellen (100) zwei Bits (101, 102) speichern, wobei jedes der Bits (101, 102) durch jeweils eine Kenngröße repräsentiert wird.

21. Halbleiterspeicheranordnung nach Anspruch 20, dadurch gekennzeichnet, dass die Speicherzellen

(100) als NROM-Speicherzellen ausgebildet sind.

22. Halbleiterspeicheranordnung nach einem der Ansprüche 13 bis 21, dadurch gekennzeichnet, dass die Zugriffseinheit (3) ausgebildet ist, ein Veränderungssignal bereitzustellen, das an die Speicherzellen (100) mit zu verändernder Kenngröße (VT) angelegt wird, wobei das Veränderungssignal zumindest einen Veränderungspuls umfasst.

23. Halbleiterspeicheranordnung nach einem der Ansprüche 13 bis 22, dadurch gekennzeichnet, dass die Zugriffseinheit (3) ausgebildet ist, ein Rückspeichersignal bereitzustellen, das an die Speicherzellen angelegt wird, sodass die Bits in den Speicherzellen denselben Zustand speichern.

24. Halbleiterspeicheranordnung nach Anspruch 23, dadurch gekennzeichnet, dass das Rückspeichersignal zumindest einen Rückspeicherpuls umfasst.

25. Halbleiterspeicheranordnung nach Anspruch 23 oder 24, dadurch gekennzeichnet, dass die Zugriffseinheit (3) ausgebildet ist, das Rückspeichersignal an alle Speicherzellen (100) anzulegen, die Bits speichern, die einem Sektor (10) zugeordnet sind.

Es folgen 8 Blatt Zeichnungen

FIG 1

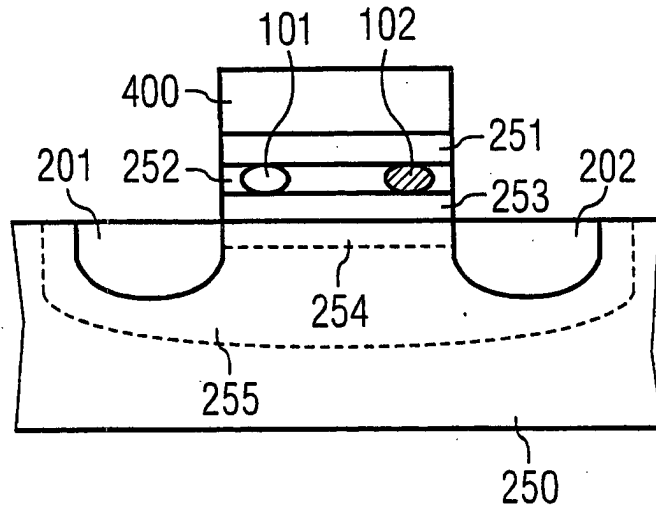


FIG 2

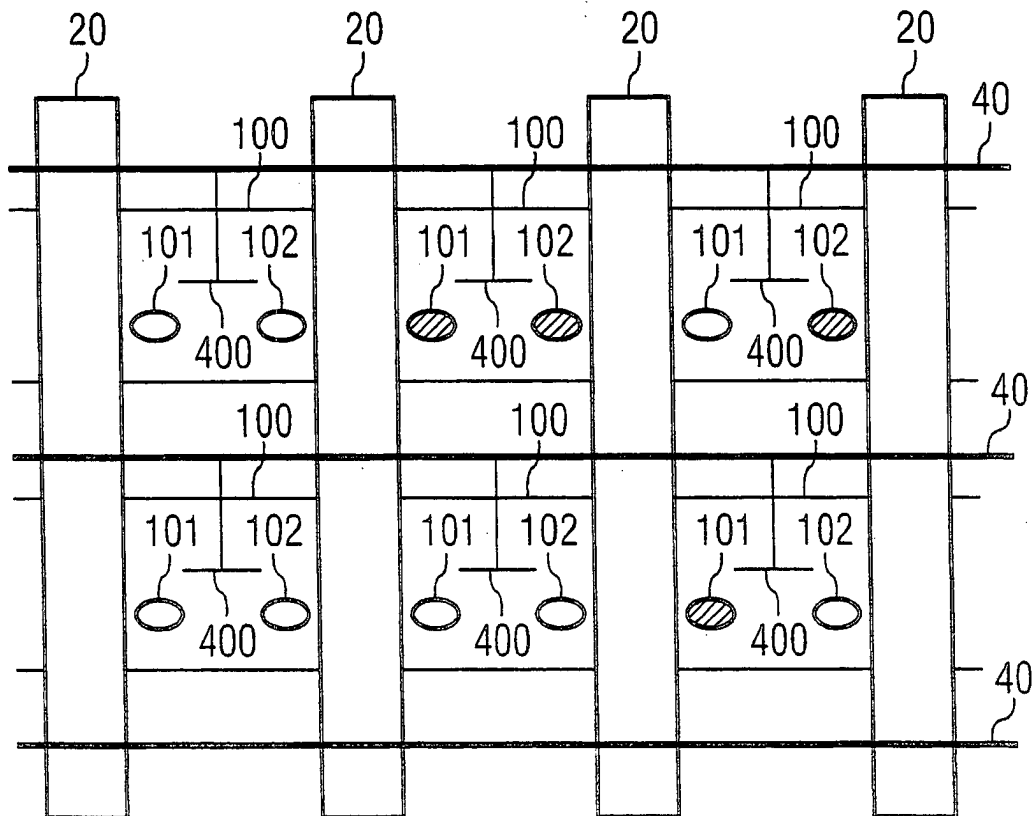


FIG 3

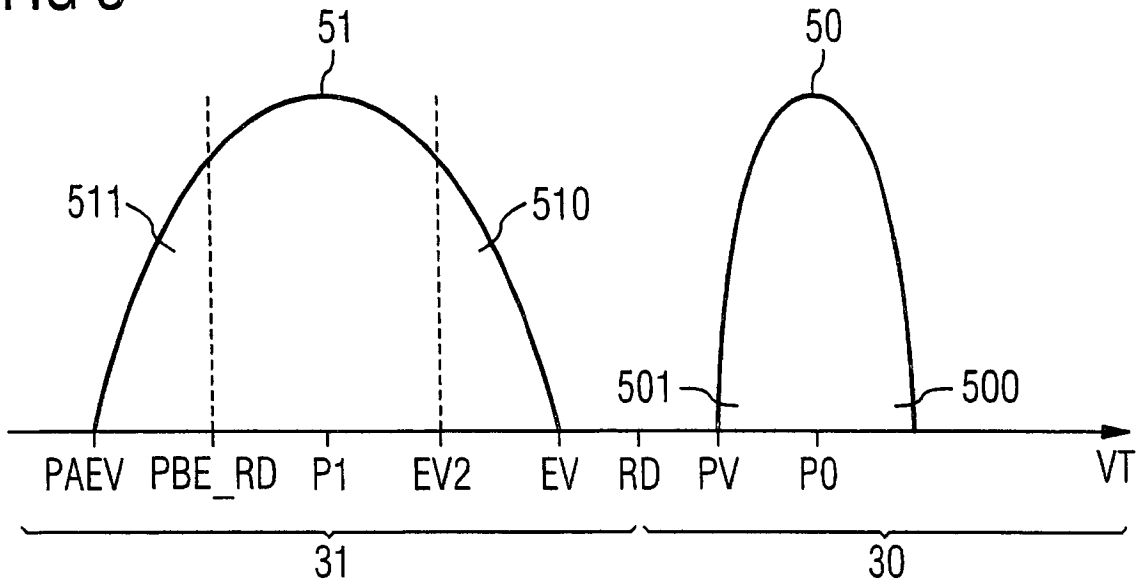


FIG 4

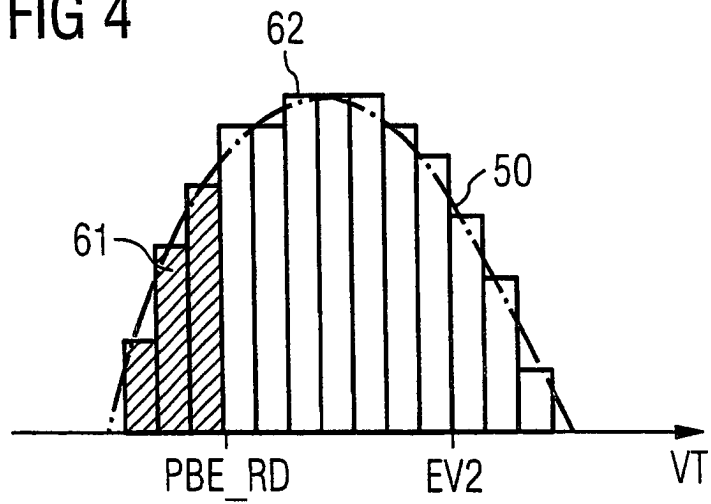


FIG 5

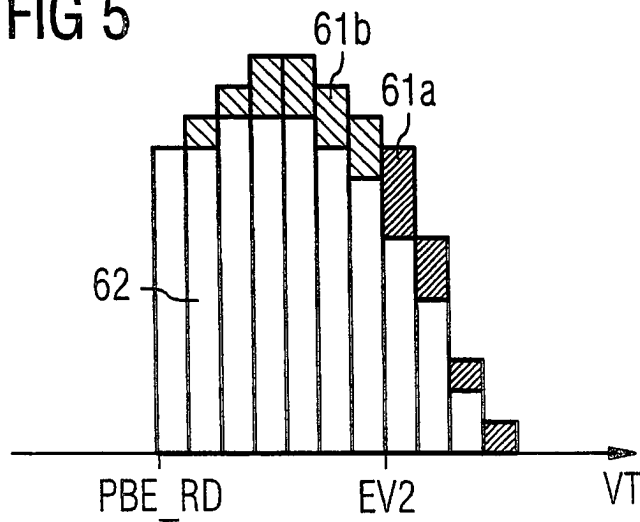


FIG 6

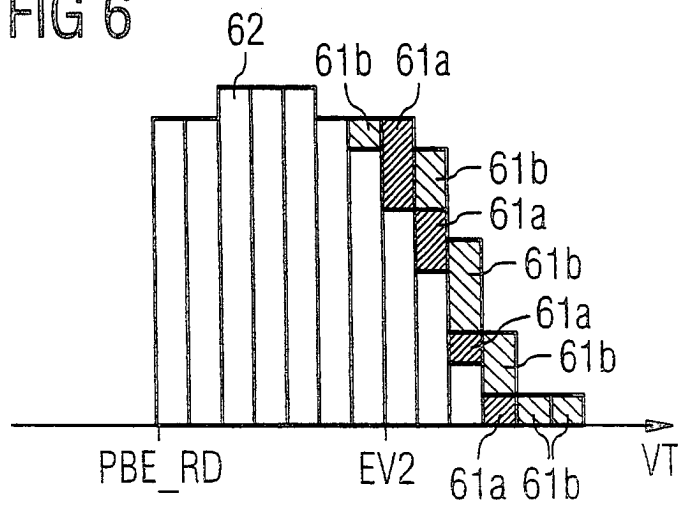


FIG 7

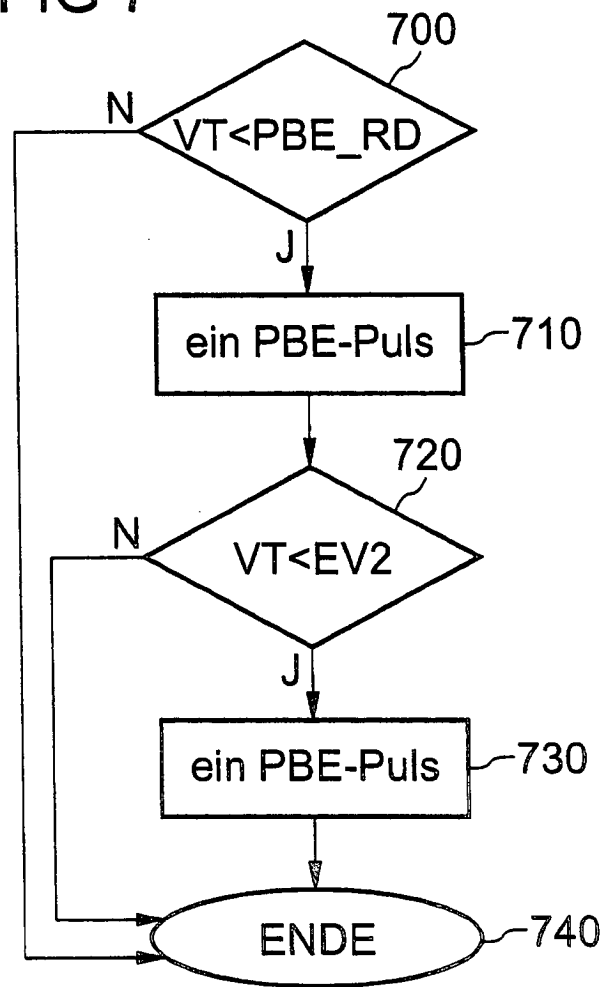


FIG 8

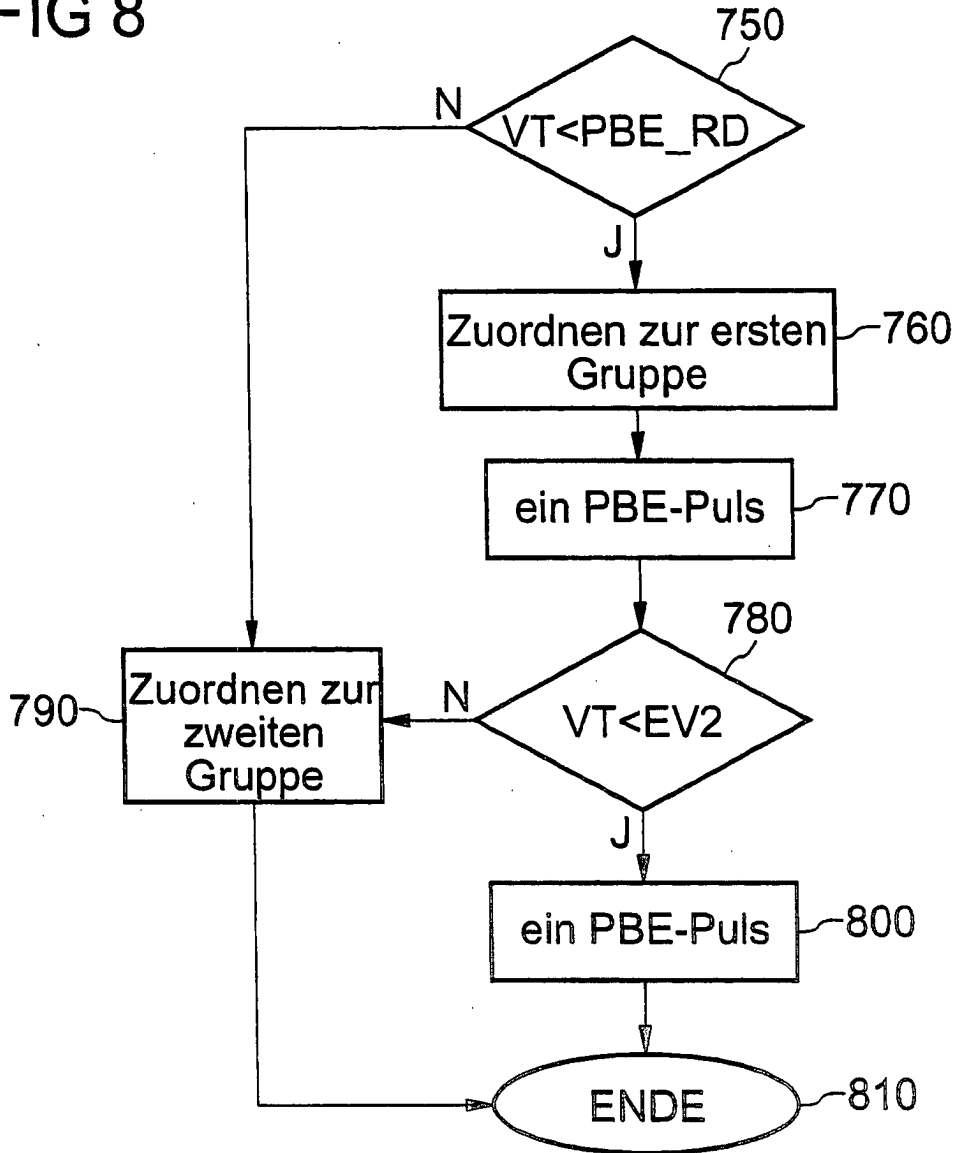


FIG 9

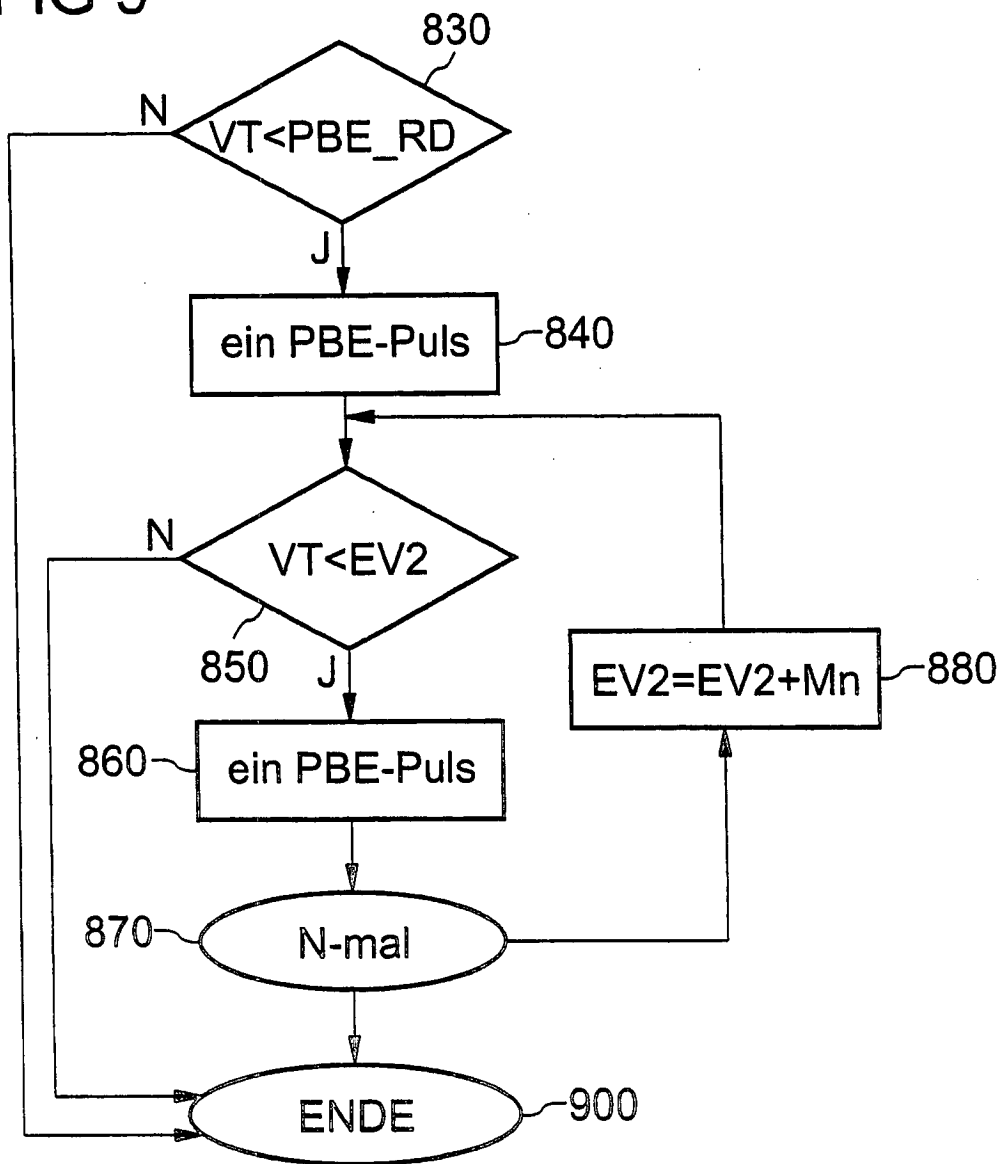


FIG 10

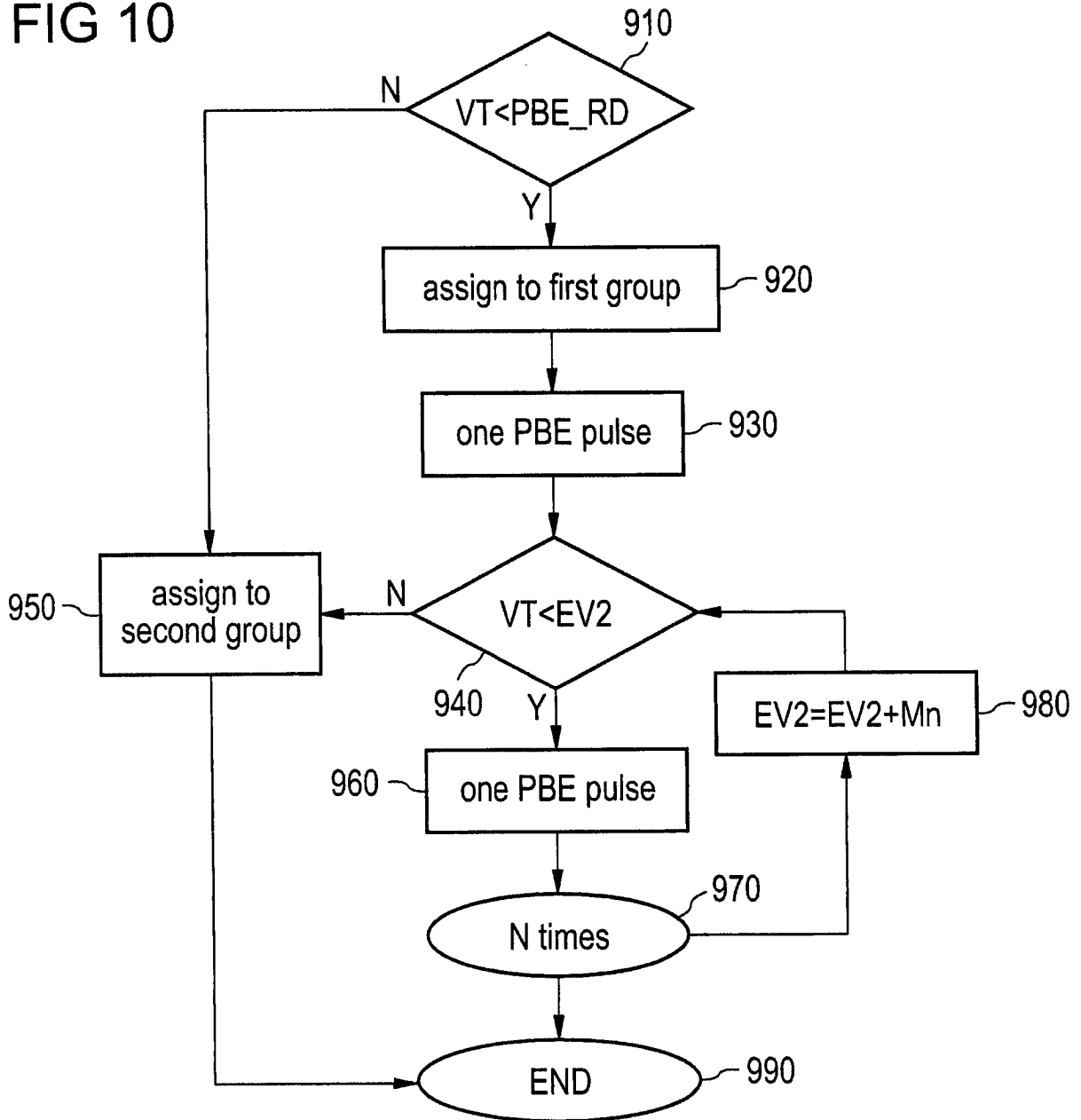


FIG 11

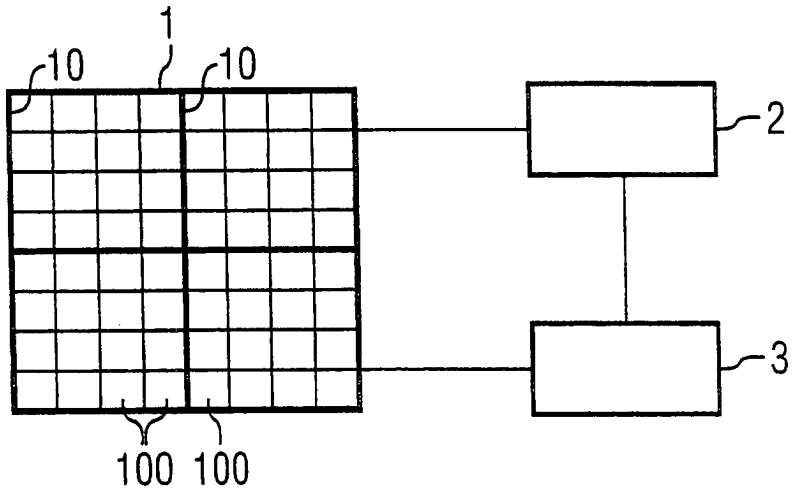


FIG 12

