



(12)发明专利

(10)授权公告号 CN 105009457 B

(45)授权公告日 2018.05.18

(21)申请号 201480012819.8

(22)申请日 2014.03.04

(65)同一申请的已公布的文献号

申请公布号 CN 105009457 A

(43)申请公布日 2015.10.28

(30)优先权数据

13/791,536 2013.03.08 US

(85)PCT国际申请进入国家阶段日

2015.09.07

(86)PCT国际申请的申请数据

PCT/US2014/020373 2014.03.04

(87)PCT国际申请的公布数据

W02014/138098 EN 2014.09.12

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 D·徐 S·M·李

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 杨丽

(51)Int.Cl.

H03M 1/08(2006.01)

H03M 1/68(2006.01)

H03M 1/74(2006.01)

H03M 1/78(2006.01)

(56)对比文件

US 2011074615 A1,2011.03.31,

US 2006092065 A1,2006.05.04,

US 2003001766 A1,2003.01.02,

US 2002030619 A1,2002.03.14,

JP H10112654 A,1998.04.28,

CN 102403966 A,2012.04.04,

CN 102195654 A,2011.09.21,

US 2012050085 A1,2012.03.01,

审查员 杨潇

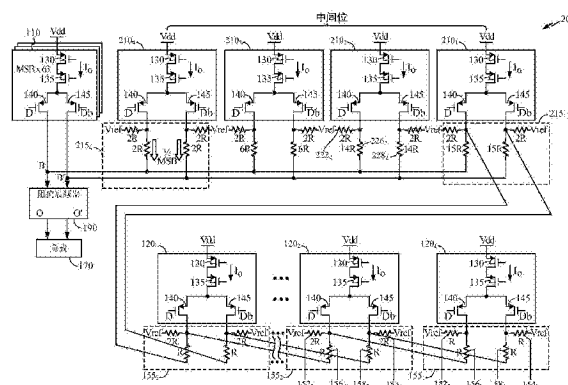
权利要求书6页 说明书12页 附图12页

(54)发明名称

低毛刺噪声DAC

(57)摘要

一种N位数模转换器(DAC)包括N个输入级,每一输入级生成相同量的电流并且包括对差分位作出响应的一对类似大小的晶体管开关。与DAC的M个最高有效位相关联的 2^M-1 个输入级被并行连接并且差分地将它们的电流递送至DAC的电流求和节点。其余的(N-M)个级中的每一者包括一电阻性网络,该电阻性网络供应应由该级在DAC内的位位置的二元权重所定义的电流。(N-M)个级将它们的电流差分地递送至电流求和节点。DAC进一步包括阻抗衰减器,该阻抗衰减器被适配成使电流求和节点的阻抗以及电流求和节点之间的电压差维持在由布置在该阻抗衰减器中的差分放大器的增益所定义的范围内。



1. 一种N位数模转换器DAC,包括:

与所述DAC的M个最高有效位相关联的 2^M-1 个并行级, 2^M-1 个级中的每一者被适配成生成电流并且经由对差分数据作出响应的一对开关将所述电流递送至所述DAC的一对电流求和节点;

与所述DAC的(N-M)个最低有效位相关联的(N-M)个级,所述(N-M)个级中的每一者生成电流并且包括一电阻性网络,所述(N-M)个级中的每一者进一步包括一对开关,所述一对开关被适配成响应于差分数据将在该级中生成的电流递送至该级的相关联的电阻性网络,每一电阻性网络能操作用于缩放其接收到的电流并且递送由其相关联的级的二元权重所定义的经缩放的电流,所述(N-M)个级将它们的经缩放的电流递送至所述一对电流求和节点;以及

阻抗衰减器,所述阻抗衰减器包括耦合至所述一对电流求和节点的差分放大器,并且所述阻抗衰减器被适配成将所述电流求和节点中的每一者的阻抗与所述电流求和节点之间的电压差维持在所述差分放大器的增益所定义的范围。

2. 如权利要求1所述的N位DAC,其特征在于,与所述(N-M)个级中的级i相关联的电阻性网络耦合至所述(N-M)个级中的级(i+1)的电阻性网络,其中i是表示该级在所述DAC内的位置的整数。

3. 如权利要求2所述的N位DAC,其特征在于,与所述(N-M)个级中的每一者相关联的电阻性网络接收参考电压。

4. 如权利要求1所述的N位DAC,其特征在于,与所述(N-M)个级中的每一者相关联的电阻性网络是R-2R网络。

5. 如权利要求1所述的N位DAC,其特征在于,所述阻抗衰减器进一步包括:

第一PMOS晶体管,所述第一PMOS晶体管具有耦合至所述电流求和节点中的第一电流求和节点的源极端、耦合至所述DAC的第一输出端的漏极端、以及耦合至所述放大器的第一输出端的栅极端;以及

第二PMOS晶体管,所述第二PMOS晶体管具有耦合至所述电流求和节点中的第二电流求和节点的源极端、耦合至所述DAC的第二输出端的漏极端、以及耦合至所述放大器的第二输出端的栅极端。

6. 如权利要求1所述的N位DAC,其特征在于,所述DAC的 $(2^M-1+N-M)$ 个级中的每一者包括生成电流的共源共栅电流源。

7. 如权利要求1所述的N位DAC,其特征在于, $(2^M-1+N-M)$ 个级中的每一者中的开关是晶体管开关,所述晶体管开关之一的晶体管对表示由所述DAC接收到的真实数据位的位作出响应而所述晶体管开关之一的晶体管对表示由所述DAC接收到的位的补的位作出响应,其中所有 $(2^M-1+N-M)$ 个级中的晶体管开关具有类似大小。

8. 如权利要求7所述的N位DAC,其特征在于,所述 2^M-1 个级中的至少一者包括:

第一电阻性元件,所述第一电阻性元件布置在所述 2^M-1 个级中的至少一者中布置的晶体管开关中的第一晶体管开关与所述电流求和节点中的第一电流求和节点之间;以及

第二电阻性元件,所述第二电阻性元件布置在所述 2^M-1 个级中的至少一者中布置的晶体管开关中的第二晶体管开关与所述电流求和节点中的第二电流求和节点之间。

9. 如权利要求1所述的N位DAC,其特征在于,仅与所述(N-M)个级中的第一子集中的每

一者相关联的电阻性网络是R-2R网络。

10. 如权利要求9所述的N位DAC,其特征在于,与所述(N-M)个级中的第二子集中的每一者相关联的电阻性网络耦合至所述DAC的所述电流求和节点,所述第二子集不包括所述第一子集。

11. 如权利要求1所述的N位DAC,其特征在于,所述(N-M)个级中的至少一者包括电压跟踪电路,所述电压跟踪电路被适配成跟踪所述电流求和节点的电压并且将所跟踪的电压供应到所述(N-M)个级中的至少一者的电阻性网络。

12. 如权利要求11所述的N位DAC,其特征在于,所述电压跟踪电路包括:

第一放大器,所述第一放大器具有耦合至所述电流求和节点中的第一电流求和节点的第一输入端、耦合至布置在与所述(N-M)个级中的至少一者相关联的电阻性网络中的第一电阻性元件的第二输入端、以及耦合至第一放大器的第二输入端的输出端;以及

第二放大器,所述第二放大器具有耦合至所述电流求和节点中的第二电流求和节点的第一输入端、耦合至布置在与所述(N-M)个级中的至少一者相关联的电阻性网络中的第二电阻性元件的第二输入端、以及耦合至第二放大器的第二输入端的输出端。

13. 如权利要求1所述的N位DAC,其特征在于,所述(N-M)个级中的至少一者包括失真抵消电路,所述失真抵消电路被适配成抵消与向所述(N-M)个级中的至少一者相关联的电阻性网络供应电压的参考电压与所述电流求和节点之间的电流。

14. 如权利要求1所述的N位DAC,其特征在于,所述(N-M)个级中的第一子集中的每一者包括:

第一电容性元件,所述第一电容性元件并行耦合在与该级相关联的电阻性网络的第一电阻性元件的端子之间;以及

第二电容性元件,所述第二电容性元件并行耦合在与该级相关联的电阻性网络的第二电阻性元件的端子之间。

15. 如权利要求14所述的N位DAC,其特征在于,($2^M-1+N-M$)个级中的每一者中的开关包括MOS晶体管,并且所述(N-M)个级中的第一子集中的每一者的第一和第二电容性元件具有基本上为所述MOS晶体管之一的漏极至基板电容的两倍的电容。

16. 一种数模转换器DAC,包括:

与所述DAC的最高有效位相关联的第一多个并行级,所述第一多个级中的每一者被适配成生成电流并且经由对差分数据作出响应的一对开关将所述电流递送至所述DAC的一对电流求和节点;

与所述DAC的最低有效位相关联的第二多个级,所述第二多个级中的每一者生成电流并且包括一电阻性网络,所述第二多个级中的每一者进一步包括一对开关,所述一对开关被适配成响应于差分数据将在该级中生成的电流递送至该级的相关联的电阻性网络,每一电阻性网络能操作于缩放其接收到的电流并且递送由其相关联的级的二元权重所定义的经缩放的电流,所述第二多个级将它们的经缩放的电流递送至所述一对电流求和节点;以及

阻抗衰减器,所述阻抗衰减器包括耦合至所述一对电流求和节点的差分放大器,并且所述阻抗衰减器被适配成将所述电流求和节点中的每一者的阻抗以及所述电流求和节点之间的电压差维持在所述差分放大器的增益所定义的范围。

17. 一种将N位数字信号转换成模拟信号的方法,所述方法包括:
- 形成与数字数据的M个最高有效位相关联的 2^M-1 个并行级;
- 在所述 2^M-1 个级中的每一者中生成电流;
- 经由对差分数据作出响应的第一对开关将在所述 2^M-1 个级中的每一者中生成的电流递送至一对电流求和节点;
- 形成与所述数字数据的(N-M)个最低有效位相关联的(N-M)个级;
- 在所述(N-M)个级中的每一者中生成电流;
- 形成各自与所述(N-M)个级中不同级相关联的(N-M)个电阻性网络;
- 经由对差分数据作出响应的第二对开关向所述(N-M)个电阻性网络中的每一者递送在其相关联的级中所生成的电流;
- 根据每一电阻性网络的相关联的级的二元权重来缩放由该电阻性网络接收到的电流;
- 将经缩放的电流递送至所述一对电流求和节点;
- 将所述电流求和节点中的每一者的阻抗维持在由一增益值所定义的范围内;以及
- 将所述电流求和节点之间的电压差维持在由所述增益值所定义的范围内,递送至所述电流求和节点的电流之差定义所述模拟信号的值。
18. 如权利要求17所述的方法,其特征在于,进一步包括:
- 将与所述(N-M)个级中的级i相关联的电阻性网络耦合至所述(N-M)个级中的级(i+1)的电阻性网络,其中i是表示该级在DAC内的位位置的整数。
19. 如权利要求18所述的方法,其特征在于,进一步包括:
- 向所述(N-M)个级中的每一者供应参考电压。
20. 如权利要求17所述的方法,其特征在于,与所述(N-M)个级中的每一者相关联的电阻性网络是R-2R网络。
21. 如权利要求17所述的方法,其特征在于,进一步包括:
- 在 $(2^M-1+N-M)$ 个级中的每一者中形成共源共栅电流源;以及
- 使用在所述 $(2^M-1+N-M)$ 个级中的每一者中形成的共源共栅电流源来在该级中生成电流。
22. 如权利要求17所述的方法,其特征在于,所述 $(2^M-1+N-M)$ 个级中的每一者中的开关是晶体管开关,所述晶体管开关之一的晶体管对表示由DAC接收到的真实数据位的位作出响应而所述晶体管开关之一的晶体管对表示由所述DAC接收到的位的补的位作出响应,其中所有 $(2^M-1+N-M)$ 个级中的晶体管开关具有类似大小。
23. 如权利要求21所述的方法,其特征在于,进一步包括:
- 将第一电阻性元件耦合在所述 2^M-1 个级中的至少一者的晶体管开关中的第一晶体管开关与所述电流求和节点中的第一电流求和节点之间;以及
- 将第二电阻性元件耦合在所述 2^M-1 个级中的至少一者的晶体管开关中的第二晶体管开关与所述电流求和节点中的第二电流求和节点之间。
24. 如权利要求17所述的方法,其特征在于,仅与所述(N-M)个级中的第一子集中的每一者相关联的电阻性网络是R-2R网络。
25. 如权利要求24所述的方法,其特征在于,与所述(N-M)个级中的第二子集中的每一者相关联的电阻性网络耦合至所述电流求和节点,所述第二子集不包括所述第一子集。

26. 如权利要求17所述的方法,其特征在于,进一步包括:

跟踪所述电流求和节点的电压;以及

将经跟踪的电压供应到所述(N-M)个级中的至少一者的电阻性网络。

27. 如权利要求17所述的方法,其特征在于,进一步包括:

抵消向与所述(N-M)个级中的至少一者相关联的电阻性网络供应电压的参考电压以及所述电流求和节点之间的电流。

28. 如权利要求17所述的方法,其特征在于,进一步包括:

将第一电容性元件并行耦合在与所述(N-M)个级中的至少一者相关联的电阻性网络的第一电阻性元件的端子之间;以及

将第二电容性元件并行耦合在与所述(N-M)个级中的至少一者相关联的电阻性网络的第二电阻性元件的端子之间。

29. 如权利要求28所述的方法,其特征在于,($2^M-1+N-M$)个级中的每一者中的开关包括MOS晶体管,并且所述(N-M)个级中的第一子集中的每一者的第一和第二电容性元件具有基本上为所述MOS晶体管之一的漏极至基板电容的两倍的电容。

30. 一种将数字信号转换成模拟信号的方法,所述方法包括:

形成与数字数据的最高有效位相关联的第一多个并行级;

在所述第一多个并行级中的每一者中生成电流;

经由对差分数据作出响应的第一对开关将在所述第一多个并行级中的每一者中生成的电流递送至一对电流求和节点;

形成与所述数字数据的最低有效位相关联的第二多个级;

在所述第二多个级中的每一者中生成电流;

形成各自与所述第二多个级中的不同级相关联的第一多个电阻性网络;

经由对差分数据作出响应的第二对开关向所述第一多个电阻性网络中的每一者递送在其相关联的级中所生成的电流;

根据所述第一多个电阻性网络中的每一者的相关联的级的二元权重来缩放由该电阻性网络接收到的电流;

将经缩放的电流递送至所述一对电流求和节点;

将所述电流求和节点中的每一者的阻抗维持在由一增益值所定义的范围内;以及

将所述电流求和节点之间的电压差维持在由所述增益值所定义的范围内,递送至所述电流求和节点的电流之差定义所述模拟信号的值。

31. 一种N位数模转换器DAC,包括:

用于形成与数字数据的M个最高有效位相关联的 2^M-1 个并行级的装置;

用于在所述 2^M-1 个级中的每一者中生成电流的装置;

用于将在所述 2^M-1 个级中的每一者中生成的电流递送至一对电流求和节点的装置;

用于形成与所述数字数据的(N-M)个最低有效位相关联的(N-M)个级的装置;

用于在所述(N-M)个级中的每一者中生成电流的装置;

用于形成各自与所述(N-M)个级中不同级相关联的(N-M)个电阻性网络的装置;

用于向所述(N-M)个电阻性网络中的每一者递送在其相关联的级中所生成的电流的装置;

用于根据每一电阻性网络的相关联的级的二元权重来缩放由该电阻性网络接收到的电流的装置,

用于将经缩放的电流递送至所述一对电流求和节点的装置;

用于将所述电流求和节点中的每一者的阻抗维持在由一增益值所定义的范围内的装置;以及

用于将所述电流求和节点之间的电压差维持在由所述增益值所定义的范围内的装置,递送至所述电流求和节点的电流之差定义模拟信号的值。

32. 如权利要求31所述的N位数模转换器DAC,其特征在于,进一步包括:

用于将与所述(N-M)个级中的级i相关联的电阻性网络耦合至所述(N-M)个级中的级(i+1)的电阻性网络的装置,其中i是表示该级在所述DAC内的位位置的整数。

33. 如权利要求32所述的N位数模转换器DAC,其特征在于,进一步包括:

用于向所述(N-M)个级中的每一者供应参考电压的装置。

34. 如权利要求31所述的N位数模转换器DAC,其特征在于,与所述(N-M)个级中的每一者相关联的电阻性网络是R-2R网络。

35. 如权利要求31所述的N位数模转换器DAC,其特征在于,进一步包括:

用于在 $(2^M-1+N-M)$ 个级中的每一者中形成共源共栅电流源的装置;以及

用于使用在所述 $(2^M-1+N-M)$ 个级中的每一者中形成的共源共栅电流源来在该级中生成电流的装置。

36. 如权利要求31所述的N位数模转换器DAC,其特征在于, $(2^M-1+N-M)$ 个级中的每一者中的开关是晶体管开关,所述晶体管开关之一的晶体管对表示由所述DAC接收到的真实数据位的位作出响应而所述晶体管开关之一的晶体管对表示由所述DAC接收到的位的补的位作出响应,其中所有 $(2^M-1+N-M)$ 个级中的晶体管开关具有类似大小。

37. 如权利要求35所述的N位数模转换器DAC,其特征在于,进一步包括:

用于将第一电阻性元件耦合在所述 2^M-1 个级中的至少一者的晶体管开关中的第一晶体管开关与所述电流求和节点中的第一电流求和节点之间的装置;以及

用于将第二电阻性元件耦合在所述 2^M-1 个级中的至少一者的晶体管开关中的第二晶体管开关与所述电流求和节点中的第二电流求和节点之间的装置。

38. 如权利要求31所述的N位数模转换器DAC,其特征在于,仅与所述(N-M)个级中的第一子集中的每一者相关联的电阻性网络是R-2R网络。

39. 如权利要求38所述的N位数模转换器DAC,其特征在于,与所述(N-M)个级中的第二子集中的每一者相关联的电阻性网络耦合至所述电流求和节点,所述第二子集不包括所述第一子集。

40. 如权利要求31所述的N位数模转换器DAC,其特征在于,进一步包括:

用于跟踪所述电流求和节点的电压的装置;以及

用于将经跟踪的电压供应到所述(N-M)个级中的至少一者的电阻性网络的装置。

41. 如权利要求31所述的N位数模转换器DAC,其特征在于,进一步包括:

用于抵消向与所述(N-M)个级中的至少一者相关联的电阻性网络供应电压的参考电压以及所述电流求和节点之间的电流的装置。

42. 如权利要求31所述的N位数模转换器DAC,其特征在于,进一步包括:

用于将第一电容性元件并行耦合在与所述 (N-M) 个级中的至少一者相关联的电阻性网络的第一电阻性元件的端子之间的装置;以及

用于将第二电容性元件并行耦合在与所述 (N-M) 个级中的至少一者相关联的电阻性网络的第二电阻性元件的端子之间的装置。

43. 如权利要求42所述的N位数模转换器DAC,其特征在于, $(2^M - 1 + N - M)$ 个级中的每一者中的开关包括MOS晶体管,并且所述 (N-M) 个级中的第一子集中的每一者的第一和第二电容性元件具有基本上为所述MOS晶体管之一的漏极至基板电容的两倍的电容。

44. 一种数模转换器,包括:

用于形成与数字数据的最高有效位相关联的第一多个并行级的装置;

用于在所述第一多个并行级中的每一者中生成电流的装置;

用于将在所述第一多个并行级中的每一者中生成的电流递送至一对电流求和节点的装置;

用于形成与所述数字数据的最低有效位相关联的第二多个级的装置;

用于在所述第二多个级中的每一者中生成电流的装置;

用于形成各自与所述第二多个级中的不同级相关联的第一多个电阻性网络的装置;

用于向所述第一多个电阻性网络中的每一者递送在其相关联的级中所生成的电流的装置;

用于根据每一电阻性网络的相关联的级的二元权重来缩放由该电阻性网络接收到的电流的装置,

用于将经缩放的电流递送至所述一对电流求和节点的装置;

用于将所述电流求和节点中的每一者的阻抗维持在由一增益值所定义的范围内的装置;以及

用于将所述电流求和节点之间的电压差维持在由所述增益值所定义的范围内的装置,递送至所述电流求和节点的电流之差定义模拟信号的值。

低毛刺噪声DAC

[0001] 根据35 U.S.C. §119的优先权要求

[0002] 本申请要求于2013年3月8日提交的美国专利申请S.N. 13/791,536的权益,该申请通过引用整体纳入于此。

[0003] 背景

[0004] 本公开涉及电子电路,尤其涉及数模转换器。

[0005] 数模转换器(DAC)是将数字信号转换成模拟信号的电子电路。使用多个参数来确定DAC针对任何给定应用的适用性。这些参数有DAC执行数模转换的速度、DAC的分辨率、以及DAC所生成的噪声。

[0006] 无线通信设备(诸如蜂窝电话)常常使用高速、高分辨率的DAC来将数字信号转换成模拟信号以供由布置在该通信设备中的模拟电路进行进一步处理。此类DAC中生成的毛刺增加了噪声本底,这进而可能干扰由无线通信设备所传送的信号。毛刺噪声的主要来源之一在于当在DAC的数字输入处发生转变时DAC的各个级之间存在的延迟差。

[0007] 对于增强型无线标准(诸如长期演进(LTE)标准),低噪声、低功率、宽带、高分辨率的DAC越来越重要。在射频(RF)应用中,由发射机DAC所生成的高频毛刺噪声是能够落入接收机信道中并且使接收机信道减敏的带外噪声。控制低功率、高分辨率、宽带DAC中的毛刺噪声仍然是一个挑战。

[0008] 简要概述

[0009] 根据本发明的一实施例的一种数模转换器(DAC)包括各输入级,该输入级生成相同量的电流并且具有类似尺寸的晶体管开关。流过晶体管开关的电流以及毛刺噪声因而对于DAC的全部输入级而言是相同的。对应于DAC的最低有效位的输入级包括电阻性网络。每一此类级中的电阻性网络根据该级在DAC内的位位置的二元权重来缩放其接收到的电流。

[0010] 根据本发明的一个实施例的一种N位DAC至少包括与DAC的M个最高有效位相关联的 2^M-1 个并行级、与DAC的(N-M)个最低有效位相关联的(N-M)个级、以及阻抗衰减器。 2^M-1 个级中的每一者包括一对开关并且被适配成生成相同的电流以及经由其开关对将这一电流递送至DAC的一对电流求和节点。(N-M)个级中的每一者包括电阻性网络并且生成与在 2^M-1 个级中所生成的相同的电流。(N-M)个级中的每一者进一步包括具有与MSB级中的开关相同尺寸的一对开关并且被适配成响应于差分数据将在该级所生成的电流递送至与该级相关联的电阻性网络。每一电阻性网络能操作于根据其相关联的级的二元权重来缩放其接收到的电流。(N-M)个级将它们经缩放的电流递送至一对电流求和节点。阻抗衰减器至少包括耦合至电流求和节点的差分放大器,并且阻抗衰减器被适配成将电流求和节点中的每一者的阻抗与电流求和节点之间的电压差维持在差分放大器的增益所定义的范围内。

[0011] 在一个实施例中,与位位置相差一个DAC位的输入级相关联的电阻性网络彼此耦合。在一个实施例中,每一电阻性网络接收参考电压。在又一实施例中,每一电阻性网络是R-2R网络。

[0012] 在一个实施例中,阻抗衰减器进一步包括至少第一和第二PMOS晶体管。第一PMOS晶体管具有耦合至第一电流求和节点的源极端、耦合至DAC的第一输出端的漏极端、以及耦

合至放大器的第一输出端的栅极端。第二PMOS晶体管具有耦合至第二电流求和节点的源极端、耦合至DAC的第二输出端的漏极端、以及耦合至放大器的第二输出端的栅极端。

[0013] 在一个实施例中,DAC的 $(2^M-1+N-M)$ 个级中的每一者包括共源共栅电流源,该共源共栅电流源生成通过该级的晶体管开关的相同电流。在一个实施例中, $(2^M-1+N-M)$ 个级中的每一者中的晶体管之一响应于代表DAC所接收的真实数据位的位。 $(2^M-1+N-M)$ 个级中的每一者中的另一晶体管响应于代表DAC所接收的位的补的位。

[0014] 在一个实施例中,仅与 $(N-M)$ 个级中的第一子集中的每一者相关联的电阻性网络是R-2R网络。在另一实施例中,与 $(N-M)$ 个级中的第二子集中的每一者相关联的电阻性网络耦合至DAC的电流求和节点。第二子集不包括第一子集。

[0015] 在一个实施例中, $(N-M)$ 个级中的至少一者进一步包括电压跟踪电路,该电压跟踪电路被适配成跟踪电流求和节点的电压并且将所跟踪的电压供应给该级的电阻性网络。在一个实施例中,电压跟踪电路包括第一和第二放大器。第一放大器具有耦合至第一电流求和节点的第一输入端、耦合至布置在该级的电阻性网络中的第一电阻性元件的第二输入端、以及耦合至第一放大器的第二输入端的输出端。第二放大器具有耦合至第二电流求和节点的第一输入端、耦合至布置在该级的电阻性网络中的第二电阻性元件的第二输入端、以及耦合至第二放大器的第二输入端的输出端。

[0016] 在一个实施例中,DAC的 $(N-M)$ 个级中的至少一者进一步包括失真抵消电路,该失真抵消电路被适配成抵消向该级的电阻性网络供应电压的参考电压与电流求和节点之间的电流。在一个实施例中,DAC的 2^M-1 个级中的至少一者进一步包括第一和第二电阻性元件。第一电阻性元件被布置在该级的晶体管开关之一与第一电流求和节点之间。第二电阻性元件被布置在该级的晶体管开关中的另一个与第二电流求和节点之间。

[0017] 在一个实施例中, $(N-M)$ 个级中的每一者进一步包括第一和第二电容性元件。每一此类级中的第一电容性元件并行耦合在布置在该级的电阻性网络中的第一电阻性元件的端子之间。每一此类级中的第二电容性元件并行耦合在布置在该级的电阻性网络中的第二电阻性元件的端子之间。在此类实施例中,每一此类级的第一和第二电容性元件具有基本上为布置在DAC中的MOS晶体管开关的漏极至基板电容的两倍的电容。

[0018] 根据本发明的一个实施例的一种将N位数字信号转换成模拟信号的方法,至少包括形成与数字信号的M个最高有效位相关联的 2^M-1 个并行级,在 2^M-1 个级中的每一者中生成相同的电流,以及经由布置在每一此类级中的一对开关将电流从 2^M-1 个级递送至第一和第二电流求和节点。该方法进一步包括形成与数字信号的 $(N-M)$ 个最低有效位相关联的 $(N-M)$ 个级,以及在 $(N-M)$ 个级中的每一者中生成与在 2^M-1 个级中的每一者所生成的电流相同的电流。该方法进一步包括形成各自与 $(N-M)$ 个级中的不同级相关联的 $(N-M)$ 个电阻性网络,经由一对开关将在其相关联的级中生成的电流递送至 $(N-M)$ 个电阻性网络中的每一者,根据电阻性网络的相关联的级的二元权重来缩放每一电阻性网络所接收到的电流,以及将经缩放的电流递送至一对电流求和节点。该方法进一步包括将电流求和节点中的每一者的阻抗维持在由一增益值所定义的范围,以及将电流求和节点之间的电压差维持在由该增益值定义的范围。递送至电流求和节点的电流之差定义模拟信号的值。

[0019] 附图简述

[0020] 藉由示例解说了本公开的各方面。在附图中,类似的参考标号指示类似元件,并

且：

[0021] 图1是其中可具体化本发明的各方面的无线通信设备的框图。

[0022] 图2是根据本发明的一个示例性实施例的被适配成具有低毛刺噪声的电流导引DAC的简化框图。

[0023] 图3是根据本发明的一个示例性实施例的图2所示的DAC的阻抗衰减器的简化框图。

[0024] 图4是根据本发明的另一示例性实施例的被适配成具有低毛刺噪声的电流导引DAC的简化框图。

[0025] 图5是根据本发明的另一示例性实施例的被适配成具有低毛刺噪声的电流导引DAC的简化框图。

[0026] 图6是根据本发明的另一示例性实施例的电流导引DAC的一区段的简化框图。

[0027] 图7是根据本发明的另一示例性实施例的电流导引DAC的一区段的简化框图。

[0028] 图8是根据本发明的另一示例性实施例的电流导引DAC的一区段的简化框图。

[0029] 图9是根据本发明的另一示例性实施例的电流导引DAC的一区段的简化框图。

[0030] 图10是根据本发明的另一示例性实施例的电流导引DAC的一区段的简化框图。

[0031] 图11是根据本发明的另一示例性实施例的被适配成具有低毛刺噪声的电流导引DAC的简化框图。

[0032] 图12是根据本发明的一个实施例的用于将数字信号转换成模拟信号的方法的流程图。

[0033] 详细描述

[0034] 现在将关于附图来描述若干解说性实施例,这些附图形成本文的一部分。尽管以下描述了其中可实现本公开的一个或多个方面的特定实施例,但可以使用其它实施例并且可作出各种修改而不会脱离本公开的范围。

[0035] 根据本发明的一实施例的一种数模转换器(DAC)包括各输入级,该输入级生成相同量的电流并且具有类似尺寸的晶体管开关。流过晶体管开关的电流因而对于DAC的全部输入级而言是相同的。对应于DAC的最低有效位的输入级包括电阻性网络。每一此类级中的电阻性网络根据该级在DAC内的位位置的二元权重来缩放其接收到的电流。

[0036] 图1是根据本发明的一个实施例的在无线通信系统中使用的无线通信设备150(之后被替换地称为设备)的框图。设备150可以是蜂窝电话、个人数字助理(PDA)、调制解调器、手持式设备、膝上型计算机等。

[0037] 设备150可在任何给定时刻在下行链路(DL)和/或上行链路(UL)上与一个或多个基站通信。下行链路(或前向链路)是指从基站到设备的通信链路。上行链路(或反向链路)是指从设备到基站的通信链路。

[0038] 无线通信系统可以是能够通过共享可用系统资源(例如,带宽和发射功率)来支持与多个用户通信的多址系统。此类系统的示例包括码分多址(CDMA)系统、时分多址(TDMA)系统、频分多址(FDMA)系统、正交频分多址(OFDMA)系统、以及空分多址(SDMA)系统。

[0039] 无线通信设备150可以在无线通信系统(诸如长期演进(LTE)系统)中使用。无线通信系统150可以持续地以高数据率或带宽来操作,因而要求用于其中所使用的DAC的增大的带宽。增大的带宽可需要在片上系统上实现的能够处置宽频率范围和数字预失真操作的宽

带DAC。预失真操作可使得能够在此类无线系统中使用低成本非线性功率放大器。

[0040] 设备150被示为部分地包括调制器104、DAC 100、滤波器108和放大器110,它们共同形成发射信道。调制器104被适配成调制传入数字信号IN2并且作为响应生成经调制信号MOD_OUT 4并将其供应给DAC 100。如下文进一步描述的,DAC 100具有内置负载(阻抗)衰减器。由DAC 100供应的经转换的信号DAC_OUT 6由滤波器108接收并滤波。滤波器108的输出信号FIL_OUT 8由放大器110接收并放大,放大器110作为响应生成信号AMP1_OUT 10。由放大器110生成的信号AMP1_OUT可以在由天线114传送之前进一步使用功率放大器112来放大以生成信号AMP2_OUT。

[0041] 低功率无线设备或消费者设备可要求以较少电流来操作的DAC。在此类应用中,包括信噪失真比(SNDR)、无虚假动态范围(SFDR)以及总谐波失真(THD)的动态线性度性能度量是重要的系统参数。

[0042] 图2是根据本发明的一个示例性实施例的被适配成具有低毛刺噪声的14位电流导引DAC 100的简化框图。DAC 100可以在图1所示的设备150中使用。尽管DAC 100被示为具有14位分辨率,但将理解,根据本发明的低毛刺噪声DAC可具有比14位更高或更低的分辨率。DAC 100包括并行连接63个类似的输入级110_j(为了简化起见仅示出了级110之一)以形成DAC的6个最高有效位(MSB),其中j是从1到63的整数。DAC 100还包括形成DAC的8个最低有效位(LSB)的8个级120_i,其中i是从1到8的整数。63个输入级110_j替换地且笼统地被称为输入级110。同样地,8个输入级120_i替换地且笼统地被称为输入级120。为了简化起见,仅示出了输入级120_i中的三者。

[0043] DAC 100同样被示为包括输出级190,输出级190在下文详细描述。DAC 100还被示为包括解码器160,解码器160接收14位输入信号D_{in}[13:0]并且解码应用于各个输入级110、120的晶体管140、145的各个真实D和补位DB。

[0044] 每一输入级120_i被示为包括共同形成共源共栅电流源的一对晶体管130和135。每一输入级120_i还被示为包括对与输入级相关联且由输入级接收的一对差分数据D和DB作出响应的一对晶体管开关140和145。每一输入级110_j还被示为包括共同形成共源共栅电流源的一对晶体管130和135。每一输入级110_j还被示为包括对与该输入级相关联且由该输入级接收的一对差分数据D和D_B作出响应的一对晶体管开关140和145。布置在输入级120_i和110_j中的晶体管130具有基本相同的尺寸。类似地,布置在输入级120_i和110_j中的晶体管135具有基本相同的尺寸。相应地,在级120_i和110_j中生成的电流I₀具有相同幅值。

[0045] DAC 100还被示为包括各自与8个LSB级120中的不同级相关联的8个电阻性网络155_i。每一电阻性网络155_i与输入级120_i相关联,并且被适配成对从电阻性网络的相关联的输入级接收到的电流进行缩放。与每一输入级相关联的电阻性网络形成当从布置在该输入级中的晶体管开关140、145的漏极端查看时的R-2R网络。例如,级120₂被示为包括R-2R电阻性网络155₂。同样地,级120₈被示为包括R-2R电阻性网络155₈。

[0046] 如从图2中所看见的,每一电阻性网络155_i被示为包括4个电阻器,即电阻器152_i、154_i、156_i和158_i。每一输入级120_i的电阻器152_i和156_i具有耦合至布置在该输入级中的晶体管开关140_i的漏极端的共同端子。类似地,每一输入级120_i的电阻器154_i和158_i具有耦合至布置在该输入级中的晶体管开关145_i的漏极端的共同端子。电阻器152_i和154_i的第二端子接收参考电压V_{ref}。对于每一级120_k,其中k是从1到7的整数,电阻器156_k的第二端子耦合

至晶体管开关140_{k+1}的漏极端,即,接收真实输入数据D_{k+1}且被布置在具有比输入级120_k的位位置高一位的位位置的输入级120_{k+1}中的晶体管开关。同样地,电阻器158_k的第二端子耦合至晶体管开关145_{k+1}的漏极端,即,接收补输入数据DB_{k+1}且被布置在输入级120_{k+1}中的晶体管开关。

[0047] 例如,与输入级120₂相关联的电阻性网络155₂被示为包括电阻器152₂、154₂、156₂和158₂。电阻器152₂和156₂具有耦合至布置在输入级120₂中的晶体管开关140₂的漏极端的共同端子。类似地,输入级120₂的电阻器154₂和158₂具有耦合至布置在输入级120₂中的晶体管开关145₂的漏极端的共同端子。电阻器152₂和154₂的第二端子接收参考电压V_{ref}。电阻器156₂的第二端子耦合至晶体管开关140₃的漏极端。同样地,电阻器158₂的第二端子耦合至晶体管开关145₃的漏极端。

[0048] 与最低LSB级相关联的电阻性网络155₈的电阻器152₈和156₈具有耦合至布置在输入级120₈中的晶体管开关140₈的漏极端的共同端子。类似地,每一输入级120₈的电阻器154₈和158₈具有耦合至布置在输入级120₈中的晶体管开关145₈的漏极端的共同端子。电阻器152₈和154₈的第二端子接收参考电压V_{ref}。电阻器156₈的第二端子耦合至输出级190的求和节点B。同样地,电阻器158₈的第二端子耦合至输出级190的求和节点B'。

[0049] 电阻器156_i和158_i中的每一者具有电阻R。电阻器152_i和154_i也具有电阻R。其余7个级中的电阻器152_i和154_i中的每一者具有电阻2R。相应地,与每一输入级120_i相关联的电阻性网络155_i形成当从布置在该输入级中的晶体管开关140_i和145_i的漏极端查看时的R-2R网络。

[0050] 每一电阻性网络155_i中的电阻被选择成使得流过每一电阻性网络的电流与该电阻性网络的相关联的输入级120_i的二元权重成比例。相应地,如果流过每一输入级的共源共栅晶体管130和135的电流被假定为I₀,则流过例如布置在与第7最高有效位相关联的级120₈的电阻性网络155₈中的电阻器156₈和158₈并且进入求和节点B、B'的电流为(1/2)*I₀。同样地,流过与最低有效位相关联的级120₁的电阻性网络155₁并且进入求和节点B、B'的电流是(1/256)*I₀。流过电阻性网络150_i的电流被递送至电流求和节点B、B',电流求和节点B、B'将输入信号提供给输出级190。在DAC 100的示例性实施例中,电阻性网络被示为R-2R网络,然而将理解,可以使用被适配成使用二元权重来缩放电流的任何其他电阻性网络。

[0051] 根据本发明的一个方面的输出级190包括阻抗衰减器190。输出级190替换地在本文被称为阻抗衰减器190。跨过阻抗衰减器190的输出节点O、O'的差分电压表示DAC 100的输出电压。电阻器174、176连同电容器178和电压源172一起表示输出负载170。电流源162、164分别向节点B、B'提供电流I_{偏移},并且电流阱166和168分别从节点O、O'吸取电流I_{偏移}。电流源162、164和电流阱166、168被适配成使布置在衰减器190中的晶体管维持偏置在有源操作区域中。

[0052] 因为流过DAC的所有输入级110、120中的晶体管开关140和145的电流基本上相同并且在通过晶体管开关之后仅由它们相关联的电阻性网络缩放,并且进一步因为所有级中的开关140和145具有相同尺寸,所以DAC 100的MSB级和LSB级之间的毛刺能量相匹配。DAC 100因而具有比常规DAC显著更低的毛刺噪声。电阻性网络使用二元权重准确地划分流过开关的电流。示例性14位DAC 106的8位准确性的电阻器匹配是相对容易获得的。

[0053] 因为每一输入级120_k所见的R-2R网络,流过每一输入级120_i的晶体管140_i的电流

中的一半被供应到电压 V_{ref} ,而这一电流的另一半被供应到晶体管140_(i+1)的漏极端。同样地,流过每一输入级120_i的晶体管145_i的电流中的一半被供应到 V_{ref} ,而这一电流的另一半被供应到晶体管145_(i+1)的漏极端。因此,流过每一电阻性网络155_i的电流是流过电阻性网络155_(i+1)的电流的一半。相应地,流过每一输入级120_i中的电阻性网络的电流与DAC中的电阻性网络的相关联的输入级120_i的二元权重成比例。

[0054] 阻抗衰减器190有利地增大了输出负载170可能具有的阻抗范围。阻抗衰减器190被进一步适配成计及由于工艺变动、电压和温度引起的输出负载阻抗的变化。因此,由于DAC 100的所有输入级生成相同量的电流并且具有类似的开关尺寸,因此DAC 100具有比常规DAC小得多的跨工艺、电压和温度的带外噪声变动。此外,根据本发明的阻抗衰减器190在选择电阻器152_i、154_i、156_i和158_i的电阻方面提供更多灵活性以确保DAC 100的SFDR和SNDR落在期望值内。换言之,根据本发明的阻抗衰减器将电阻性网络的电阻与负载电阻解耦合。

[0055] 图3是耦合至负载170的阻抗衰减器190的简化框图。阻抗衰减器190被示为包括具有一对差分输入和一对差分输出的放大器180以及晶体管182、184。阻抗衰减器在US专利No.8169353中描述。电流源162、164分别向节点B、B' 提供电流 $I_{\text{偏移}}$,并且电流阱166和168分别从节点O、O' 吸取电流 $I_{\text{偏移}}$ 。电流源162、164和电流阱166、168被适配成使晶体管182、184维持在有源操作区域中。

[0056] 衰减器190被适配成使节点B、B' 之间的电压差维持在由放大器180的DC增益所定义的相对较小的范围内。例如,如果放大器180具有60dB的DC增益并且输出节点O、O' 之间的电压差为1V,则节点B、B' 之间的电压差被维持在1mV附近,如下文进一步描述的。

[0057] 例如,假定DAC 100响应于DAC的输入处的变化而导引更多电流至节点B。这使得节点B处的电压增大。因为放大器180的输入端具有相对较高的阻抗,所以使得注入节点B的额外电流流过晶体管182,从而使得输出节点O处的电压增大。放大器180被适配成降低PMOS晶体管182的栅极电压以使得PMOS晶体管182的源极电压维持相对恒定。通过使晶体管182的源极电压维持相对恒定,节点B、B' 之间的电压差被维持在由放大器180的DC增益所定义的非常窄的范围之内。节点B、B' 的阻抗与节点O、O' 的阻抗之比同样由放大器180的增益来定义。尽管图3的阻抗衰减器190被示为包括完全差分放大器180,但将理解,在其他实施例中,阻抗衰减器190可替代地包括一对单端放大器,如在美国专利No.8169353中所示。

[0058] 图4是根据本发明的另一示例性实施例的被适配成具有低毛刺噪声的电流导引DAC 200的简化框图。DAC 200是被示为部分地包括并行连接以形成DAC 200的6个MSB的63个类似级110_j (仅示出级110之一) 的14位DAC。DAC 200还包括形成DAC 200的4个中间位(MID)的4个级210₁、220₂、220₃、220₄ (替换地且笼统地被称为级210)。DAC 200还包括形成DAC的4个LSB的4个级120₁、120₂、120₃、120₄ (替换地且笼统地被称为级120或120_i)。尽管未示出,但要理解,DAC 200还包括与图2所示的解码器类似的解码器。DAC 200还包括阻抗衰减器190。尽管DAC 200被示为是14位DAC,但将理解,根据本发明的低毛刺噪声DAC可具有比14位更高或更低的分辨率。

[0059] 布置在输入级120_i、110_j和210_m (m是从1到4的整数) 中的晶体管130具有基本相同的尺寸。类似地,布置在输入级120_i和110_j和210_m中的晶体管135具有基本相同的尺寸。相应地,在所有级120_i、110_j和210_m中生成的电流 I_0 具有相同幅值。

[0060] DAC 200的输入级120_i与如上所述的DAC 100的输入级120_i (参见图2) 类似。DAC 200的每一MID级210_m包括电阻性网络215_m, 电阻性网络215_m根据指派给该级的二元权重来缩放该电阻性网络从布置在其相关联的级中的开关接收到的电流。例如, 级210₄被示为包括电阻性网络215₄, 电阻性网络215₄将从其相关联的开关140₄和145₄接收到的电流缩放至 $(1/2 \times I_0)$ 并且将这一电流递送至DAC200的求和节点B、B'。与输入级210_m相关联的每一电阻性网络中的电阻被选择成使得流过每一此类电阻性网络的电流与该电阻性网络的相关联的输入级在DAC中的二元权重成比例。

[0061] 每一电阻性网络215_m被示为包括4个电阻器。电阻性网络215_m的电阻器222_m和226_m具有耦合至布置在输入级210_m中的晶体管开关140_m的漏极端的共同端子。类似地, 每一输入级215_m的电阻器224_s和228_s具有耦合至布置在输入级210_m中的晶体管开关145_m的漏极端的共同端子。电阻器222_m和224_m的第二端子接收参考电压V_{ref}。电阻器226_m的第二端子耦合至阻抗衰减器190的求和节点B。同样地, 电阻器228_m的第二端子耦合至输出阻抗衰减器190的求和节点B'。

[0062] 电阻性网络215₄中的四个电阻器222₄、224₄、226₄和228₄中的每一者具有电阻2R。相应地, 流过输入级210₄的晶体管140、145的电流I₀的一半被致使流向电压V_{ref}, 而这一电流的另一半被致使流向求和节点B、B'。电阻性网络215₃的电阻器222₃、224₃被示为具有电阻2R, 而电阻性网络215₃的电阻器226₃和228₃被示为具有电阻6R。相应地, 流过输入级210₃的晶体管140₃、145₃的电流I₀的3/4 (即6/(6+2)) 被致使流向电压V_{ref}, 而流过输入级210₃的晶体管140₃、145₃的电流I₀的1/4 (即2/(6+2)) 被致使流向求和节点B、B'。电阻性网络215₂的电阻器222₂、224₂被示为具有电阻2R, 而电阻性网络215₂的电阻器226₂和228₂被示为具有电阻14R。相应地, 流过输入级210₂的晶体管140₂、145₂的电流I₀的7/8 (即14/(14+2)) 被致使流向电压V_{ref}, 而流过输入级210₂的晶体管140₁、145₂的电流I₀的1/8 (即2/(14+2)) 被致使流向求和节点B、B'。电阻性网络215₁的电阻器222₁、224₁被示为具有电阻2R, 而电阻性网络215₁的电阻器226₁和228₁被示为具有电阻15R。然而, 如从图4中所见的, 输入级210₁的电阻器222₁和224₁同样连接至LSB级120₄的电阻性网络155₄。相应地, 电阻器222₁、226₁的共同端子与V_{ref}之间的有效电阻为R。同样地, 电阻器224₁、228₁的共同端子与V_{ref}之间的有效电阻为R。相应地, 流过输入级210₁的晶体管140₁、145₁的电流I₀的1/16 (即15/(15+1)) 被致使流向电压V_{ref}, 而流过输入级210₁的晶体管140₁、145₁的电流I₀的1/16 (即1/(15+1)) 被致使流向求和节点B、B'。换言之, 尽管不是R-2R网络, 但与级222₄、224₄、226₄和228₄中的每一者相关联的电阻性网络向求和节点B、B' 提供与该级在DAC中的二元权重成比例的电流。

[0063] 每一LSB级120_i包括电阻性网络, 根据指派给该电阻性网络的相关联的输入级的二元权重来缩放通过该电阻性网络的电流。由每一电阻性网络缩放的电流被递送至其位位置高出1位的前一级的电阻性网络。例如, 按照类似链条的方式并且如图4所示, 由电阻性网络155₄缩放的电流被递送至与MID级210₁相关联的电阻性网络215₁; 由电阻性网络155₃缩放的电流被递送至电阻性网络155₄; 由电阻性网络155₂缩放的电流被递送至电阻性网络155₃; 以及由电阻性网络155₁缩放的电流被递送至电阻性网络155₂。

[0064] 图5是根据本发明的另一示例性实施例的被适配成具有低毛刺噪声的电流导引14位DAC 300的简化框图。尽管未示出, 但要理解, DAC 300还包括与图2所示的解码器类似的解码器。还要理解, DAC 300可具有比14位更高或更低的分辨率。

[0065] DAC 300被示为包括并行连接以形成DAC的6个MSB的63个类似级110。DAC 300进一步包括按照与图2的DAC 100类似的方式形成DAC的8个LSB的8个级120_i。DAC 300免除了对参考电压V_{ref}的需要并且是差分DAC。如图5所示,电阻性网络155_i中的的每一者中的电阻器152_i和154_i彼此耦合而非耦合至电压源V_{ref}(参见图2)。电阻器152_i、154_i中的的每一者被示为具有电阻2R。电阻器152_i、154_i中的的每一者被示为具有电阻R。

[0066] 如可以从图5中所见的,例如,流过电阻性网络155₈的电阻器156₈和158₈的电流分别被示为等于 $[(1/4+1/2*b)*I_o]$ 和 $[(1/4+1/2*(1-b))*I_o]$,其中b是14位DAC 300的位8的二次元值。同样可以从图5中所见的,除了级120₈,其他级120_i中的的每一者中所生成的电流由该级的相关联的电阻性网络缩放并且被递送至其位位置比从其接收电流的级的位位置高出一位的前一级的电阻性网络,如同样结合图2的DAC 100所描述的。例如,由级120₁的电阻性网络155₁缩放的电流被递送至级120₂的电阻性网络155₂。

[0067] 由于布置在DAC 100、200或300中的任一者的阻抗衰减器190中的放大器具有有限的增益一带宽积,因此节点B、B' 的电压可以在DAC输出电流变动时变动。参考图3,由于PMOS晶体管182、184的栅极至源极电容相对较大,因此阻抗衰减器的输出节点(即晶体管182、184的栅极端)处的非线性电流变动可以耦合至阻抗衰减器的输入节点B、B', 从而使得节点B、B' 处的电流非线性地变动。此类非线性电流接着可以流过电阻性网络进入电压源V_{ref}。由于电阻性网络的电阻R可能小于DAC晶体管的寄生电容的阻抗,因此此类电流可能使DAC的SFDR降级。电阻R越低,降级越大。

[0068] 为了使由于非线性电流流自/流至阻抗衰减器的输入节点而导致的SFDR降级最小化,根据本发明的一个实施例,跟踪电阻器电压。图6是根据本发明的一个实施例的DAC 400的一区段的简化框图。DAC 400可以是例如图2所示的DAC 100的一个区段。在图6中仅示出了DAC的MSB级之一110₁和LSB级之一120₈,但要理解,DAC 400具有多得多的输入级。输入级120₈中的电阻性网络被适配成包括一对放大器230₁和230₂。放大器230₁的负输入端耦合至放大器的输出端以及耦合至电阻器152₈的端子之一,如图所示。放大器230₁的正输入端耦合至节点B。同样地,放大器230₂的负输入端耦合至放大器的输出端以及耦合至电阻器154₈的端子之一,如图所示。放大器230₂的正输入端耦合至节点B'。由于两个放大器中的的每一者的两个输入端之间存在虚拟接地,放大器230₁的输出电压跟踪节点B处的电压,而放大器230₂的输出电压跟踪节点B' 处的电压,从而使SFDR降级最小化。换言之,因为节点B处的电压变动被反映在电阻器152₈的端子处,并且节点B' 处的电压变动被反映在电阻器154₈的端子处,所以此类电压变动不会致使电流通过电阻器从节点B和B' 流向V_{ref}或者相反,从而禁止了SFDR降级。尽管未在图6中示出,但要理解,DAC 300的其他级120_i中的的每一者将共享相同的跟踪电路。

[0069] 图7是根据本发明的一个实施例的DAC 500的一区段的简化框图。DAC 500可以是例如图2所示的DAC 100的一个区段。在图7中仅示出了DAC的MSB级之一110₁和LSB级之一120₈,但要理解,DAC 500具有多得多的输入级。DAC 500其中布置了失真抵消电路260,失真抵消电路260包括电阻器240、250,晶体管242、252,放大器244、254和电容器244、156。

[0070] 失真抵消电路260被适配成对抗和抵消供电电压V_{ref}与节点B、B' 之间的电流,如下文进一步描述的。由于放大器244的输入端之间存在虚拟接地,节点B处(即放大器244的正端子处)的电压V_p的任何下降使放大器244的负端子(PMOS 242的源极端)处的电压下降,从

而使得流过晶体管242的电流增大。经由电容器246 AC耦合至节点B' 的的这一电流增大流入节点B' ,从而抵消了通过电阻器152₈和158₈从V_{ref}到节点B的差分电流。类似地,节点B处的电压V_p的任何增大使放大器244的负端子处的电压增大,从而使得流过晶体管242的电流降低。经由电容器246 AC耦合至节点B' 的的这一电流降低流自节点B' ,从而抵消了通过电阻器152₈和158₈从V_{ref}到节点B的差分电流。晶体管242的源极端处的电压的任何增大/降低同样使得电流经由晶体管240流至/流自V_{ref}。同样地,晶体管252的源极端处的电压的任何增大/降低使得电流经由晶体管250流至/流自V_{ref}。

[0071] 图8是根据本发明的一个实施例的DAC 600的一区段的简化框图。DAC 600可以是例如图2所示的DAC 100的一个区段。在图8中仅示出了DAC的MSB级之一110_i和LSB级之一120₈,但要理解,DAC 600具有多得多的输入级。DAC 600中布置有失真抵消电路280,失真抵消电路280包括晶体管260、262、264、266、270、272、274、276,电阻器268、278和电流源282、284、286和288。

[0072] 分别在它们的栅极处接收来自节点B、B' 的电压V_p和V_m的晶体管266和276形成失真抵消电路280的输入级。因为流过晶体管266和276的电流分别由电流源282和286设置,所以如果电压V_p增大并且电压V_m保持不变,则晶体管266在节点A处的源级电压同样增大以使晶体管266的栅极至源极电压维持近乎恒定。节点A' 处的电压保持不变。因此,电流从节点A流向节点A' 。从节点A流向节点A' 的电流由晶体管262生成。为了容适这一额外电流,晶体管262的栅极电压降低,进而导致流过晶体管260的电流的类似增大。流过形成与晶体管262的电流镜像的晶体管260的增大的电流使电压V_p进一步增大。然而,因为节点B的阻抗由阻抗衰减器被维持在相对较低的值,所以电压V_p仅略微增大。例如,假定V_p = 1.0002, V_m = 999.8mV,负载阻抗为1k-ohm,并且阻抗衰减器使负载的阻抗衰减达1ohm。这使得被注入的电流为约400nA,从而使电压V_p增大达200nV (400nA/2*1ohm)。因此,环路增益比一小得多。失真抵消电路280因而使用正反馈电路系统来操作。节点B、B' 处的相对较小的输入阻抗确保这一反馈环路的增益比小于一以提供稳定性并且阻止振荡。

[0073] 从节点A流向节点A' 的电流同样使得流过晶体管272的电流降低。由于晶体管270和272同样形成电流镜像,因此流过晶体管272的电流的降低使得流过晶体管270的电流的类似降低,从而使得电压V_m降低。但是如上所述,因为节点B' 具有相对较低的阻抗,所以电压V_m的降低相对较小。

[0074] 晶体管264被配置为源极跟踪器放大器。因此,晶体管264的栅极电压的变化被反映在晶体管264的源极处的相应电压变化中。电流源284被适配成流过晶体管264。晶体管274同样被配置为源极跟踪器放大器。因此,晶体管274的栅极电压的变化被反映在晶体管274的源极处的相应电压变化中。电流源288被适配成流过晶体管274。抵消电路280是公知的,并且在IEEE,国际固态电路大会,1193,会话7,模拟技术,论文TA 7.2,第112-114页中进行描述。尽管失真抵消电路是参考图8来描述的,但要理解,可以使用,执行类似的恒定电压至电流转换的任何其他失真抵消电路。

[0075] 如公知的,毛刺噪声以及因有的毛刺能量随着DAC的工作频率增加而增加。例如,参考图2,随着工作频率增加,一些毛刺能量经由晶体管140、145的漏极至基板寄生电容器或布线的寄生电容流向接地。对于MSB流向接地的毛刺能量而言一般小于对于LSB流向接地的毛刺能量。从DAC的不同输入级流向接地的毛刺能量的不平衡可能造成可能进一步使毛

刺噪声增大的不平衡。

[0076] 图9是根据本发明的一个实施例的DAC 700的一区段的简化框图。DAC 700可以是例如图2所示的DAC 100的一个区段。在图9中仅示出了DAC 700的MSB级之一110₁和LSB级之一120₈,但要理解,DAC 700具有多得多的输入级。图9还示出了输入级120₈的晶体管140、145的漏极端与接地之间存在的寄生电容290、292以及输入级110₁的晶体管140、145的漏极端与接地之间存在的寄生电容294、296。

[0077] 为了使由从输入级120₈、110₁流向接地的毛刺能量中的不平衡所引起的毛刺噪声最小化,根据本发明的一个实施例,电阻器112、114被布置在DAC 700的MSB级110₁的晶体管140、145的漏极端与求和节点B、B'之间。电阻器112和114中的每一者具有电阻R。电阻器112、114使得在输入级120₈的晶体管140、145的漏极端处所见的RC值分别与输入级110₈的晶体管140、145的漏极端所见的RC值相匹配。这一RC匹配消除了毛刺能量的至接地的重新分布的不平衡,并且因而使得来自输入级110₁的毛刺噪声与来自输入级120₈的毛刺噪声匹配。要理解,DAC 700的并行级110中的每一者可包括电阻器112、114。

[0078] 图10是根据本发明的一个实施例的DAC 800的一区段的简化框图。DAC 800可以是例如图2所示的DAC 100的一个区段。仅在图10中示出了DAC 800的LSB级中的三者120₁和120₂,但要理解,DAC 800具有多得多的输入级。图10还示出了与输入级120₁的晶体管140₁、145₁相关联的寄生电容302₁、304₁,与输入级120₂的晶体管140₂、145₂相关联的寄生电容302₂、304₂,以及与输入级120₈的晶体管140₈、145₈相关联的寄生电容302₈、304₈。为了使不同输入级之间的毛刺噪声匹配,DAC 800的每一输入级被适配成包括并行布置在该级的电阻器156_i和158_i之间的一对电容器306_i、308_i。例如,如图所示,电容器306₁、308₁被并行布置在输入级120₁的电阻器156₁和158₁之间。同样地,电容器306₈、308₈被并行布置在输入级120₈的电阻器156₈和158₈之间。每一级中的电容器306_i、308_i被适配成前馈毛刺能量,以便对经由该级的寄生电容302_i、304_i至接地的毛刺能量损耗进行计数和抵消。在一个实施例中,电容器306_i、308_i中的每一者被选择为具有电容器302_i、304_i的寄生电容的两倍的电容。

[0079] 图11是根据本发明的另一示例性实施例的被适配成具有低毛刺噪声的14位电流导引DAC 900的框图。DAC 900可以在图1所示的设备150中使用。尽管DAC 900被示为具有14位分辨率,但将理解,根据本发明的低毛刺噪声DAC可具有比14位更高或更低的分辨率。DAC 900包括并行连接以形成DAC的6个最高有效位(MSB)的63个类似的输入级910_j(为了简化起见仅示出了级910之一),其中j是从1到63的整数。DAC 900还包括形成DAC的8个最低有效位(LSB)的8个级920_i,其中i是从1到8的整数。63个输入级910_j替换地且笼统地被称为输入级910。同样地,8个输入级920_i替换地且笼统地被称为输入级920。为了简化起见,仅示出了输入级920_i中的三者。

[0080] DAC 900同样被示为包括阻抗衰减器190,阻抗衰减器190在下文详细描述。DAC 900还被示为包括解码器160,解码器160接收14位输入信号D_{in}[13:0]并且解码应用于各个输入级910、920的开关940、945的各个真实D和补位DB。

[0081] 每一输入级920_i被示为包括一对电流源930、935。每一输入级920_i还被示为包括一对开关940和945,一对开关940和945对与输入级相关联且由该输入级接收到的一对差分数据D和DB以及对由电流源930、935供应的电流作出响应。在级920_i和910_j中由电流源930、935生成的电流I₀具有基本相同的幅值。

[0082] DAC 900还被示为包括各自与8个LSB级920中的不同级相关联的8个电阻性网络955_i。每一电阻性网络955_i与输入级920_i相关联,并且被适配成对从电阻性网络的相关联的输入级接收到的电流进行缩放。在一个实施例中,与每一输入级相关联的电阻性网络形成从布置在该输入级中的开关940、945所见的R-2R网络。

[0083] 如可以从图11所见的,与每一级920_k相关联的电阻性网络(其中k是从1到7的整数)耦合至具有比输入级920_k的位位置高出一位的位位置的输入级920_{k+1}的电阻性网络。例如,与输入级920₂相关联的电阻性网络955₂被示为耦合至与输入级920₃相关联的电阻性网络955₃。电阻性网络955₈耦合至阻抗衰减器190的求和节点B、B'。

[0084] 流过每一电阻性网络的电流与电阻性网络的相关联的输入级920_i的二元权重成比例。相应地,如果流过每一输入级的电流源930和935的电流被假定为I₀,则流过例如与第7最高有效位相关联的级920₈的电阻性网络955₈并且进入求和节点B、B'的电流为(1/2)*I₀。同样地,流过与最低有效位相关联的级920₁的电阻性网络955₁并且进入求和节点B、B'的电流是(1/256)*I₀。流过电阻性网络955_i的电流被递送至电流求和节点B、B',电流求和节点B、B'将输入信号提供给衰减器190。要理解,可以使用被适配成使用二元权重来缩放电流的任何电阻性网络。

[0085] 因为流过DAC的所有输入级910、920中的开关940和945的电流基本相同并且仅由它们相关联的电阻性网络缩放(在通过晶体管开关之后),所以DAC 900的MSB级和LSB级之间的毛刺能量相匹配。DAC 900因而具有比常规DAC显著更低的毛刺噪声。电阻性网络使用二元权重准确地划分流过开关的电流。示例性14位DAC 900的8位准确性的电阻器匹配是相对容易获得的。

[0086] 阻抗衰减器190有利地增大了输出负载170可能具有的阻抗范围。阻抗衰减器190被进一步适配成计及由于工艺变动、电压和温度引起的输出负载阻抗的变化。因此,由于DAC 900的所有输入级生成相同量的电流并且具有类似的开关尺寸,因此DAC 900具有比常规DAC小得多跨工艺、电压和温度的带外噪声变动。

[0087] 图12是根据本发明的一个实施例的用于将N位数字信号转换成模拟信号的方法的流程图。为了达成这一转换,形成(1002)与数字数据的M个最高有效位相关联的(2M-1)个并行级。在(2M-1)个级中的每一者中,生成(1004)电流,并且经由一对差分数据作出响应的一对开关将电流递送(1006)至一对电流求和节点。进一步根据该方法,还形成1008与数字数据的(N-M)个最低有效位相关联的(N-M)个级。在(N-M)个级中的每一者中还生成(1010)与在(2M-1)个并行级中所生成的电流相同电平的电流。同样形成(1012)各自与(N-M)个级中不同级相关联的(N-M)个电阻性网络。在(N-M)个级中的每一者中生成的电流经由对差分数据的差分位作出响应的一对开关被递送(1014)至其相关联的电阻性网络。由每一电阻性网络接收的电流根据该电阻性网络的相关联的级的二元权重被缩放(1016)并且被递送(1018)至电流求和节点。电流求和节点中的每一者的阻抗被维持(1020)在由一增益至所定义的范围内。此外,电流求和节点之间的电压差同样被维持(1022)在由该增益值所定义的范围内。递送至电流求和节点的电流之差定义经转换的模拟信号的值。

[0088] 以上本发明的实施例是解说性而非限定性的。本发明的各实施例不受DAC的分辨率的限制。本发明的各实施例不受可以布置在输入级开关和电流求和节点之间的电阻性网络的配置(R-2R或其他方式)的限制。本发明的各实施例不受DAC可以布署于其中的设备类

型(无线或其他方式)的限制。鉴于本发明,其他增添、删减或修改是显而易见的并且旨在落入所附权利要求的范围。

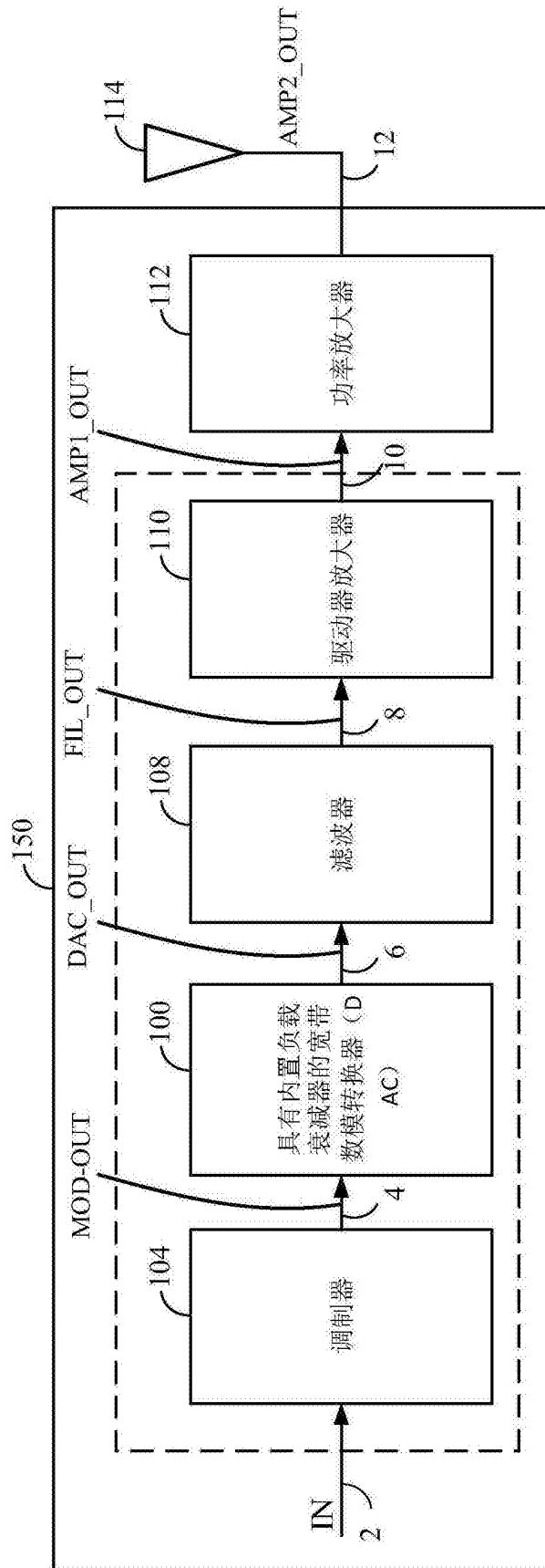


图1

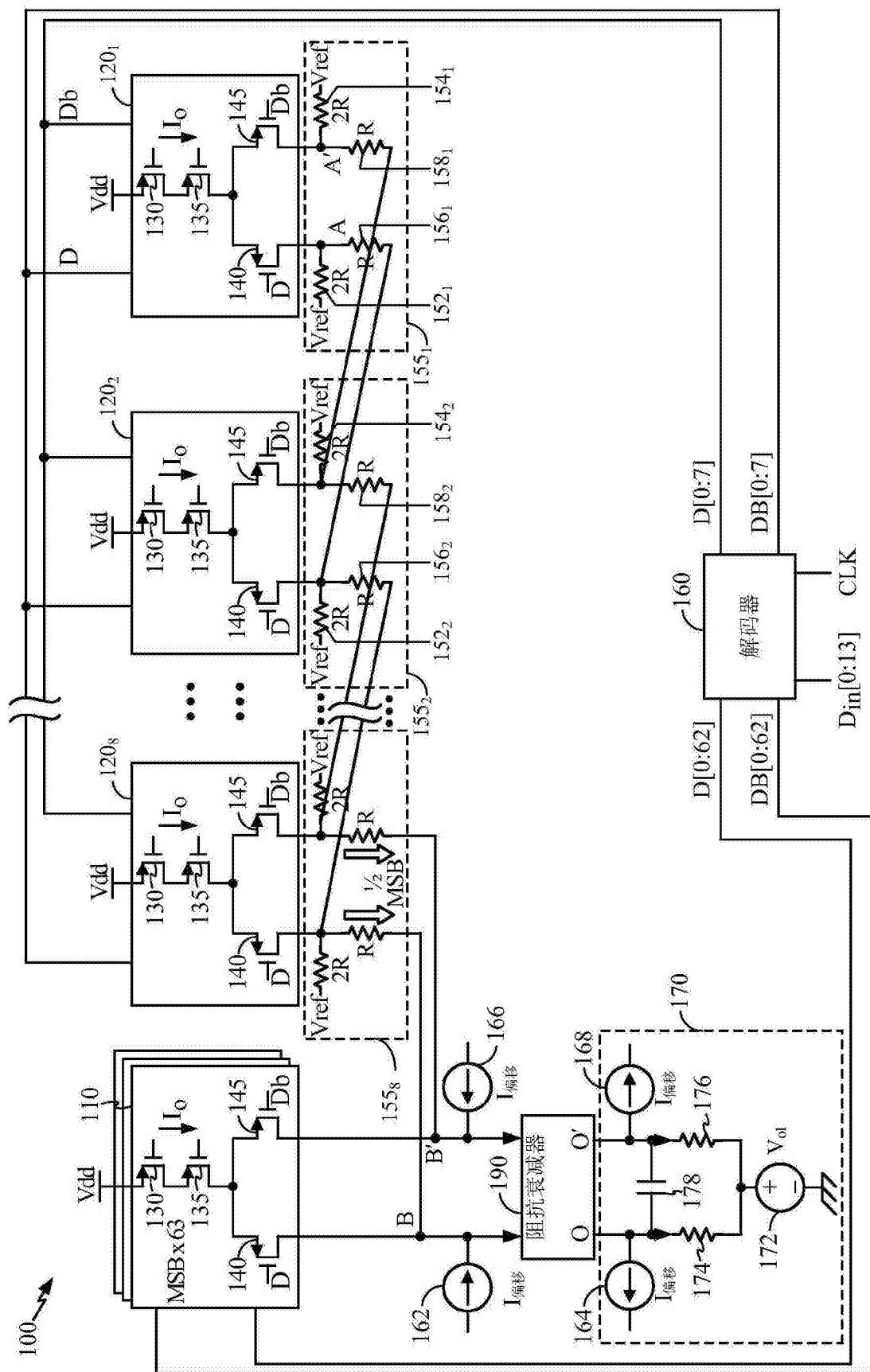


图2

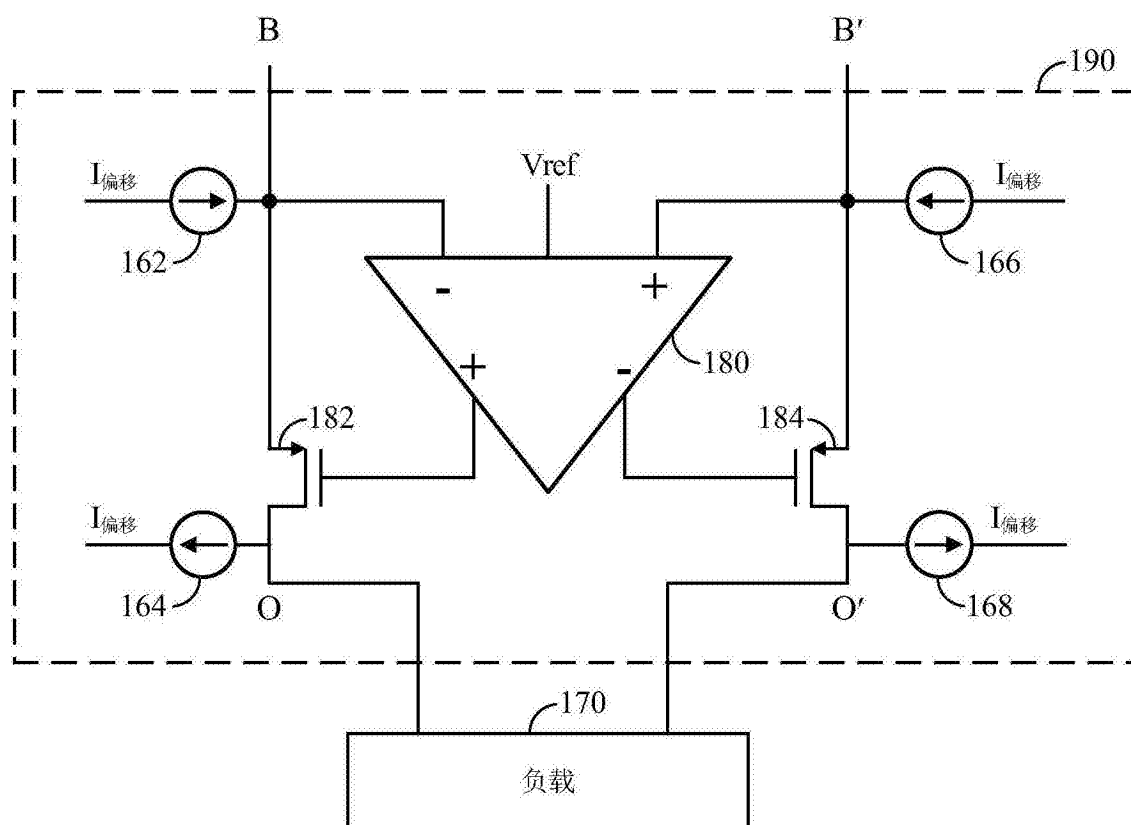


图3

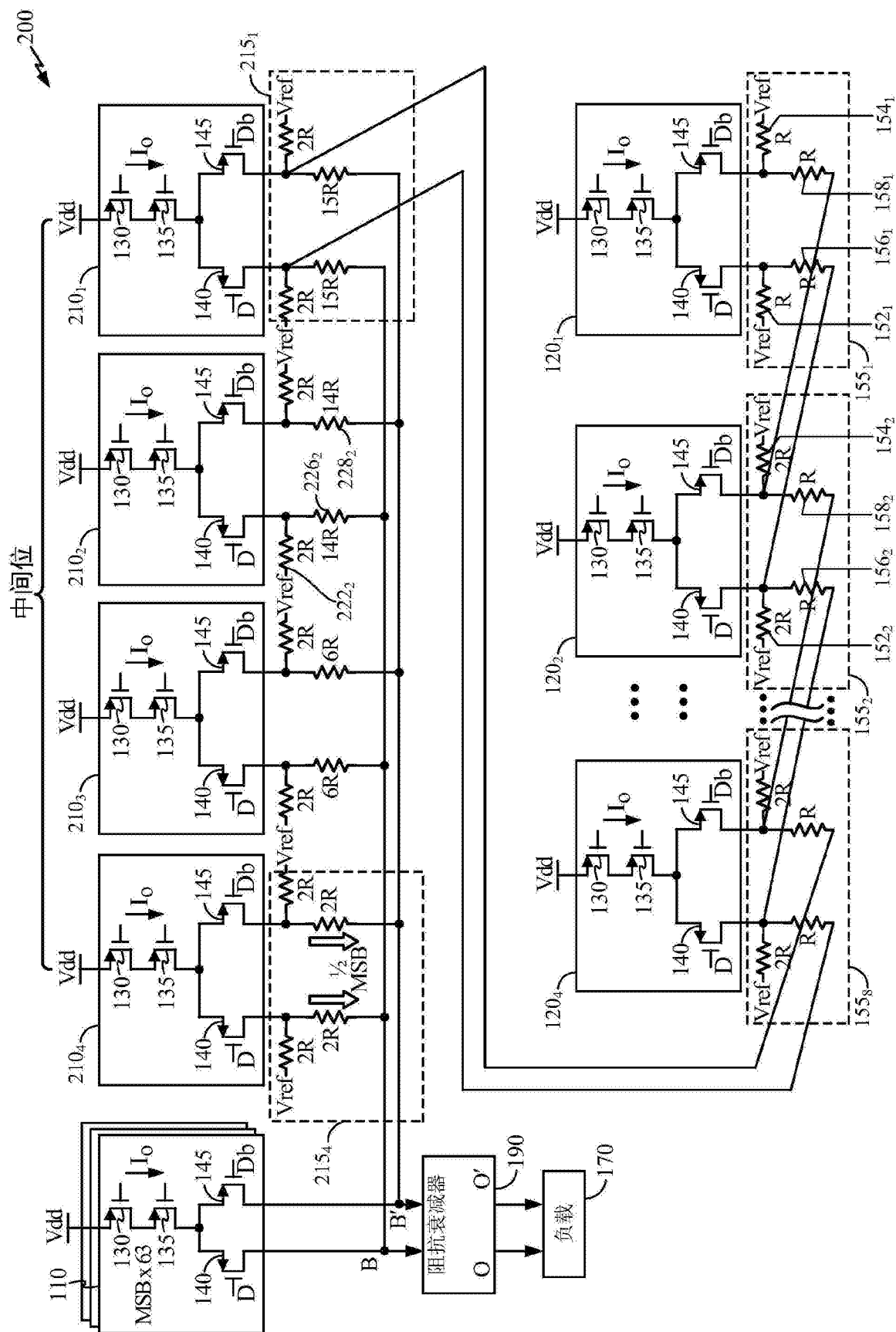


图4

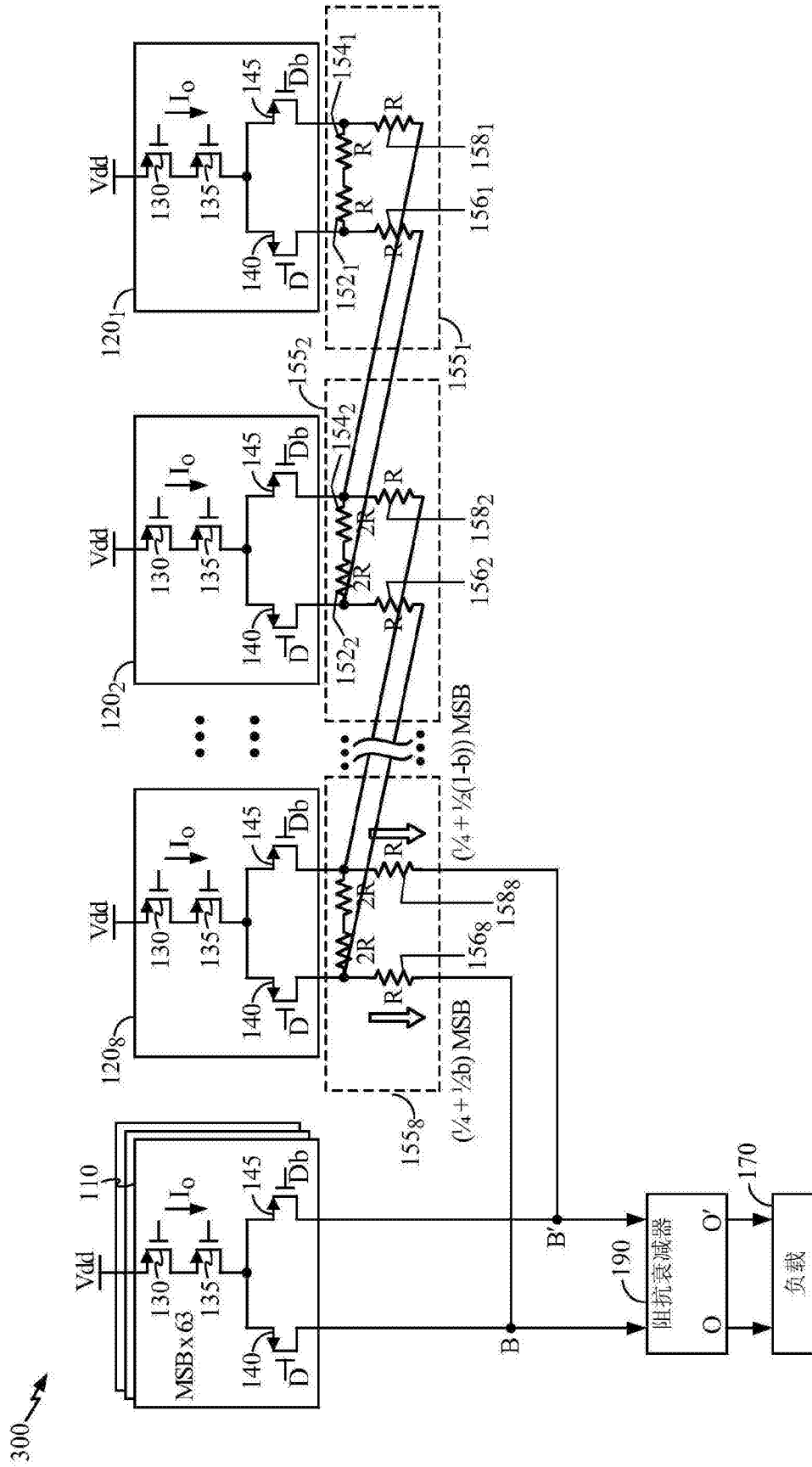


图5

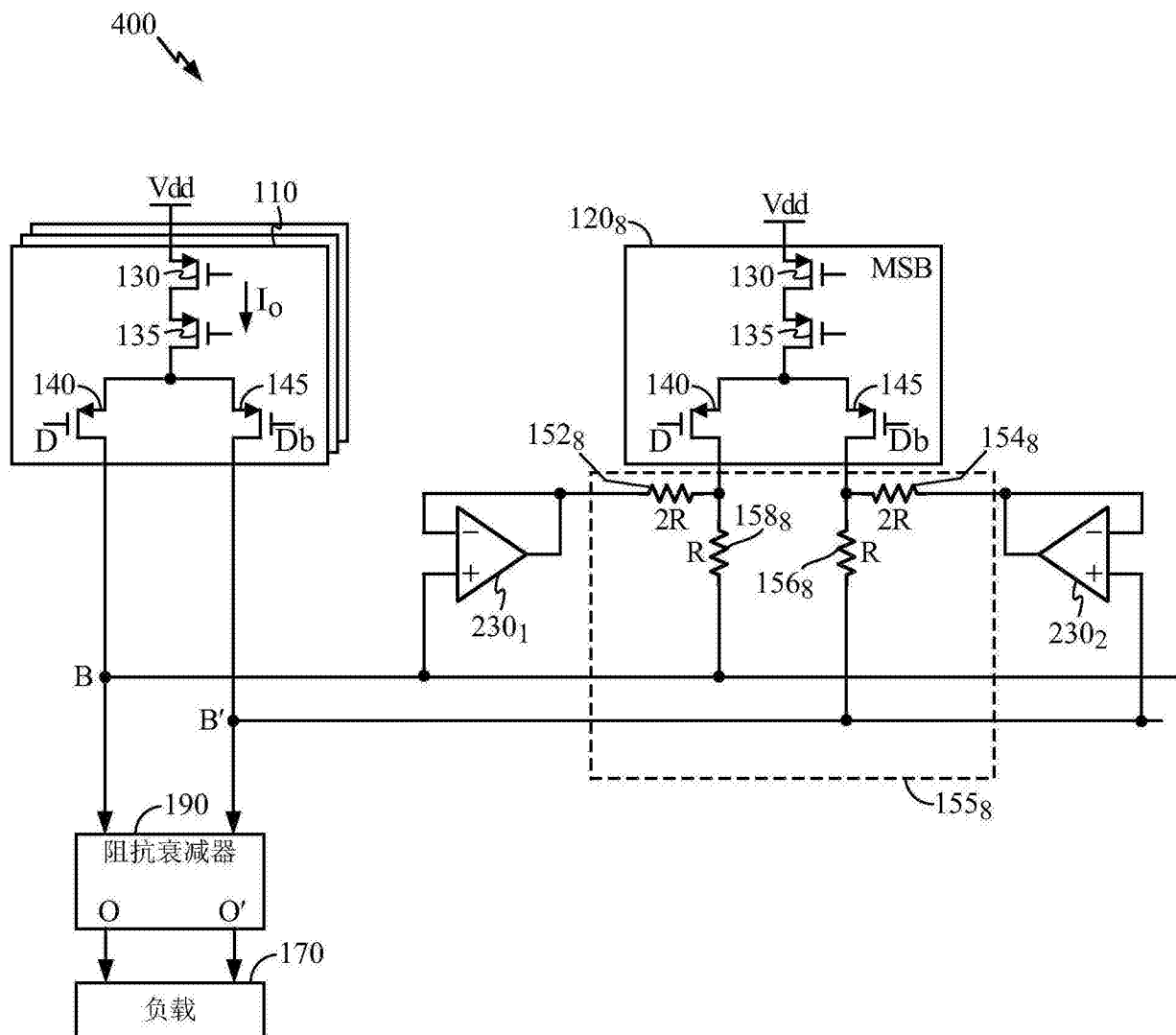


图6

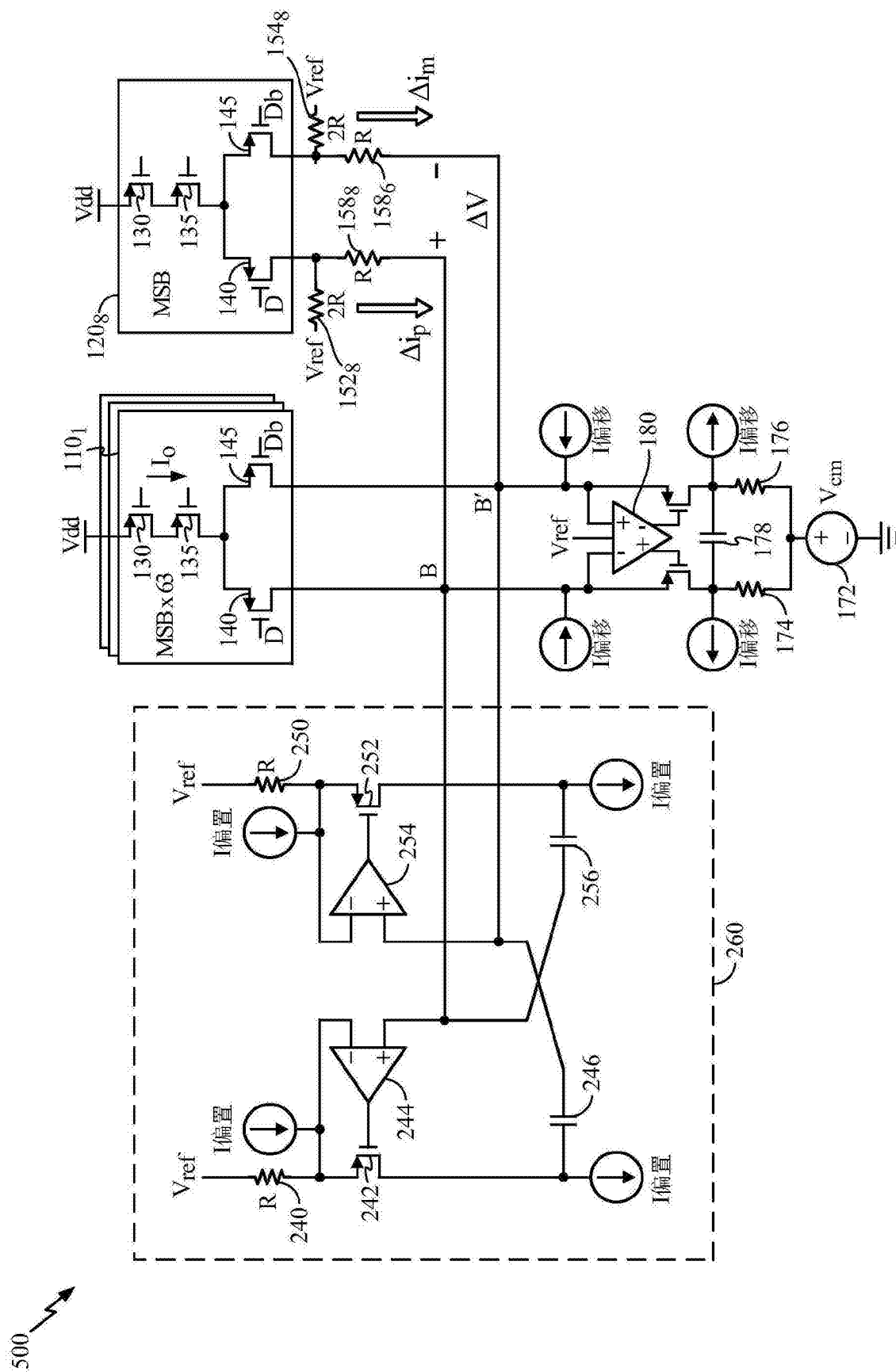


图7

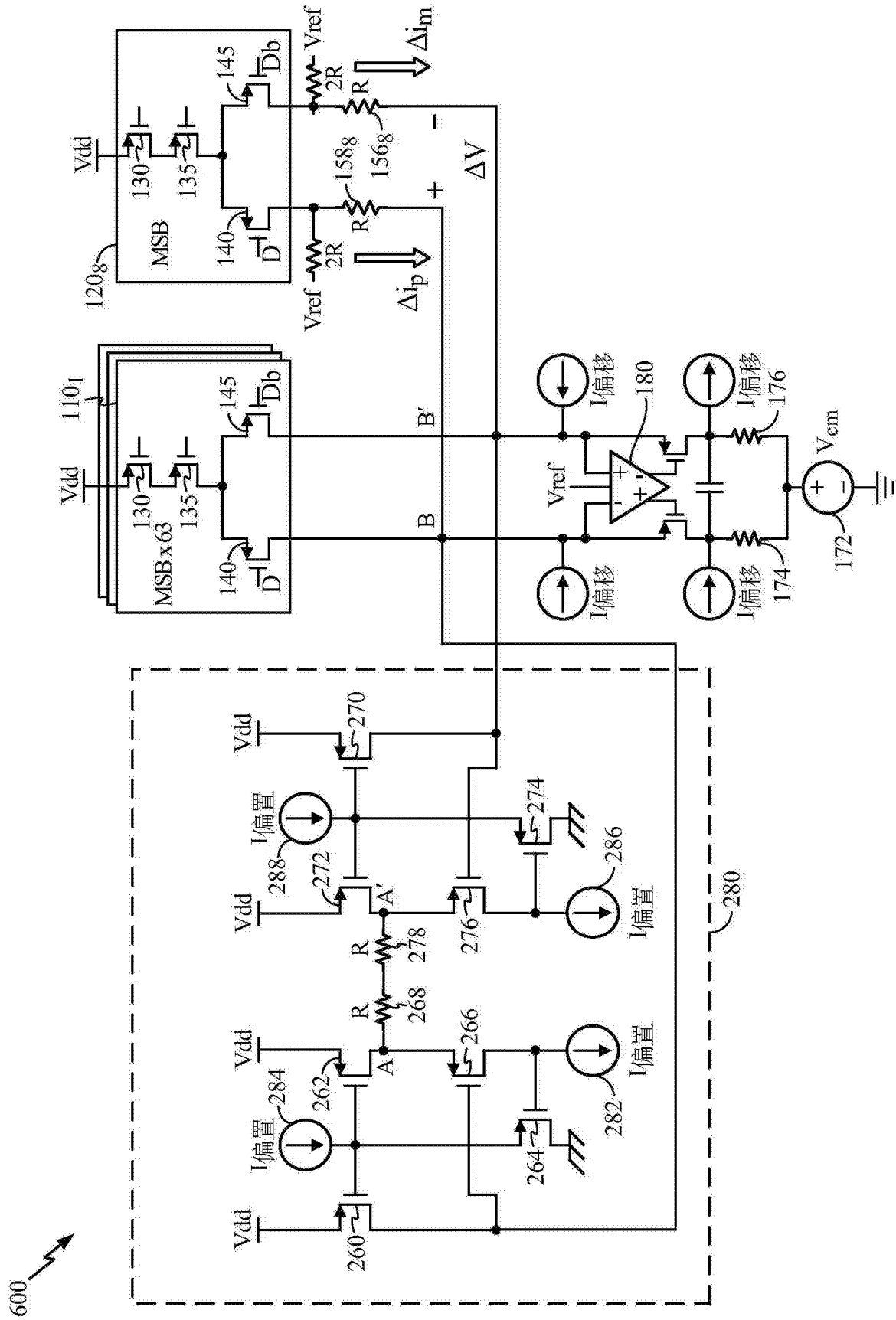


图8

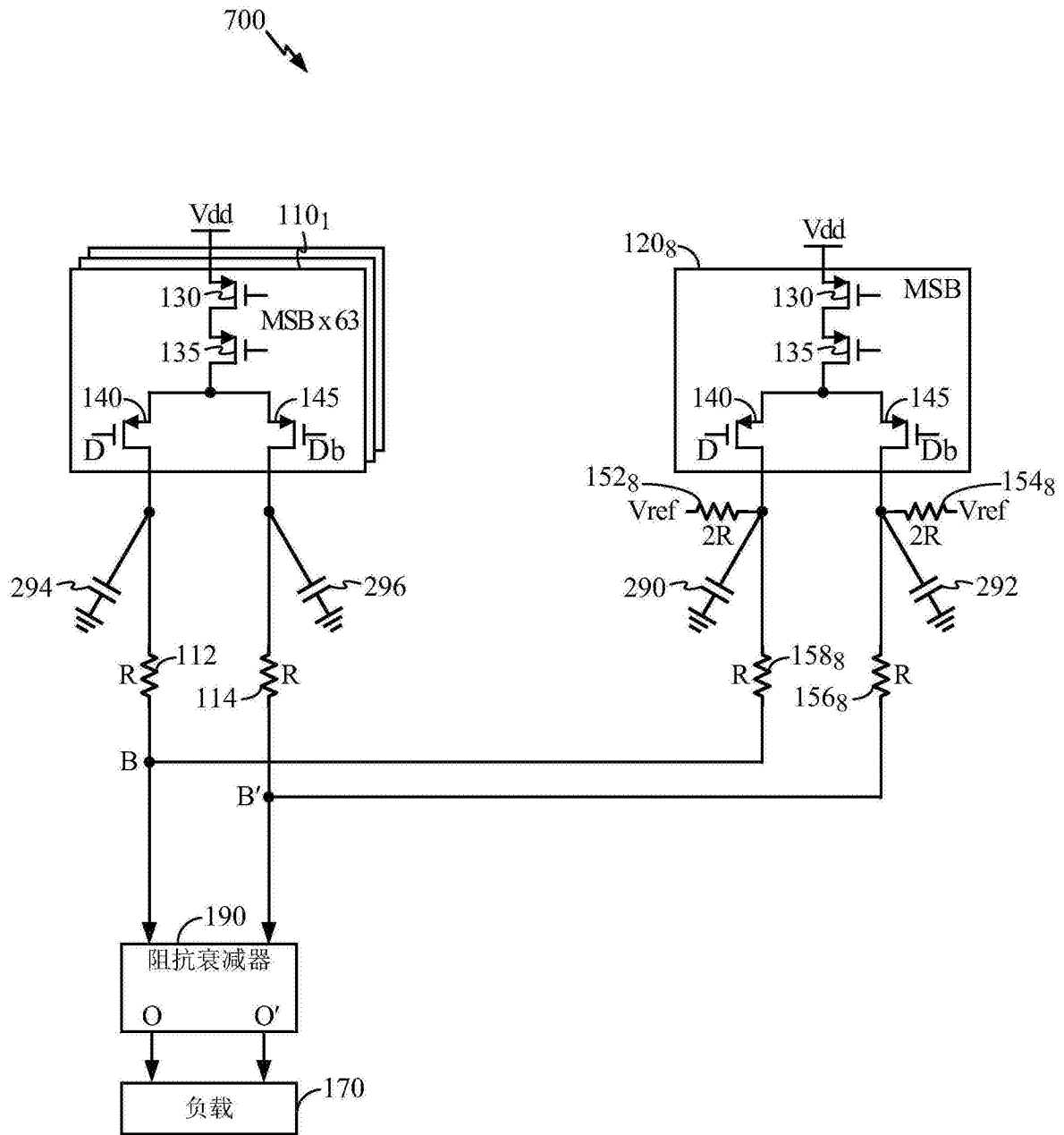


图9

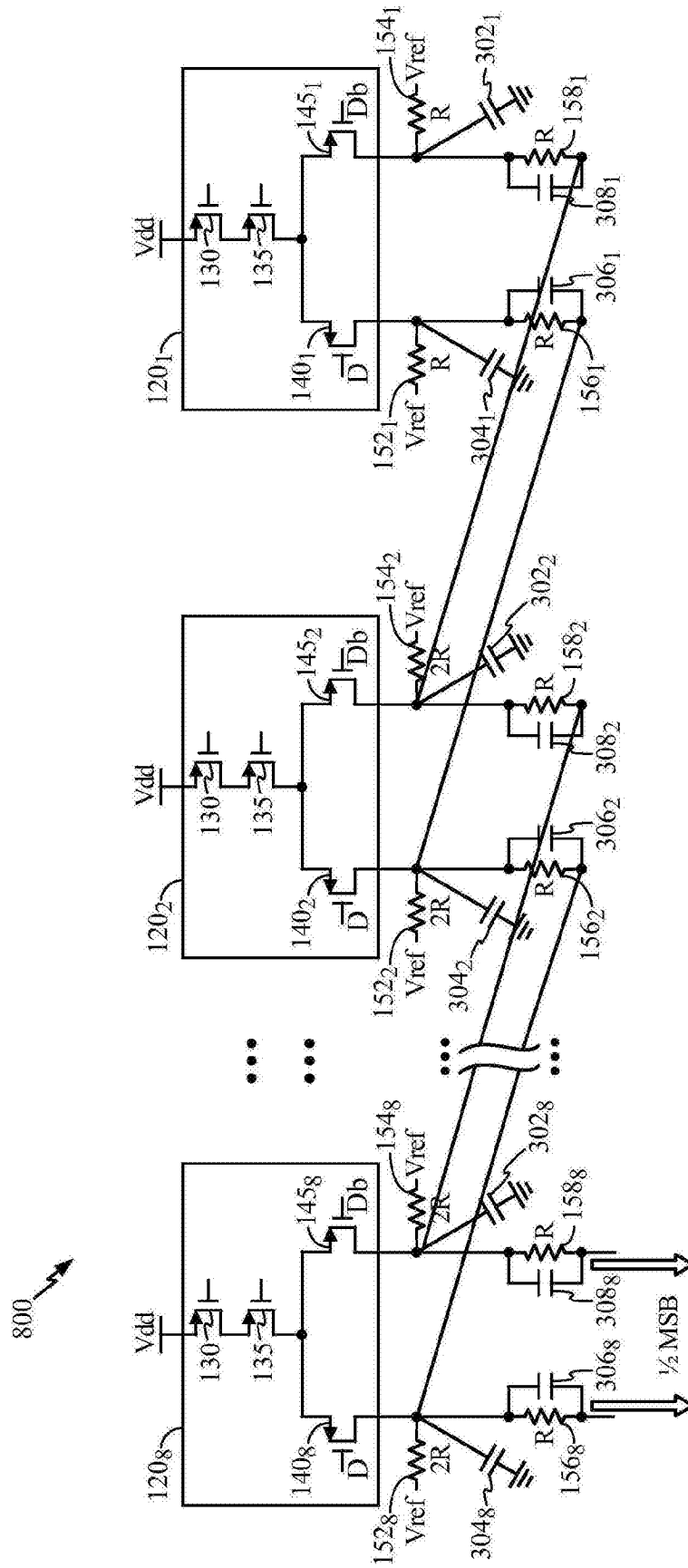


图10

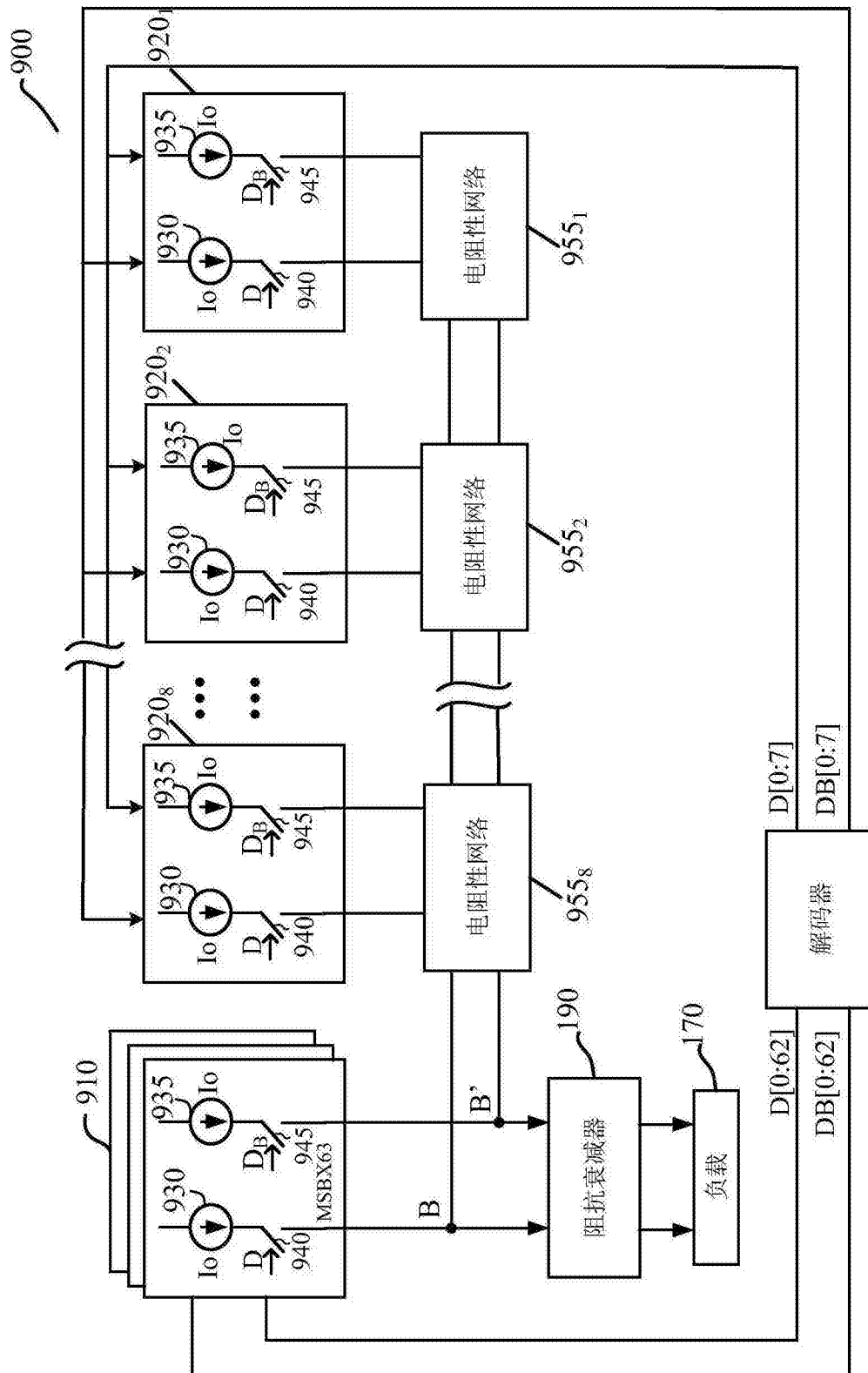


图 11

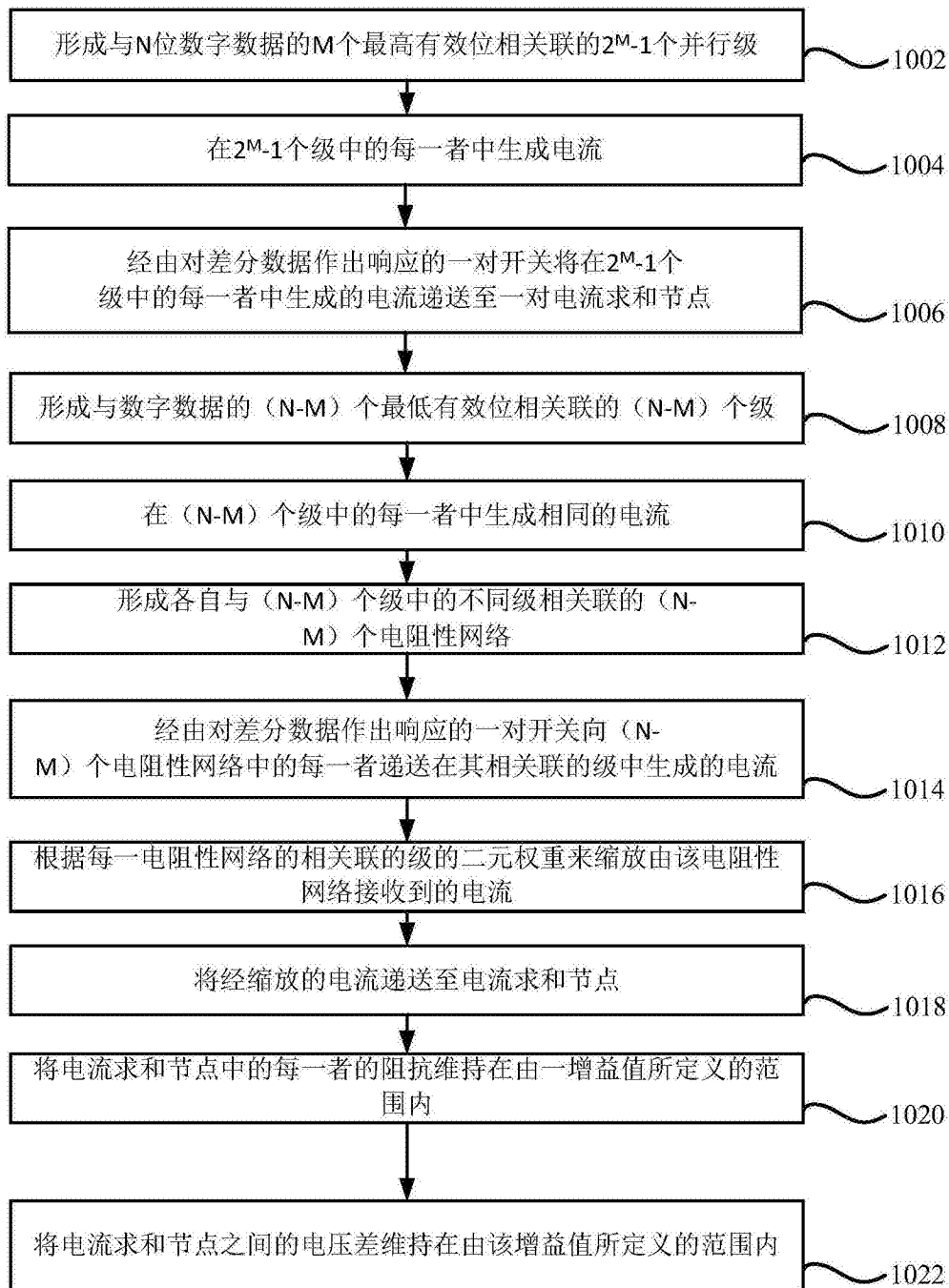


图12