(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3559115号

(P3559115)

(45)発行日　平成16年8月25日(2004.8.25)　(24)登録日　平成16年5月28日(2004.5.28)

(51)Int.Cl.[7]	F I		
G02F 1/133	G02F	1/133	550
G02F 1/1345	G02F	1/1345	
G09G 3/36	G09G	3/36	
H01L 29/786	H04N	5/66	D
H04N 5/66	H04N	9/30	

請求項の数 15　(全 35 頁)　最終頁に続く

(21)出願番号　特願平7-262595
(22)出願日　平成7年9月14日(1995.9.14)
(65)公開番号　特開平9-80387
(43)公開日　平成9年3月28日(1997.3.28)
審査請求日　平成14年9月17日(2002.9.17)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　平形　吉晴
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　寺本　聡
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】表示装置

(57)【特許請求の範囲】

【請求項１】

基板上に一体形成された、

一直線上に並べて配置された複数のアクティブマトリクス領域と、

複数の前記アクティブマトリクス領域の垂直走査制御をそれぞれ行う複数の垂直走査制御回路と、

複数の前記アクティブマトリクス領域の水平走査制御を同時に行う１つの水平走査制御回路と、

を有し、

前記水平走査制御回路は、複数の前記アクティブマトリクス領域のうち異なる２つの前記アクティブマトリクス領域の間に形成されていることを特徴とする表示装置。

【請求項２】

基板上に一体形成された、

一直線上に並べて配置された複数のアクティブマトリクス領域と、

複数の前記アクティブマトリクス領域の垂直走査制御を同時に行う１つの垂直走査制御回路と、

複数の前記アクティブマトリクス領域の水平走査制御をそれぞれ行う複数の水平走査制御回路と、

を有し、

前記垂直走査制御回路は、複数の前記アクティブマトリクス領域のうち異なる２つの前記

アクティブマトリクス領域の間に形成されていることを特徴とする表示装置。
【請求項３】
請求項１または請求項２において、
複数の前記アクティブマトリクス領域はそれぞれ、
マトリクス状に配置された複数の画素と、
前記水平走査制御によって、複数の前記画素の１行分の画像データを保持するサンプリングホールド回路と、
を有することを特徴とする表示装置。
【請求項４】
請求項１乃至請求項３のいずれか一項において、
複数の前記アクティブマトリクス領域それぞれによって形成される像を合成して、１つの画像を形成することを特徴とする表示装置。
【請求項５】
請求項１乃至請求項３のいずれか一項において、
複数の前記アクティブマトリクス領域のうち少なくとも２つの前記アクティブマトリクス領域は、互いに異なる色に対応する像を形成し、
当該異なる色に対応する像を合成して、１つの画像を形成することを特徴とする表示装置。
【請求項６】
請求項１乃至請求項３のいずれか一項において、
複数の前記アクティブマトリクス領域はそれぞれ、右目用の像または左目用の像を形成し、
前記右目用の像及び前記左目用の像を合成して立体表示を行うことを特徴とする表示装置。
【請求項７】
請求項１乃至請求項３のいずれか一項において、
複数の前記アクティブマトリクス領域のうち異なる２つの前記アクティブマトリクス領域は同じ像を形成し、
前記像を重ねて投影することを特徴とする表示装置。
【請求項８】
請求項１乃至請求項３のいずれか一項において、
複数の前記アクティブマトリクス領域のうち異なる２つの前記アクティブマトリクス領域は同じ像を形成し、
前記同じ像を、垂直方向または水平方向にずらして投影し、見かけ上の解像度を高めることを特徴とする表示装置。
【請求項９】
基板上に一体形成された、
Ｍ（Ｍは２以上の自然数）×Ｎ（Ｎは２以上の自然数）個のアクティブマトリクス領域と、
Ｍ×Ｎ個のうちのＮ個の前記アクティブマトリクス領域の水平走査制御を同時に行う水平走査制御回路をＭ個と、
Ｍ×Ｎ個のうちのＭ個の前記アクティブマトリクス領域の垂直走査制御を同時に行う垂直走査制御回路をＮ個と、
を有し、
Ｍ個の前記水平走査制御回路とＮ個の前記垂直走査制御回路の一方または両方は、Ｍ×Ｎ個の前記アクティブマトリクス領域のうち異なる２つの前記アクティブマトリクス領域の間に形成されていることを特徴とする表示装置。
【請求項１０】
基板上に一体形成された、
Ｍ（Ｍは２以上の自然数）×Ｎ（Ｎは２以上の自然数）個のアクティブマトリクス領域と

、
Ｍ×Ｎ個のうちのＮ個の前記アクティブマトリクス領域の水平走査制御を同時に行う水平走査制御回路をＭ個と、
Ｍ×Ｎ個のうちのＭ個の前記アクティブマトリクス領域の垂直走査制御を同時に行う垂直走査制御回路をＮ個と、
を有し、
Ｍ個の前記水平走査制御回路とＮ個の前記垂直走査制御回路の一方または両方は、Ｍ×Ｎ個の前記アクティブマトリクス領域のうち異なる２つの前記アクティブマトリクス領域の間に形成され、
Ｍ×Ｎ個の前記アクティブマトリクス領域はそれぞれ、
マトリクス状に配置された複数の画素と、
前記水平走査制御によって、複数の前記画素の１行分の画像データを保持するサンプリングホールド回路と、
を有することを特徴とする表示装置。
【請求項１１】
請求項９または請求項１０において、
Ｍ×Ｎ個の前記アクティブマトリクス領域それぞれによって形成される像を合成して、１つの画像を形成することを特徴とする表示装置。
【請求項１２】
請求項９乃至請求項１１のいずれか一項において、
Ｍ×Ｎ個の前記アクティブマトリクス領域のうち少なくとも２つの前記アクティブマトリクス領域は、互いに異なる色に対応する像を形成し、
当該異なる色に対応する像を合成して、１つの画像を形成することを特徴とする表示装置。
【請求項１３】
請求項９乃至請求項１１のいずれか一項において、
Ｍ×Ｎ個の前記アクティブマトリクス領域はそれぞれ、右目用の像または左目用の像を形成し、
前記右目用の像及び前記左目用の像を合成して立体表示を行うことを特徴とする表示装置。
【請求項１４】
請求項９乃至請求項１１のいずれか一項において、
Ｍ×Ｎ個の前記アクティブマトリクス領域のうち異なる２つの前記アクティブマトリクス領域は同じ像を形成し、
前記像を重ねて投影することを特徴とする表示装置。
【請求項１５】
請求項９乃至請求項１１のいずれか一項において、
Ｍ×Ｎ個の前記アクティブマトリクス領域のうち異なる２つの前記アクティブマトリクス領域は同じ像を形成し、
前記同じ像を、垂直方向または水平方向にずらして投影し、見かけ上の解像度を高めることを特徴とする表示装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本明細書で開示する発明は、投影型の表示装置に関する。例えば液晶パネルでもって光学変調された像を適当なスクリーンに投影する構成に関する。
【０００２】
【従来の技術】
従来より、投影型の液晶表示装置が知られている。これは、液晶パネル等で光学変調された像を適当な光学系でもって拡大してスクリーンに投影し表示を行うものである。このよ

うな技術としては、公開実用新案公報昭５８－１１１５８０号に記載された技術が公知である。

【０００３】

上記公報にも記載されているように、一般にカラー画像を表示するためには、複数の液晶パネルを用いてＲＧＢの各像を形成し、この像を合成する手段が利用されている。このような構成を採った場合、各像を合成するに当たり光軸を合わせることが重要となる。

【０００４】

従来の構成においては、各液晶パネルが独立に配置され、この各液晶パネルの位置や向きを微妙に調整することにより、上記光軸調整が行われていた。しかし、このような構成は、生産コストの増加や構造の複雑化、さらに表示特性の経時変化を招いてしまい好ましいことではない。

【０００５】

一方でより高品質な表示を行うためにアクティブマトリクス型の液晶表示装置が知られている。これは、透光性基板（普通はガラス基板や石英基板が利用される）上に各画素に対応させて薄膜トランジスタを形成し、この薄膜トランジスタで画素の電極（画素電極）に保持させる電荷を制御する構成を有している。

【０００６】

このアクティブマトリクス型の液晶表示装置においては、画素に配置された薄膜トランジスタを駆動するための回路（周辺回路）が必要とされる。一般的には、この周辺回路はドライバーＩＣと呼ばれる外付のＩＣ回路でもって構成されている。

【０００７】

またさらに進んだ構成として、上記周辺回路を薄膜トランジスタで構成し、基板上に集積化してしまう構成がある。この構成は、基板上に画素領域と周辺回路領域とを集積化した一体構造として得られるので、液晶パネルをより利用しやすいものとすることができる。

【０００８】

しかし、このような周辺回路をも一体化した構成は、周辺回路の集積度が高くなるので、不良の発生が高くなり、液晶パネル自体の生産歩留りが低下してしまうという問題がある。従って、周辺回路はなるべく単純化されることが望まれている。

【０００９】

また将来的に立体像を表示することができる構成が求められている。しかし、現状の２次元表示の表示装置との互換性を有する表示装置として適当なものがないのが現状である。

【００１０】

またアクティブマトクス領域の全て（数百×数百以上の画素数となる）において、全く欠陥の無いものとすることは困難であり、一般的には、かなりの割合で欠陥が存在するものとなってしまう。このような欠陥が存在すると、部分的に点状あるいは線状に表示が行われない部分が画像上に存在してしまう。この表示の行われない部分は、点欠陥あるいは線欠陥と呼ばれている。

【００１１】

この欠陥が存在する装置は、不良品となるので、その分生産歩留りが低下してしまう。

【発明が解決しようとする課題】

上述したように、複数の像を重ね合わせてカラー画像を投影表示する構成においては、各像を形成する光学変調手段である液晶パネルを別個に配置する構成となっているので、構成が複雑化してしまうという問題がある。

【００１２】

本明細書で開示する発明はこのような問題を解決し、高い画質を得られる構成でありながら、全体の構造をなるべく簡単なものとすることを課題とする。

【００１３】

また作製コストの低減を計り、さらに生産歩留りを高くするできる構成を提供することを課題とする。また、立体表示や高輝度表示を行うことができる表示装置を提供することを課題とする。

【００１４】
また、欠陥が存在してもある程度の表示が行うことができるような表示装置を提供することを課題とする。
【００１５】
【課題を解決するための手段】
本明細書で開示する発明の一つは、
ＭおよびＮを２以上の自然数として、
基板上に、
Ｍ×Ｎ個の画像を形成するためのアクティブマトリクス領域と、
Ｍ＋Ｎ個の周辺回路領域と、
が配置された構成を有し、
前記Ｍ個の周辺回路のそれぞれは、Ｎ個のアクティブマトリクス領域の水平走査制御を同時に行い、
前記Ｎ個の周辺回路のそれぞれは、Ｍ個のアクティブマトリクス領域の垂直走査制御を同時に行うことを特徴とする。
【００１６】
上記構成の具体的な例を図２に示す。図２に示す構成においては、Ｍ＝２、Ｎ＝３の場合が示されている。図２には、（Ｍ＝２）×（Ｎ＝３）個配置されたアクティブマトリクス領域１０３、１０４、１０５、１０６、１０７、１０８が示されている。
【００１７】
また、これらアクティブマトリクス回路を駆動するための周辺回路領域として、２＋３個の周辺回路１０１、１０２、１０９、１１０、１１１が配置されている。この周辺回路の中で１０１と１０２が水平走査制御回路である。また１０９、１１０、１１１が垂直走査制御回路である。
【００１８】
図２に示す構成においては、Ｍ＝２個の周辺回路１０１と１０２がそれぞれＮ＝３個のアクティブマトリクス回路１０３と１０４と１０５、さらには１０６と１０７と１０８の水平走査制御を同時に行う構成となっている。
【００１９】
即ち、周辺回路１０１がアクティブマトリクス領域１０３と１０４と１０５の水平走査制御を同時に行う構成となっている。また周辺回路１０２がアクティブマトリクス領域１０６と１０７と１０８の水平走査制御を同時に行う構成となっている。
【００２０】
また、Ｎ＝３個の周辺回路１０９と１１０と１１１がそれぞれＭ＝２個のアクティブマトリクス回路１０３と１０６、さらには１０４と１０７、さらには１０５と１０８の垂直走査制御を同時に行う構成となっている。
【００２１】
即ち、周辺回路１０９がアクティブマトリクス領域１０３と１０６の垂直走査制御を同時に行う構成となっている。また周辺回路１１０がアクティブマトリクス領域１０４と１０７の垂直走査制御を同時に行う構成となっている。また周辺回路１１１がアクティブマトリクス領域１０５と１０８の垂直走査制御を同時に行う構成となっている。
【００２２】
図２に示す構成は、ＲＧＢのカラー画像を得るために、Ｎ＝３となっているが、Ｍ＝Ｎ＝２（即ち２×２）としてもよい。またＭ＝２、Ｎ＝１としてもよい。またＭ＝１、Ｎ＝２としてもよい。この場合は、各アクティブマトリクス領域でＲＧＢのカラーフィルタを利用してカラー像を得る構成にするか、白黒像を得る構成とすればよい。
【００２３】
図２に示すように一般にＭ×Ｎ個のアクティブマトクス領域はマトリクス状に配置される。
【００２４】

また、アクティブマトリクス領域には画素がマトリクス状に配置されており、
前記画素には、少なくとも一つの薄膜トランジスタが配置されており、
前記薄膜トランジスタのソースに加わる信号はＭ個の周辺回路のそれぞれでもって行われる水平走査制御によって制御され、
前記薄膜トランジスタのゲイトに加わる信号はＮ個の周辺回路のそれぞれでもって行われる垂直走査制御によって制御されることを特徴とする。

【００２５】

上記構成における画素としては、例えば図２に示す（０，０），（１，０），・・・（ｍ，０）　で示す領域を挙げることができる。図２に示す構成においては、この各画素に薄膜トランジスタが一つづつ配置された構成となっている。

【００２６】

また図２に示す構成は上記構成において、Ｍ＝２、Ｎ＝３の場合に該当する。即ち、Ｍ個の周辺回路は１０１と１０２であり、Ｎ個の周辺回路は１０９と１１０と１１１である。

【００２７】

また、各画素に配置される薄膜トランジスタの数は１つのみに限定されるのではない。またその配置方法も図１９（Ｂ）に示すように複数個を直列に接続することや、図２０に示すようなＭＯＳ容量と組み合わせて配置するのでもよい。また、同一チャネル型の組み合わせのみではく、異なるチャネル型を組み合わせるのでもよい。

【００２８】

図２に示すアクティブマトリクス領域は、アクティブマトリクス型の液晶表示装置を構成する場合の例である。即ち、アクティブマトリクス領域で像を形成する構成として液晶を用いた光学変調を用いる場合の例である。

【００２９】

しかし、アクティブマトリクス領域としては、液晶用いた光学変調手段だけではなく、エレクトロルミネセンスを用いた画像形成手段を利用してもよい。即ち、アクティブマトリクス領域を利用して蛍光体や発光体からの光を利用して像を形成する手段を採用してもよい。

【００３０】

なお、液晶表示を利用する場合には、基板として透光性を有する材料を用いる必要がある。具体的には、ガラス基板や石英基板である。また、エレクトロルミネセンスを用いた画像形成手段を利用する場合には、単結晶珪素基板等の適当な半導体基板や絶縁基板を利用することができる。

【００３１】

また、アクティブマトリクス領域や周辺回路を構成する半導体素子として、ガラス基板や石英基板を利用する場合であれば、同一半導体薄膜を利用して構成された薄膜トランジスタを利用することができる。この方法は装置を集積化する上で有用な方法となる。また、半導体基板を基板として利用した場合には、半導体基板を利用したＭＯＳ型素子を利用することができる。

【００３２】

また、ここでいうアクティブマトリクスというは、マトリクス状に配置された画素のそれぞれにアクティブ素子が少なくとも一つ配置され、このアクティブ素子の働きによって、像を形成する機能を有するものをいう。またアクティブマトリクス領域というのは、そのような機能を有する領域のこという。

【００３３】

他の発明の構成は、
Ｍを２以上の自然数、Ｎを２以上の自然数として、
基板上にＭ×Ｎ個のアクティブマトリクス領域と、
Ｍ＋Ｎ個の周辺回路と、
を有し、
前記アクティブマトリクス回路は、

マトリクス状に配置された画素領域と、
前記画素領域に配置された少なくとも一つの薄膜トランジスタと、
前記薄膜トランジスタのソースに接続された画像信号線と、
前記薄膜トランジスタのゲイトに接続された前記画像信号線と直交または概略直交したゲイト信号線と、
を有し、
前記Ｍ個の周辺回路はＮ個のアクティブマトリクス領域の画像信号線に供給される画像信号を選択する機能を有し、
前記Ｎ個の周辺回路はＭ個のアクティブマトリクス領域の画像信号線に供給される信号を制御する機能を有し、
前記画像信号線には画像サンプリング信号線より画像データが供給されることを特徴とする。

【００３４】
上記構成の具体的な例を図２に示す。図２に示す構成はＭ＝２、Ｎ＝３の場合の例である。図２に示すように例えば１０３で示される一つのアクティブマトリクス領域には、薄膜トランジスタが個々に配置された画素がマトリクス状にｍ×ｎ個配置されている。

【００３５】
また例えば（０，０）　番地の画素における薄膜トランジスタのソースには画像信号線２０９が接続されている。またゲイトには、前記画像信号線２０９と概略直交したゲイト線２１１が接続されている。

【００３６】
そして、Ｍ＝２個の周辺回路１０１と１０２は、それぞれＮ＝３個のアクティブマトリクス領域１０３と１０４と１０５、さらに１０６と１０７と１０８の画像信号線（例えば２０９で示される）に供給される画像信号を選択する機能を有している。

【００３７】
例えば、周辺回路１０１のフリップフロップ回路２０１からの画像サンプリング信号は配線２０８に供給され、この画像サンプリング信号によって、アクティブマトリクス領域１０３と１０４と１０５の画像信号線（例えば２０９で示される）に供給される画像データがサンプリングホールド回路２０４において取り込まれる。

【００３８】
画像信号線２０９には画像データが以下のようにして供給される。即ち、画像サンプリング信号線２０８を介して供給される周辺回路（水平走査制御回路）１０１のフリップフロップ回路２０１からの信号により、サンプリングホールド回路２０４において画像データＲ（Ｒ画像用のデータ）が取込みイネーブルとなる。そしてこの取込みイネーブルされた当該画像データが画像信号線２０９に供給される。

【００３９】
また、Ｎ＝３個の周辺回路１０９と１１０と１１１は、それぞれＭ＝２個のアクティブマトリクス領域１０３と１０６、１０４と１０７、１０５と１０８のゲイト信号線（ゲイト信号線は例えば２１１で示される）に供給される信号を制御する機能を有している。

【００４０】
例えば周辺回路（垂直走査制御回路）１０９は、アクティブマトリクス領域１０３と１０６のゲイト信号線（例えば２１１で示される）に供給する信号を制御する。

【００４１】
他の発明の構成は、
基板上に、
一直線上に並べて配置された複数のアクティブマトリクス回路と、
前記アクティブマトリクス回路の水平または垂直走査制御を行うための周辺回路と、
を有し、
前記複数のアクティブマトリクス回路の水平または垂直走査制御は同一の周辺回路で行われることを特徴とする。

【００４２】
上記構成の具体的な例を図２に示す。図２に示す構成においては、アクティブマトクス領域１０３と１０４と１０５とは１直線上に並べて配置されている。そしてこのアクティブマトクス領域を駆動するための周辺回路１０１、１０２、１０９、１１０、１１１が示されている。
【００４３】
図２に示す構成においては、アクティブマトリクス領域１０３と１０４と１０５の水平走査制御が同一の周辺回路１０１によって行われる。また、アクティブマトリクス領域１０３と１０６の垂直走査制御が同一の周辺回路１０９によって行われる。
【００４４】
なお複数のアクティブマトリクス回路は完全に一直線上に並んで配置されている必要はない。例えば、各像の位置をずらすためや光軸設定のために並んで配置されているアクティブマトクス回路の位置を微妙にずらす場合がある。このような場合には、各アクティブマトリクス領域が完全に一直線上に並んでいる必要はない。
【００４５】
他の発明の構成は、
透光性を有する基板上に、
ＲＧＢの光学変調をそれぞれ行うための３個１組のアクティブマトリクス領域が２組と、
前記アクティブマトリクス回路の水平または垂直走査制御を行うための周辺回路と、
が集積化されて構成されており、
前記３個１組のアクティブマトリクス領域の水平または垂直走査制御は同一の周辺回路で行われることを特徴とする。
【００４６】
上記構成の具体的な例を図２に示す。図２には、ガラス基板上にＲＧＢの光学変調を行うための３個１組のアクティブマトリクス領域１０３、１０４、１０５と、他の３個１組のアクティブマトリクス領域１０６、１０７、１０８が示されている。
【００４７】
そして、３個１組のアクティブマトリクス領域１０３、１０４、１０５の水平走査制御は、同一の周辺回路１０１で行われる構成が示されている。また、３個１組のアクティブマトリクス領域１０６、１０７、１０８の水平走査制御は、同一の周辺回路１０２で行われる構成が示されている。
【００４８】
なお、図２１にはＲＧＢ各アクティブマトリクス領域の垂直走査制御を同一の周辺回路２１０４で行う構成が記載されている。即ち、ＲＧＢで示されるアクティブマトリクス領域の垂直走査制御が、２１０４で示される周辺回路によって共通に行われている。
【００４９】
他の発明の構成は、
透光性を有する基板上に、
ＲＧＢの光学変調をそれぞれ行うための３個１組のアクティブマトリクス回路が複数組と、
前記アクティブマトリクス回路の水平または垂直走査制御を行うための周辺回路と、
が集積化されて構成されており、
前記３個１組のアクティブマトリクス回路の複数組において、水平または垂直走査制御は同一の周辺回路で行われることを特徴とする。
【００５０】
他の発明の構成は、
透光性を有する基板上に、
ＲＧＢの光学変調をそれぞれ行うための３個１組のアクティブマトリクス回路が２組と、
前記アクティブマトリクス回路の水平または垂直走査制御を行うための周辺回路と、
が集積化されて構成されており、

前記２組のアクティブマトリクス回路の水平または垂直走査制御は同一の周辺回路で行われることを特徴とする。

【００５１】

上記構成の具体的な例を図２に示す。図２に示す構成は、ＲＧＢの光学変調をそれぞれ行うための３個１組のアクティブマトリクス領域１０３、１０４、１０５が配置され、さらに他の３個１組のアクティブマトリクス領域１０６、１０７、１０８が配置されている。

【００５２】

そして、２組のアクティブマトリクス回路の１０３と１０６において、共通の周辺回路１０９によって垂直走査制御が行われる構成となっている。また、２組のアクティブマトリクス回路の１０４と１０７において、共通の周辺回路１１０によって垂直走査制御が行われる構成となっている。また、２組のアクティブマトリクス回路の１０５と１０８において、共通の周辺回路１１１によって垂直走査制御が行われる構成となっている。

【００５３】

他の発明の構成は、

▲１▼基板上に、

光学変調をそれぞれ行うための複数個１組のアクティブマトリクス領域が複数組と、

前記アクティブマトリクス領域の水平または垂直走査制御を行うための周辺回路と、

が集積化された構成を有する液晶パネルと、

▲２▼前記複数組のアクティブマトリクス領域で形成された像を投影面に投影する手段と、

を有し、

複数個１組のアクティブマトリクス領域の水平または垂直走査制御は同一の周辺回路によって行われ、

前記一方の組のアクティブマトリクス領域で右目用のカラー像を形成し、

前記他方の組のアクティブマトリクス領域で左目用のカラー像を形成し、

前記右目用のカラー像と前記左目用のカラー像を重ねて投影または投影面で重ねることにより立体像を表示することを特徴とする。

【００５４】

上記構成は、立体像を表示するための装置である。上記構成の具体的な例を図５乃至図７に示す。

【００５５】

他の発明の構成は、

▲１▼基板上に、

ＲＧＢの光学変調をそれぞれ行うための３個１組のアクティブマトリクス領域が２組と、

前記アクティブマトリクス領域の水平または垂直走査制御を行うための周辺回路と、

が集積化された構成を有する液晶パネルと、

▲２▼前記２組のアクティブマトリクス領域で形成された像を投影面に投影する手段と、

を有し、

３個２組のアクティブマトリクス領域の水平または垂直走査制御は同一の周辺回路で行われ、

前記一方の組のアクティブマトリクス領域で右目用のカラー像を形成し、

前記他方の組のアクティブマトリクス領域で左目用のカラー像を形成し、

前記右目用のカラー像と前記左目用のカラー像を重ねて投影または投影面で重ねることにより立体像を表示することを特徴とする。

【００５６】

上記構成は、立体像を表示するための装置である。上記構成の具体的な例を図５乃至図７に示す。

【作用】

複数のアクティブマトリクス回路を同一基板上に集積化した構成において、水平走査制御回路と垂直走査制御回路とが複数のアクティブマトリクス領域の駆動を同時に行う構成と

することで、周辺回路の簡略化を計ることができる。

【００５７】

例えば、図２に示す構成においては、１つの周辺回路である水平走査制御回路１０９によって、２つのアクティブマトリクス領域のゲイト信号線に供給する信号を共通に制御する構成となっている。このような構成は、複数のアクティブマトリクス回路を集積化する場合に、全体の構成を簡略化する上で有用な構成となる。

【００５８】

このような構成は、アクティブマトクス領域において各画素に書き込まれる画像データーを選択するための制御信号を各アクティブマトクス領域における水平走査および垂直走査において共通化することによって可能となる。即ち、水平走査側の制御と垂直走査側の制御とを複数のアクティブマトリクス領域において共通なものとすることによって、水平走査制御回路と垂直走査制御回路をそれぞれ共通化し減らすことができる。

【００５９】

【実施例】

〔実施例１〕

本実施例は、６枚の液晶パネルを同一ガラス基板を用いて集積化した６面一体型の集積化された液晶パネルの構成について示す。図１に本実施例で示す集積化された液晶パネルの概略の構成を示す。

【００６０】

図１に示されているのは、ＲＧＢで１組となるカラー像を形成する一方のパネル群と、Ｒ’Ｇ’Ｂ’で１組となるカラー像を形成する他方のパネル群とが集積化され、さらに各液晶パネルを駆動するための周辺回路が水平走査側と垂直走査側において共通化されていることを特徴とする。

【００６１】

図２に図１に示す構成と等価な回路ブロック図を示す。図２においては、１０３と１０６で示されるＲとＲ’のアクティブマトリクス領域（画素領域ともいう）について主に詳細な記載が成されている。しかし、他の領域も同様な構成を有している。

【００６２】

図１及び図２に示す構成は、一般にガラス基板や石英基板上に集積化される。回路は薄膜トランジスタで代表される薄膜素子でもって構成される。薄膜素子でもって回路を構成することは、外付けのＩＣ回路を利用する場合に比較して、回路の集積度を上げることができ、また小型軽量化や薄膜化を計ることができる。

【００６３】

図２に示す構成は、ＣＬＫＨで示される水平走査制御回路の動作クロックを全てのアクティブマトリクス領域（図においては１０３～１０８で示される）において共通に利用していることを特徴とする。

【００６４】

このような構成とすると、動作クロックＣＬＫＨの信号を受けて動作する水平走査制御回路１０１のフリップフロップ回路２０１の出力でもって、１０３で示されるＲの像を形成するアクティブマトリクス領域と、１０４で示されるＧの像を形成するアクティブマトリクス領域と、１０５で示されるＢの像を形成するアクティブマトリクス領域とにおけるX_0　列の水平走査を同時に制御することができる。

【００６５】

このようにアクティブマトリクス領域１０３とアクティブマトリクス領域１０４とアクティブマトリクス領域１０５におけるX_m　列の水平走査制御は共通の回路で行われる。従って、１０３～１０５で示されるＲＧＢの各アクティブマトリクス領域における水平走査制御回路１０１は共通なものとすることができる。

【００６６】

また１０６～１０８で示されるアクティブマトリクス回路の水平走査制御回路１０２を共通なものとして配置することができる。

【００６７】
また図２に示す構成は、ＣＬＫＶで示される垂直走査制御回路の動作クロックを全てのアクティブマトリクス領域（図においては１０３～１０８で示される）において共通に利用していることを特徴とする。
【００６８】
このような構成とすると、動作クロックＣＬＫＶの信号を受けて動作する垂直走査制御回路１０９のフリップフロップ回路２０２の出力でアクティブマトリクス領域１０３とアクティブマトリクス領域１０６とにおけるY_0　行の垂直走査を制御することができる。従って、１０３と１０６のアクティブマトリクス領域にを駆動する垂直走査制御回路１０９を共通なものとすることができる。
【００６９】
また、アクティブマトリクス領域１０４と１０７の垂直走査制御回路１１０を共通なものとして配置することができる。さらにまたアクティブマトリクス領域１０５と１０８の垂直走査制御回路１１１を共通なものとして配置することができる。
【００７０】
図２に示すような構成とした場合、水平走査制御回路は１０１と１０２で示されるように２つ配置すればよい。また垂直走査制御回路は１０９と１１０と１１１で示されるように３つ配置すればよい。即ち、ＲＧＢとＲ’Ｇ’Ｂ’の像を形成するための１０３～１０８で示される６つのアクティブマトリクス領域を５つの周辺駆動回路でもって駆動することができる。
【００７１】
従来においては、最低でも一つのアクティブマトリクス領域（画素領域）に１つの水平走査制御回路と１つの垂直走査制御回路が必要とされていた。従って、単純に６つのアクティブマトリクス領域を集積化した場合、周辺回路として６つの水平走査制御回路と６つの垂直制御回路との計１２個の周辺回路が必要となってしまう。
【００７２】
しかし、図２に示すような構成とすることにより、回路の数はその半分以下で済むことになる。同様に周辺回路の占める面積も単に液晶パネルを集積化する場合に比較して半分以下にすることができる。また、必要とする配線の少なくすることができる。このような構成とすることで、生産性が高くすることができる。また装置を小型でシンプルなものとすることができる。
【００７３】
また、液晶パネルへの各種信号の種類も少なくなるという特徴を有する。この各種信号のための配線は、図１の１００で示される部分に端子を設ければよい。
【００７４】
また、ＲＧＢ及びＲ’Ｇ’Ｂ’で構成されるカラー像のそれぞれの垂直走査の制御が、同一のＶＳＴＡ（垂直走査タイミングイネーブル信号）とＣＬＫＶ（垂直走査制御回路の動作クロック）に基づいて行われるので、特別な回路を必要とすることなしに両者の像を同一のタイミングで表示することができる。
【００７５】
なお、図２に示す周辺回路（例えば１０１で示される水平走査制御回路）として図２３に示すような回路を構成を利用することもできる。
【００７６】
以下に図３に示すタイミングーチャートを用いて、Ｒの表示を形成するための図２の１０３で示されるアクティブマトクス領域（画素領域）の動作の基本的な部分について説明する。
【００７７】
水平走査制御回路１０１の動作を制御するＣＬＫＨ（水平走査制御回路の動作クロック）と垂直走査制御回路１０９の動作を制御するＣＬＫＶ（垂直走査制御回路の動作クロック）は、図３に示すように所定の時間間隔でもってＨ（論理レベルでＨｉｇｈ）とＬ（論理

レベルでＬｏｗ　）を周期的に供給している。
【００７８】
１０３～１０８で示される６つのアクティブマトリクス回路は、このＣＬＫＨ（水平走査制御回路の動作クロック）とＣＬＫＶ（垂直走査制御回路の動作クロック）とによって基本的にその動作タイミングが制御される。
【００７９】
まずフリップフロップ回路について説明する。フリップフロップ回路２０１は、２つの安定状態をとる回路である。例えば２０１の回路において出力ＱがＬのレベル状態であり、かつ入力ＤがＨのレベルである場合において、ＣＬＫＨの立ち上がりエッジにおいて出力ＱはＨのレベルとなる。そして次にＣＬＫＨの立ち上がりエッジが入力しない限り、出力ＱのレベルはＨに維持された状態となる。
【００８０】
また入力レベルがＬでＣＬＫＨからの立ち上がりエッジが入力すると、出力ＱはＬのままとなる。
【００８１】
以下に図３を用いて動作の概要を説明する。まず図３のＡ’の時点において、垂直走査制御回路１０９のフリップフロップ回路２０２において、ＣＬＫＶ（垂直走査制御回路の動作クロック）によってＶＳＴＡ（垂直走査タイミングイネーブル信号）が打ち抜かれる。この結果Y_0　において信号レベルがＨになる。
【００８２】
この状態においては、アクティブマトリクス領域１０３と１０６のY_0　列目の各画素の薄膜トランジスタのゲイトには、ゲイト信号線２１１を介してＨのレベルの信号が加わる。従って、アクティブマトリクス領域１０３と１０６のY_0　行目の各画素の薄膜トランジスタはＯＮ状態となる。
【００８３】
一方、フリップフロップ回路２０２でＶＳＴＡがＣＬＫＶで打ち抜かれた時点において、フリップフロップ回路２０３の入力のレベルはＬの状態である。よって、ＣＬＫＶの立ち上がりエッジが入力してもフリップフロップ回路２０３の出力はＬのままである。即ちこの時点においてはY_1　のレベルはＬである。
【００８４】
そして同様な議論よりこの時点（Ａ’の時点）においては、Y_1　以降のY_2　、Y_3　・・・Y_n　におけるレベルはＬである。即ち、Y_1　、Y_2　、Y_3　・・・Y_n　列目におけるアクティブマトリクス領域１０３と１０６の各画素の薄膜トランジスタは全てＯＦＦの状態となる。
【００８５】
即ち、Ａ’でＶＳＴＡがＣＬＫＶで打ち抜かれることにより、Y_0　がＨレベルとなる。そして１行目の画素である（０，０）、（１、０）・・・・（ｍ，０）番地の薄膜トランジスタがＯＮ状態となる。またこの状態においては、（ｍ，ｎ）番地の画素の中でｎ＝０以外の番地に配置された薄膜トランジスタは全てＯＦＦ状態となる。
【００８６】
次に水平走査制御回路１０１におけるフリップフロップ回路２０１において、ＣＬＫＨ（水平走査制御回路の動作クロック）の立ち上がりエッジによってＨＳＴＡ（水平走査タイミングイネーブル信号）が打ち抜かれる。この結果、X_0　において信号レベルがＨになる。この時点を図２のＡで示す。
【００８７】
この状態において、フリップフロップ回路２０６の出力はＬのレベルである。即ち、フリップフロップ回路２１１にＣＬＫＨが印加（立ち上がりエッジが入力）されても、その時点においてはX_0　のレベルはＬであるから、当然フリップフロップ回路２０６の出力レベルはＬとなる。
【００８８】

また同様な議論により、２０６以降のフリップフロップ回路の入出力レベルは全てＬとなる。即ち、X_1 、X_2 ・・・X_m におけるレベルはＬとなる。

【００８９】

この図２のＡで示す時点において、ＳＨ（サンプリングホールド回路）２０４には画像サンプリング信号線２０８を介してX_0 の点の信号レベルであるＨの信号が入力される。そしてＲ用の画像データがＳＨ（サンプリングホールド回路）２０４に取り込まれ、画像信号線２０９に画像データが流れ込む。そしてこの結果、画素領域の（０，０），（０，１），（０，２） ・・・（０，ｎ） の画素領域における薄膜トランジスタのソースに所定の信号電圧が加わる。

【００９０】

またこの時（図２のＡの時点）において、１行目の（０，０）、（１、０）・・・・（ｍ，０）番地の薄膜トランジスタがＯＮ状態となっている。従って、実際に液晶への情報の書込みが行われるのは、（０，０）番地の画素ということになる。即ち、図２のＡの時点において情報の書込みが行われるのは、（０，０）番地のみとなる。

【００９１】

実際には、情報の書込みから表示までは時間差があるので、図３に示すようなタイミングで情報の入力（書込み）と表示は行われる。

【００９２】

ここでは、Ｒの表示を行う画素領域１０３に限定して説明を行ったが、同様な動作原理により、他の１０４～１０８で示される５つの画素領域の（０，０） 番地においても同様に情報の書込みが行われる。

【００９３】

次に図２のＢに示す時点において、次のＣＬＫＨが印加されフリップフロップ回路２０１の出力はＬとなる。従ってX_0 はＬとなる。

【００９４】

一方、図２のＢの時点においては、フリップフロップ回路２０６の入力のレベルがＨの状態において、ＣＬＫＨが印加されるので、その出力はＬからＨに変化する。即ちX_1 はＬからＨに変化する。

【００９５】

この時点（図２のＢの時点）において、Y_0 のレベルは依然としてＨのレベルである。即ち、１行目の（０，０）、（１、０）・・・・（ｍ，０）番地の薄膜トランジスタが全てＯＮ状態となっている。

【００９６】

ここでX_1 のレベルがＨとなることによって、画像サンプリング信号線２１０を介してＳＨ（サンプリングホールド回路）２０５にＨの信号が入力される。そしてＲ用の画像データが取り込まれ、画像信号線２１０を介して画素領域の（１，０）、（１，１）、（１，２）・・・（１，ｎ）の画素領域における薄膜トランジスタのソースに所定の信号電圧が加わる。

【００９７】

この状態においては、Y_0 行目の薄膜トランジスタがＯＮ状態であるから、結局（１，０）番地の画素において情報の書込みが行われることになる。この時、他の１０４～１０８で示される５つの画素領域においても（１，０）番地の画素において、情報の書込みが行われる。

【００９８】

このようにして、１０３～１０８で示される全ての画素領域において、（０，０）、（１，０）、（２，０）・・・・（ｍ，０）の番地で示される０行目（１０３～１０８で示される各領域の最上段の第１行目）の画素に対して順次情報の書込みが行われていく。

【００９９】

上記の動作を繰り返して（ｍ，０）番地に対する情報の書込みが終了した時点（図２のA_1 ’の時点）で次のＣＬＫＶが印加される。すると、フリップフロップ回路２０２の出力

はＨからＬになる。またこの時にフリップフロップ回路２０３の出力はＬからＨになる。即ち、Y_1　のレベルはＨになる。そしてゲイト信号線２０７を介してＨの信号電圧がY_1　行目の薄膜トランジスタのゲイトに供給される。

【０１００】

そして、０行目の場合と同じように、１行目の（０，１）、（１，１）・・・（ｍ，１）の行において、順次各画素に対して情報の書込みが行われていく。この動作は１０４～１０８で示される他の画素領域においても同時に行われる。

【０１０１】

以上の動作を繰り返し、（０，０）番地から（ｍ，ｎ）番地までのｍ×ｎ個の画素に対する情報の書込みが順次行われる。こうして１フレーム（１フィールドともいう）が終了する。即ち、１画面の形成が終了する。一般に１秒間に３０フレームの表示が連続して行われることにより画像の表示が行われる。

【０１０２】

図２に示す構成においては、水平走査制御回路１０１と１０２は同じ回路構成を有しており、同時に同じ動作を行う。また垂直走査制御回路１０９と１１０と１１１とも同じ回路構成であり、同時に同じ動作を行う。そして上述したように６つの画素領域１０３～１０８において、同時に同期して表示動作が進行していく。

【０１０３】

本実施例に示すような動作させた場合の有意性は、各アクティブマトリクス領域に与える画像データによって、色々な動作方法を選択できることである。例えば後述するように欠陥補正、高輝度表示、高解像度表示、立体表示等をこの各アクティブマトリクス領域に与える画像データを換えることで選択することができる。

【０１０４】

〔実施例２〕

本実施例は、図１及び図２に示す集積化された液晶パネルを動作させるのに必要とされる回路構成を示す。図４に本実施例の概略の構成を示すブロック図を示す。

【０１０５】

図４に示すのは、図２に示すような構成に画像データを供給するための構成であって、２次元画像と３次元画像とを適時選択して表示できる構成である。図４において、２次元画像Ｉ／Ｆは、外部から入力されるＴＶ信号（ＮＴＳＣ信号）やＲＧＢ画像信号（以上は２次元画像の信号）をシステムのタイミングに合わせた画像信号R_t　G_t　B_t　に変換し、さらに液晶パネルの動作を制御するパネルコントロール信号ＨＳＴＡ２Ｄ、ＶＳＴＡ２Ｄ、ＣＬＫＨ２Ｄ、ＣＬＫＶ２Ｄを生成する機能を有する。

【０１０６】

タイミング発生器は、システムの動作クロック、および動作クロックの分周クロックの生成を行う。

【０１０７】

リセット回路は、電源投入時の初期化信号およびスイッチ、もしくはシーケンサからの要求による強制初期化信号を生成する。

【０１０８】

３次元画像Ｉ／Ｆは、画像バッファＲや画像バッファＬに書き込んだ画像データを液晶パネルの動作レートに合わせて制御信号とともに出力する。また、出力される画像データはＤＡ変換器を介してアナログ信号として出力される。

【０１０９】

シーケンス制御回路は、外部バスより入力されるコマンドを解釈し、画像メモリへの書込みや読出モードの設定を行う。また読出による動作状況の確認、強制リセット要求に対する処理を行う。

【０１１０】

画像バッファコントローラは、シーケンサからの要求による画像バッファメモリへの書込み、および液晶パネルの動作レートクロックに同期した画像データの出力制御を行う。

【０１１１】
ＡＰ（アドレスポインタ）は、画像バッファメモリの物理アドレスを示すポインターである。ここでは画像バッファコントローラによりインクリメント等の制御が行われる。
【０１１２】
ここで示す３次元画像２／Ｆは、右目用と左目用の２組のＲＧＢ信号を生成するためのものである。従って、２組のＲＧＢ信号は基本的に異なっている（当然同一の部分もある）。
【０１１３】
この２組のＲＧＢ信号を全く同一な信号した場合は、同じ画像を重ね合わせることになる。従って、通常の２次元画像データが表示されることになる。このような場合、通常の２次元画像において高輝度、高解像度を得ることができる。
【０１１４】
図４において、ＣＫＬＨ２Ｄは、２次元表示を行うための水平走査制御回路の動作クロックのことを示す。またＨＳＴＡ２Ｄは、２次元表示を行うための水平走査タイミングイネーブル信号のことを示す。またＣＫＬＨ３Ｄは、３次元表示を行うための水平走査制御回路の動作クロックのことを示す。またＨＳＴＡ３Ｄは、３次元表示を行うための水平走査タイミングイネーブル信号のことを示す。
【０１１５】
R_t 、G_t 、B_t は、一般のＴＶ画像等の２次元像の画像データを示す。ＣＬＫＶ２Ｄは、２次元表示を行うための垂直走査制御回路の動作クロックを示す。ＶＳＴＡ２Ｄは、２次元表示を行うための垂直走査タイミングイネーブル信号を示す。
【０１１６】
ＭＯＤＳＥＬはモードセレクターのことを示す。モードセレクターは、２次元と３次元の表示を切り換える機能を有している。図に示す構成では、このモードセレクターを動作させない状態においては２次元表示を行うように設定されている。
【０１１７】
ＶＳＴＡ３Ｄは、３次元表示を行うための垂直走査タイミングイネーブル信号を示す。ＣＬＫＶ３Ｄは、３次元表示を行うための垂直走査制御回路の動作クロックを示す。
【０１１８】
R_r 、G_r 、B_r は、右（ｒｉｇｈｔ） 用のＲＧＢ画像データであることを示す。R_l 、G_l 、B_l は、左（ｌｅｆｔ）用のＲＧＢ画像データであることを示す。
【０１１９】
ＣＬＲはリセット信号のことであり、液晶パネル部の回路のリセットを行う信号を示す。図２には、ＣＬＲの信号が伝達される配線が省略されているが、実際には各フリップフロップ回路にＣＬＲの信号が伝達されるように配線が形成されている。（図が煩雑になるので省略した）
【０１２０】
図４に示す構成においては、２Ｄ／３Ｄ画像切り換え部において、画像信号を選択することにより、２Ｄ表示と３Ｄ表示を選択して表示することができる。即ち、１つの表示装置でもって、２次元表示と３次元表示とを選択して表示させることができる。例えば、アナログ信号で送られてくる普通のＴＶ画像を表示することもできるし、デジタル信号で送られてくる３次元のコンピューターグラフィックス画像を表示することもできる。
【０１２１】
〔実施例３〕
本実施例は、図１及び図２に示す集積化された液晶パネルを利用した投影型の表示装置の例である。図５において、５００が装置の筐体であり、この筐体５００に配置されたスクリーン５１０に内部から拡大投影された画像が表示される。
【０１２２】
ここでは、スクリーンに投影された面側の反対側から画像を見る構成（一般にリアプロジェクションと称される）を示すが、スクリーンに投影された面側から画像を見る構成（一

般に投射型プロジェクションと称される）の場合も画像が反転する点を除けば、基本的な構成は同じである。ただし、投射型プロジェクションの場合は、筐体とスクリーンと一体化されていない点が異なる。

【０１２３】

また筐体５００内には、図４にその概要を示す２次元／３次元画像制御回路５１１が組み込まれており、２次元画像と３次元画像とを適時選択して表示することが可能な構成となっている。

【０１２４】

図５において、白色光を発する光源５０１からの光はまずハーフミラー５０２によって反射され、ダイクロイックミラー５０４、５０５、５０６でＧＢＲに対応した波長領域を有する光に分光される。

【０１２５】

また、ミラー５０３によって反射された光も図示しないダイクロイックミラーによってＢ（青）Ｇ（緑）Ｒ（赤）の各波長領域に分光される。即ち、２組のＲＧＢ用のダイクロイックミラーによって、２組のＲＧＢの光線（計６射線）が生成される。

【０１２６】

これらの光線は、図１及び図２にその概略を示す集積化された液晶パネル５０７に入射する。そして集積化された液晶パネル５０７で光学変調されることによって形成される２組のＲＧＢの像は、光学系５０８からミラー５０９を介してスクリンーン（投影面）５１０に投影され、そこでカラー像として合成される。

【０１２７】

光学系５０８には、拡大投影用のレンズ系と立体表示（３次元表示）を行わす場合に利用される偏光付与手段（普通偏光板が利用される）が内蔵されている。この偏光付与手段は、普通の２次元表示の場合には、単なる減光手段として機能するだけである。従って、表示輝度を下げる以外に特に障害はない。しかし、２次元表示時により輝度を高めたいのであれば、この偏光付与手段を機械的に光路から外せるようにすればよい。

【０１２８】

〔実施例４〕

本実施例は、実施例３に示した構成において、ＲとＲ’、ＧとＧ’、ＢとＢ’で生成される画像をそれぞれ同じにすることによって、２つのＲＧＢの像を重ねた表示を行うことを特徴とする。

【０１２９】

この構成は、各画素領域に多少の欠陥が存在していても、完全な欠陥として表示の抜けを防ぐことができるのが特徴とである。例えば、ＲとＲ’、ＧとＧ’、ＢとＢ’という１組の画素領域を見た場合、互いの欠陥が同じ画素部分であるという可能性が少ない。従って、Ｒの画素領域の特定の部分の画素が欠陥であっても、Ｒ’の該当する部分が欠陥でなければ、重ね合わせた画像において当該画素部分は不完全ながら表示状態が保たれる。

【０１３０】

図２に示す集積化された液晶パネルの構成は、水平走査、及び垂直走査をそれぞれ共通した信号（ＨＳＴＡ、ＣＬＫＨ、ＶＳＴＡ、ＣＬＫＶ）によって制御している。従って、特別に各アクティブマトクス領域の動作タイミングを合わせる構成を必要とせずに、２つのＲＧＢの像を合成することができる。

【０１３１】

〔実施例５〕

本実施例は、実施例３に示す表示装置を利用して３次元表示を行う場合の例について示す。前述したように図５に示す表示装置においては、光学系５０８においてそれおれの光路に偏光付与手段が配置されている。

【０１３２】

この偏光付与手段は、液晶パネルからのＲＧＢ（図１及び図２の１０３～１０５のアクティブマトリクス領域で形成される）の各像に対しては同じ偏光状態を与える。一方この偏

光付与手段は、Ｒ’Ｇ’Ｂ’（図１及び図２の１０６～１０８のアクティブマトリクス領域で形成される）の各像に対してはＲＧＢに与えた偏光状態とは異なる偏光状態を与える構成となっている。

【０１３３】

具体的には、ＲＧＢの各像に対しては同じ右回り円偏光の状態を与え、Ｒ’Ｇ’Ｂ’の各像に対しては逆の左回り円偏光状態を与える構成となっている。またはＲＧＢの各像に対しては同じ所定の方向の直線偏光状態を与え、Ｒ’Ｇ’Ｂ’の各像に対しては先の所定の方向に対して９０°異なる直線偏光状態を与える構成となっている。

【０１３４】

そして３次元画像（立体像）を表示する場合には、液晶パネル５０７において右目用のＲＧＢでなるカラー画像と左目用のＲ’Ｇ’Ｂ’でなるカラー画像を形成する。このような動作は、図３に示す２次元／３次元画像制御回路における３次元画像Ｉ／Ｆ部において制御される。

【０１３５】

このような動作を行わすと、例えばＲＧＢでなるカラー像は右目用の画像でしかも右回り円偏光を有し、Ｒ’Ｇ’Ｂ’でなるカラー画像は左目用の画像でしかも左回り円偏光を有したものとして、スクリーン５１０（図５参照）上で合成される。

【０１３６】

この画像を単に見ただけでは、右目用の画像と左目用の画像とが単に重なっただけのものとなる。しかし、特殊な眼鏡を掛けることによって、左右の目でそれぞれのカラー画像を分離して見ることができる。

【０１３７】

即ち、眼鏡の右目の部分には左回り偏光（右回り偏光に向かい合った場合、左回り偏光となる）を選択的に透過するフィルターを配置し、左目の部分にはその逆に右回り偏光を選択的に透過させるフィルターを配置した眼鏡を掛けてスクリーン５１０（図５参照）を見るわけである。

【０１３８】

このようにすると、右目では右目用の画像を選択的に見ることができ、左目では左目用の画像を選択的に見ることができる。そして立体画像を認識することができる。

【０１３９】

また、光学系５０８において、ＲＧＢの各像に対しては同じ所定の方向の直線偏光状態を与え、Ｒ’Ｇ’Ｂ’の各像に対しては先の所定の方向に対して９０°異なる直線偏光状態を与える構成とした場合、眼鏡の右目に上記所定の方向の直線偏光を透過する偏光フィルターを配置し、眼鏡の左目に上記所定の方向に対して９０°回転した方向の直線偏光を透過する偏光フィルターを配置する。

【０１４０】

このようにすると、右目では右目用の画像を選択的に見ることができ、左目では左目用の画像を選択的に見ることができる。そして立体画像を認識することができる。

【０１４１】

以上説明したように、図１～図３、及び図５に示す構成を有した表示装置を用いることで、２次元画像と３次元画像を選択して表示することができる。これは、２次元画像用の表示装置と３次元画像用の表示装置とを別に用意する必要がないので非常に有用なものとなる。

【０１４２】

〔実施例６〕

本実施例は、図６に示すのとは異なる光学系を有する立体像を表示するための表示装置に関する。図６に本実施例の概要を示す。図６に示す構成は、図１及び図２に示す６つの画素領域（アクティブマトリクス領域）を有した集積化された液晶パネル６１１を用いて、ＲＧＢでなるカラー像を２つ形成し、それらをスクリーン（投影面）６１８に投影し合成するものである。

【０１４３】
ここで、ＲＧＢの一方の像を右目用の像とし、他方の像を左目用の像とし、それらの合成投影像を特殊な眼鏡を利用して見ることによって立体表示を行うものである。
【０１４４】
図６に示す構成では、第１の光源６０２からの光がミラー６０４で反射され、さらにダイクロイックミラー６０８、６０９、６１０でＧＢＲに対応する波長領域の光に分光される。そして、それらの各光は図１及び図２に示す集積化された液晶パネル６１１に入射する。
【０１４５】
液晶パネル６１１のＲＧＢに対応する各画素領域で光学変調された光は、ミラー６１２にＧの像が反射され、ハーフミラー（半透過ミラー）６１３でＢの像が反射され、ハーフミラー（半透過ミラー）６１４でＲの像が反射される。
【０１４６】
こうして合成されたカラー像は、光学系６１５を介し、さらにミラー６１７で反射されスクリーン（投影面）６１８に投影さえる。光学系６１５には、拡大投影に必要なレンズと所定の向きに円偏光あるいは直線偏光を付与する手段が備えられている。
【０１４７】
一方、光源６０１からの光はミラー６０３で反射され、さらにダイクロイックミラー６０５、６０６、６０７でそれぞれＧＢＲに対応する光に分光され、それらは液晶パネル６１１で光学変調される。そして光学変調されたＲＧＢに対応する光は図示しないミラー群で合成され、光学系６１６とミラー６１７を介してスクリーン６１８に投影される。
【０１４８】
ここで光学系６１６は、光学系６１５に配置されている偏光手段とは旋回方向の異なる円偏光を付与する手段、または９０°異なる方向の直線偏光を与える手段を備えている。従って、光学系６１６と６１７から投影される２つのＲＧＢでなるカラー像は、ことなる旋回方向を有する円偏光状態、または９０°異なる方向の直線偏頗状態を有している。
【０１４９】
従って、右目と左目とで、異なる円偏光状態を透過するフィルターを備えた眼鏡、または９０°異なる直線偏光状態をそれぞれ透過させるフィルターを備えた眼鏡を用いてスクリーン６１８を見ることによって、右目用のカラー像と左目用のカラー像とを独立して見ることができる。
【０１５０】
実施例１に示したように、図１及び図２に示す液晶パネルは、異なる２つのカラー像を形成することができる。従って、このことを利用しスクリーン６１８に右目用の像と左目用の像を投影し、それらを前述した原理によって左右の目で分離して見ることによって、立体像を見ることができる。
【０１５１】
また図８に示す構成は、普通の２次元表示に利用することもできる。この場合は、同じＲＧＢの像を１組形成し、単に投影面で合成すればよい。
【０１５２】
〔実施例７〕
本実施例は、図６に示す構成において、スクリーン６１８としてレンチキュラースクリーンを用いることによって、立体表示を行うことを特徴とする。図７に本実施例の概要を示す。図７に示すのは、２つの光学系７１１と７１２からの画像を二重のレンチキュラースクリーン（ｄｏｕｂｌｅ　ｌｅｎｔｉｃｕｌａｒ　ｓｃｒｅｅｎ）７１４に投影し、立体像を表示する例である。
【０１５３】
図７に示す構成においては、一方のカラー像が光源７０１からの光によって形成される。即ち、光源７０１からの光はミラー７０３で反射されて、さらに図示しないダイクロイックミラーによってＧＢＲの光に分光される。このＲＧＢに分光された光は、さらに図示し

ない液晶パネル（図１及び図２に示すような構成を有する）によって光学変調される。
【０１５４】
こしてＲＧＢでなる第１のカラー像とＲ’Ｇ’Ｂ’でなる第２のカラー像とが光学系７１１と７１２とにそれぞれ入射する。さらに２つの画像はミラー７１３で反射されて二重のレンチキュラースクリーン（ｄｏｕｂｌｅ　ｌｅｎｔｉｃｕｌａｒ　ｓｃｒｅｅｎ）７１４に投影しされる。
【０１５５】
ここで、第１のカラー像と第２のカラー像との光軸の間隔を適当に設定するこにより、二重のレンチキュラースクリーン（ｄｏｕｂｌｅ　ｌｅｎｔｉｃｕｌａｒ　ｓｃｒｅｅｎ）７１４に投影された画像を立体像として見ることができる。
【０１５６】
〔実際例８〕
本実施例は、図２に示す構成と等価的には同じであるが、回路配置を変形させた場合のである。図８に本実施例に示す集積化された液晶パネルの概略の回路配置ブロック図を示す。図８において、図２と同じ符号は図２と同じ構成を示す。
【０１５７】
図８に示す構成においては、垂直走査制御回路１０９、１１０、１１１の配置が図２に示す場合と異なっている。動作方法は図２に示す構成の場合と同じである。
【０１５８】
図８に示すような構成を採用した場合における実際の回路配置の状態を図９に示す。図９に示すように実際の回路配置は、隙間がない程に集積化されたものとなる。
【０１５９】
なお、９０１の領域からは、ＨＳＴＡ、ＣＬＫＨ、ＶＳＴＡ、ＣＬＫＶ、ＲＧＢとR’　G’　B’　の画像データの入力部が設けられる。
【０１６０】
〔実施例９〕
本実施例は、図２に示す構成と等価的には同じであるが、回路配置を変形させた場合のである。図１０に本実施例に示す集積化された液晶パネルの概略の回路配置ブロック図を示す。図１０において、図２と同じ符号は図２と同じ構成を示す。
【０１６１】
図１０に示す構成においては、水平走査制御回路１０９、１１０、１１１の配置が図２に示す場合と異なっている。動作方法は図２に示す構成の場合と同じである。
【０１６２】
図１０に示すような構成を採用した場合における実際の回路配置の状態を図１１に示す。図１０に示すように実際の回路配置は、隙間がない程に集積化されたものとなる。
【０１６３】
このような構成とした場合、集積度の高い水平及び垂直走査制御回路（総称して周辺回路と称される）を基板の縁から遠ざけた配置とすることができるので、生産歩留りを高いものとすることができる。
【０１６４】
一般に基板上への回路や素子の形成工程においては、基板の縁の付近における塵の存在密度が中央部に比較して高い。従って、基板の縁の付近における欠陥の発生確率が高い。しかし、図１０や図１１に示すような回路配置を採用すると、集積度が高く塵の存在により欠陥の生じやすい水平及び垂直走査制御回路を基板の縁から遠ざけた配置とすることができるので、装置全体における不良の発生を抑制することができる。
【０１６５】
〔実施例１０〕
図２には、ＲＧＢとＲ’Ｇ’Ｂ’で構成される２つのカラー画像を形成するための構成が示されている。即ち、ＲＧＢの画像を形成するためのアクティブマトリクス領域１０３～１０５とＲ’Ｇ’Ｂ’の画像を形成するためのアクティブマトリクス領域１０６～１０８

が示されている。

【０１６６】

しかし、さらに画像を重ね合わせたい場合には、図２に示す３×２の画素領域配置ではなく、３×３や３×４といった画素配置が必要となる。例えば、３×３の構成としてＲＧＢ、Ｒ’Ｇ’Ｂ’、R’’ G’’ B’’、という構成や、３×４の構成としてＲＧＢ、Ｒ’Ｇ’Ｂ’、R’’ G’’ B’’、R’’’ G’’’ B’’’、という構成が必要となる。

【０１６７】

例えば３×４の構成は、図２に示す液晶パネルを単純に２枚並べることによって実現することができる。しかし、水平走査制御回路や垂直走査制御回路の数はそのまま２倍となるので、単に構成が複雑になるだけである。また別の基板を用いて他方の液晶パネルを形成することになるので、光軸合わせや位置合わせの煩雑さが生じてしまう。

【０１６８】

そこで本実施例においては、図２に示す構成において、さらにR’’ G’’ B’’の画像を形成するための３つのアクティブマトリクス領域を追加した構成を示す。この構成においては、３×３のアクティブマトリクス領域が同一基板を用いて集積化された液晶パネルとなる。

【０１６９】

図１２に本実施例に示す液晶パネルにおける回路配置のブロック図を示す。図１２には、図が簡略化されて記載されている。図において、１２０１、１２０２、１２０３が水平走査制御回路である。例えば、１２０１で示される水平走査制御回路はＲＧＢの画像を形成するためのアクティブマトリクス領域に供給される画像データ信号を制御する。

【０１７０】

また１２０４、１２０５、１２０６が垂直走査制御回路である。例えば、１２０１で示される水平走査制御回路はＲＲ’　R’’の画像を形成するためのアクティブマトリクス領域のゲイト信号線への信号の供給を制御する。

【０１７１】

図１２に示す構成においては、例えば１２０４で示される垂直走査制御回路がＲ、Ｒ’、R’’の画像を形成するための３つのアクティブマトリクス領域において共通であり、例えば１２０１で示される水平走査制御回路がＲＧＢの画像を形成するための３つのアクティブマトリクス領域において共通であることが特徴である。

【０１７２】

図１２に示す構成においては、図２に示す構成に比較して垂直走査制御回路を増やす必要はない。一方、水平走査制御回路は図２の構成に比較して１つ増えるだけで済む。

【０１７３】

即ち、アクティブマトリクス領域が３つ（即ち面積比で５０％）増えたにもかかわらず、周辺回路は１つ（面積比で２０％）増えるだけであるという大きな有意性がある。このことは構成を簡略化することができるという意味で非常に有用なものである。即ち、構成を簡略化することで、生産コストの削減、信頼性の向上、低消費電力の実現、というた有意性を得ることができる。

【０１７４】

図１２に示し回路ブロック図の構成を実際に配置した状態を図１３に示す。図１３に示すようにＲＧＢ、Ｒ’Ｇ’Ｂ’、R’’ G’’ B’’の各画像を形成するためのアクティブマトリクス領域と水平走査制御回路１２０１～１２０３と垂直走査制御回路１２０４～１２０６とが集積化された構成となる。この構成は、実質的に９つの液晶パネルを集積化したものであってもシンプルな構成とすることができる。

【０１７５】

即ち、アクティブマトリクス領域の数がＭ×Ｎ個となっても、周辺回路を共通に利用することで、周辺回路の数はＭ＋Ｎ個にしかならない。従って、集積するアクティブマトリクス領域の数を増やしても、増やした程に構成は複雑にならない。この有意性は集積化する

アクティブマトリクス領域の数を増やしていった場合に顕在化する。なおM、Nは、M≧２、N≧３を満たす自然数である。

【０１７６】

〔実施例１１〕

実施例１０では、ＲＧＢの組のカラー像をさらに増やす場合の例を示した。しかし、他の目的のためにアクティブマトリクス領域をさらに増やす必要性も存在する。このような例として、カラー画像を得る場合にＲＧＢの像にW（ホワイト）および／またはＹ（イエロー）を加えた像を利用して解像度の高いカラー像を形成する場合を挙げることができる。

【０１７７】

このような場合には、４乃至５個の像を重ね合わせる必要がある。即ち、図２に示される３×２のアクティブマトリス領域の配置ではなく、４×２あるいは５×２の配置が必要とされる。

【０１７８】

図１４にこのような場合の一例を示す。図１４に示す構成は、例えばＲＧＢW、Ｒ’Ｇ’Ｂ’W’といった４つのアクティブマトリクス領域（画素領域）を２組（計８領域）同一基板上に集積化したものである。

【０１７９】

図１４に示す構成では、Ｒの像を形成するためのアクティブマトリクス領域１４０１と、Ｒ’の像を形成するためのアクティブマトリクス領域１４０２に対して、垂直走査制御回路１４０３が共通なものとして配置されている。

【０１８０】

即ち、垂直走査制御回路１４０３のフロップフロップ回路１４０４によって、アクティブマトリクス領域１４０１と１４０２のY_0　行の各画素に配置された薄膜トランジスタのゲイトへの信号は制御される。

【０１８１】

同様に垂直走査制御回路１４０３のフロップフリプ回路１４０５によって、アクティブマトリクス領域１４０１と１４０２のY_1　行の各画素に配置された薄膜トランジスタのゲイトへの信号は制御される。

【０１８２】

また、Ｇの画像を形成するためのアクティブマトリクス領域１４０６とＧ’の画像を形成するためのアクティブマトリクス領域１４０７とに対して、垂直走査制御回路１４０８が共通なものとして配置されている。

【０１８３】

また、Ｂの画像を形成するためのアクティブマトリクス領域１４０９とＢ’の画像を形成するためのアクティブマトリクス領域１４１０とに対して、垂直走査制御回路１４１１が共通なものとして配置されている。

【０１８４】

また、Wの画像を形成するためのアクティブマトリクス領域１４１２とW’の画像を形成するためのアクティブマトリクス領域１４１３とに対して、垂直走査制御回路１４１４が共通なものとして配置されている。

【０１８５】

また水平走査制御回路１４１５は、アクティブマトリクス領域１４０１と１４０６と１４０９と１４１２に対して共通に配置されている。

【０１８６】

即ち、水平走査制御回路１４１５のフリップフロップ回路１４１６によって、アクティブマトリクス領域１４０１と１４０６と１４０９と１４１２のX_0　列の画像データは制御される。

【０１８７】

また、水平走査制御回路１４１５のフリップフロップ回路１４１７によって、アクティブマトリクス領域１４０１と１４０６と１４０９と１４１２のX_1　列の画像データは制御

される。
【０１８８】
また垂直走査制御回路１４１８は、アクティブマトリクス領域１４０２と１４０７と１４１０と１４１３に対して共通に配置されている。
【０１８９】
このように１４０１と１４０２、１４０６と１４０７、１４０９と１４１０、１４１２と１４１３で示されるアクティブマトリクス領域の組において、それぞれ垂直走査制御回路が共通に配置されている。
【０１９０】
また、１４０１と１４０６と１４０９と１４１２で示されるアクティブマトリクス領域において、水平走査制御回路１４１５が共通に配置されている。また、１４０２と１４０７と１４１０と１４１３において水平走査制御回路１４１８が共通に配置されている。
【０１９１】
図１４に示すように、カラー像を合成するためにアクティブマトリクス領域を２つ増やしても、図２に示す構成に比較して周辺駆動回路は１４１４で示される垂直走査制御回路が１つ増えるのみである。
【０１９２】
このように周辺回路を複数のアクティブマトリクス領域で共通に利用することにより、同一基板上に集積化された構成において、集積度を増やしていっても、周辺回路を複雑に配置しなくてもよいものとすることができる。これは、実装密度の高い周辺回路をそれ程増やす必要がないという点で非常に有用である。
【０１９３】
また図１５に図１４に示す回路ブロック図の構成を実際に基板上に集積化した場合の状態を示す。図１５に示すように、アクティブマトリクス領域に比較して周辺回路を少なくとすることができるので、全体の構成をシンプルなものとすることができる。
【０１９４】
〔実施例１２〕
本実施例は、図１４や図１５に示す構成をさらに発展させた場合の例である。図１６に本実施例の概略の構成を示すブロック図を示す。図においては、各要素を示す回路ブロックが単純化されて記載されているが、個々の回路ブロックの概略の構成は図２や図１４に示すものと同様である。
【０１９５】
図１６に示す構成においては、０で示される水平走査制御回路が（０，１），（０，２）・・・（０，ｊ）（ｊは０を含む自然数）で示される複数のアクティブマトリクス領域（画素領域）を駆動する構成となっている。
【０１９６】
また、１で示される水平走査制御回路が（１，０），（１，１）・・・（１，ｊ）（ｊは０を含む自然数）で示される複数のアクティブマトリクス領域（画素領域）を駆動する構成となっている。
【０１９７】
また０乃至ｊで示される垂直走査制御回路がそれぞれ（０，０）と（１，０）、（０，１）と（１，１）、（０、２）と（１、２）・・・・・で示される２つのアクティブマトリクス領域（画素領域）を駆動する構成となっている。
【０１９８】
各アクティブマトクス領域の役割は、適時必要に応じて設定すればよい。例えば、全てのアクティブマトリクス領域において同じ像の光学変調を行うことにより、ｉ×ｊ個の像を重ね合わせ、その分高い輝度を有する像を形成することができる。
【０１９９】
また、例えば（０，０）、（０，１）、（０，２）でＲＧＢでなる一つのカラー画像を形成し、（０，３）、（０，４）、（０，５）で他の一つのカラー画像を形成し、（１，０

）、（１，１）、（１，２）でさらに他の一つのカラー画像を形成し、というように多数のカラー画像を形成し、それらを適当な光学系を利用して最終的にスクリーン上でつぎはぎして合成することにより、所望の大画面表示を形成する例を挙げることができる。

【０２００】

図１７に図１６に示した構成において、垂直走査制御回路の配置を異ならせた例を示す。

【０２０１】

図１８に示すのは、ｉ×ｊ個のアクティブマトリクス領域をマトリクス状に集積化した例である。このように集積化を進めていっても、周辺回路の数はｉ＋ｊ個にしかならない。

【０２０２】

図１８に顕著に示されるように、周辺回路を各アクティブマトリクス領域に対して共通にして配置することにより、アクティブマトリクス領域を多数集積化していった場合でも周辺回路の数を多くしなくてもよい構成とすることができる。

【０２０３】

〔実施例１３〕

図２には、アクティブマトリクス領域の各画素に薄膜トランジスタが１つ配置された構成が記載されている。しかし、これはアクティブマトリクス型の画素としては、最も基本的で単純なものであり、実際に利用される場合には、必要とする特性を得るために数々の変形例が存在する。

【０２０４】

以下に示す画素の構成は図２の例に限らず他の実施例の場合も同様に利用することができる。図１９（Ａ）に示すのは、薄膜トランジスタ１９０８が液晶１９１０に電界を加えるための画素電極１９１２にスイッチング素子として接続された構成を有する画素部分（マトリクス領域を構成する一つの画素）１９１１の電気的な構成を示す概略図である。

【０２０５】

図１９（Ａ）に示す構成は、図２に示すマトリクス領域を構成する一つの画素に補助容量１９０９を追加したものと等価である。

【０２０６】

図１９（Ａ）において、薄膜トランジスタ１９０８は、そのゲイトがゲイト信号線１９０３の接続されている。ゲイト信号線１９０３に対しては、垂直走査制御回路１９０１より、薄膜トランジスタをＯＮ／ＯＦＦさせるための信号が加えられる。このゲイト信号線１９０３は、図２に示す構成の２１１に相当する。

【０２０７】

薄膜トランジスタ１９０８のソースは画像信号線１９１５に接続されている。画像信号線１９１５には、サンプリングホールダー１９１３で取込み保持された画像データが供給される。画像データは画像データ線１９１４から供給され、水平走査制御回路１９０２に接続された画像信号線１９０４（図２の画像サンプリング信号線２０８に相当する）からの信号によってサンプリングホールド回路１９１３において選択される。

【０２０８】

薄膜トランジスタのドレイン１９０６には、補助容量１９０９と液晶１９１０が負荷として並列に接続されている。補助容量１９０９は、液晶に書き込まれた情報が薄膜トランジスタ１９０８のリーク電流（ＯＦＦ電流）によって漏れ出てしまう時間を稼ぐために配置される。また必要とする容量を得るために配置される。

【０２０９】

しかし補助容量１９０９の値は応答速度の関係等から無闇に大きな値にすることはできない。現状においては、薄膜トランジスタ１９０８のＯＦＦ電流値は無視できない大きな値である。

【０２１０】

従って、現時点の技術水準においては、実際の動作において、画素電極１９１２に所定の時間において電荷を保持させることが困難なものとなっている。そして、実際の表示画面において、表示不良やちらつきといた問題が生じているのが現状である。

【０２１１】
勿論、薄膜トランジスタ１９０８の特性が満足のいくものであれば、図１９（Ａ）に示すような構成が簡単であり好ましいものとなる。
【０２１２】
上述のような問題を解決する方法として、図１９（Ｂ）に示すような構成がある。この構成は、図１９（Ａ）に示す構成に新たに薄膜トランジスタ１９１６を追加したものである。
【０２１３】
このような構成とすると、薄膜トランジスタを２つ直接に接続した状態となるので、一つ当たりの薄膜トランジスタのソース／ドレイン間に加わる電圧を１／２とすることができる。
【０２１４】
ソース／ドレイン間に加わる電圧が１／２となると、ＯＦＦ電流値を低減させることができるので、画素電極１９１２に電荷を保持させる時間を長くすることができる。
【０２１５】
図１９（Ｂ）に示す構成においては、２つの薄膜トランジスタ１９０８と１９１６のゲイト１９０７と１９１８には、同じ信号は加えられる。即ち２つの薄膜トランジスタは同じように動作する。そして薄膜トランジスタ１９１６のドレイン１９１７が補助容量１９０９の一方の電極と画素電極１９１２とに接続されている。
【０２１６】
図１９（Ｂ）に示す構成の動作方法は、図２に示すものと同じである。
【０２１７】
〔実施例１３〕
本実施例は、実施例１３に示す構成よりさらに低リーク電流特性を実現し、画素電極に保持される電荷の保持時間をさらに長くする構成に関する。
【０２１８】
図２０（Ａ）に本実施例の構成を示す。図２０（Ａ）に示す構成は、
マトリクス状に配置された画像信号線２０００およびゲイト信号線２００２と、　前記画像信号線およびゲイト信号線で囲まれた領域に配置された画素電極２０１３と、
を有し、
前記画素電極２１０３に隣接して同一導電型のｎ個の薄膜トランジスタ２００５、２００８、２００６、２００９、２００７が直列に接続されて配置されており、（図２０（Ａ）の場合はｎ＝５）
前記複数の薄膜トランジスタのｎ＝１番目の薄膜トランジスタのソースまたはドレインは前記画像信号線２０００に接続されており、
前記複数の薄膜トランジスタのｎ番目（図２０（Ａ）の場合はｎ＝５）の薄膜トランジスタのドレインまたはソースは前記画素電極２０１３に接続されており、
ｎ－ｍ（ｎ＞ｍ）個（図２０（Ａ）の場合はｎ＝５、ｍ＝２）の薄膜トランジスタのゲイト電極は共通にゲイト信号線２００２に接続されており、
ｍ個の薄膜トランジスタ２００８、２００９において、チャネル形成領域がソース及びドレイン領域と同一導電型となる電位にゲイト電位（２０１４で決まる電位）が固定される構成となっていることを特徴とする。
【０２１９】
上記構成において、ｎ、ｍはそれぞれ０を除く自然数である。所定の効果を得るためには、ｎ＝５以上であることが好ましい。
【０２２０】
上記構成においては、薄膜トランジスタ２００８と２００９とが適当な電位を保つ容量線２０１４に接続されている。
【０２２１】
このような構成を採用すると、一つ一つの薄膜トランジスタのソース／ドレイン間に加わ

る電圧を低減させることができ、しかも例えば２００８と２００９で示される薄膜トランジスタをＭＯＳ容量として機能させることができるので、画素部分の液晶２０１１に電界を加えるための画素電極２０１３に電荷を保持させる時間を長くすることができる。

【０２２２】

即ち、一旦情報が書き込まれてから、次に情報が書き込まれるまでの間において、画素電極２０１３から電荷が流出することを防ぐ構成とすることができる。

【０２２３】

図２０（Ｂ）に示すのは、図２０（Ａ）に示す構成にさらに薄膜トランジスタ２０１２を追加した構成である。このようにすると画素電極２０１３に電荷を保持させる機能をさらに高めることができる。

【０２２４】

〔実施例１４〕

本実施例は、２組のＲＧＢ画像を光学変調する集積化された液晶パネルの例である。本実施例に示す構成は、２組のＲＧＢ画像を光学変調するという点で図１及び図２に示す構成と同じである。

【０２２５】

図２１に本実施例の概略の構成を示すブロック図を示す。図２１に示す構成で特徴とするのは、同一の水平走査制御回路２１０４によって、ＲＧＢのアクティブマトリクス領域を駆動することである。

【０２２６】

図２に示す構成においては、ＲＧＢのアクティブマトリクス領域において、水平走査制御回路が共通であった。即ち、アクティブマトリクス領域の各列の薄膜トランジスタのソースに加えられる画像データの選択を行うための制御がＲＧＢ（またはR’　G’　B’）のアクティブマトリクス領域において共通な回路によって行われる構成となっていた。

【０２２７】

一方図２１に示す構成においては、アクティブマトリクス領域の各行の薄膜トランジスタのゲイトに加えられる電圧の選択を行うための制御がＲＧＢ（またはR’　G’　B’）のアクティブマトリクス領域において共通な回路（例えば図２１の２１０４）によって行われる構成となっている。

【０２２８】

動作の方法は、基本的に実施例１に示したものと同じである。図２１に示す構成を動作させる場合には、各アクティブマトリクス領域に供給される画像データが図２に示す場合と異なることになる。

【０２２９】

〔実施例１５〕

本実施例は、図５または図６に示す投影型の表示装置を用いて、高解像度を有する表示を行う例に関する。

【０２３０】

一般に投影型の表示装置においては、画像を大きく拡大して投影する。また一般の画像表示においては、規格によって走査線の数は決まっている。従って、投影型の表示装置においては、画像を拡大しているが故に画像を近くで見た場合等に走査線と走査線の隙間が目についたりしてしまう場合がある。本実施例は、このような問題を解決する構成に関する。

【０２３１】

図５または図６に示す投影型の表示装置は、ＲＧＢでなるカラー像を２つ同時に形成する機能を有している。実施例４においては、この２つの像を同じものとし、重ね合わせることによって、高い輝度を得る構成を示した。

【０２３２】

本実施例においては、２つの像の走査線をスクリーン上において、重ねずに少しずらして投影することを特徴とする。図２２にスクリーン上に投影された画像の走査線の状態を模

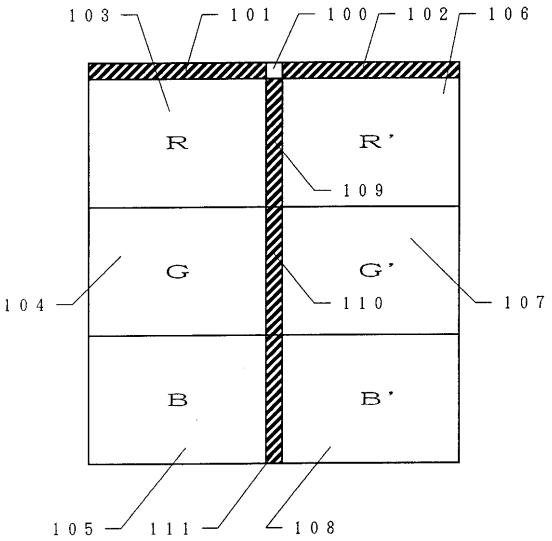
式的に示す。
【０２３３】
図２２（Ａ）に示すのは、それぞれの像を構成する１ライン分の水平走査データを位置的に上下に少しずらしてスクリーン上に表示していく構成である。
【０２３４】
このような表示を行うと、見掛け上は走査線を２倍にしたような状態となるので、解像度（特に垂直方向の解像度）を高めることができる。
【０２３５】
像のずらし方は、光学系を用いる方法や、図１や図２に示すマトリクス領域の配置を予めずらしておく方法がある。特に後者の方法は面倒な光軸合わせが必要ないので有用な方法となる。なお、ずらす距離は、スクリーン上において、上下に隣合う画素間の距離の１／２程度とすればよい。
【０２３６】
図２２（Ｂ）に示すのは、２つの像を左右に少しずらしたことを特徴とする。このような表示を行うと、見掛け上走査線内の密度が高まったような表示とすることができる。この結果水平方向の解像度を高めることができる。表示される画像の輝度を高めることができる。
【０２３７】
像のずらし方は、光学系を用いる方法や、図１や図２に示すマトリクス領域の配置を予めずらしておく方法がある。またずらす距離は、スクリーン上において、左右に隣合う画素間の距離の１／２程度とすればよい。
【０２３８】
【発明の効果】
同一基板上に集積化された複数のアクティブマトリクス領域に対して、垂直走査制御回路と水平走査制御回路とを共通して配置することで、高い画質を得られる構成でありながら、全体の構造をなるべく簡単なものとし、また作製コストの低減を計り、さらに生産歩留りを高くするできる。さらに垂直走査制御回路と水平走査制御回路との数を少なくすることができるので、消費電力を低減させることができる。さらに高い信頼性を得ることができる。
【０２３９】
また上記のような有用性を兼ね備えた上において、高輝度表示や立体表示を行うことができる表示装置を提供することができる。また２次元表示と立体表示とを適時選択できる構成を提供することができる。
【図面の簡単な説明】
【図１】集積化されたアクティブマトリクス回路の概略の構成を示す図。
【図２】集積化されたアクティブマトリクス回路の概略の構成を示す回路ブロック図。
【図３】図２に示す回路を動作させる場合のタイミングチャートを示す図。
【図４】画像を表示を行うための制御回路の概要を示すブロック図。
【図５】投影型の表示装置の概要を示す図。
【図６】投影型の表示装置の概要を示す図。
【図７】投影型の表示装置の概要を示す図。
【図８】集積化されたアクティブマトリクス回路の概略の構成を示す回路ブロック図。
【図９】集積化されたアクティブマトリクス回路の概略の構成を示す図。
【図１０】集積化されたアクティブマトリクス回路の概略の構成を示す回路ブロック図。
【図１１】集積化されたアクティブマトリクス回路の概略の構成を示す図。
【図１２】集積化されたアクティブマトリクス回路の概略の構成を示す回路ブロック図。
【図１３】集積化されたアクティブマトリクス回路の概略の構成を示す図。
【図１４】集積化されたアクティブマトリクス回路の概略の構成を示す回路ブロック図。
【図１５】集積化されたアクティブマトリクス回路の概略の構成を示す図。
【図１６】集積化されたアクティブマトリクス回路の概略の構成を示す回路ブロック図。

【図１７】集積化されたアクティブマトリクス回路の概略の構成を示す回路ブロック図。
【図１８】集積化されたアクティブマトリクス回路の概略の構成を示す回路ブロック図。
【図１９】画素部分の構成を示す等価回路図。
【図２０】画素部分の構成を示す等価回路図。
【図２１】集積化されたアクティブマトリクス回路の概略の構成を示す回路ブロック図。
【図２２】スクリーン上に投影される像の状態を示す模式図。
【図２３】周辺回路の別な構成例を示す回路ブロック図。
【整理番号】

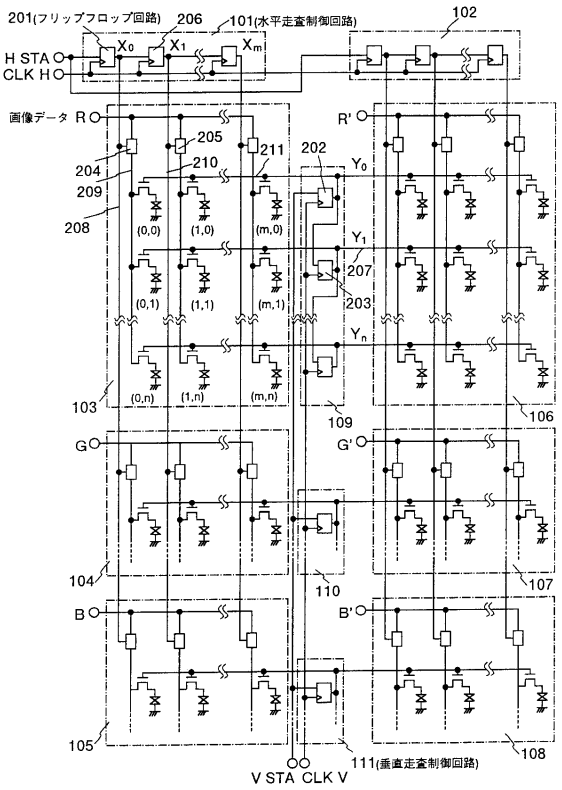
１０１、１０２	水平走査制御回路
１０３、１０４、１０５	ＲＧＢの像を光学変調するためのアクティブマトリクス領域（画素領域）
１０６、１０７、１０８	Ｒ’Ｇ’Ｂ’の像を光学変調するためのアクティブマトリクス領域（画素領域）
１０９、１１０、１１１	垂直走査制御回路
２０１、２０６	水平走査制御回路のフリップフロップ回路
２０２、２０３	垂直走査制御回路のフリップフロップ回路
２０４、２０５	サンプリングホールド回路
２０７、２１１	ゲイト信号線
２０８、２１０	画像サンプリング信号線
２０９	画像信号線
５００	装置を構成する筐体
５０１	光源
５０２	ハーフミラー
５０３	ミラー
５０４、５０５、５０６	ＲＧＢに分光するためのダイクロイックミラー
５０７	液晶パネル
５０８	光学系
５０９	ミラー
５１０	スクリーン
５１１	２次元／３次元画像制御回路
６０１、６０２	光源
６０３、６０４	ミラー
６０５、６０６、６０７	ＲＧＢの光を分光するためのダイクロイックミ
６０８、６０９、６１０	ＲＧＢの光を分光するためのダイクロイックミ
６１１	液晶パネル
６１２	ミラー
６１３、６１４	ハーフミラー
６１５、６１６	光学系
６１７	ミラー
６１８	スクリーン（投影面）
１２０１、１２０２	水平走査制御回路
１２０３	水平走査制御回路
１２０４、１２０５	垂直走査制御回路
１２０６	垂直走査制御回路
１４１５、１４１８	平走査制御回路
１４０１、１４０６	ＲとＧ像を光学変調するためのアクティブマトリクス領域（画素領域）
１４０９、１４１２	ＢとＷ像を光学変調するためのアクティブマトリクス領域（画素領域）
１４０２、１４０７	Ｒ’とＧ’像を光学変調するためのアクティブマトリクス領

域（画素領域）
１４１０、１４１３　　Ｂ’とＷ’像を光学変調するためのアクティブマトリクス領域（画素領域）
１４０３、１４０８　　垂直走査制御回路
１４１１、１４１４　　垂直走査制御回路
１４１５、１４１８　　水平走査制御回路
１４０４、１４０５　　垂直走査制御回路のフリップフロップ回路
１４１６、１４１７　　水平走査制御回路のフリップフロップ回路
１９０１　　垂直走査制御回路
１９０２　　水平走査制御回路
１９０３　　ゲイト信号線
１９０４　　画像サンプリング信号線
１９０６　　ソース
１９０７　　ゲイト
１９０８　　薄膜トランジスタ
１９０９　　補助容量
１９１０　　液晶
１９１１　　１つの画素部分
１９１２　　画素電極
１９１３　　サンプリングホールド回路
１９１４　　画像データ線
１９１５　　画像信号線
１９１６　　薄膜トランジスタ
１９１７　　ドレイン
１９１８　　ゲイト
２０００　　画像信号線
２００１　　画像データ線
２００２　　ゲイト信号線
２００３　　画像サンプリング信号線
２００４　　サンプリングホールド回路
２００５、２００６　　薄膜トランジスタ
２００７　　薄膜トランジスタ
２００８、２００９　　薄膜トランジスタ（ＭＯＳ容量）
２０１０　　補助容量
２０１１　　液晶
２０１２　　薄膜トランジスタ
２０１３　　画素電極
２０１４　　容量線
２１０１～２１０３　　水平走査制御回路
２１０４、２１０５　　垂直走査制御回路

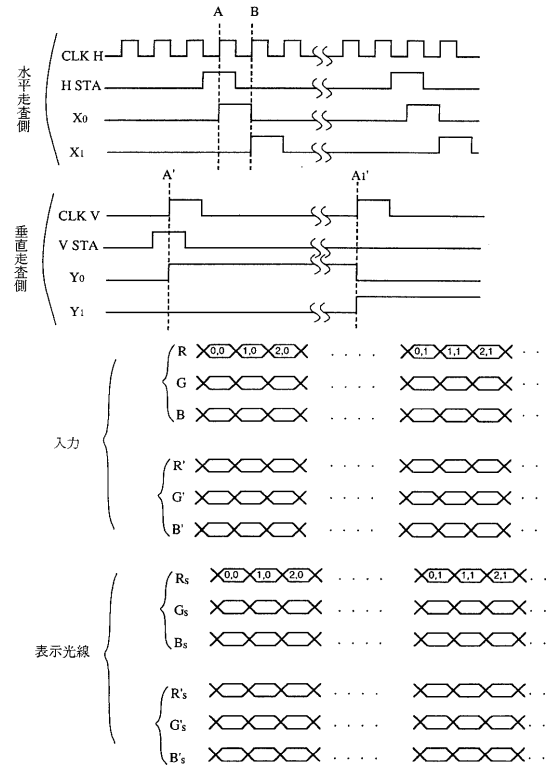
【図１】


１０３
１０１
１００
１０２
１０６
R
R'
１０９
G
G'
１０４
１１０
１０７
B
B'
１０５
１１１
１０８

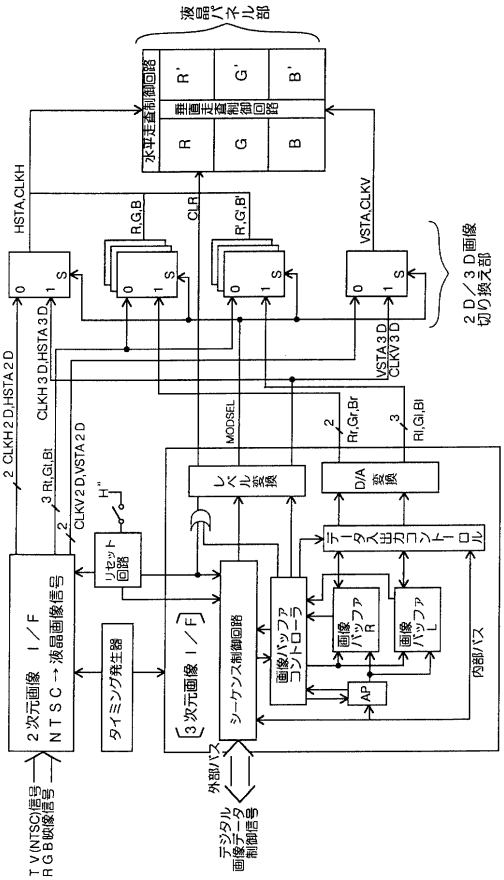
【図２】


201(フリップフロップ回路)
206
101(水平走査制御回路)
102
H STA
CLK H
画像データ R
R'
205
211
202
204
210
209
208
(0,0)
(1,0)
(m,0)
(0,1)
(1,1)
(m,1)
(0,n)
(1,n)
(m,n)
207
203
103
109
106
G
G'
104
110
107
B
B'
105
111(垂直走査制御回路)
108
V STA
CLK V

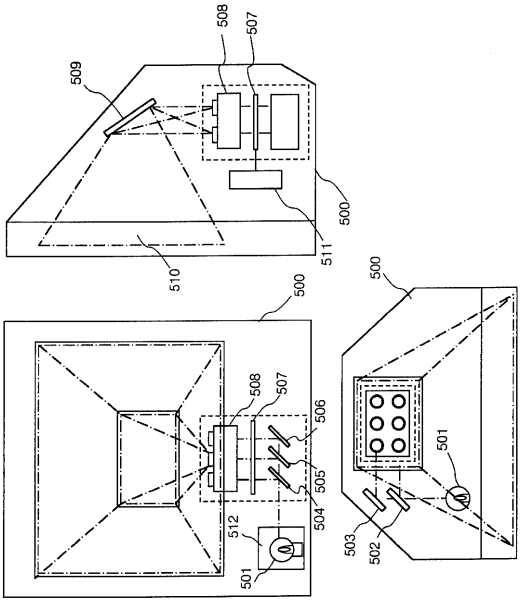
【図３】


水平走査側
垂直走査側
CLK H
H STA
CLK V
V STA
入力
表示光線
R
G
B
R'
G'
B'

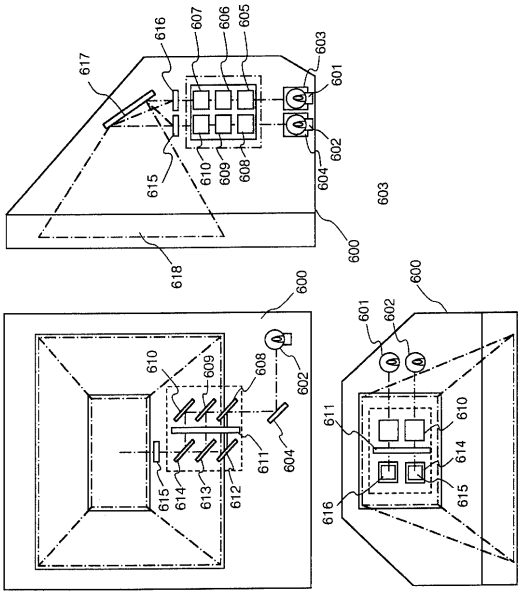
【図４】


液晶パネル部
水平走査制御回路
垂直走査制御回路
HSTA,CLKH
VSTA,CLKV
R,G,B
CLR
R',G',B'
2D／3D画像切り換え部
2 CLKH2D,HSTA2D
CLKH3D,HSTA3D
VSTA3D CLKV3D
MODSEL
2 Rr,Gr,Br
3 Rl,Gl,Bl
3 Rl,Gl,Bl
2 CLKV2D,VSTA2D
H"
リセット回路
レベル変換
D/A 変換
データ出力コントロール
2次元画像 I／F NTSC→液晶画像信号
タイミング発生器
3次元画像 I／F
シーケンス制御回路
画像バッファコントローラ
画像バッファ R
画像バッファ L
AP
内部バス
外部バス
TV(NTSC)信号 RGB映像信号
デジタル画像データ 制御信号

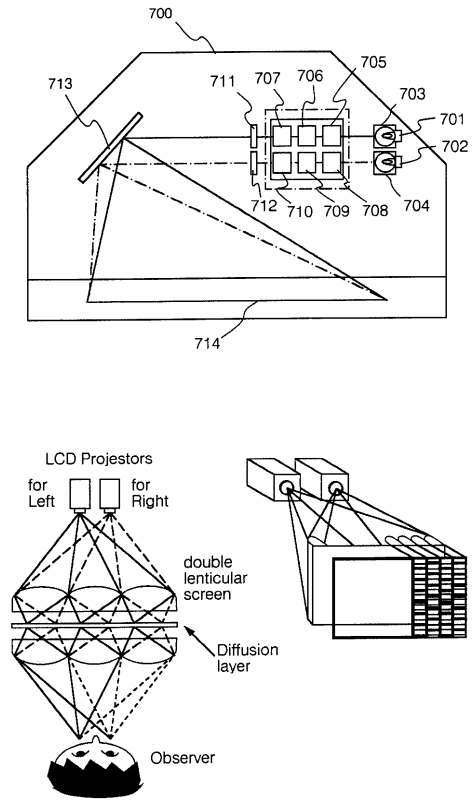
【図５】


508
507
509
500
511
510
500
500
508
507
506
505
504
512
501
503
502
501

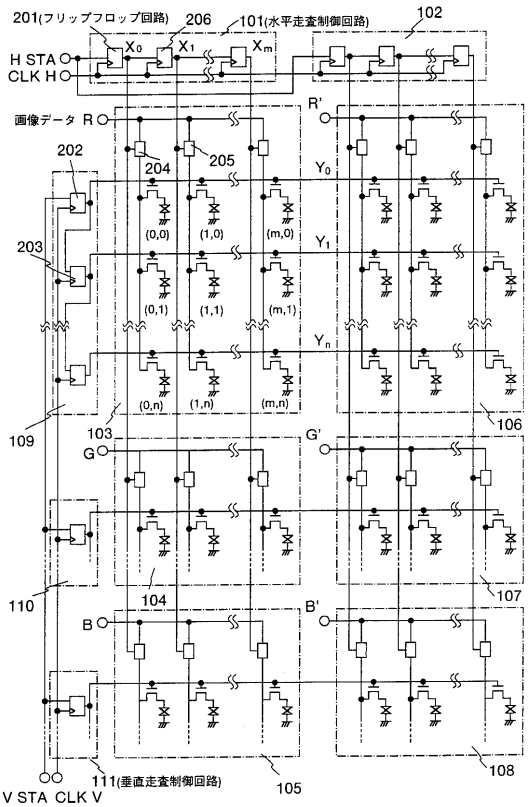
【図６】


616
607
606
605
603
617
601
602
615
610
609
608
604
603
600
618
600
600
601
602
610
609
608
602
611
604
615
614
613
612
611
610
614
615
616

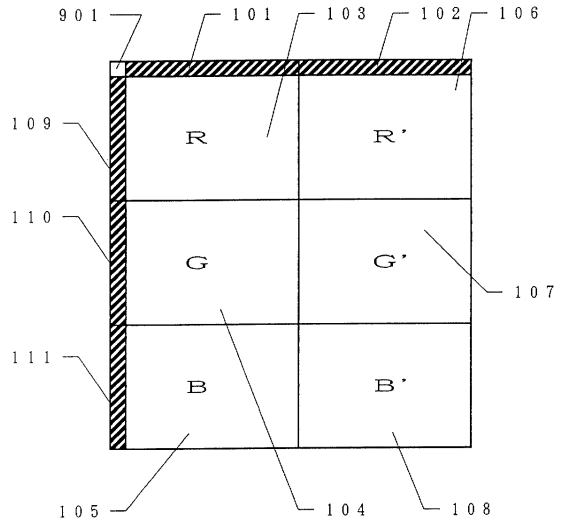
【図７】


700
713
711
707
706
705
703
701
702
712
710
709
708
704
714
LCD Projestors
for Left
for Right
double lenticular screen
Diffusion layer
Observer

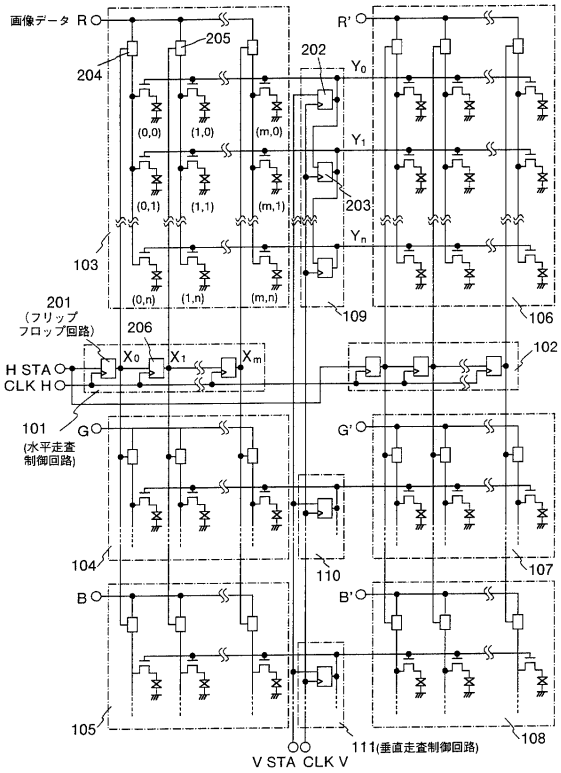
【図８】


201(フリップフロップ回路)
206
101(水平走査制御回路)
102
H STA
CLK H
X0
X1
Xm
画像データ R
R'
202
204
205
Y0
Y1
Yn
203
(0,0)
(1,0)
(m,0)
(0,1)
(1,1)
(m,1)
(0,n)
(1,n)
(m,n)
109
103
G
G'
106
110
104
B
B'
107
105
108
111(垂直走査制御回路)
V STA
CLK V

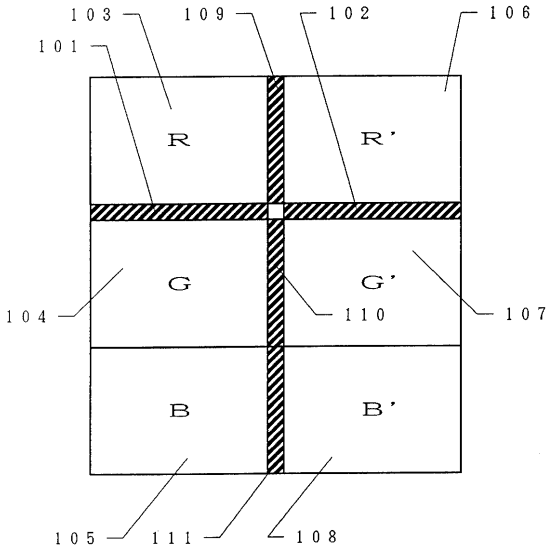
【図９】



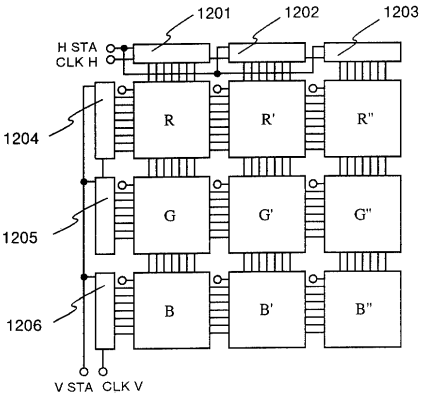
【図１０】



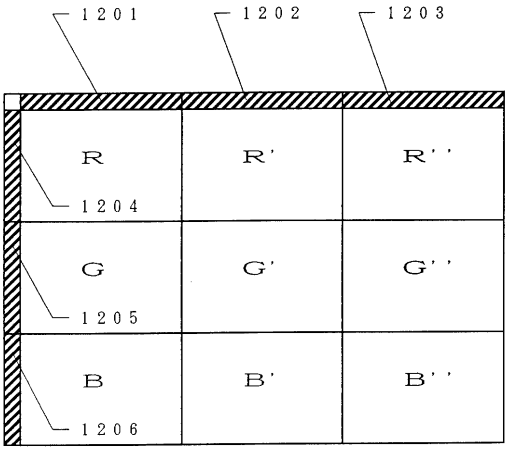
【図１１】



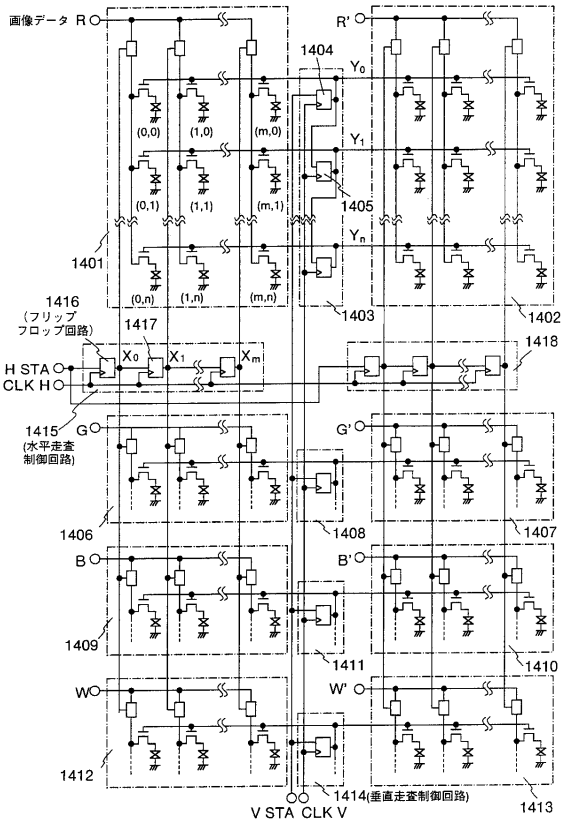
【図１２】



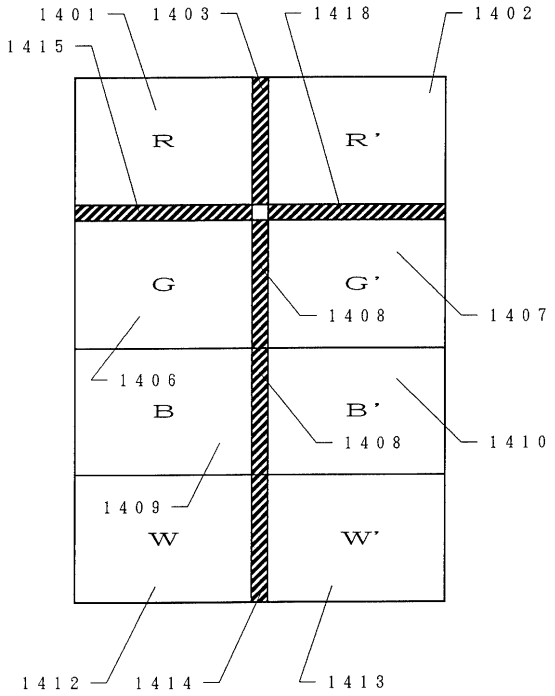
【図１３】



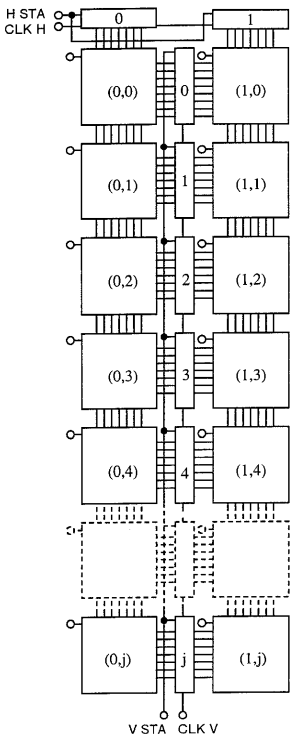
【図１４】



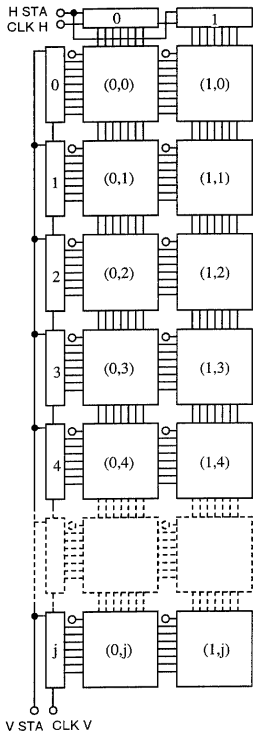
【図１５】



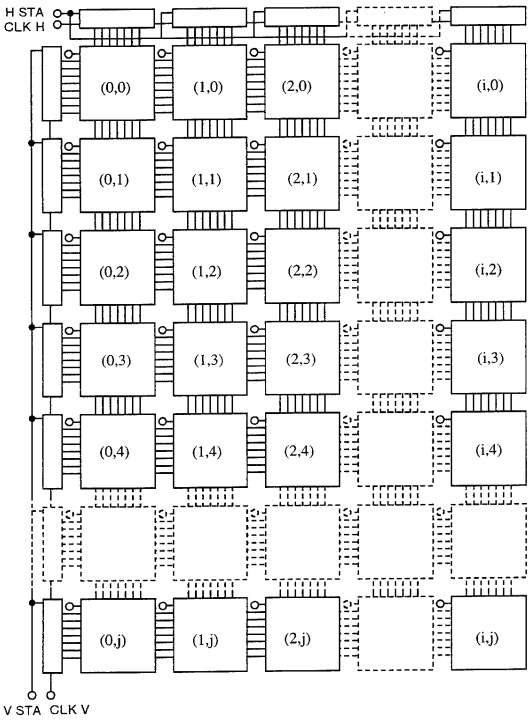
【図１６】



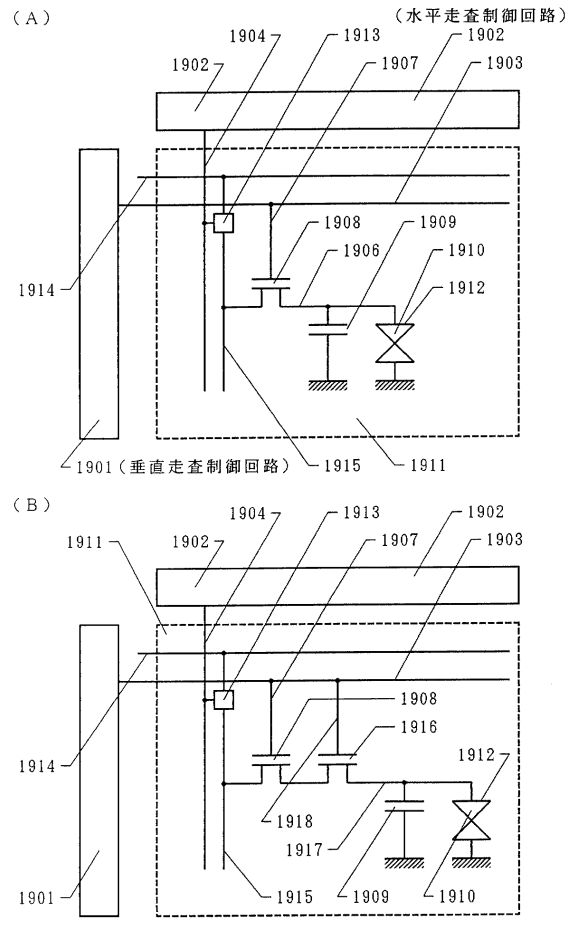
【図１７】



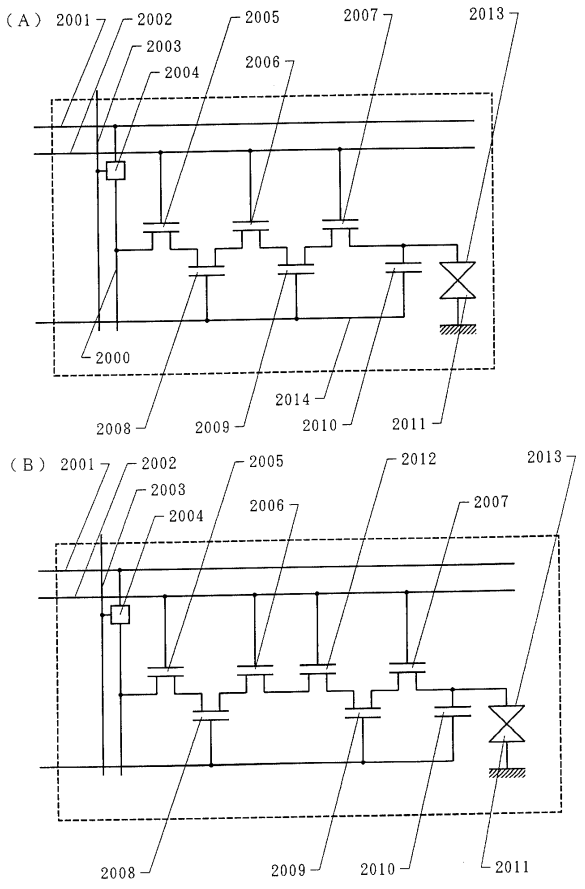
【図１８】



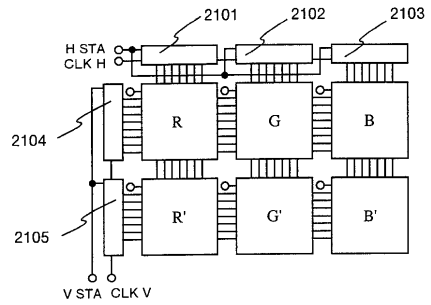
【図１９】



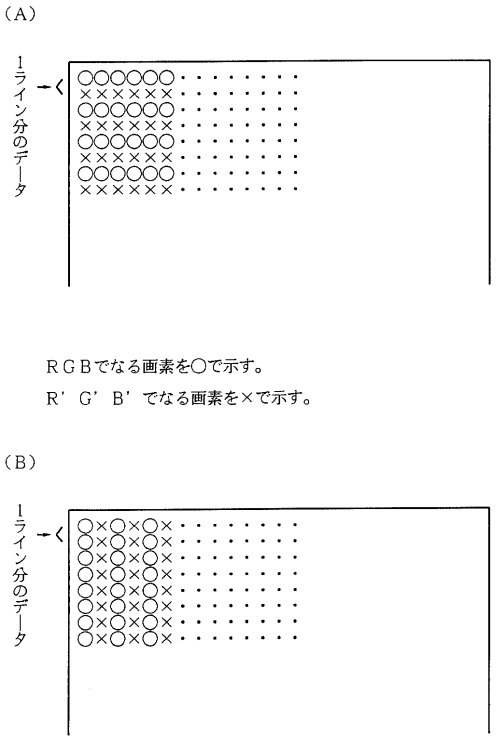
【図２０】



【図２１】



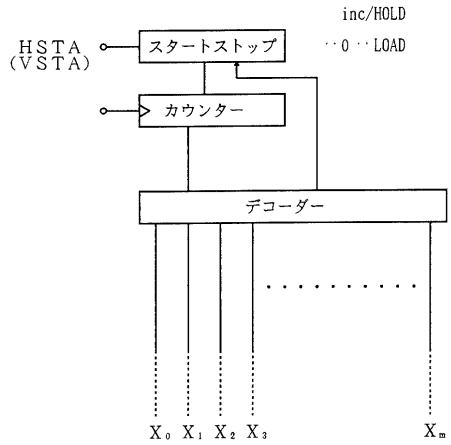
【図２２】



ＲＧＢでなる画素を○で示す。

Ｒ’Ｇ’Ｂ’でなる画素を×で示す。

【図２３】



フロントページの続き

(51)Int.Cl.[7]　　ＦＩ
　ＨＯ４Ｎ　9/30　　ＨＯ１Ｌ　29/78　　６１４

審査官　井口　猶二

(56)参考文献　特開平０５－１３４２７２（ＪＰ，Ａ）
特開平０４－１５９５２９（ＪＰ，Ａ）
特開平０４－２５０４３９（ＪＰ，Ａ）
特開平０４－３６２９２８（ＪＰ，Ａ）
特開平０３－０４８２２１（ＪＰ，Ａ）
特開昭６１－１８３６８８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G02F　1/133　550
G02F　1/1345
G09G　3/36
H01L 29/786
H04N　5/66
H04N　9/30