

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-10224

(P2010-10224A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 3 2 1 F	4 M 1 0 4
H O 1 L 27/092 (2006.01)	H O 1 L 29/78 3 0 1 G	5 F 0 3 3
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 0 1 X	5 F 0 4 8
H O 1 L 29/423 (2006.01)	H O 1 L 27/08 3 2 1 D	5 F 1 4 0
H O 1 L 29/49 (2006.01)	H O 1 L 29/58 G	
審査請求 未請求 請求項の数 11 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2008-164892 (P2008-164892)
 (22) 出願日 平成20年6月24日 (2008. 6. 24)

(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100115691
 弁理士 藤田 篤史

最終頁に続く

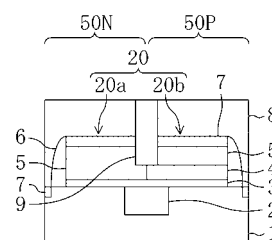
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】高速動作が可能なM I P S 構造を持つメタルゲートを含む半導体装置を得られるようにする。

【解決手段】半導体装置は、半導体基板1の上に形成されたゲート絶縁膜3と、該ゲート絶縁膜3の上に順次形成され、T i N膜4とポリシリコン膜5とにより構成されたゲート電極20の第2のゲート電極部20bと、半導体基板1の上にゲート電極20を覆うように形成された層間絶縁膜8とを有している。層間絶縁膜8及びポリシリコン膜5を貫通して形成されたコンタクト9は、T i N膜4と直接に接続されている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

半導体領域の上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上に順次形成され、第 1 の金属膜とシリコンからなる導電膜とにより構成されたゲート電極と、
前記半導体領域の上に前記ゲート電極を覆うように形成された絶縁膜と、
前記絶縁膜及び導電膜を貫通して前記第 1 の金属膜と直接に接続された第 2 の金属膜とを備えていることを特徴とする半導体装置。

【請求項 2】

互いの極性が異なる第 1 の半導体領域及び第 2 の半導体領域の上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜における前記第 1 の半導体領域の上に形成された第 1 の導電膜を含む第 1 のゲート電極と、
前記ゲート絶縁膜における前記第 2 の半導体領域の上に順次形成され、第 1 の金属膜とシリコンからなる第 2 の導電膜とにより構成された第 2 のゲート電極と、
前記第 1 の半導体領域及び第 2 の半導体領域の上に前記ゲート電極を覆うように形成された絶縁膜と、
前記絶縁膜を貫通して前記第 1 の金属膜と接続された第 2 の金属膜とを備え、
前記第 1 の金属膜は、前記第 2 の半導体領域における前記第 1 の半導体領域との境界部分において前記第 2 の半導体領域に対して垂直に立ち上がる垂直部を有し、
前記第 1 の金属膜における前記垂直部の上端面は、前記第 1 の導電膜及び第 2 の導電膜から露出しており、
前記第 2 の金属膜は、前記第 1 の金属膜における前記垂直部の上端面と接続されていることを特徴とする半導体装置。

【請求項 3】

前記第 1 の導電膜は、シリコンからなることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 の導電膜は、第 3 の金属膜であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記第 1 の導電膜の上面、前記第 2 の導電膜の上面及び前記第 1 の金属膜における前記垂直部の上端面を覆う第 4 の金属膜をさらに備え、
前記第 2 の金属膜は、前記第 1 の金属膜における前記垂直部の上端面と前記第 4 の金属膜を介して電氣的に接続されていることを特徴とする請求項 2 ～ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 1 の導電膜の上面、前記第 2 の導電膜の上面及び前記第 1 の金属膜における前記垂直部の上端面を覆うように順次形成され、シリコンからなる第 3 の導電膜と第 4 の金属膜とをさらに備え、
前記第 2 の金属膜は、前記第 4 の金属膜及び第 3 の導電膜を貫通して前記第 1 の金属膜における前記垂直部の上端面と直接に接続されていることを特徴とする請求項 2 ～ 4 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第 4 の金属膜は、金属シリサイド又は高融点金属からなることを特徴とする請求項 5 又は 6 に記載の半導体装置。

【請求項 8】

半導体領域の上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の上に、第 1 の金属膜及びシリコンからなる導電膜を順次形成する工程と、

前記第 1 の金属膜及び導電膜をパターニングすることにより、前記第 1 の金属膜及び導電膜からゲート電極を形成する工程と、

前記半導体領域の上に、前記ゲート電極を覆う絶縁膜を形成する工程と、

前記絶縁膜及び導電膜に対して、前記第 1 の金属膜を露出するコンタクトホールを形成する工程と、

前記コンタクトホールに第 2 の金属膜を前記第 1 の金属膜と直接に接続されるように埋め込む工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 9】

互いの極性が異なる第 1 の半導体領域と第 2 の半導体領域とを有する半導体基板の上に、ゲート絶縁膜を形成する工程と、

前記第 2 の半導体領域における前記ゲート絶縁膜の上に、第 1 の金属膜を選択的に形成する工程と、

前記第 1 の半導体領域における前記ゲート絶縁膜の上及び前記第 2 の半導体領域における前記第 1 の金属膜の上に、シリコンからなる導電膜を形成する工程と、

前記第 1 の半導体領域においては、前記導電膜をパターニングして前記導電膜から第 1 のゲート電極を形成し、前記第 2 の半導体領域においては、前記導電膜及び第 1 の金属膜をパターニングして前記導電膜及び第 1 の金属膜から第 2 のゲート電極を形成する工程と、

前記第 1 の半導体領域及び第 2 の半導体領域の上に、前記第 1 のゲート電極及び第 2 のゲート電極を覆う絶縁膜を形成する工程と、

前記絶縁膜及び導電膜に対して、前記第 1 の金属膜を露出するコンタクトホールを形成する工程と、

前記コンタクトホールに第 2 の金属膜を前記第 1 の金属膜と直接に接続されるように埋め込む工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 10】

互いの極性が異なる第 1 の半導体領域と第 2 の半導体領域とを有する半導体基板の上に、ゲート絶縁膜を形成する第 1 の工程と、

前記第 1 の半導体領域における前記ゲート絶縁膜の上に、シリコンからなる第 1 の導電膜を選択的に形成する第 2 の工程と、

前記第 1 の半導体領域における前記第 1 の導電膜の上及び該第 1 の導電膜における前記第 2 の半導体領域側の側面、並びに前記第 2 の半導体領域における前記ゲート絶縁膜の上に跨るように、第 1 の金属膜を形成する第 3 の工程と、

前記第 1 の金属膜の上に、シリコンからなる第 2 の導電膜を形成する第 4 の工程と、

前記第 2 の導電膜を研磨することにより、前記第 1 の導電膜と、前記第 1 の金属膜における前記第 1 の導電膜及び第 2 の導電膜に挟まれた第 1 の導電膜の側面上部分の上端面とを露出する第 5 の工程と、

前記第 1 の半導体領域においては、前記第 1 の導電膜をパターニングして前記第 1 の導電膜から第 1 のゲート電極を形成し、前記第 2 の半導体領域においては、前記第 2 の導電膜及び第 1 の金属膜をパターニングして前記第 2 の導電膜及び第 1 の金属膜から第 2 のゲート電極を形成する第 6 の工程と、

前記第 1 の半導体領域及び第 2 の半導体領域の上に、前記第 1 のゲート電極及び第 2 のゲート電極を覆う絶縁膜を形成する第 7 の工程と、

前記絶縁膜に対して、前記第 1 の金属膜における前記上端面を露出するコンタクトホールを形成する第 8 の工程と、

前記コンタクトホールに第 2 の金属膜を前記第 1 の金属膜における前記上端面と直接に接続されるように埋め込む第 9 の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 11】

前記第 1 の工程と前記第 2 の工程との間に、

前記ゲート絶縁膜の上における前記第 1 の半導体領域に、第 3 の金属膜を選択的に形成

10

20

30

40

50

する第 10 の工程とをさらに備え、

前記第 6 の工程において、前記第 1 のゲート電極は、前記第 3 の金属膜をもパターニングすることにより、前記第 1 の導電膜及び第 3 の金属膜により構成されることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メタルゲート電極を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

従来の M I S (metal insulator semiconductor) 型トランジスタにおけるメタルゲート構造のうち、金属材料とポリシリコンとを積層した、いわゆる M I P S (metal-inserted polysilicon stack) 構造の形成方法を図 19 (a) ~ 図 19 (f) を参照しながら説明する (例えば、特許文献 1 を参照。)。

【0003】

まず、図 19 (a) に示すように、シリコンからなる半導体基板 101 の上部に、シャロウトレンチ分離 (S T I) 等からなる素子分離膜 102 を選択的に形成して、半導体基板 101 を N F E T (N-type field effect transistor: N 型電界効果トランジスタ) 形成領域 50 N と、P F E T (P-type field effect transistor: P 型電界効果トランジスタ) 形成領域 50 P とに区画する。その後、しきい値 (V_t) 制御用の不純物注入及び注入された不純物の活性化熱処理を行う。続いて、半導体基板 101 上の全面にゲート絶縁膜 103 を形成する。続いて、形成されたゲート絶縁膜 103 上の全面に、仕事関数の値が大きく、P F E T の動作特性に有効な窒化チタン (T i N) 膜 104 を堆積する。続いて、堆積した T i N 膜 104 における N F E T 形成領域 50 N に含まれる部分を除去する。

【0004】

次に、図 19 (b) に示すように、N F E T 形成領域 50 N 及び P F E T 形成領域 50 P の全面に、ポリシリコン膜 105 を堆積する。

【0005】

次に、図 19 (c) に示すように、ポリシリコン膜 105 の上に、高融点金属であるタングステン (W) 膜 106 と、窒化シリコン (S i N) 膜 107 とを順次堆積する。

【0006】

次に、図 19 (d) に示すように、堆積した複数の膜をパターニングすることにより、ゲート電極 120 を形成する。具体的には、ゲート電極 120 として、N F E T 形成領域 50 N においては、W 膜 106 及びポリシリコン膜 105 からなる第 1 のゲート電極部 120 a を形成し、P F E T 形成領域 50 P においては、W 膜 106、ポリシリコン膜 105 及び T i N 膜 104 からなる第 2 のゲート電極部 120 b を形成する。ここで、ゲート電極 120 は、ゲート幅方向に沿った断面を表している。

【0007】

次に、図 19 (e) に示すように、ゲート電極 120 をマスクとした半導体基板 101 へのエクステンション注入による L D D (lightly doped drain) 層の形成、ゲート電極 120 へのサイドウォール 108 の形成、及びゲート電極 120 及びサイドウォール 108 をマスクとした半導体基板 101 へのソース/ドレイン注入を行い、注入された不純物の活性化熱処理を行う。その後は、図示はしないが、ニッケル (N i) 膜を半導体基板 101 上の全面に堆積して、ソース/ドレインの上部にニッケルシリサイド層を形成する

次に、図 19 (f) に示すように、半導体基板 101 の上に層間絶縁膜 109 を堆積し、堆積した層間絶縁膜 109 の上面を平坦化する。続いて、平坦化された層間絶縁膜 109 及びゲート電極 120 上の S i N 膜 107 に対してその下側の W 膜 106 を露出するコンタクトホールを形成し、該コンタクトホールにタングステン (W) を充填することにより、コンタクト 110 を形成する。

【0008】

10

20

30

40

50

これにより、P F E T形成領域5 0 Pにおいては、M I P S構造を採るメタルゲートが形成され、N F E T形成領域5 0 Nにおいては、ポリシリコンゲートが形成される。

【特許文献1】特開2 0 0 7 - 0 8 8 1 2 2号公報

【特許文献2】特開2 0 0 1 - 2 7 4 3 9 1号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 9】

しかしながら、前記従来のM I P S構造を採るメタルゲートを有する半導体装置は、P F E Tを構成するメタルゲートである第2のゲート電極部1 2 0 bにおいて、T i N膜1 0 4とポリシリコン膜1 0 5との間の界面抵抗が高いという問題がある。

10

【0 0 1 0】

メタルゲートを用いるトランジスタ、ここではP F E Tを高速で動作させるには、トランジスタへの電荷の充電及び放電を速やかに行う必要がある。そのためには、コンタクト1 1 0からゲート絶縁膜1 0 3に接して形成されたT i N膜1 0 4までの電流経路における抵抗値を低く抑える必要がある。

【0 0 1 1】

上記の従来例においては、コンタクト1 1 0からT i N膜1 0 4までの電流経路にはポリシリコン膜1 0 5が介在しており、この場合の抵抗成分は、ポリシリコン膜1 0 5の比抵抗、T i N膜1 0 4の比抵抗及びポリシリコン膜1 0 5とT i N膜1 0 4との間の界面抵抗とに分けられる。さらには、W膜1 0 6の比抵抗及び該W膜1 0 6とポリシリコン膜1 0 5と間の界面抵抗も含まれるが、Wの比抵抗はT i Nと比べて低く、また、W膜1 0 6とポリシリコン膜1 0 5と間の界面抵抗も低く抑えることができることは知られている（例えば、特許文献2を参照。）。

20

【0 0 1 2】

図2 0に、シミュレーションにより算出したポリシリコン膜1 0 5とT i N膜1 0 4との間の界面抵抗の値とゲート電極1 2 0の遅延時間との関係を示す。ここで、遅延時間とは、コンタクト1 1 0に所定の電圧を印加した瞬間を0 s e cとし、T i N膜1 0 4の電圧値が所定の印加電圧の9 0 %にまで到達した時間として定義する。なお、ここでは、ポリシリコン膜1 0 5の比抵抗値を $1300\mu\text{cm}$ と、T i N膜1 0 4の比抵抗値を $200\mu\text{cm}$ と仮定している。図2 0のシミュレーション結果から、必要な立ち上がり時間を1 p s e cと仮定すると、界面抵抗値はおよそ $1 \times 10^{-7}\text{cm}^2$ 以下に設定しなければならないことが分かる。なお、ここでは、タンゲステンとポリシリコンとの間の界面抵抗及びタンゲステンの比抵抗は無視している。

30

【0 0 1 3】

しかしながら、T i N膜1 0 4とポリシリコン膜1 0 5との間の界面抵抗を実測したところ、およそ $1 \times 10^{-5}\text{cm}^2$ 程度であることが判明した。この界面抵抗値では、遅延時間は少なくとも1 0 p s e cを超えるため、ギガH zレベルの高周波を扱う半導体装置の動作には、上記の従来例に係るゲートメタル構造は適用できない。

【0 0 1 4】

ポリシリコン膜1 0 5とT i N膜1 0 4との界面が高抵抗である原因は、ポリシリコン膜1 0 4をT i N膜1 0 4の上に堆積する際の初期段階での酸素の混入によるT i N膜1 0 4の酸化、又はT i N膜1 0 4とポリシリコン膜1 0 5と間に形成されるショットキ接合等が挙げられる。

40

【0 0 1 5】

理論的には、ゲートメタルの仕事関数の値がシリコンのバンドギャップの中にある場合は、T i N膜1 0 4とポリシリコン膜1 0 5との間に生じるショットキ接合は不可避である。両者の界面抵抗の値を減少させるには、ポリシリコン膜1 0 5中のドーパント濃度を高めることによりショットキバリアをトンネリングする膜厚を薄くし、且つ、ポリシリコン膜1 0 5の堆積時の前処理及び堆積方法を最適化することにより、ポリシリコン膜1 0 5とT i N膜1 0 4との界面に高抵抗化に寄与する新たな膜が形成されないように細心の

50

注意を払う必要がある。

【 0 0 1 6 】

本発明は、前記従来の問題を解決し、高速動作が可能なM I P S構造を持つメタルゲートを含む半導体装置を得られるようにすることを目的とする。

【課題を解決するための手段】

【 0 0 1 7 】

前記の目的を達成するため、本発明は、半導体装置を、ゲート電極と電氣的に接続されるコンタクトとメタルゲートを構成する金属膜とをシリコン膜を介在させることなく接続する構成とする。

【 0 0 1 8 】

具体的に、本発明に係る第1の半導体装置は、半導体領域の上に形成されたゲート絶縁膜と、ゲート絶縁膜の上に順次形成され、第1の金属膜とシリコンからなる導電膜とにより構成されたゲート電極と、半導体領域の上にゲート電極を覆うように形成された絶縁膜と、絶縁膜及び導電膜を貫通して第1の金属膜と直接に接続された第2の金属膜とを備えていることを特徴とする。

【 0 0 1 9 】

第1の半導体装置によると、絶縁膜及び導電膜を貫通して第1の金属膜と直接に接続された第2の金属膜を備えており、すなわち、コンタクトである第2の金属膜が第1の金属膜とシリコンとの高抵抗となりやすい界面を介することなく直接に接続されるため、高速動作を実現することができる。

【 0 0 2 0 】

本発明に係る第2の半導体装置は、互いの極性が異なる第1の半導体領域及び第2の半導体領域の上に形成されたゲート絶縁膜と、ゲート絶縁膜における第1の半導体領域の上に形成された第1の導電膜を含む第1のゲート電極と、ゲート絶縁膜における第2の半導体領域の上に順次形成され、第1の金属膜とシリコンからなる第2の導電膜とにより構成された第2のゲート電極と、第1の半導体領域及び第2の半導体領域の上にゲート電極を覆うように形成された絶縁膜と、絶縁膜を貫通して第1の金属膜と接続された第2の金属膜とを備え、第1の金属膜は第2の半導体領域における第1の半導体領域との境界部分において第2の半導体領域に対して垂直に立ち上がる垂直部を有し、第1の金属膜における垂直部の上端面は、第1の導電膜及び第2の導電膜から露出しており、第2の金属膜は、第1の金属膜における垂直部の上端面と接続されていることを特徴とする。

【 0 0 2 1 】

第2の半導体装置によると、メタルゲートを構成する第1の金属膜は、第2の半導体領域における第1の半導体領域との境界部分において第2の半導体領域に対して垂直に立ち上がる垂直部を有し、第1の金属膜における垂直部の上端面は、第1の導電膜及び第2の導電膜から露出しており、第2の金属膜は、第1の金属膜における垂直部の上端面と接続されている。これにより、コンタクトである第2の金属膜が第1の金属膜とシリコンとの高抵抗となりやすい界面を介することがないため、高速動作を実現することができる。

【 0 0 2 2 】

第2の半導体装置において、第1の導電膜はシリコンからなることが好ましい。

【 0 0 2 3 】

また、第2の半導体装置において、第1の導電膜は第3の金属膜であることが好ましい。

【 0 0 2 4 】

第2の半導体装置は、第1の導電膜の上面、第2の導電膜の上面及び第1の金属膜における垂直部の上端面を覆う第4の金属膜をさらに備え、第2の金属膜は、第1の金属膜における垂直部の上端面と第4の金属膜を介して電氣的に接続されていることが好ましい。

【 0 0 2 5 】

第2の半導体装置は、第1の導電膜の上面、第2の導電膜の上面及び第1の金属膜における垂直部の上端面を覆うように順次形成され、シリコンからなる第3の導電膜と第4の

10

20

30

40

50

金属膜とをさらに備え、第2の金属膜は、第4の金属膜及び第3の導電膜を貫通して第1の金属膜における垂直部の上端面と直接に接続されていることが好ましい。

【0026】

この場合に、第4の金属膜は金属シリサイド又は高融点金属からなることが好ましい。

【0027】

本発明に係る第1の半導体装置の製造方法は、半導体領域の上にゲート絶縁膜を形成する工程と、ゲート絶縁膜の上に、第1の金属膜及びシリコンからなる導電膜を順次形成する工程と、第1の金属膜及び導電膜をパターニングすることにより、第1の金属膜及び導電膜からゲート電極を形成する工程と、半導体領域の上に、ゲート電極を覆う絶縁膜を形成する工程と、絶縁膜及び導電膜に対して、第1の金属膜を露出するコンタクトホールを形成する工程と、コンタクトホールに第2の金属膜を第1の金属膜と直接に接続されるように埋め込む工程とを備えていることを特徴とする。

10

【0028】

本発明に係る第2の半導体装置の製造方法は、互いの極性が異なる第1の半導体領域と第2の半導体領域とを有する半導体基板の上にゲート絶縁膜を形成する工程と、第2の半導体領域におけるゲート絶縁膜の上に、第1の金属膜を選択的に形成する工程と、第1の半導体領域におけるゲート絶縁膜の上及び第2の半導体領域における第1の金属膜の上に、シリコンからなる導電膜を形成する工程と、第1の半導体領域においては、導電膜をパターニングして導電膜から第1のゲート電極を形成し、第2の半導体領域においては、導電膜及び第1の金属膜をパターニングして導電膜及び第1の金属膜から第2のゲート電極を形成する工程と、第1の半導体領域及び第2の半導体領域の上に、第1のゲート電極及び第2のゲート電極を覆う絶縁膜を形成する工程と、絶縁膜及び導電膜に対して、第1の金属膜を露出するコンタクトホールを形成する工程と、コンタクトホールに第2の金属膜を第1の金属膜と直接に接続されるように埋め込む工程とを備えていることを特徴とする。

20

【0029】

本発明に係る第3の半導体装置の製造方法は、互いの極性が異なる第1の半導体領域と第2の半導体領域とを有する半導体基板の上にゲート絶縁膜を形成する第1の工程と、第1の半導体領域におけるゲート絶縁膜の上に、シリコンからなる第1の導電膜を選択的に形成する第2の工程と、第1の半導体領域における第1の導電膜の上及び該第1の導電膜における第2の半導体領域側の側面、並びに第2の半導体領域におけるゲート絶縁膜の上に跨るように、第1の金属膜を形成する第3の工程と、第1の金属膜の上に、シリコンからなる第2の導電膜を形成する第4の工程と、第2の導電膜を研磨することにより、第1の導電膜と、第1の金属膜における第1の導電膜及び第2の導電膜に挟まれた第1の導電膜の側面上部分の上端面とを露出する第5の工程と、第1の半導体領域においては、第1の導電膜をパターニングして第1の導電膜から第1のゲート電極を形成し、第2の半導体領域においては、第2の導電膜及び第1の金属膜をパターニングして第2の導電膜及び第1の金属膜から第2のゲート電極を形成する第6の工程と、第1の半導体領域及び第2の半導体領域の上に、第1のゲート電極及び第2のゲート電極を覆う絶縁膜を形成する第7の工程と、絶縁膜に対して、第1の金属膜における上端面を露出するコンタクトホールを形成する第8の工程と、コンタクトホールに第2の金属膜を第1の金属膜における上端面と直接に接続されるように埋め込む第9の工程とを備えていることを特徴とする。

30

40

【0030】

第3の半導体装置の製造方法は、第1の工程と第2の工程との間に、ゲート絶縁膜の上における第1の半導体領域に、第3の金属膜を選択的に形成する第10の工程とをさらに備え、第6の工程において、第1のゲート電極は、第3の金属膜をもパターニングすることにより、第1の導電膜及び第3の金属膜により構成されることが好ましい。

【発明の効果】

【0031】

本発明に係る半導体装置及びその製造方法によると、高速動作が可能なMIPS構造を

50

持つメタルゲートを有する半導体装置を得ることができる。

【発明を実施するための最良の形態】

【0032】

(第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

【0033】

図1は本発明の第1の実施形態に係る半導体装置であって、MIPS構造を採るメタルゲートを含むトランジスタのゲート幅方向の断面構成を示している。

【0034】

図1に示すように、シリコン(Si)からなる半導体基板1の上部は、シャロウトレンチ分離(STI)等からなる素子分離膜2によって、NFEET(N-type field effect transistor)形成領域50NとPFET(P-type field effect transistor)形成領域50Pとに区画されている。

【0035】

素子分離膜2が形成された半導体基板1に主面上には、厚さが1.5nmの酸化シリコン(SiO₂)膜と厚さが3.0nmの窒化ハフニウムシリコン(HfSiON)膜とからなるゲート絶縁膜3が形成されている。

【0036】

ゲート絶縁膜3の上には、NFEET形成領域50N及びPFET形成領域50Pに跨ってゲート電極20が形成されている。具体的には、NFEET形成領域50Nにおいては、上部にニッケルシリサイド層7が形成され且つ厚さが100nmのポリシリコン膜5により構成された第1のゲート電極部20aが形成され、PFET形成領域50Pにおいては、厚さが10nmの窒化チタン(TiN)膜4と上部にニッケルシリサイド層7が形成され且つ厚さが100nmのポリシリコン膜5とにより構成された第2のゲート電極部20bが形成されている。なお、ニッケルシリサイド層7において、シリサイド化する金属はニッケル(Ni)に限られず、コバルト(Co)又はチタン(Ti)等を用いることができる。

【0037】

ゲート電極20は、例えば酸化シリコンからなる層間絶縁膜8により覆われている。ゲート電極20におけるNFEET形成領域50N及びPFET形成領域50Pの境界部分には、層間絶縁膜8、ニッケルシリサイド層7及びポリシリコン膜5を貫通してTiN膜4と直接に接続されたチタン(Ti)、窒化チタン(TiN)及びタンゲステン(W)が積層されてなるコンタクト9が形成されている。なお、コンタクト9の形成位置は、必ずしもNFEET形成領域50N及びPFET形成領域50Pの境界部分に限られず、コンタクト9とTiN膜4とが直接に接続される位置であれば構わない。

【0038】

このように、第1の実施形態によると、コンタクト9は、第2のゲート電極部20bにおけるポリシリコン膜5を貫通してTiN膜4と直接に接続されている。従って、コンタクト9とTiN膜4との間には、ポリシリコン膜5とTiN膜4との間の高抵抗となりやすい界面が介在しないため、PFETに対して高速動作を実現することができる。

【0039】

(第1の実施形態の第1変形例)

図2に本発明の第1の実施形態の第1変形例に係る半導体装置の断面構成を示す。図2において、図1と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0040】

図2に示すように、第1変形例においては、第1のゲート電極部20aに対しても、第2のゲート電極部20bと同様に、ゲート絶縁膜3とポリシリコン膜5との間に、TiN膜4Aを設けるMIPS構造としてもよい。但し、この場合には、NFEETにおけるゲート絶縁膜3に対する仕事関数の値の調整は、第1のゲート電極部20aのポリシリコン膜5に対するドーパント種の変更等により行うことができる。また、ゲート絶縁膜3の上に

キャップ膜、例えば酸化ランタン (LaO) 膜を堆積することによっても行うことができる。

【0041】

(第1の実施形態の第2変形例)

また、図3に示す第2変形例のように、第1のゲート電極部20aの金属材料を炭化タンタル (Ta_2C) 膜10とし、第2のゲート電極部20bの金属材料をTiN膜4としてもよい。

【0042】

このように、NFEETに対してもMIPS構造としてもよく、NFEETを構成するメタルゲートが第1変形例のようにPFETを構成するメタルゲートと同一の金属材料を用いる場合には、例えばポリシリコン膜5へのドーパント種を変更し、また、第2変形例のようにPFETを構成するメタルゲートと異なる金属材料を用いる場合には、 Ta_2C 又はTaC等の有効仕事関数が4.6eV以下で、NFEETの動作特性の向上に有効な金属材料を用いればよい。

【0043】

なお、第1の実施形態及びその各変形例において、ゲート電極20を構成するポリシリコン膜5の上部に形成したニッケルシリサイド層7は、必ずしも形成する必要はない。

【0044】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【0045】

図4(a)~図4(e)は本発明の第1の実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

【0046】

まず、図4(a)に示すように、Siからなる半導体基板1の上部に、STI等からなる素子分離膜2を選択的に形成して、半導体基板1をNFEET形成領域50NとPFET形成領域50Pとに区画する。その後、図示はしないが、半導体基板1のNFEET形成領域50Nにはp型の不純物によるしきい値 (V_t) 制御用の不純物注入を行い、PFET形成領域50Pにはn型の不純物による V_t 制御用の不純物注入を行う。続いて、注入された不純物の活性化熱処理を行い、半導体基板1の表面酸化膜を除去する。その後、熱酸化法により、半導体基板1の表面に、厚さが1.5nmの酸化シリコンからなる熱酸化膜 (図示せず) を形成する。続いて、CVD法により、熱酸化膜の上に厚さが3.0nmの酸化ハフニウムシリコン (HfSiO) 膜を堆積する。さらに、堆積した HfSiO 膜の表面を窒化処理することにより、酸窒化ハフニウムシリコン (HfSiON) と酸化シリコン (SiO_2) との高誘電体を含む積層膜からなるゲート絶縁膜3を形成する。なお、高誘電体は、酸窒化ハフニウムシリコンに限られず、酸化ハフニウムシリコン (HfSiO)、酸化ハフニウム (HfO_2) 又はジルコニウム (Zr) 系酸化物等を用いることができる。また、ゲート絶縁膜3は、高誘電体材料を含まない酸化シリコン (SiO_2) 又は酸窒化シリコン (SiON) でも構わない。続いて、ゲート絶縁膜3の上に全面にわたって、厚さが10nmの窒化チタン (TiN) 膜4を堆積する。ここでは、TiN膜4の成膜には、化学的気相堆積 (CVD) 法、物理的気相堆積 (PVD) 法又は原子層堆積 (ALD) 法を用いることができる。また、メタルゲート用の金属材料は、TiNに限られず、TaCNO又はTa₂N等の有効仕事関数が4.6eV以上の、PFETの動作特性の向上に有効な金属を含む材料を用いることができる。続いて、リソグラフィ法により、PFET形成領域50Pを覆うレジストマスク (図示せず) を形成し、形成したレジストマスクを用いて、NFEET形成領域50NのTiN膜4をウェットエッチングにより除去する。その後、レジストマスクを除去する。

【0047】

次に、図4(b)に示すように、CVD法により、ゲート絶縁膜3及びTiN膜6の上に全面にわたって、厚さが100nmの導電性を持たせたポリシリコン膜5を堆積する。

【 0 0 4 8 】

次に、図 4 (c) に示すように、リソグラフィ法及びドライエッチング法により、ゲートパターンニングを行い、N F E T 形成領域 5 0 N においては、ポリシリコン膜 5 からなる第 1 のゲート電極部 2 0 a を形成する。一方、P F E T 形成領域 5 0 P においては、T i N 膜 4 及びポリシリコン膜 5 からなるメタルゲートとなる第 2 のゲート電極部 2 0 b を形成する。続いて、図示はしないが、ゲート電極 2 0 をマスクとした半導体基板 1 へのエクステンション注入による L D D (lightly doped drain) 層の形成、ゲート電極 2 0 へのサイドウォール 6 の形成、及びゲート電極 2 0 及びサイドウォール 6 をマスクとした半導体基板 1 へのソース/ドレイン注入を行い、注入された不純物の活性化熱処理を行う。

10

【 0 0 4 9 】

次に、図 4 (d) に示すように、半導体基板 1 上の全面にニッケル (N i) 膜を堆積して、ソース/ドレインの上部及びゲート電極 2 0 の上部にそれぞれニッケルシリサイド層 7 を形成する。

【 0 0 5 0 】

次に、図 4 (e) に示すように、半導体基板 1 の上に層間絶縁膜 8 を堆積し、堆積した層間絶縁膜 8 の上面を化学機械研磨 (C M P) 法により平坦化する。続いて、ゲート電極 2 0 における N F E T 形成領域 5 0 N と P F E T 形成領域 5 0 P との境界部分に、層間絶縁膜 8 、ニッケルシリサイド層 7 及びポリシリコン膜 5 に対して、その下側の T i N 膜 4 を露出するコンタクトホールを選択的に形成する。その後、スパッタ法による T i 膜と C V D 法による T i N 膜及び W 膜とを順次堆積して、コンタクトホールを埋め込むことにより、コンタクト 9 を形成する。

20

【 0 0 5 1 】

これにより、P F E T 形成領域 5 0 P においては、M I P S 構造であって、コンタクト 9 が T i N 膜 4 と直接に接続されたメタルゲートが形成され、N F E T 形成領域 5 0 N においては、ポリシリコンゲートが形成される。

【 0 0 5 2 】

以上の製造方法により、高周波動作に適した N F E T 及び P F E T を有する半導体装置を形成することができる。

【 0 0 5 3 】

30

(第 2 の実施形態)

以下、本発明の第 2 の実施形態について図面を参照しながら説明する。

【 0 0 5 4 】

図 5 は本発明の第 2 の実施形態に係る半導体装置であって、M I P S 構造を採るメタルゲートを含むトランジスタのゲート幅方向の断面構成を示している。

【 0 0 5 5 】

図 5 に示すように、S i からなる半導体基板 1 の上部は、S T I 等からなる素子分離膜 2 によって、N F E T 形成領域 5 0 N と P F E T 形成領域 5 0 P とに区画されている。

【 0 0 5 6 】

素子分離膜 2 が形成された半導体基板 1 に主面上には、厚さが 1 . 5 n m の S i O ₂ 膜と厚さが 3 . 0 n m の H f S i O N 膜とからなるゲート絶縁膜 3 が形成されている。

40

【 0 0 5 7 】

ゲート絶縁膜 3 の上には、N F E T 形成領域 5 0 N 及び P F E T 形成領域 5 0 P に跨ってゲート電極 2 0 が形成されている。具体的には、N F E T 形成領域 5 0 N においては、厚さが 1 0 0 n m の第 1 のポリシリコン膜 5 により構成された第 1 のゲート電極部 2 0 a が形成され、P F E T 形成領域 5 0 P においては、厚さが 1 0 n m の T i N 膜 4 と厚さが 9 0 n m の第 2 のポリシリコン膜 1 1 とにより構成された第 2 のゲート電極部 2 0 b が形成されている。

【 0 0 5 8 】

第 2 の実施形態の特徴として、P F E T を構成する T i N 膜 4 は、P F E T 形成領域 5

50

0 PにおけるN F E T形成領域5 0 Nとの境界部分において半導体基板1の主面に対して垂直に立ち上がる垂直部4 aを有している。なお、垂直部4 aの形成位置は、必ずしもN F E T形成領域5 0 N及びP F E T形成領域5 0 Pの境界部分に限られない。

【0059】

ゲート電極20は、例えば酸化シリコンからなる層間絶縁膜8により覆われている。ゲート電極20におけるT i N膜4の垂直部4 aの上側部分には、層間絶縁膜8を貫通してT i N膜4の垂直部4 aと直接に接続されたT i、T i N及びWが積層されてなるコンタクト9が形成されている。

【0060】

このように、第2の実施形態によると、コンタクト9は、第2のゲート電極部20 bを構成するT i N膜4が第2のポリシリコン膜11から露出した垂直部4 aと直接に接続されている。従って、コンタクト9とT i N膜4との間には、第2のポリシリコン膜11とT i N膜4との間の高抵抗となりやすい界面が介在しないため、P F E Tに対して高速動作を実現することができる。

【0061】

(第2の実施形態の第1変形例)

図6に本発明の第2の実施形態の第1変形例に係る半導体装置の断面構成を示す。図6において、図5と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0062】

図6の第1変形例に示すように、ゲート電極20を構成する第1のポリシリコン膜5及び第2のポリシリコン膜11の上部にニッケルシリサイド層7が形成されていてもよい。

【0063】

(第2の実施形態の第2変形例)

また、図7に示す第2変形例のように、ゲート電極20を構成する各ポリシリコン膜5、11の上部にニッケルシリサイド層7が形成されている場合には、コンタクト9は、必ずしもT i N膜4の垂直部4 aと直接に接続される必要はなく、ニッケルシリサイド層7を介して接続されていてもよい。

【0064】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【0065】

図8(a)～図8(f)は本発明の第2の実施形態の第1変形例に係る半導体装置の製造方法の工程順の断面構成を示している。

【0066】

まず、図8(a)に示すように、S iからなる半導体基板1の上部に、S T I等からなる素子分離膜2を選択的に形成して、半導体基板1をN F E T形成領域5 0 NとP F E T形成領域5 0 Pとに区画する。その後、図示はしないが、半導体基板1のN F E T形成領域5 0 Nにはp型の不純物によるV t制御用の不純物注入を行い、P F E T形成領域5 0 Pにはn型の不純物によるV t制御用の不純物注入を行う。続いて、注入された不純物の活性化熱処理を行い、半導体基板1の表面酸化膜を除去する。その後、熱酸化法により、半導体基板1の表面に、厚さが1.5 nmの酸化シリコンからなる熱酸化膜(図示せず)を形成する。続いて、C V D法により、熱酸化膜の上に厚さが3.0 nmのH f S i O膜を堆積する。さらに、堆積したH f S i O膜の表面を窒化処理することにより、H f S i O NとS i O₂との高誘電体を含む積層膜からなるゲート絶縁膜3を形成する。なお、ゲート絶縁膜3は、高誘電体材料を含まないS i O₂又はS i O Nでも構わない。続いて、ゲート絶縁膜3の上に全面にわたって、C V D法により、厚さが150 nmの導電性を持たせた第1のポリシリコン膜5を堆積する。続いて、リソグラフィ法により、N F E T形成領域5 0 Nを覆うレジストマスク(図示せず)を形成し、形成したレジストマスクを用いて、P F E T形成領域5 0 Pの第1のポリシリコン膜5をウェットエッチングにより除去する。ここで、ポリシリコンに対するウェットエッチングにはアンモニア(N H₃)溶

10

20

30

40

50

液を用いることができる。アンモニア溶液を用いたHfSiONのシリコンに対するエッチング選択比はほぼ0であり、従って、アンモニア溶液により、ゲート絶縁膜3をエッチングすることなく、第1のポリシリコン膜5をエッチングすることができる。その後、レジストマスクを除去する。

【0067】

次に、図8(b)に示すように、PVD法により、ゲート絶縁膜3及び第1のポリシリコン膜5の上に全面にわたって、厚さが10nmのTiN膜4を堆積する。なお、TiN膜4の堆積にはCVD法又はALD法を用いてもよい。なお、成膜されるTiN膜4には、NFEET形成領域50Nに形成された第1のポリシリコン膜5のPFET形成領域50P側の端面上に垂直部4aが形成される必要がある。また、PFETのメタルゲート形成用の金属材料はTiNに限られず、TaCNO又はTaN等の有効仕事関数が4.6eV以上のPFETの動作特性の向上に有効な金属材料を用いることができる。続いて、CVD法により、TiN膜4の上に厚さが150nmの導電性を持たせた第2のポリシリコン膜11を堆積する。

10

【0068】

次に、図8(c)に示すように、CMP法により、堆積した第2のポリシリコン膜11、TiN膜4及び第1のポリシリコン膜5に対して研磨を行って表面を平坦化する。ここでは、NFEET形成領域50Nにおける第1のポリシリコン膜5の厚さが100nmとなるように研磨し、これにより、PFET形成領域50pにおいては、第2のポリシリコン膜11の厚さは90nmとなる。また、このCMP工程により、NFEET形成領域50NとPFET形成領域50Pとの境界部分において、堆積したTiN膜4の垂直部4aが第1のポリシリコン膜5及び第2のポリシリコン膜11の間から露出する。

20

【0069】

次に、図8(d)に示すように、リソグラフィ法及びドライエッチング法により、ゲートパターンニングを行い、NFEET形成領域50Nにおいては、第1のポリシリコン膜5からなる第1のゲート電極部20aを形成する。一方、PFET形成領域50Pにおいては、TiN膜4及び第2のポリシリコン膜11からなるメタルゲートとなる第2のゲート電極部20bを形成する。続いて、図示はしないが、ゲート電極20をマスクとした半導体基板1へのエクステンション注入によるLDD層の形成、ゲート電極20へのサイドウォール6の形成、及びゲート電極20及びサイドウォール6をマスクとした半導体基板1へのソース/ドレイン注入を行い、注入された不純物の活性化熱処理を行う。

30

【0070】

次に、図8(e)に示すように、半導体基板1上の全面にニッケル(Ni)膜を堆積して、ソース/ドレインの上部及びゲート電極20を構成する第1のポリシリコン膜5及び第2のポリシリコン膜11のそれぞれの上部にニッケルシリサイド層7を形成する。

【0071】

次に、図8(f)に示すように、半導体基板1の上に層間絶縁膜8を堆積し、堆積した層間絶縁膜8の上面をCMP法により平坦化する。続いて、ゲート電極20におけるNFEET形成領域50NとPFET形成領域50Pとの境界部分に、層間絶縁膜8に対して、その下側のTiN膜4の垂直部4aを露出するコンタクトホールを形成する。その後、スパッタ法によるTi膜とCVD法によるTiN膜及びW膜とを順次堆積して、コンタクトホールを埋め込むことにより、コンタクト9を形成する。

40

【0072】

これにより、PFET形成領域50Pにおいては、MIPS構造であって、コンタクト9がTiN膜4の垂直部4aと直接に接続されたメタルゲートが形成され、NFEET形成領域50Nにおいては、ポリシリコンゲートが形成される。

【0073】

以上説明したように、第2の実施形態においては、PFETのメタルゲートを構成するTiN膜4にその上側に形成される第2のポリシリコン膜11から露出する垂直部4aを設けているため、層間絶縁膜8にのみコンタクトホールを形成するだけで、高周波動作に

50

適した N F E T 及び P F E T を有する半導体装置を形成することができる。

【 0 0 7 4 】

なお、上述した製造方法のように、ゲート電極 2 0 を構成するポリシリコン膜 5、1 1 にニッケルシリサイド層 7 を形成する場合には、コンタクト 9 の下端部は必ずしも T i N 膜 4 の垂直部 4 a と直接に接続される必要はなく、ニッケルシリサイド層 7 と直接に接続されればよい。

【 0 0 7 5 】

(第 3 の実施形態)

以下、本発明の第 3 の実施形態について図面を参照しながら説明する。

【 0 0 7 6 】

図 9 は本発明の第 3 の実施形態に係る半導体装置であって、M I P S 構造を採るメタルゲートを含むトランジスタのゲート幅方向の断面構成を示している。図 9 において、図 6 と同一の構成部材には同一の符号を付すことにより説明を省略する。

【 0 0 7 7 】

図 9 に示すように、第 3 の実施形態に係る半導体装置は、ゲート電極 2 0 を構成する第 1 のポリシリコン膜 5、T i N 膜 4 の垂直部 4 a 及び第 2 のポリシリコン膜 1 1 の上に、厚さが 2 0 n m の導電性を持たせた第 3 のポリシリコン膜 1 2 が形成されている。

【 0 0 7 8 】

なお、ここでは、第 3 のポリシリコン膜 1 2 の上部はニッケルシリサイド層 7 が形成されている。従って、コンタクト 9 は、ニッケルシリサイド層 7 及び第 3 のポリシリコン膜 1 2 を貫通して、T i N 膜 4 の垂直部 4 a の上端面と直接に接続されている。

【 0 0 7 9 】

(第 3 の実施形態の一変形例)

図 1 0 に第 3 の実施形態の一変形例に係る半導体装置の断面構成を示す。

【 0 0 8 0 】

図 1 0 に示すように、本変形例に係る半導体装置は、第 3 のポリシリコン膜 1 2 の厚さを、例えば 1 0 n m 程度に薄くしており、このため、ニッケルシリサイド層 7 自体が第 1 のポリシリコン膜 5、T i N 膜 4 の垂直部 4 a 及び第 2 のポリシリコン膜 1 1 と接触している。

【 0 0 8 1 】

この場合には、コンタクト 9 の下端面は、T i N 膜 4 の垂直部 4 a の上端面と直接に接続される必要はなく、ニッケルシリサイド層 7 と接続されていけばよい。従って、図 7 に示す第 2 の実施形態の第 2 変形例に示すように、コンタクト 9 の形成位置は、T i N 膜 4 における垂直部 4 a の上側部分からずれていてもよい。

【 0 0 8 2 】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【 0 0 8 3 】

図 1 1 (a) ~ 図 1 1 (c) は本発明の第 3 の実施形態に係る半導体装置の要部の製造方法の工程順の断面構成を示している。ここでは、第 2 の実施形態との相違点のみを説明する。

【 0 0 8 4 】

まず、図 1 1 (a) に示すように、C M P 法により平坦化された、N F E T 形成領域 5 0 N における第 1 のポリシリコン膜 5 の上と、P F E T 形成領域 5 0 p における第 2 のポリシリコン膜 1 1 及び T i N 膜 4 の垂直部 4 a の上とに全面にわたって、厚さが 2 0 n m の導電性を持たせた第 3 のポリシリコン膜 1 2 を C V D 法により堆積する。この第 3 のポリシリコン膜 1 2 を堆積することにより、第 1 のポリシリコン膜 5 及び第 2 のポリシリコン膜 1 1 から露出した T i N 膜 4 の垂直部 4 a の上端面が保護される。このため、後工程であるエクステンション注入工程におけるイオン注入機による金属汚染等を防止することができる。

10

20

30

40

50

【 0 0 8 5 】

次に、図 1 1 (b) に示すように、リソグラフィ法及びドライエッチング法により、ゲートパターンニングを行い、N F E T 形成領域 5 0 N においては、第 1 のポリシリコン膜 5 及び第 3 のポリシリコン 1 2 膜からなる第 1 のゲート電極部 2 0 a を形成する。一方、P F E T 形成領域 5 0 P においては、T i N 膜 4、第 2 のポリシリコン膜 1 1 及び第 3 のポリシリコン膜 1 2 からなるメタルゲートとなる第 2 のゲート電極部 2 0 b を形成する。続いて、図示はしないが、ゲート電極 2 0 をマスクとした半導体基板 1 へのエクステンション注入による L D D 層の形成、ゲート電極 2 0 へのサイドウォール 6 の形成、及びゲート電極 2 0 及びサイドウォール 6 をマスクとした半導体基板 1 へのソース/ドレイン注入を行い、注入された不純物の活性化熱処理を行う。その後、半導体基板 1 上の全面にニッケル (N i) 膜を堆積して、ソース/ドレインの上部及び第 3 のポリシリコン膜 1 2 の上部にそれぞれニッケルシリサイド層 7 を形成する。ここで、第 2 のポリシリコン膜 1 2 の厚さが 1 0 n m 程度の場合には、該第 2 のポリシリコン膜 1 2 は、その膜厚の全体がニッケルシリサイド層 7 となる。

10

【 0 0 8 6 】

次に、図 1 1 (c) に示すように、半導体基板 1 の上に層間絶縁膜 8 を堆積し、堆積した層間絶縁膜 8 の上面を C M P 法により平坦化する。続いて、ゲート電極 2 0 における N F E T 形成領域 5 0 N と P F E T 形成領域 5 0 P との境界部分に、層間絶縁膜 8、ニッケルシリサイド層 7 及び第 3 のポリシリコン膜 1 2 を貫通して、T i N 膜 4 の垂直部 4 a を露出するコンタクトホールを形成する。その後、スパッタ法による T i 膜と C V D 法による T i N 膜及び W 膜とを順次堆積して、コンタクトホールを埋め込むことにより、コンタクト 9 を形成する。

20

【 0 0 8 7 】

これにより、P F E T 形成領域 5 0 P においては、M I P S 構造であって、コンタクト 9 が T i N 膜 4 の垂直部 4 a と直接に又はニッケルシリサイド層 7 を介して接続されたメタルゲートが形成され、N F E T 形成領域 5 0 N においては、ポリシリコンゲートが形成される。

【 0 0 8 8 】

以上説明したように、第 3 の実施形態においては、P F E T のメタルゲートを構成する T i N 膜 4 にその上側に形成される第 2 のポリシリコン膜 1 1 から露出する垂直部 4 a を設けている。このため、コンタクト 9 と T i N 膜 4 との間の電流経路には、ポリシリコン膜が介在しなくなるため、高周波動作に適した N F E T 及び P F E T を有する半導体装置を形成することができる。

30

【 0 0 8 9 】

(第 4 の実施形態)

以下、本発明の第 4 の実施形態について図面を参照しながら説明する。

【 0 0 9 0 】

図 1 2 は本発明の第 4 の実施形態に係る半導体装置であって、M I P S 構造を採るメタルゲートを含むトランジスタのゲート幅方向の断面構成を示している。図 1 2 において、図 5 と同一の構成部材には同一の符号を付すことにより説明を省略する。

40

【 0 0 9 1 】

図 1 2 に示すように、第 4 の実施形態に係る半導体装置は、ゲート電極 2 0 を構成する第 1 のポリシリコン膜 5、T i N 膜 4 の垂直部 4 a 及び第 2 のポリシリコン膜 1 1 の上には、厚さが 1 0 n m の T i N 膜及び厚さが 5 0 n m の W 膜からなる金属膜 1 3 と、窒化シリコン (S i N) からなるキャップ絶縁膜 1 4 とが順次形成されている。

【 0 0 9 2 】

従って、第 4 の実施形態に係るコンタクト 9 は、キャップ絶縁膜 1 4 を貫通し、且つ金属膜 1 3 を介して T i N 膜 4 の垂直部 4 a の上端面と電氣的に接続されている。

【 0 0 9 3 】

(第 4 の実施形態の一変形例)

50

図 1 3 に第 4 の実施形態の一変形例を示す。第 4 の実施形態においては、P F E T を構成するメタルゲートの T i N 膜 4 は、コンタクト 9 と金属膜 1 3 を介して電氣的に接続されるため、図 1 3 に示すように、コンタクト 9 の形成位置は、T i N 膜 4 における垂直部 4 a の上側部分からずれていてもよい。

【 0 0 9 4 】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【 0 0 9 5 】

図 1 4 (a) ~ 図 1 4 (c) は本発明の第 4 の実施形態に係る半導体装置の要部の製造方法の工程順の断面構成を示している。ここでは、第 2 の実施形態及び第 3 の実施形態との相違点のみを説明する。

【 0 0 9 6 】

まず、図 1 4 (a) に示すように、C M P 法により平坦化された、N F E T 形成領域 5 0 N における第 1 のポリシリコン膜 5 の上と、P F E T 形成領域 5 0 p における第 2 のポリシリコン膜 1 1 及び T i N 膜 4 の垂直部 4 a の上に全面にわたって、P V D 法による厚さが 1 0 n m の T i N 膜と P V D 法による厚さが 5 0 n m の W 膜とからなる金属膜 1 3 を形成する。続いて、金属膜 1 3 の上に、低圧 C V D 法による厚さが 1 0 0 n m の S i N からなるキャップ絶縁膜 1 4 を形成する。

【 0 0 9 7 】

次に、図 1 4 (b) に示すように、リソグラフィ法及びドライエッチング法により、ゲートパターンニングを行い、N F E T 形成領域 5 0 N においては、第 1 のポリシリコン膜 5 及び金属膜 1 3 からなる第 1 のゲート電極部 2 0 a を形成する。一方、P F E T 形成領域 5 0 P においては、T i N 膜 4 、第 2 のポリシリコン膜 1 1 及び金属膜 1 3 からなるメタルゲートとなる第 2 のゲート電極部 2 0 b を形成する。続いて、図示はしないが、ゲート電極 2 0 をマスクとした半導体基板 1 へのエクステンション注入による L D D 層の形成、ゲート電極 2 0 へのサイドウォール 6 の形成、及びゲート電極 2 0 及びサイドウォール 6 をマスクとした半導体基板 1 へのソース / ドレイン注入を行い、注入された不純物の活性化熱処理を行う。その後、半導体基板 1 上の全面にニッケル (N i) 膜を堆積して、ソース / ドレインの上部にそれぞれニッケルシリサイド層 7 を形成する。

【 0 0 9 8 】

次に、図 1 4 (c) に示すように、半導体基板 1 の上に層間絶縁膜 8 を堆積し、堆積した層間絶縁膜 8 の上面を C M P 法により平坦化する。続いて、ゲート電極 2 0 における N F E T 形成領域 5 0 N と P F E T 形成領域 5 0 P との境界部分に、層間絶縁膜 8 及びキャップ絶縁膜 1 4 を貫通して、金属膜 1 3 を露出するコンタクトホールを形成する。その後、スパッタ法による T i 膜と C V D 法による T i N 膜及び W 膜とを順次堆積して、コンタクトホールを埋め込むことにより、コンタクト 9 を形成する。

【 0 0 9 9 】

これにより、P F E T 形成領域 5 0 P においては、M I P S 構造であって、コンタクト 9 が、T i N 膜及び W 膜が積層されてなる金属膜 1 3 を介して T i N 膜 4 の垂直部 4 a と接続されたメタルゲートが形成され、N F E T 形成領域 5 0 N においては、ポリシリコンゲートが形成される。

【 0 1 0 0 】

以上説明したように、第 4 の実施形態においては、P F E T のメタルゲートを構成する T i N 膜 4 にその上側に形成される第 2 のポリシリコン膜 1 1 から露出する垂直部 4 a と該垂直部 4 a を覆う金属膜 1 3 を設けている。このため、コンタクト 9 と T i N 膜 4 との間の電流経路には、ポリシリコン膜が介在しなくなるため、高周波動作に適した N F E T 及び P F E T を有する半導体装置を形成することができる。

【 0 1 0 1 】

(第 5 の実施形態)

以下、本発明の第 5 の実施形態について図面を参照しながら説明する。

10

20

30

40

50

【 0 1 0 2 】

図 1 5 は本発明の第 5 の実施形態に係る半導体装置であって、M I P S 構造を採るメタルゲートを含むトランジスタのゲート幅方向の断面構成を示している。図 1 5 において、図 5 と同一の構成部材には同一の符号を付すことにより説明を省略する。

【 0 1 0 3 】

図 1 5 に示すように、第 5 の実施形態に係る半導体装置は、N F E T を構成する第 1 のゲート電極部 2 0 a においても、ゲート絶縁膜 3 と第 1 のポリシリコン膜 5 との間に、N F E T の動作特性の向上に有効な金属材料である例えば炭化タンタル ($T a_2 C$) を設けることによって、M I P S 構造を採るメタルゲートとしている。

【 0 1 0 4 】

さらに、第 5 の実施形態に係るコンタクト 9 は、T i N 膜 4 の垂直部 4 a の上端面と直接に接続されている。

【 0 1 0 5 】

(第 5 の実施形態の第 1 変形例)

図 1 6 に本発明の第 5 の実施形態の第 1 変形例に係る半導体装置の断面構成を示す。図 1 6 において、図 1 5 と同一の構成部材には同一の符号を付すことにより説明を省略する。

【 0 1 0 6 】

図 1 6 の第 1 変形例に示すように、ゲート電極 2 0 を構成する第 1 のポリシリコン膜 5 及び第 2 のポリシリコン膜 1 1 の上部にニッケルシリサイド層 7 が形成されていてもよい。

【 0 1 0 7 】

(第 5 の実施形態の第 2 変形例)

また、図 1 7 に示す第 2 変形例のように、ゲート電極 2 0 を構成する各ポリシリコン膜 5、1 1 の上部にニッケルシリサイド層 7 が形成されている場合には、コンタクト 9 は、必ずしも T i N 膜 4 の垂直部と直接に接続される必要はなく、ニッケルシリサイド層 7 を介して接続されていてもよい。

【 0 1 0 8 】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【 0 1 0 9 】

図 1 8 (a) ~ 図 1 8 (f) は本発明の第 5 の実施形態の第 1 変形例に係る半導体装置の製造方法の工程順の断面構成を示している。

【 0 1 1 0 】

まず、図 1 8 (a) に示すように、S i からなる半導体基板 1 の上部に、S T I 等からなる素子分離膜 2 を選択的に形成して、半導体基板 1 を N F E T 形成領域 5 0 N と P F E T 形成領域 5 0 P とに区画する。その後、図示はしないが、半導体基板 1 の N F E T 形成領域 5 0 N には p 型の不純物による V_t 制御用の不純物注入を行い、P F E T 形成領域 5 0 P には n 型の不純物による V_t 制御用の不純物注入を行う。続いて、注入された不純物の活性化熱処理を行い、半導体基板 1 の表面酸化膜を除去する。その後、熱酸化法により、半導体基板 1 の表面に、厚さが 1 . 5 n m の酸化シリコンからなる熱酸化膜 (図示せず) を形成する。続いて、C V D 法により、熱酸化膜の上に厚さが 3 . 0 n m の H f S i O 膜を堆積する。さらに、堆積した H f S i O 膜の表面を窒化処理することにより、H f S i O N と S i O ₂ との高誘電体を含む積層膜からなるゲート絶縁膜 3 を形成する。なお、ゲート絶縁膜 3 は、高誘電体材料を含まない S i O ₂ 又は S i O N でも構わない。続いて、ゲート絶縁膜 3 の上に全面にわたって、P V D 法により、N F E T 用の金属材料である厚さが 1 0 n m の $T a_2 C$ 膜 1 0 を堆積する。続いて、C V D 法により、 $T a_2 C$ 膜 1 0 の上に厚さが 1 5 0 n m の導電性を持たせた第 1 のポリシリコン膜 5 を堆積する。その後、リソグラフィ法により、N F E T 形成領域 5 0 N を覆うレジストマスク (図示せず) を形成し、形成したレジストマスクを用いて、P F E T 形成領域 5 0 P の第 1 のポリシリコ

10

20

30

40

50

ン膜 5 及び Ta_2C 膜 10 をウェットエッチングにより除去する。その後、レジストマスクを除去する。

【0111】

次に、図 18 (b) に示すように、PVD 法により、ゲート絶縁膜 3 及び第 1 のポリシリコン膜 5 の上に全面にわたって、PFEET 用の金属材料である厚さが 10 nm の TiN 膜 4 を堆積する。なお、 TiN 膜 4 の堆積には CVD 法又は ALD 法を用いてもよい。なお、成膜される TiN 膜 4 には、NFET 形成領域 50 N に形成された Ta_2C 膜 10 及び第 1 のポリシリコン膜 5 の PFEET 形成領域 50 P 側の端面上に垂直部 4a が形成される必要がある。また、PFEET のメタルゲート形成用の金属材料は TiN に限られず、 $TaCN$ O 又は TaN 等の有効仕事関数が 4.6 eV 以上の PFEET の動作特性の向上に有効な金属材料を用いることができる。続いて、CVD 法により、 TiN 膜 4 の上に厚さが 150 nm の導電性を持たせた第 2 のポリシリコン膜 11 を堆積する。

10

【0112】

次に、図 18 (c) に示すように、CMP 法により、堆積した第 2 のポリシリコン膜 11、 TiN 膜 4 及び第 1 のポリシリコン膜 5 に対して研磨を行って表面を平坦化する。ここでは、NFET 形成領域 50 N における第 1 のポリシリコン膜 5 の厚さが 100 nm となるように研磨し、これにより、PFEET 形成領域 50 p においては、第 2 のポリシリコン膜 11 の厚さは 90 nm となる。また、この CMP 工程により、NFET 形成領域 50 N と PFEET 形成領域 50 P との境界部分において、堆積した TiN 膜 4 の垂直部 4a が、第 1 のポリシリコン膜 5 及び第 2 のポリシリコン膜 11 の間から露出する。

20

【0113】

次に、図 18 (d) に示すように、リソグラフィ法及びドライエッチング法により、ゲートパターンニングを行い、NFET 形成領域 50 N においては、 Ta_2C 膜 10 及び第 1 のポリシリコン膜 5 からなるメタルゲートとなる第 1 のゲート電極部 20a を形成する。一方、PFEET 形成領域 50 P においては、 TiN 膜 4 及び第 2 のポリシリコン膜 11 からなるメタルゲートとなる第 2 のゲート電極部 20b を形成する。続いて、図示はしないが、ゲート電極 20 をマスクとした半導体基板 1 へのエクステンション注入による LDD 層の形成、ゲート電極 20 へのサイドウォール 6 の形成、及びゲート電極 20 及びサイドウォール 6 をマスクとした半導体基板 1 へのソース/ドレイン注入を行い、注入された不純物の活性化熱処理を行う。

30

【0114】

次に、図 18 (e) に示すように、半導体基板 1 上の全面にニッケル (Ni) 膜を堆積して、ソース/ドレインの上部及びゲート電極 20 を構成する第 1 のポリシリコン膜 5 及び第 2 のポリシリコン膜 11 のそれぞれの上部にニッケルシリサイド層 7 を形成する。

【0115】

次に、図 18 (f) に示すように、半導体基板 1 の上に層間絶縁膜 8 を堆積し、堆積した層間絶縁膜 8 の上面を CMP 法により平坦化する。続いて、ゲート電極 20 における NFET 形成領域 50 N と PFEET 形成領域 50 P との境界部分に、層間絶縁膜 8 に対して、その下側の TiN 膜 4 の垂直部 4a を露出するコンタクトホールを形成する。その後、スパッタ法による Ti 膜と CVD 法による TiN 膜及び W 膜とを順次堆積して、コンタクトホールを埋め込むことにより、コンタクト 9 を形成する。

40

【0116】

これにより、PFEET 形成領域 50 P においては、MIPS 構造であって、コンタクト 9 が TiN 膜 4 の垂直部 4a と直接に接続されたメタルゲートが形成される。また、NFET 形成領域 50 N においても、MIPS 構造となるメタルゲートが形成される。

【0117】

以上説明したように、第 5 の実施形態においては、PFEET のメタルゲートを構成する TiN 膜 4 にその上側に形成される第 2 のポリシリコン膜 11 から露出する垂直部 4a を設けているため、層間絶縁膜 8 にのみコンタクトホールを形成するだけで、高周波動作に適した NFET 及び PFEET を有する半導体装置を形成することができる。

50

【 0 1 1 8 】

なお、上述した製造方法のように、ゲート電極 20 を構成するポリシリコン膜 5、11 にニッケルシリサイド層 7 を形成する場合には、コンタクト 9 の下端部は必ずしも T i N 膜 4 の垂直部 4 a と直接に接続される必要はなく、ニッケルシリサイド層 7 と直接に接続されればよい。

【産業上の利用可能性】

【 0 1 1 9 】

本発明に係る半導体装置及びその製造方法は、M I P S 構造を持つメタルゲートを有する半導体装置等に有用である。

【図面の簡単な説明】

10

【 0 1 2 0 】

【図 1】本発明の第 1 の実施形態に係る半導体装置を示す構成断面図である。

【図 2】本発明の第 1 の実施形態の第 1 変形例に係る半導体装置を示す構成断面図である。

。

【図 3】本発明の第 1 の実施形態の第 2 変形例に係る半導体装置を示す構成断面図である。

。

【図 4】(a) ~ (e) は本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 5】本発明の第 2 の実施形態に係る半導体装置を示す構成断面図である。

【図 6】本発明の第 2 の実施形態の第 1 変形例に係る半導体装置を示す構成断面図である。

20

。

【図 7】本発明の第 2 の実施形態の第 2 変形例に係る半導体装置を示す構成断面図である。

。

【図 8】(a) ~ (f) は本発明の第 2 の実施形態の第 1 変形例に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 9】本発明の第 3 の実施形態に係る半導体装置を示す構成断面図である。

【図 10】本発明の第 3 の実施形態の一変形例に係る半導体装置を示す構成断面図である。

。

【図 11】(a) ~ (c) は本発明の第 3 の実施形態に係る半導体装置の要部の製造方法を示す工程順の構成断面図である。

30

【図 12】本発明の第 4 の実施形態に係る半導体装置を示す構成断面図である。

【図 13】本発明の第 4 の実施形態の一変形例に係る半導体装置を示す構成断面図である。

。

【図 14】(a) ~ (c) は本発明の第 4 の実施形態に係る半導体装置の要部の製造方法を示す工程順の構成断面図である。

【図 15】本発明の第 5 の実施形態に係る半導体装置を示す構成断面図である。

【図 16】本発明の第 5 の実施形態の第 1 変形例に係る半導体装置を示す構成断面図である。

。

【図 17】本発明の第 5 の実施形態の第 2 変形例に係る半導体装置を示す構成断面図である。

40

【図 18】(a) ~ (f) は本発明の第 5 の実施形態の第 1 変形例に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図 19】(a) ~ (f) は従来の M I P S 構造のメタルゲートを有する半導体装置の製造方法を示す工程順の構成断面図である。

【図 20】従来の M I P S 構造のメタルゲートにおけるポリシリコン膜と T i N 膜との間の界面抵抗の値とゲート電極の遅延時間との関係を示すグラフである。

【符号の説明】

【 0 1 2 1 】

1 半導体基板（半導体領域）

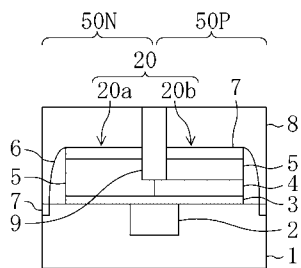
2 素子分離膜

50

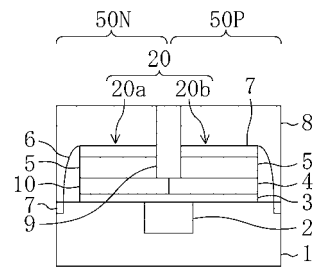
- 3 ゲート絶縁膜
- 4 窒化チタン (T i N) 膜
- 4 A 窒化チタン (T i N) 膜
- 4 a 垂直部
- 5 (第 1 の) ポリシリコン膜
- 6 サイドウォール
- 7 ニッケルシリサイド層
- 8 層間絶縁膜
- 9 コンタクト
- 1 0 炭化タンタル (T a ₂ C) 膜
- 1 1 第 2 のポリシリコン膜
- 1 2 第 3 のポリシリコン膜
- 1 3 導電性保護膜
- 1 4 絶縁性保護膜
- 2 0 ゲート電極
- 2 0 a 第 1 のゲート電極部
- 2 0 b 第 2 のゲート電極部
- 5 0 N N F E T 形成領域
- 5 0 P P F E T 形成領域

10

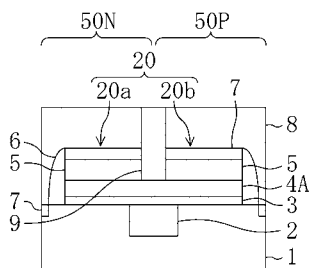
【 図 1 】



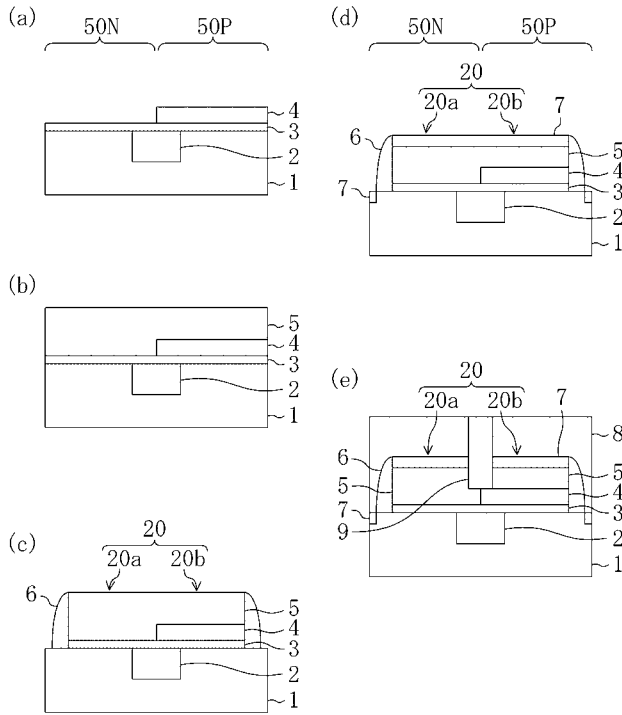
【 図 3 】



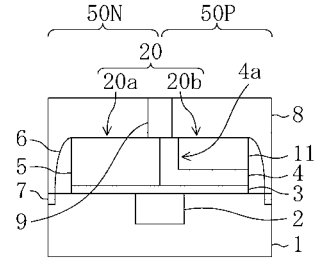
【 図 2 】



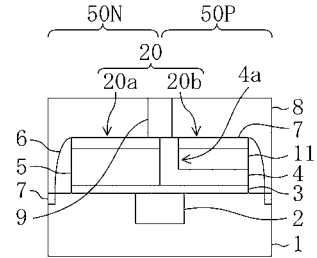
【 図 4 】



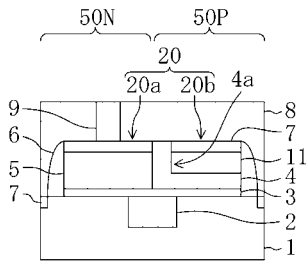
【 図 5 】



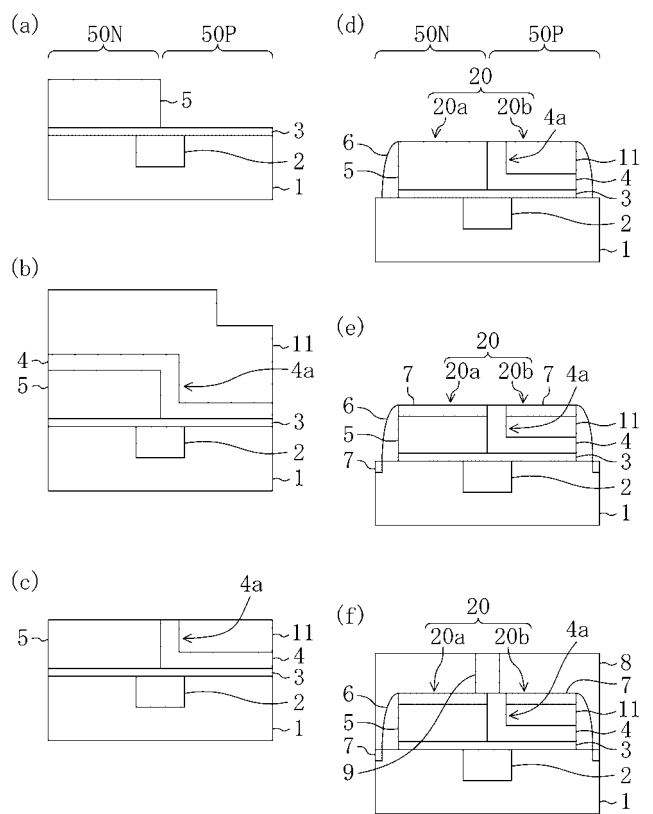
【 図 6 】



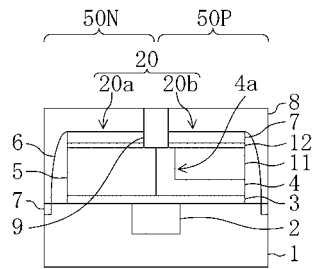
【 図 7 】



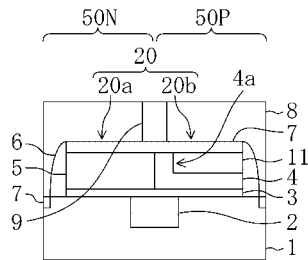
【 図 8 】



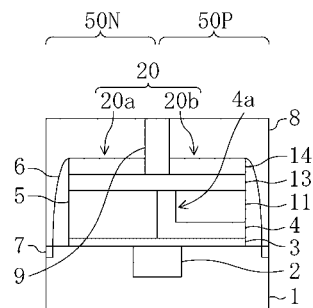
【図 9】



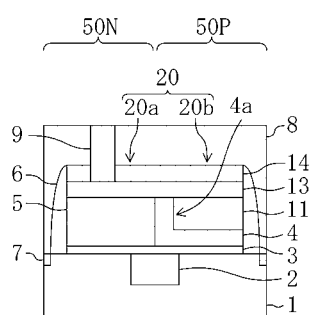
【図 10】



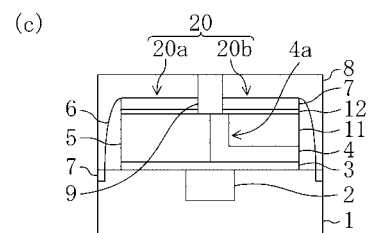
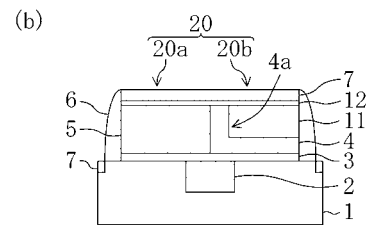
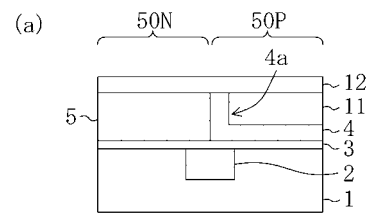
【図 12】



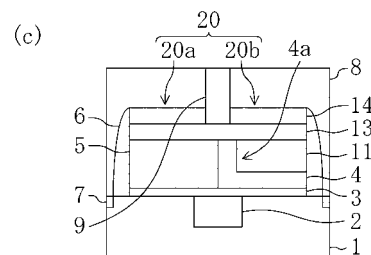
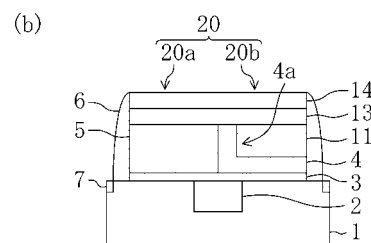
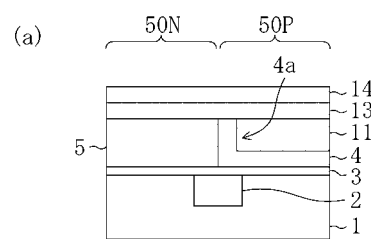
【図 13】



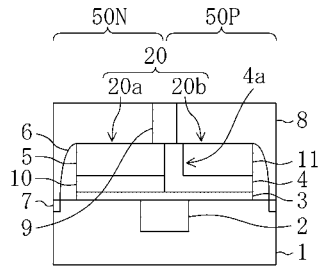
【図 11】



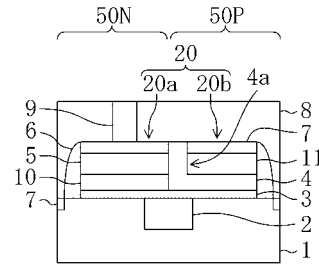
【図 14】



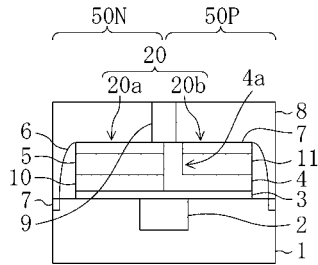
【図 15】



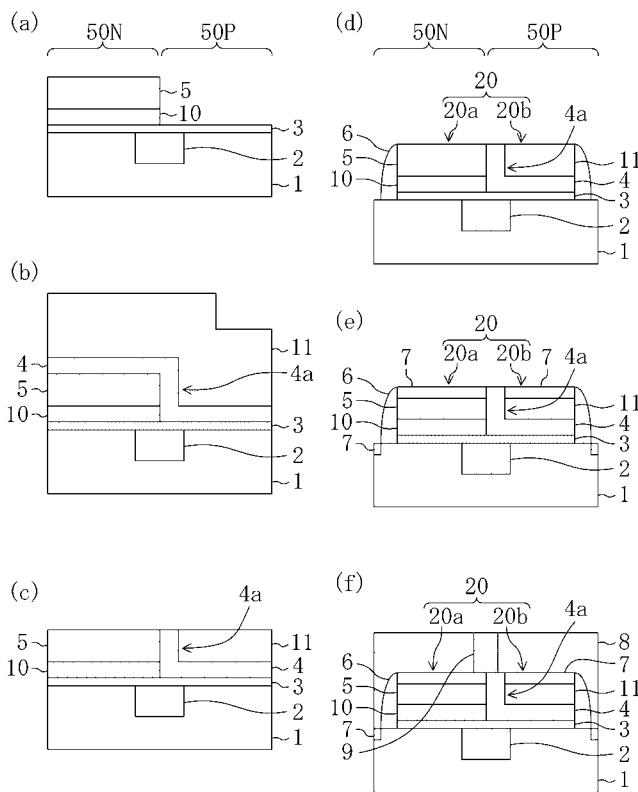
【図 17】



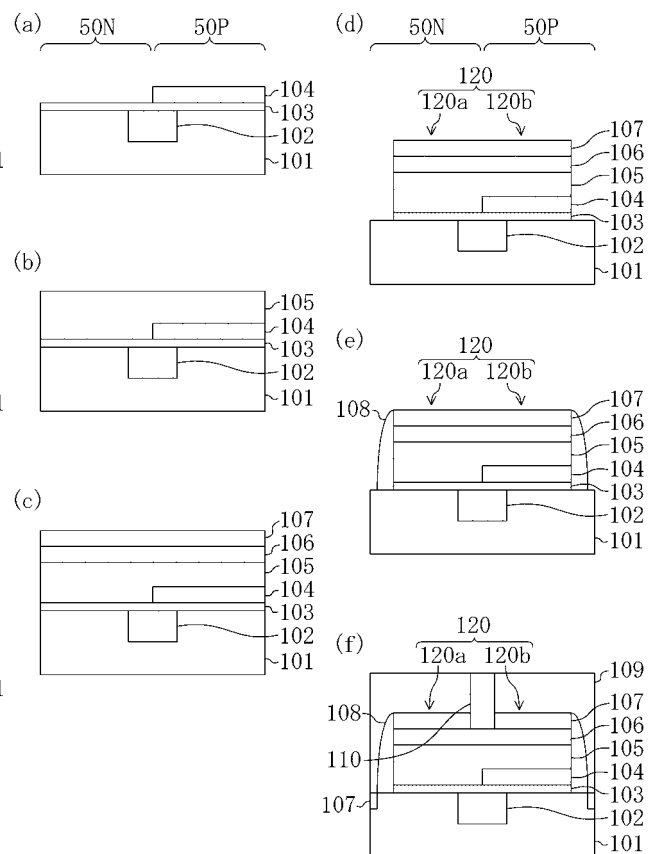
【図 16】



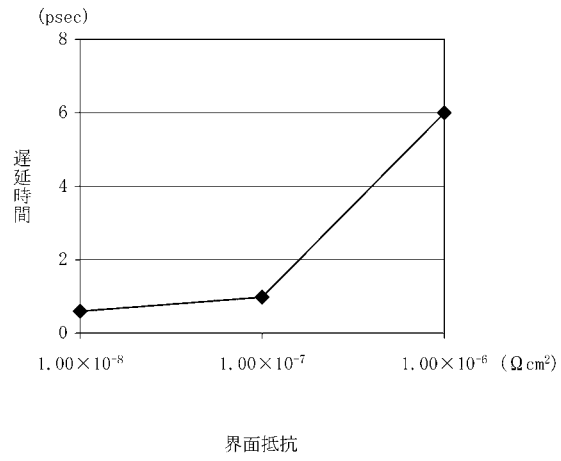
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/768 (2006.01) H 0 1 L 21/90 A

(74)代理人 100117581
 弁理士 二宮 克也

(74)代理人 100117710
 弁理士 原田 智雄

(74)代理人 100121728
 弁理士 井関 勝守

(74)代理人 100124671
 弁理士 関 啓

(74)代理人 100131060
 弁理士 杉浦 靖也

(72)発明者 仙石 直久
 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 4M104 AA01 BB01 BB14 BB30 BB32 BB34 BB36 CC05 DD02 DD75
 DD78 DD84 FF06 FF13 FF14 FF22
 5F033 JJ18 JJ19 JJ33 KK04 KK25 KK27 KK31 KK32 KK33 KK36
 MM05 MM07 MM08 MM17 NN13 NN17 PP06 PP14 QQ08 QQ09
 QQ37 QQ48 QQ70 QQ73 VV06 XX09
 5F048 AA07 AB04 AC03 BA01 BB01 BB06 BB07 BB08 BB09 BB10
 BB11 BB12 BB13 BC06 BE03 BF06 BF15 BG13 DA25
 5F140 AA01 AA06 AB03 BC06 BD01 BD02 BD04 BD05 BD09 BD11
 BD13 BE07 BE10 BF03 BF04 BF10 BF11 BF14 BF18 BF21
 BF22 BF27 BF28 BF30 BF32 BF42 BF59 BF60 BG08 BG27
 BG28 BG30 BG34 BG37 BG38 BH15 BJ01 BJ08 BK02 BK13
 BK34 CA02 CA03 CB04 CC03 CF04