

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7547384号
(P7547384)

(45)発行日 令和6年9月9日(2024.9.9)

(24)登録日 令和6年8月30日(2024.8.30)

(51)国際特許分類		F I			
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 4 8 A	
G 0 9 F	9/00 (2006.01)	G 0 9 F	9/00	3 4 2	
H 1 0 K	50/814 (2023.01)	G 0 9 F	9/00	3 4 8 A	
H 1 0 K	50/818 (2023.01)	G 0 9 F	9/30	3 1 0	
H 1 0 K	59/123 (2023.01)	G 0 9 F	9/30	3 3 0	
請求項の数 15 (全28頁) 最終頁に続く					
(21)出願番号 特願2021-570219(P2021-570219)		(73)特許権者 510280589			
(86)(22)出願日 令和2年3月27日(2020.3.27)		京東方科技集團股▲ふん▼有限公司			
(65)公表番号 特表2023-528698(P2023-528698 A)		BOE TECHNOLOGY GROU P CO., LTD.			
(43)公表日 令和5年7月6日(2023.7.6)		中華人民共和國100015北京市朝陽			
(86)国際出願番号 PCT/CN2020/081852		區酒仙橋路10號			
(87)国際公開番号 WO2021/189480		No. 10 Jiuxianqiao R			
(87)国際公開日 令和3年9月30日(2021.9.30)		d., Chaoyang Distri			
審査請求日 令和5年3月22日(2023.3.22)		ct, Beijing 100015, CHINA			
		(74)代理人 100108453			
		弁理士 村山 靖彦			
		(74)代理人 100110364			
		弁理士 実広 信哉			
		(72)発明者 李 云▲龍▼			
		最終頁に続く			

(54)【発明の名称】 表示基板及びその製造方法、表示装置

(57)【特許請求の範囲】

【請求項1】

表示基板であって、シリコン基板を備え、
前記シリコン基板は表示領域と、表示領域の片側に位置するボンディング領域と、表示領域とボンディング領域との間に位置する配線領域とを有し、
前記表示領域には規則的に配置される複数の表示ユニットが設置され、前記表示ユニットはサブ画素であり、前記サブ画素は矩形又は角丸矩形であり、前記サブ画素の最大サイズは前記矩形又は前記角丸矩形の長辺長さであり、
前記配線領域のシリコン基板に配線保護構造が設置され、前記ボンディング領域のシリコン基板の内にパッドアセンブリが集積され、前記配線保護構造の前記シリコン基板での正投影の縁部と前記パッドアセンブリの開口的前記シリコン基板での正投影の縁部との最小距離は1つの前記サブ画素の前記最大サイズより小さく、
前記パッドアセンブリは間隔を置いて設置される複数のストリップ状のボンディング電極を備え、前記配線保護構造は間隔を置いて設置される複数のストリップ状の金属保護ブロックを備え、前記金属保護ブロックは前記ボンディング電極に1対1で対応し、各前記金属保護ブロックの前記シリコン基板での正投影の縁部と前記ボンディング電極の開口的前記シリコン基板での正投影の縁部との最小距離は1つの前記サブ画素の前記最大サイズより小さい、表示基板。

【請求項2】

ボンディング領域から表示領域までの方向に沿って、前記金属保護ブロックの長さ範囲

は 150 ~ 250 マイクロメートルである、請求項 1 に記載の表示基板。

【請求項 3】

前記表示領域のシリコン基板にアレイ構造層が設置され、前記表示領域のアレイ構造層は、前記シリコン基板に設置される第 1 絶縁層と、前記第 1 絶縁層に設置される反射電極と、前記反射電極を被覆する第 2 絶縁層とを備え、前記第 1 絶縁層には前記シリコン基板の駆動トランジスタを露出させる第 1 ピアが設置され、前記第 1 ピアの内には第 1 導電性ピラーが設置され、前記反射電極は前記第 1 導電性ピラーによって前記駆動トランジスタに接続され、前記第 2 絶縁層には前記反射電極を露出させる第 2 ピアが設置され、前記第 2 ピアの内には前記反射電極に接続される第 2 導電性ピラーが設置される、請求項 1 又は 2 に記載の表示基板。

10

【請求項 4】

前記表示領域のアレイ構造層に発光構造層が設置され、前記表示領域の発光構造層は前記第 2 絶縁層に設置される陽極と、前記陽極に接続される有機発光層と、前記有機発光層に接続される陰極とを備え、前記陽極は前記第 2 導電性ピラーによって前記反射電極に接続される、請求項 3 に記載の表示基板。

【請求項 5】

前記ボンディング領域のシリコン基板の内に集積されたパッドアセンブリはフレキシブル回路基板にボンディング接続するように構成され、前記配線保護構造は前記表示領域のアレイ構造層における反射電極と同一層に設置され、又は、前記配線保護構造は前記表示領域の発光構造層における陽極と同一層に設置される、請求項 4 に記載の表示基板。

20

【請求項 6】

前記ボンディング領域のシリコン基板にアレイ構造層が設置され、前記ボンディング領域のアレイ構造層にはフレキシブル回路基板にボンディング接続される補助パッドアセンブリが設置され、

前記ボンディング領域のアレイ構造層は前記シリコン基板に設置される第 1 絶縁層を備え、前記第 1 絶縁層には前記シリコン基板のパッドアセンブリを露出させる第 3 ピアが設置され、前記第 3 ピアの内にはパッドアセンブリに接続される第 3 導電性ピラーが設置され、前記補助パッドアセンブリは前記第 1 絶縁層に設置され、前記第 3 導電性ピラーによって前記パッドアセンブリに接続され、

前記配線保護構造は前記表示領域の発光構造層における陽極と同一層に設置される、請求項 4 に記載の表示基板。

30

【請求項 7】

前記補助パッドアセンブリは間隔を置いて設置される複数のストリップ状の補助ボンディング電極を備え、1つの補助ボンディング電極は前記第 3 導電性ピラーによってパッドアセンブリにおける1つのストリップ状のボンディング電極に接続され、又は、前記補助パッドアセンブリはアレイ方式で配置される複数の補助ボンディング電極を備え、複数の補助ボンディング電極はそれぞれ複数の第 3 導電性ピラーによって1つのストリップ状のボンディング電極に接続される、請求項 6 に記載の表示基板。

【請求項 8】

前記配線保護構造にフォトレジスト層が設置される、請求項 1 に記載の表示基板。

40

【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の表示基板を備える表示装置。

【請求項 10】

表示基板の製造方法であって、

表示領域のシリコン基板にアレイ構造層及び発光構造層を順次形成し、前記表示領域とボンディング領域との間の配線領域のシリコン基板に配線保護構造を形成し、前記表示領域には規則的に配置される複数の表示ユニットが設置され、前記表示ユニットはサブ画素であり、前記サブ画素は矩形又は角丸矩形であり、前記サブ画素の最大サイズは前記矩形又は前記角丸矩形の長辺長さであることを含み、

前記ボンディング領域は表示領域の片側に位置し、且つ前記ボンディング領域のシリコ

50

ン基板の内にパッドアセンブリが集積され、前記配線保護構造の前記シリコン基板での正投影の縁部と前記パッドアセンブリの開口の前記シリコン基板での正投影の縁部との最小距離は1つの前記サブ画素の前記最大サイズより小さく、

前記パッドアセンブリは間隔を置いて設置される複数のストリップ状のボンディング電極を備え、前記配線保護構造は間隔を置いて設置される複数のストリップ状の金属保護ブロックを備え、前記金属保護ブロックは前記ボンディング電極に1対1で対応し、各前記金属保護ブロックの前記シリコン基板での正投影の縁部と前記ボンディング電極の開口の前記シリコン基板での正投影の縁部との最小距離は1つの前記サブ画素の前記最大サイズより小さい、表示基板の製造方法。

【請求項11】

10

前記ボンディング領域のシリコン基板の内に集積された前記パッドアセンブリはフレキシブル回路基板にボンディング接続するように構成され、前記表示領域のシリコン基板にアレイ構造層を形成し、及び配線領域のシリコン基板に配線保護構造を形成することは、

前記シリコン基板に第1絶縁層を形成し、表示領域の第1絶縁層には前記シリコン基板の駆動トランジスタを露出させる第1ビアが形成されることと、

前記第1ビアの内に第1導電性ピラーを形成することと、

一回のパターニングプロセスにより第1絶縁層に反射電極及び配線保護構造を形成し、前記反射電極が表示領域に設置され、前記反射電極が前記第1導電性ピラーによって前記駆動トランジスタに接続され、前記配線保護構造が配線領域に設置されることと、

第2絶縁層を形成し、表示領域の第2絶縁層には前記反射電極を露出させる第2ビアが形成されることと、

20

前記第2ビアの内に第2導電性ピラーを形成し、前記第2導電性ピラーが反射電極に接続されることと、を含む、請求項10に記載の製造方法。

【請求項12】

前記ボンディング領域のシリコン基板の内に集積された前記パッドアセンブリはフレキシブル回路基板にボンディング接続するように構成され、前記表示領域のアレイ構造層に発光構造層を形成し、及び配線領域のシリコン基板に配線保護構造を形成することは、

同一のパターニングプロセスにより前記アレイ構造層に陽極及び配線保護構造を形成し、前記陽極が表示領域に設置され、前記アレイ構造層によってシリコン基板の駆動トランジスタに接続され、前記配線保護構造が配線領域に設置されることを含む、請求項10に記載の製造方法。

30

【請求項13】

前記ボンディング領域のシリコン基板にアレイ構造層を形成し、前記ボンディング領域の前記アレイ構造層に補助パッドアセンブリを形成し、前記補助パッドアセンブリがフレキシブル回路基板にボンディング接続するように構成されることを更に含み、

前記表示領域及びボンディング領域のシリコン基板にアレイ構造層を形成し、ボンディング領域のアレイ構造層に補助パッドアセンブリを形成することは、

前記シリコン基板に第1絶縁層を形成し、表示領域の第1絶縁層には前記シリコン基板の駆動トランジスタを露出させる第1ビアが形成され、ボンディング領域の第1絶縁層には前記シリコン基板のパッドアセンブリを露出させる第3ビアが形成されることと、

40

前記第1ビアの内に第1導電性ピラーを形成し、第3ビアの内に第3導電性ピラーを形成することと、

前記第1絶縁層に反射電極及び補助パッドアセンブリを形成し、前記反射電極が表示領域に設置され、前記第1導電性ピラーによって前記駆動トランジスタに接続され、前記補助パッドアセンブリがボンディング領域に設置され、前記第3導電性ピラーによって前記パッドアセンブリに接続されることと、

第2絶縁層を形成し、表示領域の第2絶縁層には前記反射電極を露出させる第2ビアが形成されることと、

前記第2ビアの内に第2導電性ピラーを形成し、前記第2導電性ピラーが反射電極に接続されることと、を含む、請求項10に記載の製造方法。

50

【請求項 14】

前記表示領域のアレイ構造層に発光構造層を形成し、配線領域のシリコン基板に配線保護構造を形成することは、

同一のパターニングプロセスにより前記第2絶縁層に陽極及び配線保護構造を形成し、前記陽極が表示領域に設置され、前記反射電極によってシリコン基板の駆動トランジスタに接続され、前記配線保護構造が配線領域に設置されることを含む、請求項13に記載の製造方法。

【請求項 15】

配線保護構造を形成した後、ボンディング領域又はボンディング領域及び配線保護構造にフォトレジスト層を形成することと、カバープレートパッケージした後、レーザでボンディング領域のフォトレジスト層をアブレーションすることと、を更に含む、請求項10に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は表示技術分野に関するが、それに限らず、特に表示基板及びその製造方法、表示装置に関する。

【背景技術】

【0002】

マイクロ有機発光ダイオード(Micro-LED、Micro Organic Light-Emitting Diode)は近年発展してきたマイクロディスプレイであり、シリコン系OLEDはその中の1つである。シリコン系OLEDは画素のアクティブアドレッシングを実現することができるだけでなく、シリコン基板においてタイミング制御(TCON)回路、過電流保護(OCP、Over Current Protection)回路等を含む複数の機能回路を製造することを実現することもでき、システムの体積を減少させて、軽量化を実現することに役立つ。シリコン系OLEDは成熟した相補型金属酸化物半導体(CMOS、Complementary Metal Oxide Semiconductor)集積回路プロセスを用いて製造され、体積が小さく、高解像度(PPI)、高リフレッシュレート等の利点を有し、仮想現実(VR、Virtual Reality)又は拡張現実(AR、Augmented Reality)の二ア

【発明の概要】

【発明が解決しようとする課題】

【0003】

以下は本明細書に詳しく説明される主題の概要である。本概要は特許請求の範囲を制限するためのものではない。

【0004】

本開示は表示基板及びその製造方法、表示装置を提供する。

【課題を解決するための手段】

【0005】

一態様では、本開示は表示基板を提供し、シリコン基板を備え、前記シリコン基板は表示領域と、表示領域の片側に位置するボンディング領域と、表示領域とボンディング領域との間に位置する配線領域とを有し、前記配線領域のシリコン基板に配線保護構造が設置され、前記ボンディング領域のシリコン基板の内にパッドアセンブリが集積され、前記配線保護構造の前記シリコン基板での正投影の縁部と前記パッドアセンブリの開口の前記シリコン基板での正投影の縁部との最小距離は1つのサブ画素の最大サイズより小さい。

【0006】

他の態様では、本開示は前記表示基板を備える表示装置を提供する。

【0007】

他の態様では、本開示は表示基板の製造方法を提供し、表示領域のシリコン基板にアレ

10

20

30

40

50

イ構造層及び発光構造層を順次形成し、表示領域とボンディング領域との間の配線領域のシリコン基板に配線保護構造を形成することを含み、前記ボンディング領域は表示領域の片側に位置し、且つ前記ボンディング領域のシリコン基板の内にパッドアセンブリが集積され、前記配線保護構造の前記シリコン基板での正投影の縁部と前記パッドアセンブリの開口の前記シリコン基板での正投影の縁部との最小距離は１つのサブ画素の最大サイズより小さい。

【 0 0 0 8 】

図面及び詳細な説明を閲覧して理解した後、他の態様を分かることができる。

【図面の簡単な説明】

【 0 0 0 9 】

図面は本開示の技術案を理解するためのものであり、且つ明細書の一部となり、本開示の実施例とともに本開示の技術案を解釈することに用いられ、本開示の技術案を制限するものではない。

【 0 0 1 0 】

【図 1】図 1 は本開示の少なくとも 1 つの実施例に係る表示基板の平面模式図である。

【図 2】図 2 は本開示の少なくとも 1 つの実施例に係る表示基板の平面模式図である。

【図 3】図 3 は図 2 に示される表示基板の A A 方向に沿う断面模式図である。

【図 4】図 4 は本開示の少なくとも 1 つの実施例に係るシリコン基板の回路原理の模式図である。

【図 5】図 5 は本開示の少なくとも 1 つの実施例に係る電圧制御回路及び画素駆動回路の回路実現の模式図である。

【図 6】図 6 は本開示の少なくとも 1 つの実施例におけるシリコン基板を形成した後の模式図である。

【図 7】図 7 は本開示の少なくとも 1 つの実施例における第 1 導電性ピラーを形成した後の模式図である。

【図 8】図 8 は本開示の少なくとも 1 つの実施例における反射電極を形成した後の模式図である。

【図 9】図 9 は本開示の少なくとも 1 つの実施例における第 2 導電性ピラーを形成した後の模式図である。

【図 1 0】図 1 0 は本開示の少なくとも 1 つの実施例における陽極を形成した後の模式図である。

【図 1 1】図 1 1 は本開示の少なくとも 1 つの実施例における陰極を形成した後の模式図である。

【図 1 2】図 1 2 は本開示の少なくとも 1 つの実施例におけるカバープレートを形成した後の模式図である。

【図 1 3】図 1 3 は本開示の少なくとも 1 つの実施例におけるレーザアブレーションを行う模式図である。

【図 1 4】図 1 4 は本開示の少なくとも 1 つの実施例に係る表示基板の模式図である。

【図 1 5】図 1 5 は本開示の少なくとも 1 つの実施例におけるレーザアブレーションを行う模式図である。

【図 1 6】図 1 6 は本開示の少なくとも 1 つの実施例に係る表示基板の模式図である。

【図 1 7】図 1 7 は本開示の少なくとも 1 つの実施例に係る表示基板の模式図である。

【図 1 8】図 1 8 は本開示の少なくとも 1 つの実施例に係る表示基板の模式図である。

【図 1 9】図 1 9 は本開示の少なくとも 1 つの実施例に係る表示基板の製造方法のフローチャートである。

【発明を実施するための形態】

【 0 0 1 1 】

本開示は複数の実施例を説明したが、該説明は例示的なものであって、制限的なものではなく、且つ当業者にとって明らかなことに、本開示に説明される実施例に含まれる範囲内にはより多くの実施例及び実現方法があってもよい。図面に複数の可能な特徴の組み合

10

20

30

40

50

わせを示し、且つ実施形態において検討したが、開示される特徴の複数の他の組み合わせ方式も可能である。特に制限しない限り、いかなる実施例のいかなる特徴又は素子はいかなる他の実施例におけるいかなる他の特徴又は素子と組み合わせ使用されることができ、又はいかなる他の実施例におけるいかなる他の特徴又は素子を代替することができる。

【0012】

本開示は当業者が知っている特徴及び素子との組み合わせを包含して想定する。本開示に開示される実施例、特徴及び素子はいかなる通常の特徴又は素子と組み合わせられてもよく、それにより特許請求の範囲により限定される独特のスキームを形成する。いかなる実施例のいかなる特徴又は素子は他のスキームからの特徴又は素子と組み合わせられてもよく、それにより特許請求の範囲により限定される他の独特のスキームを形成する。従って、理解されるように、本開示に表示又は検討するいかなる特徴は独立して実現されてもよく、又はいかなる適切な組み合わせにより実現されてもよい。従って、添付の特許請求の範囲及びその同等置換により制限される以外に、実施例は他の制限を受けない。また、添付の特許請求の範囲内に1種類又は複数種類の修正や変化を行うことができる。

10

【0013】

また、代表的な実施例を説明するとき、明細書は方法又は過程を特定のステップシーケンスに呈する可能性がある。ところが、該方法又は過程が本明細書に記載のステップの特定順序に依存しない程度で、該方法又は過程は前記特定順序のステップに限定されるものではない。当業者であれば理解するように、他のステップ順序も可能である。従って、明細書に説明されるステップの特定順序は特許請求の範囲を制限するものと解釈されるべきではない。また、該方法又は過程に対する請求項は書き込まれた順序に応じてそれらのステップを実行するように限定されるものではなく、当業者であれば容易に理解できるように、これらの順序は変化してもよく、且つ依然として本開示の実施例の趣旨及び範囲内に属する。

20

【0014】

図面において、明確のために、構成要素のサイズ、層の厚さ又は領域を拡大して示す場合がある。従って、本開示の一態様は必ずしも該サイズに限定されとは限らず、図面における各部材の形状及びサイズは真の比率を反映しない。また、図面に理想的な例を模式的に示すが、本開示の一態様は図面に示される形状又は数値等に限定されるものではない。

【0015】

30

特に定義しない限り、本開示に使用される技術用語又は科学用語は本開示の属する分野内で当業者が理解する通常の意味である。本開示に使用される「第1」、「第2」及び類似する言葉はいかなる順序、数又は重要性を示すものではなく、異なる構成部分を区別するためのものに過ぎない。本開示において、「複数」は2つ以上の数を示してもよい。「備える」又は「含む」等の類似する言葉は、該言葉の後に記載された素子又は部材が該言葉の前に列挙した素子又は部材及びそれらと同等のものをカバーし、他の素子又は部材を排除しないことを意味する。「接続」、「結合」又は「連結」等の類似する言葉は物理的又は機械的な接続に限定されるものではなく、直接的又は間接的接続にかかわらず、電気的接続も含む。「電気的接続」は構成要素が、ある電気的作用を有する素子により一体に接続される状況を含む。「ある電気的作用を有する素子」は接続される構成要素間の電気信号の授受を行うことができる限り、特に制限しない。「ある電気的作用を有する素子」の例は電極及び配線のほか、更にトランジスタ等のスイッチング素子、抵抗器、インダクタ、コンデンサ、1つ又は複数の機能を持つ他の素子等を含んでもよい。

40

【0016】

本開示の実施例の下記説明が明確で簡潔であるように維持するために、本開示では一部の既知の機能及び既知の部材の詳細な説明は省略する。本開示の実施例の図面は本開示の実施例に関わる構造のみに関し、他の構造については通常設計を参照してもよい。

【0017】

本開示の少なくとも1つの実施例は表示基板を提供し、シリコン基板を備え、シリコン基板は表示領域と、表示領域の片側に位置するボンディング領域と、表示領域とボンディ

50

ング領域との間に位置する配線領域とを有し、配線領域のシリコン基板に配線保護構造が設置され、ボンディング領域のシリコン基板の内にパッドアセンブリが集積され、配線保護構造のシリコン基板での正投影の縁部とパッドアセンブリの開口のシリコン基板での正投影の縁部との最小距離は、1つのサブ画素の最大サイズより小さい。配線保護構造のシリコン基板での正投影とパッドアセンブリの開口のシリコン基板での正投影はオーバーラップしない。配線保護構造のシリコン基板での正投影の縁部とパッドアセンブリの開口のシリコン基板での正投影の縁部との最小距離は、配線保護構造のシリコン基板での正投影の表示領域から離れる側の縁部とパッドアセンブリの開口のシリコン基板での正投影の表示領域に近接する側の縁部との距離であってもよい。

【0018】

10

いくつかの例では、1つのサブ画素は矩形又は角丸矩形であってもよく、そうすると、該サブ画素の最大サイズは矩形又は角丸矩形の長辺長さ、例えば1~2マイクロメートルであってもよい。いくつかの例では、1つのサブ画素は正方形又は角丸正方形であってもよく、そうすると、該サブ画素の最大サイズは正方形又は角丸正方形の辺長長さ、例えば1~2マイクロメートルであってもよい。ところが、本実施例はこれを制限しない。例えば、サブ画素は他の形状であってもよく、サブ画素の最大サイズは該サブ画素形状を示すパラメータのうちの最大値であってもよい。

【0019】

本実施例に係る配線保護構造とパッドアセンブリは電氣的に接続されず、表示基板の製造過程において配線保護構造のシリコン基板での正投影により被覆される信号線を保護することができる。

20

【0020】

いくつかの例示的な実施形態では、パッドアセンブリは間隔を置いて設置される複数のストリップ状のボンディング電極を備え、配線保護構造は間隔を置いて設置される複数のストリップ状の金属保護ブロックを備え、金属保護ブロックはボンディング電極に1対1で対応し、各金属保護ブロックのシリコン基板での正投影の縁部と対応のボンディング電極の開口のシリコン基板での正投影の縁部との最小距離は1つのサブ画素の最大サイズより小さい。いくつかの例では、各金属保護ブロックのシリコン基板での正投影の表示領域から離れる側の縁部は、対応のボンディング電極の開口のシリコン基板での正投影の表示領域に近接する側の縁部と重複してもよく、即ち2つの縁部の間の距離は0であってもよく、又は、上記2つの縁部は重複せず、且つ2つの縁部の間の距離は1つのサブ画素の最大サイズ、例えば1~2マイクロメートルより小さくてもよい。この例示的な実施例の配線保護構造における金属保護ブロックとボンディング電極は絶縁して設置され、電氣的に接続されず、金属保護ブロックは表示基板の製造過程においてそのシリコン基板での正投影により被覆される信号線を保護することができる。

30

【0021】

いくつかの例示的な実施形態では、ボンディング領域から表示領域までの方向に沿って、金属保護ブロックの長さ範囲は150~250マイクロメートルである。いくつかの例では、複数の金属保護ブロックの長さはいずれも同じであり、例えば200マイクロメートルである。

40

【0022】

いくつかの例示的な実施形態では、表示領域のシリコン基板にアレイ構造層が設置され、表示領域のアレイ構造層は、シリコン基板に設置される第1絶縁層と、第1絶縁層に設置される反射電極と、反射電極を被覆する第2絶縁層とを備える。第1絶縁層にはシリコン基板の駆動トランジスタを露出させる第1ビアが設置され、第1ビアの内には第1導電性ピラーが設置され、反射電極は第1導電性ピラーによって駆動トランジスタに接続され、第2絶縁層には反射電極を露出させる第2ビアが設置され、第2ビアの内には前記反射電極に接続される第2導電性ピラーが設置される。

【0023】

いくつかの例示的な実施形態では、表示領域のアレイ構造層に発光構造層が設置され、

50

表示領域の発光構造層は第2絶縁層に設置される陽極と、陽極に接続される有機発光層と、有機発光層に接続される陰極とを備え、陽極は第2導電性ピラーによって反射電極に接続される。陽極のシリコン基板での正投影は有機発光層のシリコン基板での正投影と少なくとも部分的に重複する。陽極は有機発光層に直接接触してもよく、例えば、有機発光層は直接に陽極に形成される。陰極は面状構造であってもよく、直接に有機発光層を被覆する。この例示的な実施形態では、表示領域において、アレイ構造層により画素駆動回路と陽極との間の導電通路を実現することにより、画素駆動回路の提供する電気信号を陽極に提供する。

【0024】

いくつかの例示的な実施形態では、ボンディング領域のシリコン基板の内に集積されたパッドアセンブリは、フレキシブル回路基板にボンディング接続するように構成される。配線保護構造は表示領域のアレイ構造層における反射電極と同一層に設置され、又は、配線保護構造は表示領域の発光構造層における陽極と同一層に設置される。配線保護構造はパッドアセンブリの上方に位置してもよく、且つ両者は電氣的に接続されていない。配線保護構造は金属材料の反射電極と同一のパターニングプロセスにより形成されてもよく、又は、金属材料の陽極と同一のパターニングプロセスにより形成されてもよい。

【0025】

いくつかの例示的な実施形態では、ボンディング領域のシリコン基板にアレイ構造層が設置され、ボンディング領域のアレイ構造層にはフレキシブル回路基板にボンディング接続される補助パッドアセンブリが設置される。ボンディング領域のアレイ構造層はシリコン基板に設置される第1絶縁層を備え、第1絶縁層にはシリコン基板のパッドアセンブリを露出させる第3ビアが設置され、第3ビアの内にはパッドアセンブリに接続される第3導電性ピラーが設置され、補助パッドアセンブリは第1絶縁層に設置され、第3導電性ピラーによってパッドアセンブリに接続される。配線保護構造は表示領域の発光構造層における陽極と同一層に設置される。いくつかの例では、配線保護構造のシリコン基板での正投影の縁部と補助パッドアセンブリの開口のシリコン基板での正投影の縁部との最小距離は、1つのサブ画素の最大サイズより小さくてもよい。いくつかの例では、補助パッドアセンブリが全体的に露出する場合、配線保護構造のシリコン基板での正投影の縁部と補助パッドアセンブリのシリコン基板での正投影の縁部との最小距離は、1つのサブ画素の最大サイズより小さくてもよい。この例示的な実施形態では、補助パッドアセンブリは表示領域のアレイ構造層の金属材料の反射電極と同一層に設置される。

【0026】

いくつかの例示的な実施形態では、補助パッドアセンブリは間隔を置いて設置される複数のストリップ状の補助ボンディング電極を備え、1つの補助ボンディング電極は第3導電性ピラーによってパッドアセンブリにおける1つのストリップ状のボンディング電極に接続され、又は、補助パッドアセンブリはアレイ方式で配置される複数の補助ボンディング電極を備え、複数の補助ボンディング電極はそれぞれ複数の第3導電性ピラーによって1つのストリップ状のボンディング電極に接続される。

【0027】

いくつかの例示的な実施形態では、配線保護構造にフォトレジスト層が設置される。

【0028】

以下、図面を参照しながら本開示の実施例及びその例を詳しく説明する。

【0029】

本開示の少なくとも1つの実施例は表示基板を提供し、例えば、該表示基板はシリコン系OLED表示基板であり、仮想現実装置又は拡張表示装置に適用されてもよく、又は、他のタイプの表示基板であってもよく、本開示の実施例はこれを制限しない。

【0030】

図1は本開示の少なくとも1つの実施例に係る表示基板の平面模式図である。図1に示すように、表示基板は、表示領域100と、表示領域100の周りに位置する外周領域200と、外周領域200の表示領域100から離れる側に位置するボンディング領域300

10

20

30

40

50

0 とを備える。外周領域 2 0 0 は表示領域 1 0 0 とボンディング領域 3 0 0 との間に位置する配線領域を備えてもよく、配線領域の内に配線保護構造 4 0 が設置されてもよい。ボンディング領域 3 0 0 にパッドアセンブリ 3 0 1 が設置される。図 1 に示すように、開口から露出するパッドアセンブリ 3 0 1 の表示領域 1 0 0 に近接する側の縁部と配線保護構造 4 0 のシリコン基板 1 0 での正投影の表示領域 1 0 0 から離れる側の縁部は接続されてもよく、即ち両方の縁部間の距離は 0 である。本実施例の配線保護構造は、表示基板の製造過程において、シリコン基板におけるパッドアセンブリの表示領域に近接する側の信号線を保護することができる。

【 0 0 3 1 】

図 2 は本開示の少なくとも 1 つの実施例に係る表示基板の平面模式図である。図 3 は図 2 に示される表示基板の A - A 方向に沿う断面図である。図 2 及び図 3 に示すように、表示基板は、表示領域 1 0 0 と、表示領域 1 0 0 の周りに位置する外周領域 2 0 0 と、外周領域 2 0 0 の表示領域 1 0 0 から離れる側に位置するボンディング領域 3 0 0 とを備え、外周領域 2 0 0 は、表示領域 1 0 0 とボンディング領域 3 0 0 との間に位置する配線領域 4 0 0 と、配線領域 4 0 0 と表示領域 1 0 0 との間に位置し且つ表示領域 1 0 0 を取り囲む陰極リング領域 5 0 0 とを備えてもよい。外周領域 2 0 0 は、表示領域 1 0 0 を取り囲む第 1 ダミー (D u m m y) 領域と、陰極リング領域 5 0 0 を取り囲む第 2 ダミー領域とを更に備えてもよい。表示領域 1 0 0 は矩形領域であってもよく、第 1 ダミー領域、陰極リング領域 5 0 0 及び第 2 ダミー領域は順に表示領域 1 0 0 の周りを取り囲み、配線領域 4 0 0 及びボンディング領域 3 0 0 は表示領域 1 0 0 の片側に位置する。図 2 に第 1 ダミー領域及び第 2 ダミー領域の構造を省略する。ところが、本実施例はこれを制限しない。表示領域 1 0 0 は更に角丸矩形、円形、開口付きの矩形、又は他の形状であってもよい。

【 0 0 3 2 】

本実施例では、表示領域 1 0 0 には規則的に配置される複数の表示ユニット (即ち、サブ画素) が設置され、外周領域 2 0 0 には表示ユニットを駆動して発光させるための制御回路 (図示せず) が設置され、ボンディング領域 3 0 0 にはパッドアセンブリ 3 0 1 が設置され、配線領域 4 0 0 には配線保護構造 4 0 が設置される。図 2 に示すように、開口から露出するパッドアセンブリ 3 0 1 のシリコン基板 1 0 での正投影の表示領域 1 0 0 に近接する側の縁部と、配線保護構造 4 0 のシリコン基板 1 0 での正投影の表示領域 1 0 0 から離れる側の縁部との間には距離 L が存在する。距離 L は、配線保護構造 4 0 のシリコン基板 1 0 での正投影の縁部とパッドアセンブリ 3 0 1 の開口のシリコン基板 1 0 での正投影との最小距離である。前記距離 L は 1 つのサブ画素の最大サイズより小さくてもよい。

【 0 0 3 3 】

表示基板に垂直な平面において、表示基板はシリコン基板 1 0 と、シリコン基板 1 0 に設置されるアレイ構造層とを備える。表示領域 1 0 0 のアレイ構造層には、発光構造層、第 1 パッケージ層 3 0、第 1 平坦層 3 1、カラーフィルム層 3 2、第 2 平坦層 3 3 及び第 2 パッケージ層 3 4 が設置される。ボンディング領域 3 0 0 のアレイ構造層はパッドアセンブリ 3 0 1 を露出させる。配線領域 4 0 0 のアレイ構造層には、配線保護構造 4 0、第 1 パッケージ層 3 0、第 1 平坦層 3 1、第 2 平坦層 3 3 及び第 2 パッケージ層 3 4 が設置される。陰極リング領域 5 0 0 のアレイ構造層には、陰極リング、第 1 パッケージ層 3 0、第 1 平坦層 3 1、第 2 平坦層 3 3 及び第 2 パッケージ層 3 4 が設置される。

【 0 0 3 4 】

シリコン基板 1 0 は I C ウェハ (I C w a f e r) とも称され、駆動信号を生成するための画素駆動回路、ゲート駆動信号を生成するためのゲート駆動回路及びデータ信号を生成するためのデータ駆動回路が集積される。表示領域 1 0 0 のシリコン基板 1 0 の内に画素駆動回路が設置され、画素駆動回路は 2 T 1 C、3 T 1 C、5 T 1 C 又は 7 T 1 C 回路構造であってもよく、又は内部補償又は外部補償機能を有する回路構造であってもよい。画素駆動回路は少なくとも駆動トランジスタ 1 1 を備える。

【 0 0 3 5 】

表示領域 1 0 0 のアレイ構造層は、シリコン基板 1 0 に設置される第 1 絶縁層 1 2 と、

第1絶縁層12に設置される反射電極14と、反射電極14を被覆する第2絶縁層15とを備える。第1絶縁層12にはシリコン基板10の駆動トランジスタ11を露出させる第1ビアが設置され、第1ビアの内には第1導電性ピラー13が設置される。反射電極14は第1導電性ピラー13によって駆動トランジスタ11に接続される。第2絶縁層15には反射電極14を露出させる第2ビアが設置され、第2ビアの内には反射電極14に接続される第2導電性ピラー16が設置される。

【0036】

表示領域100の発光構造層は、アレイ構造層に設置される陽極21、画素定義層24、有機発光層22及び陰極23を備える。第1パッケージ層30は陰極23を被覆し、陽極21は第2絶縁層15に設置され、第2導電性ピラー16によって反射電極14に接続される。有機発光層22の境界は第1ダミー領域に位置してもよく、陰極23の境界は陰極リング領域500に位置してもよい。

10

【0037】

いくつかの例では、第1ダミー領域は、シリコン基板10に積層設置されるアレイ構造層（積層設置される第1絶縁層及び第2絶縁層を備える）、発光構造層（第2絶縁層に設置される陽極、画素定義層、有機発光層及び陰極を備える）、第1パッケージ層、第1平坦層、カラーフィルム層、第2平坦層及び第2パッケージ層を備えてもよい。

【0038】

ボンディング領域300のシリコン基板10にパッドアセンブリ301が露出する。パッドアセンブリ301は間隔を置いて設置される複数のストリップ状のボンディング電極302を備え、フレキシブル回路基板にボンディング接続するように構成されてもよい。

20

【0039】

配線領域400のシリコン基板10の内に信号線401が集積され、信号線401はボンディング領域300のボンディング電極302に接続されてもよい（図面では両者の接続位置を省略する）。信号線401はボンディング電極302により入力された信号を外周領域200及び表示領域100の回路に伝送することができる。例えば、信号線401は更に陰極リング領域500の給電電極201に接続されてもよい。いくつかの例では、信号線401はボンディング電極302と同一層に設置されてもよい。いくつかの例では、配線領域400のシリコン基板10の内に集積された信号線401は、シリコン基板10の表面から露出しなくてもよい。ところが、本実施例はこれを制限しない。

30

【0040】

配線領域400のアレイ構造層はシリコン基板10に積層設置される第1絶縁層12及び第2絶縁層15を備える。配線領域400の配線保護構造40は間隔を置いて設置される複数のストリップ状の金属保護ブロック402を備え、金属保護ブロック402はボンディング電極302に1対1で対応し、且つ各金属保護ブロック402のシリコン基板10での正投影は、対応のボンディング電極302に近接する信号線を被覆することができる。金属保護ブロック402のシリコン基板10での正投影の表示領域100から離れる側の縁部と、ボンディング電極302の開口のシリコン基板10での正投影の表示領域100に近接する側の縁部との距離Lは、1つのサブ画素の最大サイズより小さくてもよい。いくつかの例では、複数の金属保護ブロック402のサイズは同じである。いくつかの例では、ボンディング領域300から表示領域100までの方向（即ち、第1方向）において、各金属保護ブロック402の長さ範囲は150～250マイクロメートルであってもよく、例えば200マイクロメートルであり、第1方向と同一の平面に位置し且つ第1方向に垂直な第2方向において、各金属保護ブロック402の長さ範囲は80～100マイクロメートルであってもよく、例えば90マイクロメートルであり、第2方向に沿って、隣接する2つの金属保護ブロック402の間の間隔は、40マイクロメートルであってもよい。ところが、本実施例はこれを制限しない。

40

【0041】

陰極リング領域500のアレイ構造層は、シリコン基板10に設置される第1絶縁層12と、第1絶縁層12に設置される第1接続電極202と、第1接続電極202を被覆す

50

る第2絶縁層15とを備える。第1絶縁層12にはシリコン基板10の給電電極201を露出させる第1ビアが設置され、第1ビアの内には第1導電性ピラー13が設置され、第1接続電極202は第1導電性ピラー13によって給電電極201に接続される。第2絶縁層15には第1接続電極202を露出させる第2ビアが設置され、第2ビアの内には第1接続電極202に接続される第2導電性ピラー16が設置される。陰極リング領域500のアレイ構造層に設置される陰極リングは、第2絶縁層15に積層設置される第2接続電極203、画素定義層24及び陰極23を備え、画素定義層24には第2接続電極203を露出させる陰極ビアが設置され、第2接続電極203は第2導電性ピラー16によって第1接続電極202に接続され、陰極23は陰極ビアによって第2接続電極203に接続される。

10

【0042】

いくつかの例では、配線領域400と陰極リング領域500との間の第2ダミー領域は、シリコン基板10に積層設置されるアレイ構造層（積層設置される第1絶縁層及び第2絶縁層を備える）、画素定義層、第1パッケージ層、第1平坦層、第2平坦層及び第2パッケージ層を備えてもよい。

【0043】

本開示の例示的な実施例の表示基板は白色光＋カラーフィルムの方式を用いてフルカラー表示を実現する。表示領域100に位置するカラーフィルム層（Color Filter、CFと略称）32は第1平坦層31に設置され、表示ユニットに対応する第1色ユニット、第2色ユニット及び第3色ユニットを備える。本開示の例示的な実施例は白色光＋カラーフィルムの方式を用いて2000より大きな高解像度を実現することができ、VR/ARニーズを満足することができる。

20

【0044】

図4は本開示の少なくとも1つの実施例に係るシリコン基板の回路原理の模式図である。図4に示すように、シリコン基板10は、表示領域100に位置する複数の表示ユニットと、外周領域200に位置する制御回路とを備え、表示領域100における複数の表示ユニットは規則的に配置されて複数の表示行及び複数の表示列を形成し、各表示ユニットは画素駆動回路101と、画素駆動回路101に接続される発光デバイス102とを備え、画素駆動回路101は少なくとも駆動トランジスタを備える。制御回路は少なくとも複数の電圧制御回路110を備え、各電圧制御回路110は複数の画素駆動回路101に接続される。例えば、1つの電圧制御回路110は1つの表示行における画素駆動回路101に接続され、該表示行における画素駆動回路101の駆動トランジスタの第1極は共同で該電圧制御回路110に接続され、各駆動トランジスタの第2極はこの表示ユニットの発光デバイス102の陽極に接続され、発光デバイス102の陰極は第2電源信号VSSの入力端子に接続される。電圧制御回路110はそれぞれ第1電源信号VDDの入力端子、初期化信号Vinitの入力端子、リセット制御信号REの入力端子及び発光制御信号EMの入力端子に接続され、電圧制御回路110は、リセット制御信号REに応答して、初期化信号Vinitを駆動トランジスタの第1極に出力し、対応の発光デバイス102をリセットするように制御するように構成される。電圧制御回路110は更に、発光制御信号EMに応答して、第1電源信号VDDを駆動トランジスタの第1極に出力して、発光デバイス102を駆動して発光させるように構成される。1つの表示行における画素駆動回路101が共同で電圧制御回路110に接続されることにより、表示領域100における各画素駆動回路101の構造を簡素化し、表示領域100における画素駆動回路101の占有面積を低減することができ、これにより、より多くの画素駆動回路101及び発光デバイス102を表示領域100に設置し、高PPI表示を実現する。電圧制御回路110は、リセット制御信号REの制御によって初期化信号Vinitを駆動トランジスタの第1極に出力し、対応の発光デバイス102をリセットするように制御し、前のフレームが発光する際に発光デバイス102に印加した電圧の次のフレームによる発光への影響を回避することができ、残影現象を改善することができる。

30

40

【0045】

50

例示的な実施形態では、3つの異なる色の表示ユニットにより1つの画素が構成され、3つの表示ユニットはそれぞれ赤色表示ユニット、緑色表示ユニット及び青色表示ユニットであってもよい。いくつかの可能な実現方式では、1つの画素は4つ、5つ以上の表示ユニットを備えてもよく、実際の応用環境に応じて設計して決定されてもよく、ここで制限しない。いくつかの可能な実現方式では、1つの電圧制御回路110は、同一の表示行における2つの隣接する表示ユニットの画素駆動回路101に接続されてもよく、又は同一の表示行における3つ以上の表示ユニットの画素駆動回路101に接続されてもよく、ここで制限しない。

【0046】

図5は本開示の少なくとも1つの実施例に係る電圧制御回路及び画素駆動回路の回路実現の模式図である。図5に示すように、発光デバイスはOLEDを備えてもよく、OLEDの陽極は駆動トランジスタM0の第2極Dに接続され、OLEDの陰極は第2電源信号VSSの入力端子に接続され、第2電源信号VSSの電圧は一般的に負電圧又は接地電圧V_{GND}(一般的に0Vである)であり、初期化信号V_{init}の電圧は接地電圧V_{GND}として設定されてもよい。例示的な実施形態では、OLEDはマイクロOLED(Micro-OLED)又はミニOLED(Mini-OLED)であってもよく、高PPI表示を実現することに役立つ。

【0047】

例示的な実施形態では、電圧制御回路110は1つの表示行における2つの画素駆動回路101に接続され、画素駆動回路101は、駆動トランジスタM0、第3トランジスタM3、第4トランジスタM4及び蓄電コンデンサC_{st}を備え、電圧制御回路110は第1トランジスタM1及び第2トランジスタM2を備える。駆動トランジスタM0、第1トランジスタM1、第2トランジスタM2、第3トランジスタM3、第4トランジスタM4は、いずれもシリコン基板において製造された金属酸化物半導体電界効果トランジスタ(Metal Oxide Semiconductor、MOSと略称)である。

【0048】

第1トランジスタM1の制御電極はリセット制御信号REの入力端子に接続され、リセット制御信号REを受信するように構成される。第1トランジスタM1の第1極は初期化信号V_{init}の入力端子に接続され、初期化信号V_{init}を受信するように構成される。第1トランジスタM1の第2極はそれぞれ対応の駆動トランジスタM0の第1極S及び第2トランジスタM2の第2極に接続される。第2トランジスタM2の制御電極は、発光制御信号EMの入力端子に接続され、発光制御信号EMを受信するように構成される。第2トランジスタM2の第1極は、第1電源信号VDDの入力端子に接続され、第1電源信号VDDを受信するように構成される。第2トランジスタM2の第2極はそれぞれ対応の駆動トランジスタM0の第1極S及び第1トランジスタM1の第2極に接続される。例示的な実施形態では、第1トランジスタM1及び第2トランジスタM2のタイプは異なってもよく、例えば、第1トランジスタM1はN型トランジスタであり、第2トランジスタM2はP型トランジスタであり、又は、第1トランジスタM1はP型トランジスタであり、第2トランジスタM2はN型トランジスタである。いくつかの可能な実現方式では、第1トランジスタM1及び第2トランジスタM2のタイプは同じであってもよく、実際の状況に応じて設計して決定されてもよく、ここで制限しない。

【0049】

画素駆動回路101は、駆動トランジスタM0、第3トランジスタM3、第4トランジスタM4及び蓄電コンデンサC_{st}を備える。駆動トランジスタM0の制御電極G、駆動トランジスタM0の第1極Sは第1トランジスタM1の第2極及び第2トランジスタM2の第2極に接続され、駆動トランジスタM0の第2極DはOLEDの陽極に接続される。第3トランジスタM3の制御電極は、第1制御電極走査信号S₁の入力端子に接続され、第1制御電極走査信号S₁を受信するように構成される。第3トランジスタM3の第1極は、データ信号DAの入力端子に接続され、データ信号DAを受信するように構成される。第3トランジスタM3の第2極は、駆動トランジスタM0の制御電極Gに接続される。

10

20

30

40

50

第4トランジスタM4の制御電極は、第2制御電極走査信号S2の入力端子に接続され、第2制御電極走査信号S2を受信するように構成される。第4トランジスタM4の第1極は、データ信号DAの入力端子に接続され、データ信号DAを受信するように構成される。第4トランジスタM4の第2極は駆動トランジスタM0の制御電極Gに接続される。蓄電コンデンサCstの第1端子は駆動トランジスタM0の制御電極Gに接続され、蓄電コンデンサCstの第2端子は接地端子GNDに接続される。例示的な実施形態では、駆動トランジスタM0はN型トランジスタであってもよく、第3トランジスタM3及び第4トランジスタM4のタイプは異なってもよく、例えば、第3トランジスタM3はN型トランジスタであり、第4トランジスタM4はP型トランジスタである。データ信号DAの電圧が高グレースケールに対応する電圧である場合、P型の第4トランジスタM4をオンにしてデータ信号DAを駆動トランジスタM0の制御電極Gに伝送することにより、データ信号DAの電圧が例えばN型の第3トランジスタM3の閾値電圧から影響を受けることを回避することができる。データ信号DAの電圧が低グレースケールに対応する電圧である場合、N型の第3トランジスタM3をオンにしてデータ信号DAを駆動トランジスタM0の制御電極Gに伝送することにより、データ信号DAの電圧がP型の第4トランジスタM4の閾値電圧から影響を受けることを回避することができる。そうすると、駆動トランジスタM0の制御電極Gに入力された電圧範囲を広げることができる。いくつかの可能な実現方式では、第3トランジスタM3及び第4トランジスタM4のタイプについては、第3トランジスタM3がP型トランジスタであり、第4トランジスタM4がN型トランジスタであることであってもよい。いくつかの可能な実現方式では、画素駆動回路は3T1C、5T1C又は7T1C回路構造であってもよく、又は内部補償又は外部補償機能を有する回路構造であってもよく、本実施例はこれを制限しない。

10

20

【0050】

以下、表示基板の製造過程の例によって本実施例の技術案を説明する。本実施例の所謂「パターニングプロセス」はフィルム層の堆積、フォトレジストのコーティング、マスクの露光、現像、エッチング及びフォトレジストの剥離等の処理を含み、既知の成熟した製造プロセスである。堆積はスパッタリング、蒸着、化学気相堆積等の既知のプロセスを用いてもよく、コーティングは既知のコーティングプロセスを用いてもよく、エッチングは既知の方法を用いてもよく、ここで制限しない。本実施例の説明において、理解されるように、「薄膜」とはある材料をベース基板において堆積又はコーティングプロセスにより製造した1層の薄膜を指す。製造過程全体において該「薄膜」がパターニングプロセス又はフォトリソグラフィプロセスを行う必要がない場合、該「薄膜」は更に「層」と称されてもよい。製造過程全体において該「薄膜」がパターニングプロセス又はフォトリソグラフィプロセスを行う必要がある場合、パターニングプロセスの前に「薄膜」と称され、パターニングプロセスの後で「層」と称される。パターニングプロセス又はフォトリソグラフィプロセスを経た後の「層」には少なくとも1つの「パターン」が含まれる。本開示で言われる「AとBが同一層に設置される」とは、AとBが同一のパターニングプロセスにより同時に形成されることを意味する。

30

【0051】

(1) シリコン基板を製造し、シリコン基板は、表示領域100と、表示領域100の周りに位置する外周領域200と、外周領域200の表示領域100から離れる側に位置するボンディング領域300とを備え、外周領域200は表示領域100とボンディング領域300との間に位置する配線領域400及び陰極リング領域500を備える。外周領域200は、表示領域100を取り囲む第1ダミー領域と、陰極リング領域500を取り囲む第2ダミー領域(図示せず)を更に備えてもよい。

40

【0052】

表示領域100は複数の表示ユニットを備え、各表示ユニットのシリコン基板10には画素駆動回路が集積され、外周領域200のシリコン基板10には表示ユニットを駆動して発光させるための制御回路が集積され、ボンディング領域300のシリコン基板10にはフレキシブル回路基板(FPC)又は配線(Wire)にボンディング接続するための

50

パッドアセンブリが集積される。ボンディング領域 300 のシリコン基板 10 はパッドアセンブリを露出させ、パッドアセンブリは複数のボンディング電極を備える。配線領域 400 のシリコン基板 10 にはパッドアセンブリに接続される信号線 401 が集積され、配線領域 400 の信号線 401 はパッドアセンブリと画素駆動回路及び制御回路とを接続することができる。陰極リング領域 500 のシリコン基板 10 の内に給電アセンブリが集積される。

【0053】

例示的な説明として、図 6 では、表示領域 100 は第 1 表示ユニット 100A、第 2 表示ユニット 100B 及び第 3 表示ユニット 100C で示され、各表示ユニットにおけるシリコン基板 10 の画素駆動回路は駆動トランジスタ 11 で示され、陰極リング領域 500 におけるシリコン基板 10 の給電アセンブリは 1 つの給電電極 201 で示され、ボンディング領域 300 におけるシリコン基板 10 のパッドアセンブリは 1 つのボンディング電極 302 で示される。

10

【0054】

例示的な実施形態では、表示領域 100 の駆動トランジスタは、活性層、ゲート電極、ソース電極、ドレイン電極及びゲート接続電極を備え、ソース電極及びドレイン電極はそれぞれ導電性ピラーによって活性層のドープ領域に接続され、ゲート接続電極は導電性ピラーによってゲート電極に接続され、ボンディング領域 300 のパッドアセンブリ、陰極リング領域 500 の給電アセンブリはソース電極、ドレイン電極及びゲート接続電極と同一層に設置される。シリコン基板の製造は成熟した CMOS 集積回路プロセスを用いてもよく、本実施例はこれを制限しない。製造が完了した後、シリコン基板 10 の表面に表示領域 100 のソース電極、ドレイン電極及びゲート接続電極、ボンディング領域 300 のパッドアセンブリのボンディング電極 302 及び陰極リング領域 500 の給電アセンブリの給電電極 201 が露出する。

20

【0055】

例示的な実施形態では、シリコン基板の材料はシリコン、ゲルマニウム及び化合物半導体のうちのいずれか 1 つ又は複数であってもよく、化合物半導体はシリコンゲルマニウム、炭化ケイ素、ヒ化ガリウム、リン化ガリウム、リン化インジウム、ヒ化インジウム及びアンチモン化インジウムのうちのいずれか 1 つ又は複数を含んでもよく、シリコン基板はドープしたものであってもよく、又はドープしないものであってもよい。

30

【0056】

(2) シリコン基板 10 に第 1 絶縁薄膜を堆積し、パターニングプロセスにより第 1 絶縁薄膜をパターニングして、シリコン基板 10 を被覆する第 1 絶縁層 12 のパターンを形成し、表示領域 100 及び陰極リング領域 500 の第 1 絶縁層 12 に複数の第 1 ピアを形成し、表示領域 100 の複数の第 1 ピアはそれぞれ各表示ユニットのドレイン電極を露出させ、陰極リング領域 500 の各第 1 ピアは 1 つの給電電極 201 を露出させる。その後、図 7 に示すように、第 1 絶縁層 12 における第 1 ピアの内に複数の第 1 導電性ピラー 13 を形成し、表示領域 100 の第 1 ピアにおける第 1 導電性ピラー 13 はその位置する表示ユニットのドレイン電極に接続され、陰極リング領域 500 の第 1 ピアにおける第 1 導電性ピラー 13 は給電電極 201 に接続される。

40

【0057】

例示的な実施形態では、第 1 導電性ピラー 13 は金属材料により製造されたものであってもよく、充填処理により第 1 導電性ピラー 13 を形成した後、更に研磨処理を行うことができる。研磨工程により第 1 絶縁層 12 及び第 1 導電性ピラー 13 の表面を腐食して摩擦して、第 1 絶縁層 12 及び第 1 導電性ピラー 13 の一部の厚さを除去し、第 1 絶縁層 12 及び第 1 導電性ピラー 13 に面一の表面を形成させる。いくつかの可能な実現方式では、第 1 導電性ピラー 13 は金属タングステン (W) を用いてもよく、タングステン金属で充填されたピアはタングステンピア (W - v i a) と称される。第 1 絶縁層の厚さが比較的大きい場合、タングステンピアを用いて導電通路の安定性を確保することができる。タングステンピアの製造プロセスが成熟したため、得られた第 1 絶縁層 12 の表面平坦度が高

50

く、接触抵抗を低減することに役立つ。タングステンビアは、シリコン基板と反射電極との接続に適用されるだけでなく、反射電極と陽極との接続及び他の配線層間の接続にも適用される。

【 0 0 5 8 】

(3) 図 8 に示すように、上記構造が形成されるシリコン基板 1 0 に第 1 金属薄膜を堆積し、パターニングプロセスにより第 1 金属薄膜をパターニングし、表示領域 1 0 0 において、第 1 絶縁層 1 2 に反射電極 1 4 のパターンを形成し、各表示ユニットにおいて、反射電極 1 4 は第 1 導電性ピラー 1 3 によってドレイン電極に接続され、陰極リング領域 5 0 0 において、第 1 絶縁層 1 2 に第 1 接続電極 2 0 2 を形成し、第 1 接続電極 2 0 2 は第 1 導電性ピラー 1 3 によって給電電極 2 0 1 に接続される。

10

【 0 0 5 9 】

今回のパターニングプロセスにおいて、ボンディング領域 3 0 0 及び配線領域 4 0 0 のフィルム層構造は変化せず、ボンディング領域 3 0 0 は、ボンディング電極 3 0 2 が設置されるシリコン基板 1 0 と、シリコン基板 1 0 を被覆する第 1 絶縁層 1 2 とを備える。配線領域 4 0 0 はシリコン基板 1 0 と、シリコン基板 1 0 を被覆する第 1 絶縁層 1 2 とを備える。

【 0 0 6 0 】

(4) 上記構造が形成されるシリコン基板 1 0 に第 2 絶縁薄膜を堆積し、パターニングプロセスにより第 2 絶縁薄膜をパターニングして、シリコン基板 1 0 を被覆する第 2 絶縁層 1 5 のパターンを形成し、表示領域 1 0 0 及び陰極リング領域 5 0 0 の第 2 絶縁層 1 5 に複数の第 2 ビアを形成し、複数の第 2 ビアはそれぞれ各表示ユニットの反射電極 1 4 及び陰極リング領域 5 0 0 の第 1 接続電極 2 0 2 を露出させ、ボンディング領域 3 0 0 の第 2 絶縁層 1 5 に複数の開口 K 1 を形成し、開口 K 1 における第 1 絶縁層 1 2 及び第 2 絶縁層 1 5 がエッチングされて、シリコン基板 1 0 における複数のボンディング電極 3 0 2 が露出する。その後、図 9 に示すように、第 2 絶縁層 1 5 における複数の第 2 ビアの内に複数の第 2 導電性ピラー 1 6 を形成し、表示領域 1 0 0 における第 2 ビアにおける第 2 導電性ピラー 1 6 はその位置する表示ユニットの反射電極 1 4 に接続され、陰極リング領域 5 0 0 における第 2 ビアにおける第 2 導電性ピラー 1 6 は第 1 接続電極 2 0 2 に接続される。いくつかの例では、開口 K 1 はボンディング電極 3 0 2 の全部の表面を露出させてもよく、又は、開口 K 1 はボンディング電極 3 0 2 の一部の表面のみを露出させてもよい。いくつかの例では、開口 K 1 のシリコン基板 1 0 での正投影は開口 K 1 から露出するボンディング電極 3 0 2 と重複してもよく、又は、開口 K 1 から露出するボンディング電極 3 0 2 は開口 K 1 のシリコン基板 1 0 での正投影の内に位置してもよい。

20

30

【 0 0 6 1 】

例示的な実施形態では、第 2 導電性ピラー 1 6 は金属材料により製造されたものであってもよく、充填処理により第 2 導電性ピラー 1 6 を形成した後、更に研磨処理を行うことができ、研磨工程により第 2 絶縁層 1 5 及び第 2 導電性ピラー 1 6 の表面を腐食して摩擦して、第 2 絶縁層 1 5 及び第 2 導電性ピラー 1 6 の一部の厚さを除去し、第 2 絶縁層 1 5 及び第 2 導電性ピラー 1 6 に面一の表面を形成させる。いくつかの可能な実現方式では、第 2 導電性ピラー 1 6 は金属タングステン (W) を用いてもよい。

40

【 0 0 6 2 】

(5) 図 1 0 に示すように、上記構造が形成されるシリコン基板 1 0 に第 2 金属薄膜を堆積し、一回のパターニングプロセスにより第 2 金属薄膜をパターニングして、表示領域 1 0 0 の第 2 絶縁層 1 5 に陽極 2 1 のパターンを形成し、配線領域 4 0 0 の第 2 絶縁層 1 5 に配線保護構造のパターンを形成し、陰極リング領域 5 0 0 の第 2 絶縁層 1 5 に第 2 接続電極 2 0 3 のパターンを形成する。

【 0 0 6 3 】

表示領域 1 0 0 の各表示ユニットにおいて、陽極 2 1 は第 2 導電性ピラー 1 6 によって反射電極 1 4 に接続され、反射電極 1 4 は第 1 導電性ピラー 1 3 によって駆動トランジスタ 1 1 のドレイン電極に接続され、そうすると、画素駆動回路の提供する電気信号は反射

50

電極 1 4 を介して陽極 2 1 に伝送され、反射電極 1 4 により画素駆動回路と陽極 2 1 との間の導電チャネルが形成されることができる。

【 0 0 6 4 】

陰極リング領域 5 0 0 における第 2 接続電極 2 0 3 は第 2 導電性ピラー 1 6 によって第 1 接続電極 2 0 2 に接続され、第 1 接続電極 2 0 2 は第 1 導電性ピラー 1 3 によって給電電極 2 0 1 に接続される。

【 0 0 6 5 】

配線領域 4 0 0 における配線保護構造はボンディング電極 3 0 2 に 1 対 1 で対応する金属保護ブロック 4 0 2 を備え、各金属保護ブロック 4 0 2 のシリコン基板 1 0 での正投影は対応のボンディング電極 3 0 2 に近接する側の信号線 4 0 1 を被覆することができ、金属保護ブロック 4 0 2 はボンディング電極 3 0 2 に近接する側の信号線 4 0 1 を保護するように構成される。いくつかの例では、金属保護ブロック 4 0 2 のシリコン基板 1 0 での正投影の縁部と開口 K 1 のシリコン基板 1 0 での正投影の縁部との最小距離は、1 つのサブ画素の最大サイズ、例えば 1 ~ 2 マイクロメートル (μm) より小さくてもよい。いくつかの例では、金属保護ブロック 4 0 2 のシリコン基板 1 0 での正投影の表示領域 1 0 0 から離れる側の縁部は、開口 K 1 のシリコン基板 1 0 での正投影の表示領域 1 0 0 に近接する側の縁部と重複してもよく、即ち、2 つの縁部の間の距離は 0 であってもよい。ところが、本実施例はこれを制限しない。

10

【 0 0 6 6 】

本開示の例示的な実施例の配線保護構造は、表示基板の製造過程においてシリコン基板 1 0 の内に集積された信号線を保護するように構成され、配線保護構造と他の電極は電氣的に接続されていない。

20

【 0 0 6 7 】

(6) 図 1 1 に示すように、上記構造が形成されるシリコン基板 1 0 に画素定義薄膜をコーティングし、マスク、露光、現像プロセスにより表示領域 1 0 0 及び外周領域 2 0 0 に画素定義層 (PDL) 2 4 のパターンを形成し、その後、ボンディング領域 3 0 0 にフォトリソ層 3 0 5 を形成する。各表示ユニットにおいて、画素定義層 2 4 に画素開口が開設され、画素開口に陽極 2 1 の表面が露出する。陰極リング領域 5 0 0 の画素定義層 2 4 に陰極ビアが開設され、陰極ビアに第 2 接続電極 2 0 3 が露出する。配線領域 4 0 0 において、画素定義層 2 4 は金属保護ブロック 4 0 2 を被覆する。例えば、配線領域 4 0 0 の画素定義層 2 4 の高さは、ボンディング領域 3 0 0 のフォトリソ層 3 0 5 の高さと同じであってもよい。

30

【 0 0 6 8 】

フォトリソ層 3 0 5 により後続の蒸着プロセスにおける有機物又は金属がボンディング電極 3 0 2 に飛散することを防止することができ、且つパッケージの時にパッケージ層が直接にボンディング電極 3 0 2 に接触することを回避することができる。

【 0 0 6 9 】

(7) 図 1 1 に示すように、上記構造が形成されるシリコン基板 1 0 に有機発光層 2 2 及び陰極 2 3 を順次形成する。有機発光層 2 2 は表示領域 1 0 0 の各表示ユニットの内に形成され、有機発光層 2 2 は画素開口によってその位置する表示ユニットの陽極 2 1 に接続され、有機発光層 2 2 の境界は陰極リング領域 5 0 0 と表示領域 1 0 0 との間の第 1 ダミー領域に位置してもよい。面状の陰極 2 3 は表示領域 1 0 0 及び外周領域 2 0 0 に形成され、陰極 2 3 の境界は陰極リング領域 5 0 0 に位置してもよい。表示領域 1 0 0 の陰極 2 3 は各表示ユニットの有機発光層 2 2 に接続される。例示的な実施形態では、陰極 2 3 は半透過半反射型電極であってもよい。今回のパターンニングプロセスの後で、ボンディング領域 3 0 0 及び配線領域 4 0 0 のフィルム層構造は変化しない。

40

【 0 0 7 0 】

陰極リング領域 5 0 0 において、陰極 2 3 は画素画定層 2 4 に設置される陰極ビアによって、陽極 2 1 と同一層に製造される第 2 接続電極 2 0 3 に接続される。そうすると、第 1 接続電極 2 0 2 及び第 2 接続電極 2 0 3 により陰極 2 3 と給電電極 2 0 1 との間の導電

50

チャンネルが形成され、給電電極 2 0 1 の提供する電圧信号は該導電チャンネルを介して陰極 2 3 に伝送され、陰極リング構造を実現する。エッチングの均一性を確保するために、陰極リング領域 5 0 0 の陰極リングのパターン設計は表示領域 1 0 0 のパターン設計に一致する。

【 0 0 7 1 】

例示的な実施形態では、有機発光層 2 2 は単層又は複数層構造であってもよい。例えば、いくつかの例では、有機発光層 2 2 は発光層と、正孔注入層、電子注入層、正孔輸送層、電子輸送層、電子遮断層、正孔遮断層のうちの 1 つ又は複数のフィルム層からなる複数層構造とを備えてもよい。例えば、有機発光層 2 2 は有機材料により製造されたものであってもよく、陽極 2 1 及び陰極 2 3 の電圧駆動によって有機材料の発光特性を利用して必要

10

【 0 0 7 2 】

例示的な実施形態では、発光デバイスは O L E D 発光デバイスであり、陽極、有機発光層及び陰極を備える。例えば、該発光デバイスは白色光を発する。該発光デバイスが白色光を発することは白色光を発する 1 つの発光デバイスにより行われてもよく、例えば、複数の有機発光層を備える有機発光層の組み合わせにより行われてもよい。該有機発光層の組み合わせはそれぞれ赤緑青色光を発する 3 つの有機発光層を備えてもよく、該 3 つの有機発光層はシリコン基板に対して順に積層され、それにより全体的に白色光を発する。又は、有機発光層の組み合わせはそれぞれ 1 つの色の光を発する有機発光層と、色の相補色の光を発する有機発光層とを備えてもよく、該 2 つの有機発光層はシリコン基板に対して順に積層され、それにより全体的に白色光を発し、該 2 つの有機発光層は例えば赤色光を発する有機発光層と、赤色の相補色の光を発する有機発光層とを備える。本開示の実施例はこれを制限せず、白色光を発することを実現できればよい。

20

【 0 0 7 3 】

(8) 上記構造が形成されるシリコン基板 1 0 に第 1 パッケージ層 3 0、第 1 平坦層 3 1 のパターンを形成する。図 1 2 に示すように、第 1 パッケージ層 3 0 及び第 1 平坦層 3 1 は表示領域 1 0 0、外周領域 2 0 0 及びボンディング領域 3 0 0 に形成される。

【 0 0 7 4 】

例示的な実施形態では、第 1 パッケージ層 3 0 は複数のフィルム層、例えば無機材料の第 1 サブパッケージ層及び有機材料の第 2 サブパッケージ層、又は無機材料の第 1 サブパッケージ層、有機材料の第 2 サブパッケージ層及び無機材料の第 3 サブパッケージ層を備えてもよく、化学気相堆積 (C V D)、プラズマ加速化学気相堆積 (P E C V D)、原子層堆積 (A L D) 又は分子層堆積 (M L D) 装置を用いて形成される。第 1 平坦層 3 1 の材料はポリシロキサン系材料、アクリル系材料又はポリイミド系材料等を含むが、それらに限らない。

30

【 0 0 7 5 】

今回のパターンニングプロセスの後で、ボンディング領域 3 0 0 は、ボンディング電極 3 0 2 が設置されるシリコン基板 1 0 と、シリコン基板 1 0 に設置される、ボンディング電極 3 0 2 を露出させる第 1 絶縁層 1 2 及び第 2 絶縁層 1 5 と、ボンディング電極 3 0 2 を被覆するフォトレジスト層 3 0 5 と、フォトレジスト層 3 0 5 を被覆する第 1 パッケージ層 3 0 と、第 1 パッケージ層 3 0 を被覆する第 1 平坦層 3 1 とを備える。

40

【 0 0 7 6 】

(9) 上記構造が形成されるシリコン基板 1 0 にカラーフィルム層 3 2 のパターンを形成する。図 1 2 に示すように、カラーフィルム層 3 2 は表示領域 1 0 0 に形成され、表示領域 1 0 0 のカラーフィルム層 3 2 は表示ユニットに対応する第 1 色ユニット、第 2 色ユニット及び第 3 色ユニットを備える。

【 0 0 7 7 】

例示的な実施形態では、カラーフィルム層 3 2 において、異なる色ユニットは互いにオーバーラップしてブラックマトリックスとされてもよく、又は異なる色ユニットの間にブラックマトリックスを設置する。例示的な実施形態では、第 1 色ユニットは緑色ユニット

50

であってもよく、第2色ユニットは赤色ユニットであってもよく、第3色ユニットは青色ユニットであってもよい。いくつかの可能な実現方式では、カラーフィルム層32の製造過程は、まず青色ユニットを形成し、次に赤色ユニットを形成し、それから緑色ユニットを形成することを含む。いくつかの可能な実現方式では、カラーフィルム層32は他の色ユニット、例えば白色又は黄色等を備えてもよい。今回のパターンニングプロセスにおいて、ボンディング領域300及び外周領域200のフィルム層構造は変化しない。

【0078】

(10) 図12に示すように、上記構造が形成されるシリコン基板10に第2平坦層33、第2パッケージ層34を形成してカバープレート35を載せる。第2平坦層33及び第2パッケージ層34は表示領域100、外周領域200及びボンディング領域300に形成される。第2平坦層33は表示領域100、外周領域200及びボンディング領域300を平坦化处理することができ、第2平坦層32の材料はポリシロキサン系材料、アクリル系材料又はポリイミド系材料等を含むが、それらに限らない。

10

【0079】

例示的な実施形態では、第2パッケージ層34は複数のフィルム層、例えば無機材料の第1サブパッケージ層及び有機材料の第2サブパッケージ層を備えてもよい。

【0080】

密封プロセスによりカバープレート35を形成し、カバープレート35は表示領域100及び外周領域200の陰極リング領域500に設置される。例えば、カバープレート35はシーラントにより固定されてもよい。シリコン基板10、カバープレート35及びシーラントは共同で密閉された空間を形成し、水蒸気と酸素を阻隔するために保障を追加して提供し、シリコン系OLED表示基板の耐用年数を大幅に延ばす。

20

【0081】

(11) レーザ(図13における実線矢印に示される)でボンディング領域300をアブレーションして、ボンディング電極302を露出させ、それにより後続のフレキシブル回路基板又は配線とのボンディング接続に役立つ。レーザで下向きにアブレーションする場合、配線領域400の金属保護ブロック402はシリコン基板10におけるボンディング電極302と制御回路とを接続する信号線401を保護することができ、レーザアブレーションによる断裂リスクを解消し、電気信号がボンディング電極302を介して制御回路に正常に輸入されて表示信号を正常に提供するように確保する。

30

【0082】

上記製造過程において、第1絶縁薄膜及び第2絶縁薄膜はシリコン酸化物(SiO_x)、シリコン窒化物(SiN_x)、酸窒化ケイ素(SiON)及び化合物半導体のうちのいずれか1つ又は複数を用いてもよく、単層構造であってもよく、又は多層複合構造であってもよい。第1金属薄膜及び第2金属薄膜は金属材料を用いてもよく、銀(Ag)、銅(Cu)、アルミニウム(Al)及びモリブデン(Mo)のうちのいずれか1つ又は複数を含み、又は金属からなる合金材料、例えばアルミニウムネオジム合金(AlNd)又はモリブデンニオブ合金(MoNb)等を用いてもよく、又は多層複合構造、例えば Mo/Cu/Mo の複合構造であってもよい。画素定義層はポリイミド、アクリル又はポリエチレンテレフタレート等を用いてもよい。

40

【0083】

本開示の例示的な実施例の表示基板の構造及びその製造過程から分かるように、配線領域に配線保護構造を設置し、且つ配線保護構造が発光構造層における金属陽極と同一層に設置されることにより、表示基板の製造過程においてシリコン基板における信号線を保護することができる。且つ、本開示の例示的な実施例の製造プロセスは成熟した製造装置を利用して実現されることができ、プロセスへの改良が比較的少なく、互換性が高く、プロセスフローが簡単であり、生産効率が高く、生産コストが低く、歩留まりが高く、高い利用可能性を有する。

【0084】

本開示の例示的な実施例に示される構造及びその製造過程は例示的な説明に過ぎず、例

50

示的な実施形態では、実際の必要に応じて対応構造を変更し及びパターニングプロセスを追加又は削除することができる。本実施形態に示される構造（又は方法）は他の実施形態に示される構造（又は方法）と適切に組み合わせられることができる。

【 0 0 8 5 】

図 1 4 は本開示の少なくとも 1 つの実施例に係る表示基板の模式図である。図 1 4 に示すように、表示基板の製造過程において、フォトリジスト層 3 0 5 はボンディング領域 3 0 0 及び配線領域 4 0 0 の配線保護構造を被覆し、レーザでフォトリジスト層 3 0 5 をアブレーションした後、配線保護構造に一部のフォトリジスト層 3 0 5 が残されることとなる。本実施例の表示基板の他の構造は図 3 に示される実施例の構造に類似してもよく、従って、ここで詳細な説明は省略する。

10

【 0 0 8 6 】

本実施例の表示基板の製造過程におけるステップ（ 6 ）において、ボンディング領域 3 0 0 及び配線領域 4 0 0 にフォトリジスト層 3 0 5 を形成し、フォトリジスト層 3 0 5 はボンディング領域 3 0 0 及び配線領域 4 0 0 における金属保護ブロック 4 0 2 を被覆する。図 1 5 は本実施例のステップ（ 1 1 ）におけるレーザアブレーションを行う模式図である。本実施例では、図 1 4 に示すように、カバープレート 3 5 を載せた後、レーザでボンディング領域 3 0 0 をアブレーションする過程において、フォトリジスト層 3 0 5 が金属保護ブロック 4 0 2 を被覆するため、金属保護ブロック 4 0 2 におけるフォトリジスト層 3 0 5 が残されることとなる。

【 0 0 8 7 】

20

本開示の例示的な実施例に示される構造及びその製造過程は例示的な説明に過ぎず、例示的な実施形態では、実際の必要に応じて対応構造を変更し及びパターニングプロセスを追加又は削除することができる。本実施形態に示される構造（又は方法）は他の実施形態に示される構造（又は方法）と適切に組み合わせられることができる。

【 0 0 8 8 】

図 1 6 は本開示の少なくとも 1 つの実施例に係る表示基板の構造模式図である。図 1 6 に示すように、本実施例では、配線領域 4 0 0 の配線保護構造の金属保護ブロック 4 0 2 とアレイ構造層の反射電極 1 4 は同一層に設置され、且つ同一のパターニングプロセスにより形成される。本実施例の表示基板の他の構造は図 3 に示される実施例の構造に類似してもよく、従って、ここで詳細な説明は省略する。

30

【 0 0 8 9 】

本実施例では、発光構造層の陽極 2 1 は酸化インジウムスズ（ I T O ）又は酸化インジウム亜鉛（ I Z O ）等の透明導電薄膜を用いてもよく、又は金属及び透明導電薄膜の複合構造、例えば I T O / A g / I T O を用いる。陽極 2 1 は第 2 導電性ピラー 1 6 によって反射電極 1 4 に接続されるが、反射電極 1 4 は第 1 導電性ピラー 1 3 によって駆動トランジスタ 1 1 の第 1 電極に接続され、そうすると、画素駆動回路の提供する電気信号は反射電極 1 4 を介して陽極 2 1 に伝送される。反射電極 1 4 は画素駆動回路と陽極との間の導電チャネルを形成する一方、各表示ユニットの反射電極 1 4 は陰極 2 3 とともにマイクロキャビティ構造を構成することができ、反射電極 1 4 の高反射効果を利用して、有機発光層 2 2 から直接射出された光と反射電極 1 4 により反射された光とを互いに干渉させ、射出光の色域を向上させ、射出光の輝度を強化する。この例示的な実施形態は画素駆動回路の発光デバイスに対する制御に役立つだけでなく、且つ表示基板の構造をよりコンパクトにし、シリコン系 O L E D 表示装置の小型化にも役立つ。

40

【 0 0 9 0 】

本開示の例示的な実施例に示される構造及びその製造過程は例示的な説明に過ぎず、例示的な実施形態では、実際の必要に応じて対応構造を変更し及びパターニングプロセスを追加又は削除することができる。本実施形態に示される構造（又は方法）は他の実施形態に示される構造（又は方法）と適切に組み合わせられることができる。

【 0 0 9 1 】

図 1 7 は本開示の少なくとも 1 つの実施例に係る表示基板の構造模式図である。図 1 7

50

に示すように、本実施例では、ボンディング領域 300 において、表示基板は、シリコン基板 10 に設置されるアレイ構造層と、アレイ構造層に設置される補助パッドアセンブリとを備え、配線領域 400 において、配線保護構造と発光構造層の陽極は同一層に設置され、且つ同一のパターニングプロセスにより形成される。本実施例の表示基板の他の構造は図 3 に示される実施例の構造に類似してもよく、従って、ここで詳細な説明は省略する。

【0092】

図 17 に示すように、ボンディング領域 300 のシリコン基板 10 の内にボンディング電極 302 が設置され、ボンディング領域 300 のアレイ構造層はシリコン基板 10 に設置される第 1 絶縁層 12 を備え、第 1 絶縁層 12 に第 3 ピアが開設され、第 3 ピアの内にはボンディング電極 302 に接続される第 3 導電性ピラー 303 が設置され、補助パッドアセンブリは第 1 絶縁層 12 に設置され、第 3 導電性ピラー 303 によってボンディング電極 302 に接続される。補助パッドアセンブリは間隔を置いて設置される複数のストリップ状の補助ボンディング電極 304 を備え、1 つの補助ボンディング電極 304 は、1 つの第 3 導電性ピラー 303 によって、パッドアセンブリにおける 1 つのストリップ状のボンディング電極 302 に接続される。

10

【0093】

図 17 に示すように、配線保護構造は間隔を置いて設置される複数のストリップ状の金属保護ブロック 402 を備え、金属保護ブロック 402 は補助ボンディング電極 304 に 1 対 1 で対応してもよい。いくつかの例では、補助ボンディング電極 304 のサイズはボンディング電極 302 のサイズと同じであってもよく、又は、補助ボンディング電極 304 のサイズはボンディング電極 302 のサイズより小さくてもよい。いくつかの例では、補助ボンディング電極 304 の表面は全体的に露出してもよく、金属保護ブロック 402 のシリコン基板 10 での正投影と補助ボンディング電極 304 のシリコン基板 10 での正投影はオーバーラップせず、例えば、金属保護ブロック 402 のシリコン基板 10 での正投影の縁部と補助ボンディング電極 304 のシリコン基板 10 での正投影の縁部との最小距離は、1 つのサブ画素の最大サイズより小さくてもよい。いくつかの例では、補助ボンディング電極 304 の表面は部分的に露出してもよく、金属保護ブロック 402 のシリコン基板 10 での正投影と補助ボンディング電極 304 を露出させる開口のシリコン基板 10 での正投影はオーバーラップせず、且つ金属保護ブロック 402 のシリコン基板 10 での正投影の表示領域 100 から離れる側の縁部と、対応の補助ボンディング電極 304 の開口のシリコン基板 10 での正投影の表示領域 100 に近接する側の縁部との距離は、1 つのサブ画素の最大サイズより小さくてもよい。

20

30

【0094】

本実施例では、補助ボンディング電極 304 と表示領域 100 のアレイ構造層の反射電極 14 は同一層に設置され、且つ同一のパターニングプロセスにより形成され、金属保護ブロック 402 と発光構造層の金属材料の陽極 21 は同一層に設置され、且つ同一のパターニングプロセスにより形成される。

【0095】

本開示の例示的な実施例に示される構造及びその製造過程は例示的な説明に過ぎず、例示的な実施形態では、実際の必要に応じて対応構造を変更し及びパターニングプロセスを追加又は削除することができる。本実施形態に示される構造（又は方法）は他の実施形態に示される構造（又は方法）と適切に組み合わせられることができる。

40

【0096】

図 18 は本開示の少なくとも 1 つの実施例に係る表示基板の構造模式図である。図 18 に示すように、ボンディング領域 300 において、表示基板は、シリコン基板 10 に設置されるアレイ構造層と、アレイ構造層に設置される補助パッドアセンブリとを備え、配線領域 400 において、配線保護構造と発光構造層の陽極は同一層に設置され、且つ同一のパターニングプロセスにより形成される。補助パッドアセンブリはアレイ方式で配置される複数の補助ボンディング電極 304 を備え、複数の補助ボンディング電極 304 は、それぞれ複数の第 3 導電性ピラー 303 によって、1 つのストリップ状のボンディング電極

50

302に接続される。本実施例の表示基板の他の構造は図17に示される実施例の構造に類似してもよく、従って、ここで詳細な説明は省略する。

【0097】

図18に示すように、ボンディング領域300のシリコン基板10の内にボンディング電極302が設置され、ボンディング領域300のアレイ構造層はシリコン基板10に設置される第1絶縁層12を備える。第1絶縁層12に第3ビアが開設され、第3ビアの内にはボンディング電極302に接続される第3導電性ピラー303が設置される。補助パッドアセンブリは第1絶縁層12に設置され、補助パッドアセンブリはアレイ方式で配置される複数の補助ボンディング電極304を備え、例えば、3つの補助ボンディング電極304は、それぞれ3つの第3導電性ピラー303によって、1つのストリップ状のボンディング電極302に接続される。

10

【0098】

本実施例では、補助ボンディング電極304と表示領域100のアレイ構造層の反射電極14は同一層に設置され、且つ同一のパターニングプロセスにより形成され、金属保護ブロック402と発光構造層の金属材料の陽極21は同一層に設置され、且つ同一のパターニングプロセスにより形成される。

【0099】

本開示の例示的な実施例に示される構造及びその製造過程は例示的な説明に過ぎず、例示的な実施形態では、実際の必要に応じて対応構造を変更し及びパターニングプロセスを追加又は削除することができる。本実施形態に示される構造（又は方法）は他の実施形態に示される構造（又は方法）と適切に組み合わせられることができる。

20

【0100】

本開示の実施例は更に表示基板の製造方法を提供し、表示領域のシリコン基板にアレイ構造層及び発光構造層を順次形成し、表示領域とボンディング領域との間の配線領域のシリコン基板に配線保護構造を形成することを含み、ボンディング領域は表示領域の片側に位置し、且つボンディング領域のシリコン基板の内にパッドアセンブリが集積され、配線保護構造のシリコン基板での正投影の縁部とパッドアセンブリの開口のシリコン基板での正投影の縁部との最小距離は、1つのサブ画素の最大サイズより小さい。

【0101】

図19は本開示の少なくとも1つの実施例に係る表示基板の製造方法のフローチャートである。図19に示すように、本開示の実施例に係る表示基板の製造方法は、

30

表示領域のシリコン基板にアレイ構造層を形成するステップ601と、

表示領域のアレイ構造層に発光構造層を形成し、表示領域とボンディング領域との間の配線領域に配線保護構造を形成し、ボンディング領域が表示領域の片側に位置し、且つボンディング領域のシリコン基板の内にパッドアセンブリが集積され、配線保護構造のシリコン基板での正投影の縁部とパッドアセンブリの開口のシリコン基板での正投影の縁部との最小距離が1つのサブ画素の最大サイズより小さいステップ602と、を含む。

【0102】

いくつかの例示的な実施形態では、ボンディング領域のシリコン基板の内に集積されたパッドアセンブリは、フレキシブル回路基板にボンディング接続するように構成される。表示領域のシリコン基板にアレイ構造層を形成し、配線領域のシリコン基板に配線保護構造を形成することは、シリコン基板に第1絶縁層を形成し、表示領域の第1絶縁層にはシリコン基板の駆動トランジスタを露出させる第1ビアが形成されることと、第1ビアの内に第1導電性ピラーを形成することと、一回のパターニングプロセスにより第1絶縁層に反射電極及び配線保護構造を形成し、反射電極が表示領域に設置され、反射電極が前記第1導電性ピラーによって前記駆動トランジスタに接続され、前記配線保護構造が配線領域に設置されることと、第2絶縁層を形成し、表示領域の第2絶縁層には前記反射電極を露出させる第2ビアが形成されることと、第2ビアの内に第2導電性ピラーを形成し、前記第2導電性ピラーが反射電極に接続されることと、を含んでもよい。

40

【0103】

50

いくつかの例示的な実施形態では、ボンディング領域のシリコン基板の内に集積されたパッドアセンブリは、フレキシブル回路基板にボンディング接続するように構成される。表示領域のアレイ構造層に発光構造層を形成し、及び配線領域のシリコン基板に配線保護構造を形成することは、同一のパターニングプロセスにより前記アレイ構造層に陽極及び配線保護構造を形成し、陽極が表示領域に設置され、アレイ構造層によってシリコン基板の駆動トランジスタに接続され、配線保護構造が配線領域に設置されることを含んでもよい。

【0104】

いくつかの例示的な実施形態では、本実施例の製造方法は、ボンディング領域のシリコン基板にアレイ構造層を形成し、ボンディング領域のアレイ構造層に補助パッドアセンブリを形成し、補助パッドアセンブリがフレキシブル回路基板にボンディング接続するように構成されることを更に含んでもよい。表示領域及びボンディング領域のシリコン基板にアレイ構造層を形成し、ボンディング領域のアレイ構造層に補助パッドアセンブリを形成することは、シリコン基板に第1絶縁層を形成し、表示領域の第1絶縁層にはシリコン基板の駆動トランジスタを露出させる第1ビアが形成され、ボンディング領域の第1絶縁層にはシリコン基板のパッドアセンブリを露出させる第3ビアが形成されることと、第1ビアの内に第1導電性ピラーを形成し、第3ビアの内に第3導電性ピラーを形成することと、第1絶縁層に反射電極及び補助パッドアセンブリを形成し、反射電極が表示領域に設置され、第1導電性ピラーによって前記駆動トランジスタに接続され、補助パッドアセンブリがボンディング領域に設置され、第3導電性ピラーによって前記パッドアセンブリに接続されることと、第2絶縁層を形成し、表示領域の第2絶縁層には反射電極を露出させる第2ビアが形成されることと、第2ビアの内に第2導電性ピラーを形成し、第2導電性ピラーが反射電極に接続されることと、を含む。

【0105】

いくつかの例示的な実施形態では、補助パッドアセンブリはフレキシブル回路基板にボンディング接続するように構成され、表示領域のアレイ構造層に発光構造層を形成し、配線領域のシリコン基板に配線保護構造を形成することは、同一のパターニングプロセスにより第2絶縁層に陽極及び配線保護構造を形成し、陽極が表示領域に設置され、反射電極によってシリコン基板の駆動トランジスタに接続され、配線保護構造が配線領域に設置されることを含む。

【0106】

いくつかの例示的な実施形態では、本実施例の製造方法は、配線保護構造を形成した後、ボンディング領域又はボンディング領域及び配線保護構造にフォトレジスト層を形成することと、カバープレートパッケージした後、レーザでボンディング領域のフォトレジスト層をアブレーションすることと、を更に含んでもよい。

【0107】

表示基板の製造過程については、上記実施例において詳しく説明されたため、ここで詳細な説明は省略する。

【0108】

本開示の実施例は上記表示基板を備える表示装置を更に提供する。表示装置はシリコン系OLEDディスプレイ、携帯電話、タブレットコンピュータ、テレビ、ディスプレイ、ノートパソコン、デジタルフォトフレーム、カーナビゲーション等のいかなる表示機能を有する製品又は部材であってもよく、本開示の実施例はこれらに限らない。

【0109】

本開示の実施例の説明において、用語「中央部」、「上」、「下」、「前」、「後」、「鉛直」、「水平」、「頂」、「底」、「内」、「外」等で示される方位又は位置関係は図面に基づいて示す方位又は位置関係であって、本開示を説明しやすくし及び説明を簡素化するためのものに過ぎず、指す装置又は素子が必ず特定の方位を有し、特定の方位で構成及び操作しなければならないことを指示又は暗示するものではなく、従って、本開示を制限するものと理解されるべきではない。

10

20

30

40

50

【 0 1 1 0 】

以上は本開示に開示される実施形態であって、本開示を理解しやすくするために用いた実施形態に過ぎず、本開示を制限するためのものではない。当業者であれば、本開示に開示される趣旨や範囲を逸脱せずに、実施形態及び細部に対していかなる修正や変更を行うことができるが、本開示の特許保護範囲は依然として添付の特許請求の範囲に限定される範囲に準じるべきである。

【符号の説明】

【 0 1 1 1 】

- 1 0 シリコン基板

4 0 配線保護構造

1 0 0 表示領域

3 0 1 パッドアセンブリ

3 0 0 ボンディング領域

4 0 0 配線領域
- 10

20

30

40

50

【図面】

【図 1】

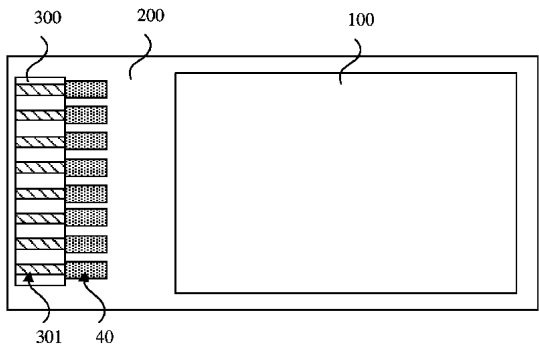


图 1

【図 2】

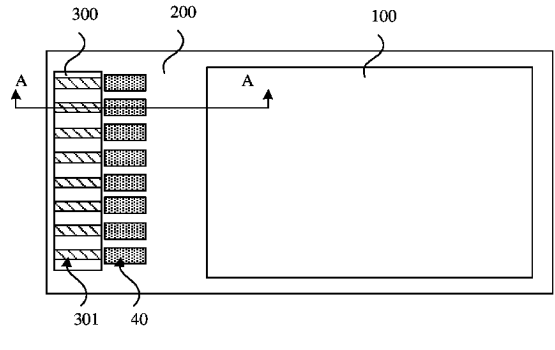


图 2

【図 3】

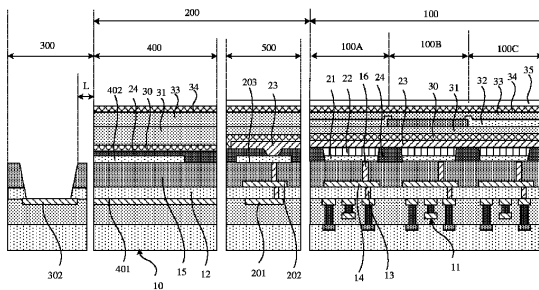


图 3

【図 4】

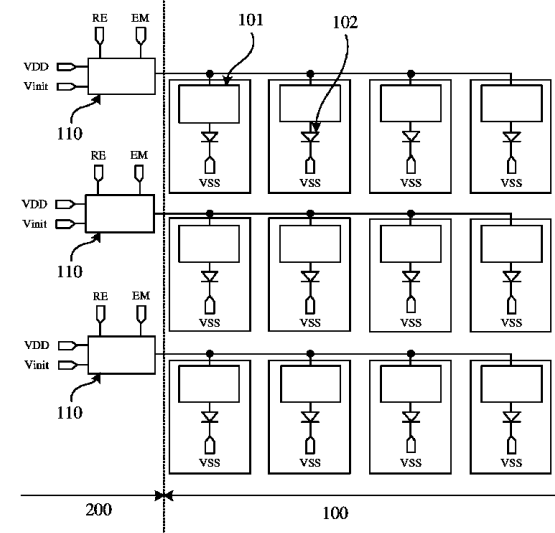


图 4

10

20

30

40

50

【図 1 1】

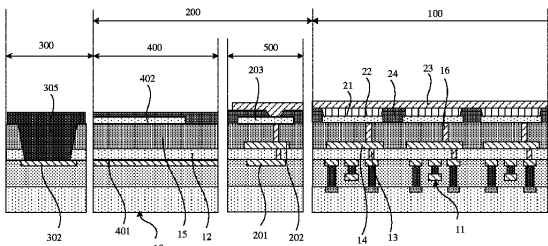


图 11

【図 1 2】

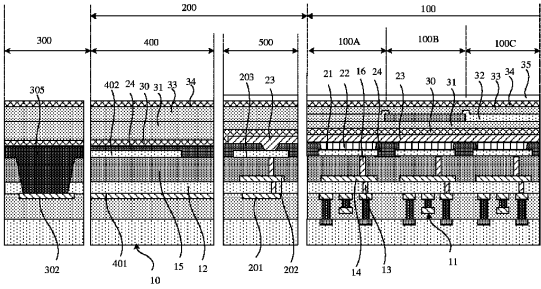


图 12

10

【図 1 3】

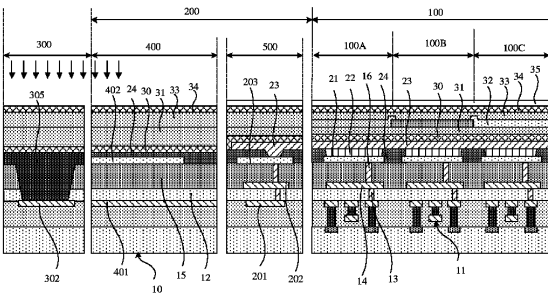


图 13

【図 1 4】

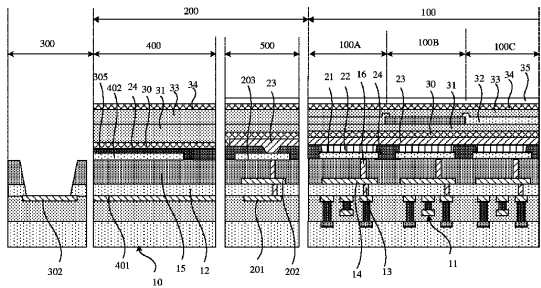


图 14

20

【図 1 5】

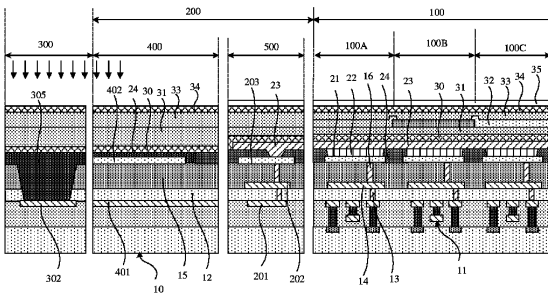


图 15

【図 1 6】

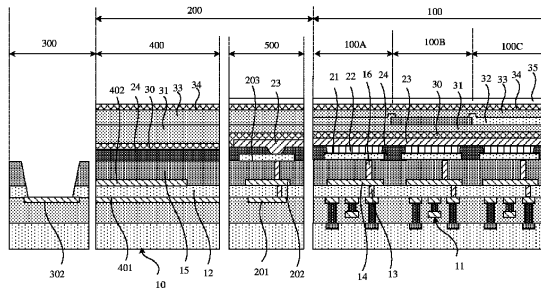


图 16

30

40

50

【図 1 7】

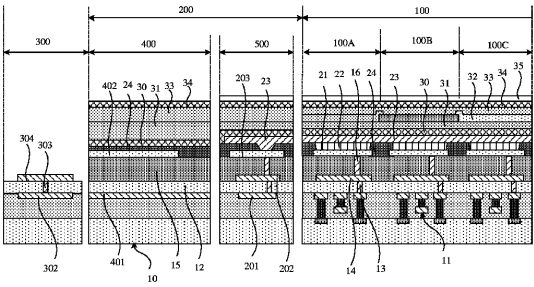


图 17

【図 1 8】

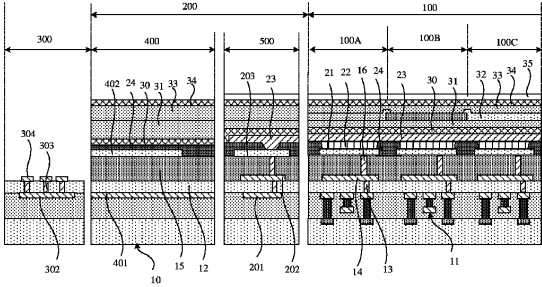
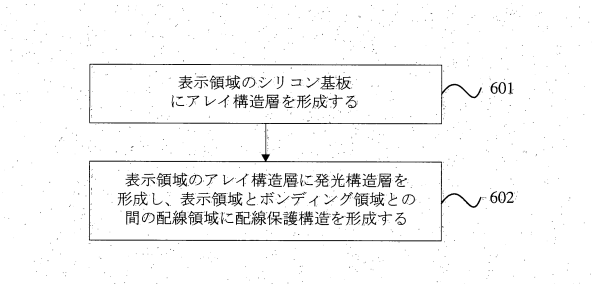


图 18

10

【図 1 9】



20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 K	59/124 (2023.01)	G 0 9 F	9/30	3 6 5
H 1 0 K	59/131 (2023.01)	H 1 0 K	50/814	
H 1 0 K	71/00 (2023.01)	H 1 0 K	50/818	
H 1 0 K	71/20 (2023.01)	H 1 0 K	59/123	
H 1 0 K	77/10 (2023.01)	H 1 0 K	59/124	
		H 1 0 K	59/131	
		H 1 0 K	71/00	
		H 1 0 K	71/20	
		H 1 0 K	77/10	

(72)発明者 中華人民共和国 1 0 0 1 7 6 北京市 ▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号
▲盧▼ ▲鵬▼程

(72)発明者 中華人民共和国 1 0 0 1 7 6 北京市 ▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号
田 ▲帥▼

(72)発明者 中華人民共和国 1 0 0 1 7 6 北京市 ▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号
敖 雨

(72)発明者 中華人民共和国 1 0 0 1 7 6 北京市 ▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号
朱 志▲堅▼

(72)発明者 中華人民共和国 1 0 0 1 7 6 北京市 ▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号
田 元▲蘭▼

審査官 中華人民共和国 1 0 0 1 7 6 北京市 ▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号
石本 努

(56)参考文献

特開 2 0 1 0 - 2 1 7 2 4 5 (J P , A)
 特開 2 0 1 0 - 2 3 0 8 8 5 (J P , A)
 米国特許出願公開第 2 0 1 8 / 0 1 2 2 8 8 2 (U S , A 1)
 韓国公開特許第 1 0 - 2 0 0 8 - 0 0 6 1 5 4 7 (K R , A)
 特開 2 0 0 4 - 1 6 5 0 6 8 (J P , A)
 米国特許出願公開第 2 0 0 9 / 0 2 3 7 5 8 1 (U S , A 1)
 特開 2 0 1 4 - 1 4 9 4 8 2 (J P , A)
 韓国公開特許第 1 0 - 2 0 0 3 - 0 0 5 7 7 5 2 (K R , A)
 米国特許出願公開第 2 0 1 8 / 0 1 0 2 0 8 3 (U S , A 1)
 特開 2 0 1 6 - 1 5 7 5 6 6 (J P , A)
 特開 2 0 1 8 - 1 2 5 1 6 8 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

G 0 2 F 1 / 1 3 6 - 1 / 1 3 6 8
 G 0 9 F 9 / 0 0 - 9 / 4 6
 H 0 5 B 3 3 / 0 0 - 3 3 / 2 8
 4 4 / 0 0
 4 5 / 6 0
 H 1 0 K 5 0 / 0 0 - 9 9 / 0 0