

19 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

11 N° de publication :

2 946 201

(à n'utiliser que pour les  
commandes de reproduction)

21 N° d'enregistrement national :

09 53598

51 Int Cl<sup>8</sup> : H 03 F 1/30 (2006.01), H 03 F 3/185, H 03 G 3/34

12

## DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 29.05.09.

30 Priorité :

43 Date de mise à la disposition du public de la  
demande : 03.12.10 Bulletin 10/48.

56 Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

60 Références à d'autres documents nationaux  
apparentés :

71 Demandeur(s) : ST ERICSSON(GRENOBLE)SAS  
*Société par actions simplifiée* — FR.

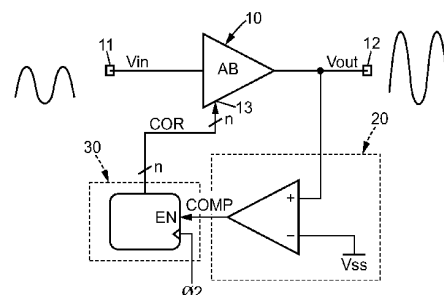
72 Inventeur(s) : CELLIER REMY et AMIARD FRAN-  
COIS.

73 Titulaire(s) : ST ERICSSON(GRENOBLE)SAS  
*Société par actions simplifiée.*

74 Mandataire(s) : CABINET PLASSERAUD.

54 ANNULATION D'OFFSET POUR AMPLIFICATEUR AUDIO.

57 Un circuit d'amplification audio comprend un amplificateur (10) ayant une entrée pour recevoir un signal d'entrée ( $V_{in}$ ), une sortie, et une entrée numérique de commande pour recevoir une valeur de commande sur un nombre  $n$  de bits, un comparateur (20) ayant une première entrée couplée à la sortie de l'amplificateur pour recevoir une image du signal en sortie de l'amplificateur, une seconde entrée recevant un potentiel de référence, et une sortie, et un compteur thermométrique (30), ayant une entrée de sélection couplée à la sortie du comparateur, et une sortie délivrant une valeur numérique (COR) sur  $n$  bits qui est fournie sur l'entrée de commande de l'amplificateur. L'amplificateur comprend un étage d'entrée différentiel ayant une première et une seconde branches différentielles parcourues chacune par un courant de polarisation, le courant dans la première branche étant modifiable par  $n$  sources de courant élémentaires qui délivrent chacune soit un courant élémentaire qui est identique pour toutes les sources de courant élémentaires, soit aucun courant, en fonction de la valeur binaire de l'un respectifs des bits de la valeur numérique de commande reçue sur l'entrée de commande.



FR 2 946 201 - A1



## ANNULATION D'OFFSET POUR AMPLIFICATEUR AUDIO

### Domaine Technique

La présente invention se rapporte de manière générale à l'amplification des signaux audio, et plus particulièrement à l'annulation d'offset pour un amplificateur audio.

5 L'invention trouve des applications, en particulier, dans les circuits intégrés équipant des appareils ayant une fonction de restitution d'un signal audio, tels que les téléphones portables, les baladeurs MP3 ou MP4, etc. Dans une telle application, l'amplificateur audio est destiné à charger le haut-parleur ou la prise casque ("head set" en anglais) de l'appareil.

10

### Arrière-plan Technologique

A la mise sous tension de l'amplificateur audio, il se produit un bruit parasite, qu'on appelle un "pop" dans le jargon de l'Homme du métier. Ce pop est considéré comme un défaut audible par l'utilisateur de l'appareil. Il est désagréable à entendre, en particulier lors d'une écoute sous casque ou  
15 oreillettes.

La Figure 1 montre l'évolution en fonction du temps de la tension  $V_{out}(t)$  en sortie de l'amplificateur audio, lors de cette mise sous tension et en l'absence de signal en entrée de l'amplificateur. Le pop provient de la génération, d'un pic de tension 1 qu'on appelle un "glitch", et de la présence  
20 d'un niveau de tension 2 non nul correspondant à la tension d'offset de l'amplificateur.

Cette tension d'offset résulte d'un déséquilibre entre les deux courants statiques respectivement établis dans chacune des deux branches de la paire différentielle qui forme l'étage d'entrée de l'amplificateur.

25 En pratique, il n'est pas rare de constater des tensions d'offset de  $\pm 10$  mV environ. Or, un "pop" correspondant à une variation transitoire de  $\pm 1$  mV en sortie peut être entendu par l'utilisateur.

La tension d'offset est aussi à l'origine d'une consommation statique en courant, qui correspond au produit de la tension d'offset par l'impédance de la  
30 charge. Or, dans les applications envisagées, l'appareil est en général alimenté

par batterie, en sorte qu'il est souhaitable de réduire la consommation statique en courant.

### **Art Antérieur**

Il existe des techniques qui permettent de diminuer, dans le signal audio restitué à l'utilisateur, le bruit parasite provenant de la tension d'offset de l'amplificateur audio. Dans leur principe, les techniques considérées ici consistent à observer la tension en sortie de l'amplificateur en l'absence de signal d'entrée, et à commander des moyens d'annulation d'offset internes à l'amplificateur.

Une telle technique est présentée dans l'article IEEE Journal Of Solid-State Circuits, Vol. 29, No. 5, Mai 1994, intitulé "*An Automatic offset compensation scheme with Ping-Pong control for CMOS operational amplifier*". Toutefois, la solution conforme à cet article n'est pas applicable dans les applications audio envisagées, en raison du défaut de linéarité de l'annulation d'offset qu'elle procure.

### **Résumé de l'Invention**

Il existe donc un besoin d'une solution pour supprimer, ou du moins atténuer, la tension d'offset d'un amplificateur audio.

A cet effet, il est proposé un circuit d'amplification audio comprenant :

- un amplificateur ayant une entrée pour recevoir un signal d'entrée, une sortie, et une entrée numérique de commande pour recevoir une valeur de commande sur un nombre n de bits;
- un comparateur ayant une première entrée couplée à la sortie de l'amplificateur pour recevoir une image du signal en sortie de l'amplificateur, une seconde entrée recevant un potentiel de référence, et une sortie ;
- un compteur thermométrique, ayant une entrée de sélection couplée à la sortie du comparateur, et une sortie délivrant une valeur numérique sur n bits qui est fournie sur l'entrée de commande de l'amplificateur.

Avantageusement, l'amplificateur comprend un étage d'entrée différentiel ayant une première et une seconde branches différentielles

parcourues chacune par un courant de polarisation, le courant dans la première branche étant modifiable par  $n$  sources de courant élémentaires qui délivrent chacune soit un courant élémentaire qui est identique pour toutes les sources de courant élémentaires, soit aucun courant, en fonction de la valeur binaire de l'un respectifs des bits de la valeur numérique de commande reçue sur l'entrée de commande.

Ceci permet d'obtenir une correction de l'offset de l'amplificateur audio qui est monotone et linéaire, en ce sens que la décroissance de la tension d'offset décroît avec une pente constante, au rythme d'un signal d'horloge qui séquence le compteur thermométrique.

Lorsque l'amplificateur est un amplificateur en classe AB, qui donne un bon rendement d'amplification, le potentiel de référence du comparateur est le potentiel de masse.

L'amplificateur peut comprendre une source de courant agissant sur la seconde branche de l'étage différentiel pour déséquilibrer les courants respectifs dans les première et seconde branches de l'étage différentiel, pour un signal d'entrée nul et pour une valeur de commande correspondant à une absence de modification du courant de polarisation dans la première branche de l'étage différentiel.

De préférence, la source de courant agissant sur la seconde branche de l'étage différentiel pour déséquilibrer les courants respectifs dans les première et seconde branches de l'étage différentiel est configurée pour délivrer un courant sensiblement égal à  $(n \times I_0)/2$ , où  $I_0$  est la valeur du courant élémentaire délivré par chacune des sources de courant élémentaires qui permettent de modifier le courant dans la première branche de l'étage différentiel.

De cette manière, on peut forcer le signe de l'offset de l'amplificateur à un signe qui soit toujours le même (positif ou négatif), ce qui simplifie sa correction. Dit autrement, on sait dans quel sens il faut rééquilibrer les courants de polarisation, puisque c'est toujours le même. Egalement, on sait qu'il est possible de corriger l'offset au cours d'un cycle de comptage du compteur thermométrique.

Afin de s'affranchir des effets d'un éventuel offset du comparateur, le comparateur est un comparateur à décalage automatique du zéro.

De préférence, le comparateur comprend un premier étage qui est un étage différentiel à décalage automatique du zéro, suivi d'un second étage qui n'est pas à décalage automatique du zéro, et d'une bascule analogique à verrouillage.

Le second étage contribue à augmenter la sensibilité, en apportant un gain supplémentaire. Son offset éventuel est toutefois divisé par le gain du premier étage dans le signal en sortie du comparateur, et c'est pourquoi il n'est pas indispensable de le corriger. La structure du comparateur est alors plus simple.

Dans un exemple de réalisation convenant pour l'amplification d'un signal audio, une fréquence de cadencement du compteur est égale à environ 32 kHz, et  $n$  est égal à 94.

L'invention concerne également un Procédé d'amplification audio utilisant un amplificateur ayant une entrée pour recevoir un signal d'entrée, une sortie, et une entrée numérique de commande pour recevoir une valeur de commande sur un nombre  $n$  de bits, comprenant les étapes consistant à:

- comparer une image du signal en sortie de l'amplificateur avec un potentiel de référence ; et,
- générer une valeur numérique sur  $n$  bits qui est fournie sur l'entrée de commande de l'amplificateur, avec un compteur thermométrique ayant une entrée de sélection couplée à la sortie du comparateur.

On modifie le courant dans une première branche d'un étage d'entrée différentiel de l'amplificateur ayant ladite première branche et une seconde branche différentielles parcourues chacune par un courant de polarisation, par  $n$  sources de courant élémentaires qui délivrent chacune soit un courant élémentaire qui est identique pour toutes les sources de courant élémentaires, soit aucun courant, en fonction de la valeur binaire de l'un respectifs des bits de la valeur numérique de commande reçue sur l'entrée de commande.

L'invention concerne encore un appareil comprenant une source de signal audio et un circuit d'amplification tel que défini plus haut, pour l'amplification du signal audio.

### Brève Description des Dessins

- 5 D'autres caractéristiques et avantages de l'invention apparaîtront encore à la lecture de la description qui va suivre. Celle-ci est purement illustrative et doit être lue en regard des dessins annexés sur lesquels :
- la Figure 1, déjà analysée, est une courbe en fonction du temps, de la tension en sortie d'un amplificateur audio sans correction de "glitch" ni d'offset, à la mise sous tension de l'amplificateur;
  - 10 - la Figure 2 est schéma fonctionnel illustrant le principe de l'annulation d'offset selon des modes de réalisation de l'invention;
  - la Figure 3 représente le diagramme des transitions d'un compteur thermométrique à 8 bits en sortie;
  - 15 - la Figure 4 est un schéma détaillé d'un mode de réalisation de l'amplificateur audio avec ses moyens internes de correction d'offset;
  - les Figures 5a-5c sont des diagrammes illustrant les plages de variation de la tension d'offset de l'amplificateur audio, et son évolution à l'intérieur de des plages ;
  - 20 - la Figure 6 est une courbe en fonction du temps, à la mise sous tension, de la tension de sortie d'un amplificateur audio avec correction d'offset selon des modes de réalisation de l'invention;
  - la Figure 7 illustre le schéma de principe d'un comparateur à auto zéro utilisés dans des modes de réalisation de l'invention ;
  - 25 - les Figure 8a à 8i montrent des chronogrammes de signaux d'horloge, de signaux de commande, et de tensions du circuit d'amplification ;
  - la Figure 9 est un diagramme d'étapes d'un procédé mettant en œuvre le circuit d'amplification; et,
  - 30 - la Figure 10 est un schéma simplifié d'un appareil incorporant le circuit d'amplification.

### Description détaillée de modes de réalisation

A la Figure 2, on a représenté de façon schématique un exemple de circuit d'amplification audio incorporant l'annulation d'offset selon le principe utilisé par des modes de réalisation de la présente invention.

5 Le circuit d'amplification audio comprend une entrée 11 pour recevoir un signal d'entrée audio  $V_{in}$  à amplifier. Il comprend également une sortie 12 délivrant un signal de sortie audio  $V_{out}$ , correspondant au signal  $V_{in}$  amplifié.

Le signal d'entrée est typiquement une tension différentielle, définie par la différence entre deux composantes, respectivement  $V_+$  et  $V_-$ .

10 Le signal  $V_{out}$  est une tension convenant pour attaquer un dispositif de restitution sonore telle qu'un haut parleur ou un casque audio. Typiquement, la sortie 12 attaque un haut parleur de l'appareil dans lequel le circuit d'amplification audio est utilisé, ou une prise casque de cet appareil à laquelle un casque, des oreillettes, ou encore un haut-parleur externe, peuvent être  
15 raccordés.

Dans la présente description, et sauf indication contraire particulière, toutes les tensions mentionnées sont référencées par rapport à un potentiel  $V_{ss}$ . Il peut s'agir d'un potentiel de masse. Egalement, il est entendu que, à défaut de mention contraire les phénomènes décrits ici interviennent avant  
20 qu'un signal d'entrée  $V_{in}$  soit appliqué sur l'entrée 11. Dit autrement, on aura  $V_+ = V_-$ .

Le circuit d'amplification comprend un amplificateur 10, typiquement un amplificateur en classe AB. Il s'agit d'un amplificateur différentiel, tel qu'un amplificateur opérationnel. Un tel amplificateur comprend un étage d'entrée  
25 avec une paire différentielle de transistors. Ici, les transistors sont des transistors MOS. Le dispositif est par exemple réalisé en technologie CMOS ("Complementary CMOS"). Le détail d'un exemple de réalisation de l'étage d'entrée de l'amplificateur 10 sera donné plus loin en référence à la Figure 4.

Typiquement, l'amplificateur 10 est polarisé au milieu de la plage des  
30 tensions disponibles, c'est-à-dire par exemple à une tension égale à  $(V_{dd} - V_{ss})/2$  pour un amplificateur audio alimenté entre une tension d'alimentation positive  $V_{dd}$  et le potentiel  $V_{ss}$  précité. On obtient ainsi la dynamique maximum pour l'amplification du signal d'entrée  $V_{in}$ . Par exemple,

l'amplificateur possède un étage d'entrée ayant une structure différentielle, qui amplifie la différence entre les composantes  $V_+$  et  $V_-$  du signal d'entrée  $V_{in}$ . La polarisation de l'amplificateur 10 est obtenue en imposant un courant statique dans chacune des deux branches de la paire différentielle qui constitue son  
5 étage d'entrée, ces deux courants devant en principe être de même valeur pour que la paire différentielle soit équilibrée et que l'amplificateur n'ait aucun offset.

Une tension d'offset de l'amplificateur 10 provient toutefois du déséquilibre entre les deux courants statiques précités, ou courants de  
10 polarisation. Un tel déséquilibre est inhérent à la réalisation de l'amplificateur sur silicium. Elle résulte des dispersions de caractéristiques des composants, i.e., des transistors MOS, qui constituent les éléments de base pour la réalisation de l'amplificateur sur silicium.

L'amplificateur 10 comprend des moyens de correction d'offset  
15 internes, pour corriger le déséquilibre entre les courants de polarisation de la paire différentielle. Ces moyens sont pilotés de l'extérieur de l'amplificateur, via une entrée 13, par des moyens d'annulation d'offset, qui comprennent ici un comparateur 20 et un générateur de code thermométrique 30.

Le comparateur 20 comprend deux entrées et une sortie. La première  
20 entrée (repérée par le signe "+" à la Figure 2) est couplée à la sortie 12 du circuit d'amplification, pour recevoir une image du signal de sortie  $V_{out}$ , c'est-à-dire la tension  $V_{out}(t)$ . La seconde entrée (repérée par le signe "-" à la Figure 2) reçoit une tension de référence. Lorsque l'amplificateur 10 est un amplificateur en classe AB, dont la tension de sortie en mode commun est  
25 théoriquement, i.e., à l'offset près, égale à zéro, cette tension de référence est la tension nulle. Dans ce cas, l'entrée "-" est par exemple couplée à la masse du circuit. Dit autrement, dans ce cas, l'offset de l'amplificateur 10 est déterminé en comparant sa tension de sortie  $V_{out}(t)$  à zéro.

La précision de cette comparaison est affectée par divers paramètres,  
30 dont l'existence éventuelle d'un offset dans le comparateur 20. C'est pourquoi, afin d'augmenter cette précision, on utilise de préférence un comparateur à décalage automatique du zéro, dit aussi "comparateur à auto zéro" (en anglais,

"auto zero comparator"). Le principe d'un tel comparateur et un mode de réalisation avantageux seront décrits plus loin en référence à la Figure 7.

Toujours en référence à la Figure 2, la sortie de l'amplificateur 20 délivre un signal COMP qui attaque une entrée de validation ou entrée de sélection EN du générateur 30. Dans un exemple de réalisation, celui-ci peut  
5 comprendre un compteur modulo  $n$ , où  $n$  est un nombre entier supérieur à l'unité. Ce compteur possède une sortie numérique sur  $n$  bits. Il génère et délivre en sortie un signal de correction COR qui correspond à un code thermométrique sur  $n$  bits. Par exemple il peut s'agir d'un compteur de type  
10 Johnson ou en être dérivé. Il est cadencé par un signal d'horloge  $\Phi_2$  reçu sur une entrée d'horloge, et sur lequel on reviendra plus loin.

Le fonctionnement du compteur 30 peut être résumé par son diagramme des transitions, dont un exemple est représenté à la Figure 3, dans lequel  $n=8$ . Un tel diagramme représente l'ensemble des valeurs de sortie du  
15 compteur pour un cycle complet de celui-ci.

Comme on le voit sur cet exemple, la caractéristique d'un compteur thermométrique est que, en partant d'une valeur initiale dans laquelle tous les bits sont à 0, un bit passe de 0 à 1 à chaque transition, les autres bits ne changeant pas de valeur. Dans l'exemple représenté, les  $n$  bits passent  
20 successivement à 1 en partant du bit de poids le plus fort (MSB, de l'anglais "Most Significant Bit") et en terminant par le bit de poids le plus faible (LSB, de l'anglais "Least Significant Bit"). L'inverse est également possible, à savoir commencer par le LSB et terminer par le MSB. Le compteur est conçu de telle manière qu'il est remis à zéro à la mise sous tension du circuit. Dans cet état,  
25 tous les bits de la valeur de sortie COR sont à la valeur logique 0. L'Homme du métier sait comment concevoir un compteur réalisant ces transitions.

De retour à la Figure 2, le signal de sortie COR du générateur thermométrique 30 est fourni sur l'entrée de correction d'offset 13 de l'amplificateur 10. Il constitue un signal d'annulation d'offset, qui est un signal  
30 numérique sur  $n$  bits.

Dans le contexte de la présente invention, en effet, les transitions du compteur sont commandées, au rythme du signal d'horloge précité, tant que le signal en sortie du comparateur est à un étage logique indiquant que la tension

$V_{out}(t)$  en sortie de l'amplificateur 10 n'est pas nulle. Il s'agit par exemple directement de l'état d'activation du compteur via son entrée EN, par exemple l'état logique haut.

L'ensemble du système est calibré de manière que cette condition  
5 ( $V_{out}(t) = 0$ ) se réalise nécessairement pour l'une des  $n$  valeurs de sortie du compteur 30, ainsi qu'il va maintenant être explicité.

La Figure 4 montre de façon détaillée un exemple de réalisation de l'amplificateur 10. Il comprend un étage d'entrée 41, un étage de sortie 42, et un réseau de sources de courant 43.

10 L'étage d'entrée 41 comprend une paire différentielle de transistors MOS. Il s'agit par exemple de deux transistors PMOS identiques, respectivement MP1 et MP2, montés en paire différentielle. Le transistor MP1 reçoit la composante positive  $V_+$  du signal d'entrée  $V_{in}$ , et le transistor MP2 reçoit sa composante négative  $V_-$ . Les sources de MP1 et MP2 sont reliés  
15 ensemble, à travers une source de courant, à une borne d'alimentation haute portée au potentiel de la tension  $V_{dd}$ . Dans un exemple considéré ici, la tension d'alimentation positive  $V_{dd}$  est égale à environ 2 V. La source de courant délivre un courant de polarisation  $I_p$ . Par exemple, elle est réalisée par un transistor PMOS dont l'électrode de substrat est portée à la tension  $V_{dd}$  et dont la grille de commande reçoit une tension de polarisation constante, dont  
20 l'amplitude détermine la valeur du courant  $I_p$ .

Le drain du transistor MP1 est relié à une borne portée au potentiel de masse  $V_{ss}$ , à travers un transistor MOS de type N (NMOS). De même, le drain du transistor MP2 est relié à la borne de masse à travers un autre transistor  
25 NMOS, identique au précédent. Ces deux transistors, respectivement MN1 et MN2, sont donc traversés chacun par un courant d'équilibre statique. Par courant d'équilibre statique, on entend un courant établi en l'absence de signal  $V_{in}$  à amplifier, c'est-à-dire quand  $V_{in}(t)=0$ , i.e., quand  $V_+=V_-$ . Ces transistors MN1 et MN2 font partie de l'étage de sortie 42.

30 Néanmoins, cette situation idéale, qui correspond à un parfait équilibre entre les deux branches de la paire différentielle comprenant respectivement les transistors MP1 et MN1 et les transistors MP2 et MN2, ne s'obtient jamais tout à fait en pratique. Ceci est dû aux imperfections de la réalisation sur

silicium des transistors précités. Un déséquilibre provoque une tension d'offset en sortie de l'amplificateur, c'est-à-dire que la tension de sortie  $V_{out}(t)$  n'est pas égale à zéro quand la tension  $V_{in}(t)$  est nulle.

L'étage de sortie 42 de l'amplificateur 10 a une structure dite "cascode replié" ("folded cascode" en anglais). Plus particulièrement, il comprend une  
5 paire de transistors PMOS dont les sources sont reliées à la borne d'alimentation haute  $V_{dd}$ , et qui sont montés en miroir de courant: leurs grilles de commande sont reliées ensemble et l'un d'entre eux a sa grille de commande reliée à son drain. Le signal de sortie  $V_{out}$  de l'amplificateur 10 est  
10 pris sur le drain de l'autre transistor. Les drains de ces deux transistors PMOS sont couplés à la borne de masse  $V_{ss}$ , chacun à travers deux transistors NMOS "cascodés", i.e., montés en étages Cascode. Les grilles de commande des transistors NMOS de chaque étage Cascode reçoivent une même tension de polarisation, à savoir une tension  $V_{n1}$  pour l'étage inférieur comprenant  
15 MN1 et MN2 (qui est du côté de  $V_{ss}$ ) et une tension  $V_{n2}$  pour l'étage supérieur (celui qui est du côté de  $V_{dd}$  et des transistors PMOS). Ainsi, la paire de points milieux, i.e., entre les deux étages Cascode de l'étage 42, est reliée à la paire de nœuds de sortie de l'étage d'entrée différentielle 41, à savoir au drain des transistors MP1 et MP2, respectivement. Cette structure de l'étage de sortie 42  
20 permet une grande fidélité dans la copie des courants de sortie de la paire différentielle de l'étage d'entrée 41, même pour une faible tension d'alimentation  $V_{dd}$ . On obtient ainsi une grande précision dans la valeur du signal de sortie  $V_{out}$ . En outre, cette structure de l'étage 42 limite la consommation en mode établi, et est peu affectée par la dérive en température  
25 des composants.

L'amplificateur audio comprend par ailleurs une matrice de sources de courant commandées 43. Plus exactement, la matrice 43 comprend  $n$  sources commandées, respectivement SC1 à SC $n$ . L'entrée de commande de cette matrice correspond à l'entrée de correction d'offset 13 de l'amplificateur audio.  
30 Elle reçoit la valeur numérique COR sur  $n$  bits produit par le compteur 30, qui est aussi montrée à la Figure 4.

Une logique de décodage (non représentée) fait en sorte que chacune des sources de courant SC1 à SC $n$  soit commandée par l'un des bits du signal

de correction d'offset COR délivrée par le compteur 30. Par exemple, la source SC1 est commandée par le bit de poids le plus fort, et la source SCn est commandée par le bit de poids le plus faible, et ainsi de suite pour les bits de rang intermédiaire entre le MSB et le LSB. Ainsi, une source SC*i* délivre du courant lorsque le bit de rang *i* du signal de correction d'offset est à 1, alors qu'elle est éteinte (ne délivrant aucun courant) lorsque ce bit est à 0.

On note  $I_1, I_2, \dots, I_n$ , la valeur du courant délivrée par chacune des sources SC1, SC2, ..., SCn, respectivement. Afin d'obtenir une correction d'offset linéaire, tous ces courants sont égaux à une même valeur  $I_0$ . Dit autrement,  $I_1 = I_2 = \dots = I_n = I_0$ . Ceci est obtenu en réalisant la matrice 43 sous la forme d'une matrice de transistor "matchés". De tels transistors sont réalisés lors des mêmes étapes d'implantation sur silicium et sont connectés en miroirs de courant les uns avec les autres.

Les sources de chacun des *n* transistors SC1 à SCn sont reliés à la source du transistor MN2, et donc à la masse Vss. Leurs drains sont reliés au drain du transistor MN2. Dit autrement, les sources SC1 à SCn sont connectées en parallèle avec le transistor MN2 en sorte que leur courant, respectivement  $I_1$  à  $I_n$ , déchargent le nœud de sortie de l'étage différentiel 41 qui correspond au drain du transistor MN2.

A chaque fois qu'une source de plus est allumée, ce nœud est déchargé par un courant  $I_0$  supplémentaire. Cette décharge permet de corriger le déséquilibre entre les courants circulant dans chacune des branches de cette paire différentielle. La valeur du courant  $I_0$  est sensiblement inférieure à  $I_p/2$ , par exemple 100 fois plus petite. En fait,  $I_0$  est choisie de manière à pouvoir corriger la différence entre la valeur théorique de  $I_p/2$  et sa valeur constatée en pratique, compte tenu des dispersions des caractéristiques des composants, et ce en au plus *n* pas de correction à chacun desquels on allume une source de courant de plus parmi les *n* sources SC1 à SCn.

Dans un exemple, pour lequel on cherche à compenser un offset de  $\pm 15$  mV on choisit  $I_0 = 100$  nA, et  $n = 94$ . Ces valeurs de  $I_0$  et de *n* permettent de couvrir toute la plage de la tension d'offset, entre  $-15$  mV et  $+15$  mV.

Afin de garantir que la correction d'offset soit monotone, on ajoute de préférence une source de courant 44 entre l'autre nœud de sortie de l'étage d'entrée différentielle 41, à savoir le drain du transistor MN1, et la borne de masse Vss. Cette source de courant est conçue pour délivrer un courant égal à  $n \times i_0/2$  environ. Ces valeurs donnent une tension d'offset de +15 mV en sortie. Ainsi, on est certain d'avoir une tension d'offset positive, comprise entre 0 et +30 mV pour un déséquilibre entre les deux branches de l'étage d'entrée différentielle 41 qui donne en principe un offset de  $\pm 15$  mV. Cet intervalle est symbolisé par les lignes horizontales en pointillé à la Figure 5b.

Ainsi, lorsque la tension d'offset apparaît à la mise sous tension du circuit d'amplification audio, elle se situe toujours à une valeur positive comprise entre 0 et 30 mV, et elle décroît par pas successifs à chaque fois qu'une source de courant parmi les sources SC1 à SCn est allumée. Ceci donne une évolution en créneau de la tension  $V_{out}(t)$  qui est décroissante et monotone, ainsi qu'il est visible à la Figure 5c. Plus particulièrement, la tension  $V_{out}(t)$  décroît en créneau, à partir d'une valeur initiale comprise entre 0 et 30 mV à la mise sous tension du circuit, et jusqu'à 0. La hauteur d'un créneau correspond à la contribution du courant  $i_0$  qui est ajoutée pour décharger le drain du transistor MN1, à chaque fois qu'une source de courant est allumée parmi les sources SC1 à SCn. La largeur d'un créneau correspond à la période T du signal d'horloge.

Pour résumer, et en référence à la courbe de la figure 6 qui est à comparer à celle de la Figure 1, le créneau de tension portant la référence 2 à la Figure 1 est remplacé dans le signal  $V_{out}(t)$ , par une pente décroissante qui se termine à 0 au bout d'une durée correspondant à  $n \times T$ .

La monotonie de la décroissance vers 0, en partant de la valeur initiale à la mise sous tension de l'amplificateur audio, de la tension d'offset  $V_{out}(t)$ , est avantageuse car elle améliore la précision de la correction d'offset. En effet, si la matrice de source de courant 43 était commandée directement par un décodage d'une valeur binaire correspondant à une mesure de l'offset à des instants déterminés, l'allumage et l'extinction plus ou moins aléatoire des diverses sources de courant de la matrice, pourraient donner lieu à des charges et décharges alternées du nœud correspondant au drain du transistor

MN1. Par exemple, si d'une période du signal d'horloge à l'autre on passe d'une valeur correspondant à décalage de huit unités (nombre 1000 en binaire) à un nombre correspondant à 7 unités (nombre 0111 en binaire), rien ne garantit que la somme des courants générés par les trois sources qui sont allumées par cette transition (correspondant aux trois bits de poids le plus faible) est inférieure au courant de la source qui est éteinte (correspondant au bit de poids le plus fort). En effet, les incertitudes de réalisation sur silicium sont telles que ceci ne peut pas être garanti. Avec une matrice de source de courant commandée ainsi qu'il a été décrit en regard de la Figure 4, étant donné qu'un courant de compensation est ajouté, à chaque étape, à la somme des courants qui étaient déjà ajoutés à l'étape précédente, une telle diminution du courant de compensation ne peut pas se produire.

Ainsi qu'il a été dit, le comparateur 20 est de préférence un comparateur à auto zéro. Un tel comparateur a pour avantage, d'être affranchi de sa propre tension d'offset en ce qui concerne la comparaison entre les deux niveaux de tension reçus en entrée. Son principe est illustré schématiquement à la Figure 7.

A la Figure 7, le signal  $V_{out}(t)$  à comparer est fourni sur l'entrée "-" d'un étage comparateur 61, à travers un interrupteur commandé par un signal  $\Phi 2$  et un condensateur. La sortie de l'étage 61 est bouclée sur cette entrée à travers un deuxième interrupteur commandé par un signal  $\Phi 1$ . L'autre entrée, à savoir l'entrée "+" de l'étage 61 est connecté à l'attention de référence à laquelle est comparée la tension  $V_{out}(t)$ , à savoir la tension nulle du potentiel de masse  $V_{ss}$ , dans l'exemple. Enfin, un troisième interrupteur commandé par le même signal  $\Phi 1$  permet de coupler l'armature du condensateur qui est opposé à l'entrée "-", à l'autre entrée "+".

Le fonctionnement du comparateur est le suivant. Dans une première phase, les interrupteurs commandés par le signal  $\Phi 1$  sont fermés (par exemple est à l'état haut), et l'interrupteur commandé par le signal  $\Phi 2$  est ouvert (le signal  $\Phi 2$  étant par exemple à l'état bas). L'amplificateur 61 est alors agencé dans une configuration d'amplificateur suiveur. Dit autrement, la tension de sortie  $V_{comp}(t)$  est stockée dans le condensateur. Le signal  $V_{out}(t)$  n'étant pas appliqué en entrée, cette tension correspond uniquement à la tension d'offset

de l'amplificateur 61. Dans une seconde face, c'est l'inverse : l'amplificateur commandé par  $\Phi 2$  est fermé et ceux commandés par  $\Phi 1$  sont ouverts. L'amplificateur est alors en configuration de comparateur. La tension qui est comparée à la tension nulle est alors la tension  $V_{out}(t)$  augmentée de la tension UC stockée dans le comparateur, à savoir la tension d'offset de l'amplificateur. Ainsi, la tension  $V_{comp}(t)$  délivrée en sortie du comparateur 61 pendant cette seconde phase, correspond à la véritable comparaison du signal  $V_{out}(t)$  avec la tension nulle. On comprend par là que cette comparaison est affranchie de la tension d'offset de l'amplificateur 61.

Un exemple de réalisation du comparateur 20 va maintenant être exposé en regard des figures 7 et 8. Afin d'augmenter la sensibilité, on cherche à augmenter le gain du comparateur. A cet effet, l'amplificateur 61 est suivi d'un second étage d'amplification 62. Il peut à nouveau s'agir d'un amplificateur à structure différentielle. Afin de simplifier l'architecture du circuit, on peut prévoir qu'aucune mesure particulière n'est prévue pour s'affranchir de l'offset de cet étage d'amplification. Néanmoins, la contribution de cet offset est réduite d'un facteur  $G$  par rapport à celle du premier étage 61, où  $G$  est le gain de l'étage 61. Dit autrement, c'est surtout l'offset du premier étage 61 qui influence le résultat de la comparaison et c'est pourquoi cet étage bénéficie de la compensation d'offset suivant le principe du comparateur à auto zéro qui a été décrit plus haut.

La tension  $V_{comp}(t)$  qui correspond à la différence entre le signal  $V_{out}(t)$  et la tension nulle, après amplification par les étages 61 et 62, attaque l'entrée d'une bascule de sortie 63. Il peut s'agir d'une bascule analogique à verrouillage (« analog latch », en anglais). Cette bascule comprend une sortie  $Q$  et une entrée  $IN$ , qui peut être une entrée différentielle lorsque la sortie de l'amplificateur 62 est une sortie différentielle. Dans un mode de réalisation, la bascule 63 est en outre munie d'une entrée de remise à zéro (reset). Avantagement, cette entrée de remise à zéro reçoit un signal d'horloge  $nCLK$  qui correspond à l'inverse logique du signal d'horloge  $CLK$  précité. A chaque front montant du signal  $nCLK$ , la sortie  $Q$  de la bascule 63 est remise à zéro, quelque soit le signal d'entrée  $IN$ . Dit autrement, la bascule 63 est maintenue dans un état de remise à zéro pendant la moitié du temps,

correspondant aux demi-périodes pendant lesquelles le signal nCLK est à l'état haut.

En référence aux schémas des Figures 8a à 8i on va maintenant expliquer le séquençage des divers signaux qui cadencent le fonctionnement de l'amplificateur audio.

La Figure 8A montre le signal d'horloge CLK. Il s'agit d'un signal carré périodique, dont la fréquence est par exemple à 32 kHz dans les applications audio envisagées. A partir de ce signal, on génère un second signal d'horloge CLK2, par des moyens non représentés. Ce signal CLK2 correspond au signal CLK légèrement retardé. Dans l'exemple, le retard entre ces deux signaux d'horloge est égal à environ 25 ns.

Les fronts montants du signal CLK2 permettent de générer les signaux de commande  $\Phi 1$  et  $\Phi 2$  des interrupteurs qui commande le fonctionnement du comparateur 20 dans la première phase ou dans la deuxième phase qui ont été exposées ci-dessus en regard du schéma de la Figure 7. Ces signaux sont à la même fréquence que le signal CLK et le signal CLK2. Ils sont en opposition de phase l'un avec l'autre, et non recouvrant. Cela signifie qu'ils ne sont pas simultanément à l'état haut.

Ainsi qu'il l'a déjà été dit plus haut, le compteur 30 est activé par les fronts montants du signal  $\Phi 2$ . Tant que la tension  $V_{out}(t)$  en sortie de l'amplificateur 10, qui correspond à l'offset de cet amplificateur en l'absence de signal VIN à amplifier n'est pas nul, le signal COMP en sortie du comparateur 20 est à l'état haut quand ce produit un front montant du signal  $\Phi 2$ . Il s'ensuit que le compteur 30 s'incrémente, i.e., change d'état selon le diagramme d'état qui a été décrit plus haut en regard de la Figure 3. Il s'ensuit que un bit de plus de la valeur en sortie de compteur passe de 0 à 1. Par conséquent, une source de courant de plus parmi les sources de la matrice 43 (Figure 4) est allumée. Ce phénomène est illustré aux Figures 8e et 8f pour deux sources délivrant les courants respectivement  $I_{i>}$  et  $I_{i+1>}$ , pour deux fronts montants consécutifs du signal  $\Phi 2$ . L'effet que cela produit sur la tension  $V_{out}(t)$  en sortie de l'amplificateur 10 est illustré par la Figure 8g. Ainsi qu'on peut le voir, à chaque fois qu'une source de tension est allumée, la tension  $V_{out}(t)$  diminue d'un pas correspondant à la valeur  $I_0$  du courant délivré par cette source.

La Figure 8h illustre l'allure du signal d'horloge nCLK qui est l'inverse logique du signal CLK. On rappelle que quand ce signal est à l'état logique haut, la bascule 63 du comparateur 20 est en état de remise à zéro.

Enfin, la Figure 8i ne donne pas un signal qu'on peut retrouver dans le  
5 fonctionnement du circuit, mais illustre des fenêtres temporelles à l'intérieur  
desquelles on peut figer le signal COMP en sortie du comparateur 20 en  
échantillonnant la tension  $V_{comp}(t)$  à l'aide de la bascule 63. Il faut en effet  
que, d'une part on ne soit pas pendant la première phase de fonctionnement  
de l'étage d'entrée 61 pendant laquelle cet étage est en mode suiveur de  
10 tension, et que d'autre part la bascule 63 ne soit pas dans l'état de remise à  
zéro. Dit autrement, il faut que le signal  $\Phi 1$  soit à l'état bas ainsi que signal le  
signal CLK.

A la Figure 9 le diagramme des étapes d'un procédé de mise en œuvre  
d'un circuit d'amplification est représenté de façon schématique. Il s'agit des  
15 étapes mises en œuvre à chaque période du signal d'horloge. Ces étapes  
correspondent à des transitions des signaux qui ont été présentés plus haut en  
regard des Figures 8a-8h. Bien qu'elles sont représentées de façon  
séquentielle, pour la clarté de l'exposé, en réalité ces étapes sont parfois  
imbriquées les unes dans les autres. L'ordre de leur présentation à la Figure 9  
20 correspond cependant à peu près à l'ordre dans lequel ces étapes sont  
effectuées. En premier lieu, le compteur 30 est réinitialisé, à une étape 91. Par  
exemple, cette réinitialisation peut être provoquée par la mise sous tension du  
circuit. A cet effet, une unité de réinitialisation de mise sous tension ("Power-  
on-Reset", POR en anglais) peut activer une entrée de réinitialisation du  
25 compteur 30. Celui-ci prend alors l'état initial montré en haut de la Figure 3, qui  
correspond à la valeur 000...0 du signal COR sur n bits.

Au cours de chaque période du signal d'horloge, on effectue alors les  
étapes 92 à 96.

Tout d'abord, on compense l'offset du comparateur 20 en plaçant celui-  
30 ci successivement dans la première phase de fonctionnement puis dans la  
deuxième phase de fonctionnement. Ceci se produit sur les fronts montants  
des signaux  $\Phi 1$  et  $\Phi 2$ , respectivement. Ceci correspond à l'étape notée 92.

Dans une étape 93, on relâche la commande de mise à zéro de la bascule 63 du comparateur. Ceci se produit, dans une étape 93, sur le front descendant du signal nCLK.

5 Dans une étape 94, on effectue alors la comparaison entre la tension de sortie  $V_{out}(t)$  et la tension nulle. Ceci se produit dès que le signal nCLK est remis à l'état bas, ce qui intervient alors que le comparateur se trouve dans la seconde phase (signal  $\Phi 1$  à l'état bas et signal  $\Phi 2$  à l'état haut).

10 A l'étape 95, on effectue une correction de l'offset de l'amplificateur 10, lorsque cela est nécessaire. Ceci se produit par l'ajout d'une source de courant de la matrice 43, via le passage à 1 d'un bit supplémentaire du signal COR. Ceci se produit sur un front montant du signal  $\Phi 2$ .

Ensuite, dans une étape 96, on remet à zéro la bascule 63, ce qui se produit sur le front montant suivant du signal nCLK.

15 Les étapes 92 à 96 sont alors répétées. Ainsi qu'il a déjà été dit plus haut, le système est calibré de telle façon que le nombre de répétitions de ces étapes est automatiquement inférieur ou égal à n. Dit autrement, l'annulation de l'offset de l'amplificateur prend une durée qui est au plus égale à n fois la période du signal d'horloge. Dans un exemple,  $n=94$  et la fréquence de l'horloge est égale à 32 kHz. L'annulation d'offset prend donc moins de 3 ms.

20 Le schéma-bloc de la Figure 10 montre les éléments d'un appareil incorporant un amplificateur audio tel que présenté ci-dessus. Un tel appareil peut être un téléphone portable ou tout autre, ou tout autre appareil communicant.

25 L'appareil 100 comprend une unité de commande 101 telle qu'un calculateur (CPU), une unité de communication 102, pour émettre et recevoir des informations de l'extérieur, notamment par modulation d'une porteuse radiofréquence. Il comprend aussi une mémoire 103 pouvant stocker des informations sous forme numérique, par exemple un morceau de musique. Le calculateur 101 communique avec l'unité 102 et la mémoire 103 via un bus de communication 104. Chacun de ces éléments est alimenté par la tension  
30 d'alimentation  $V_{dd}$  qui est délivrée par une batterie 106 à travers un interrupteur de commande 107.

A la mise sous tension, cet interrupteur 107 est fermé. Le calculateur 101 génère un signal audio  $V_{in}$  à amplifier, soit à partir des données reçues via l'unité 102, soit à partir de données lues dans la mémoire 103. Pour l'amplification de ce signal  $V_{in}$ , l'appareil 100 comprend un amplificateur audio 5 105 dont des modes de réalisation ont été décrits plus haut. Cet amplificateur est également alimenté par la tension  $V_{dd}$  qui lui est appliqué à travers l'interrupteur 107 dès la mise sous tension.

Le signal de sortie  $V_{out}$  généré par l'ampli 105 attaque un haut parleur 109, qui peut être interne au circuit 100, ou externe. En variante ou en 10 complément, il peut aussi attaquer une prise casque 108 de l'appareil 100, pour permettre l'écoute audio par l'utilisateur à l'aide d'un casque ou d'oreillettes.

L'invention a été décrite ci-dessus par référence à des modes de réalisation. Toute variante techniquement envisageable rentre dans le cadre de 15 la présente demande.

## REVENDEICATIONS

### 1. Circuit d'amplification audio comprenant :

- un amplificateur (10) ayant une entrée pour recevoir un signal d'entrée ( $V_{in}$ ), une sortie, et une entrée numérique de commande pour recevoir une valeur de commande sur un nombre  $n$  de bits;
- un comparateur (20) ayant une première entrée couplée à la sortie de l'amplificateur pour recevoir une image du signal en sortie de l'amplificateur, une seconde entrée recevant un potentiel de référence, et une sortie ;
- un compteur thermométrique (30), ayant une entrée de sélection couplée à la sortie du comparateur, et une sortie délivrant une valeur numérique (COR) sur  $n$  bits qui est fournie sur l'entrée de commande de l'amplificateur ;

dans lequel l'amplificateur comprend un étage d'entrée différentiel (MP1,MP2) ayant une première et une seconde branches différentielles parcourues chacune par un courant de polarisation, le courant dans la première branche étant modifiable par  $n$  sources de courant élémentaires (SC1-SC $n$ ) qui délivrent chacune soit un courant élémentaire ( $I_0$ ) qui est identique pour toutes les sources de courant élémentaires, soit aucun courant, en fonction de la valeur binaire de l'un respectifs des bits de la valeur numérique de commande reçue sur l'entrée de commande.

2. Circuit selon la revendication 1, dans lequel l'amplificateur est un amplificateur en classe AB, et dans lequel le potentiel de référence du comparateur est le potentiel de masse.

3. Circuit selon la revendication 1 ou la revendication 2, dans lequel l'amplificateur comprend en outre une source de courant agissant sur la seconde branche de l'étage différentiel pour déséquilibrer les courants respectifs dans les première et seconde branches de l'étage différentiel, pour

un signal d'entrée nul et pour une valeur de commande correspondant à une absence de modification du courant de polarisation dans la première branche de l'étage différentiel.

4. Circuit selon la revendication 3, dans lequel la source de courant agissant sur la seconde branche de l'étage différentiel pour déséquilibrer les courants respectifs dans les première et seconde branches de l'étage différentiel est configurée pour délivrer un courant sensiblement égal à  $(n \times I_0)/2$ , où  $I_0$  est la valeur du courant élémentaire délivré par chacune des sources de courant élémentaires qui permettent de modifier le courant dans la première branche de l'étage différentiel.

5. Circuit selon l'une quelconque des revendications précédentes, dans lequel le comparateur est un comparateur à décalage automatique du zéro.

6. Circuit selon la revendication 5, dans lequel le comparateur comprend un premier étage qui est un étage différentiel à décalage automatique du zéro, suivi d'un second étage qui n'est pas à décalage automatique du zéro, et d'une bascule analogique à verrouillage.

7. Circuit selon l'une quelconque des revendications 1 à 6, dans lequel une fréquence de cadencement du compteur est égale à environ 32 kHz, et dans lequel  $n$  est égal à 94.

8. Procédé d'amplification audio utilisant un amplificateur ayant une entrée pour recevoir un signal d'entrée, une sortie, et une entrée numérique de commande pour recevoir une valeur de commande sur un nombre  $n$  de bits, comprenant les étapes consistant à;

- comparer (94) une image du signal en sortie de l'amplificateur avec un potentiel de référence ; et,

- générer (95) une valeur numérique sur n bits qui est fournie sur l'entrée de commande de l'amplificateur, avec un compteur thermométrique ayant une entrée de sélection couplée à la sortie du comparateur ;

dans lequel on modifie (95) le courant dans une première branche d'un étage d'entrée différentiel de l'amplificateur ayant ladite première branche et une seconde branche différentielles parcourues chacune par un courant de polarisation, par n sources de courant élémentaires qui délivrent chacune soit un courant élémentaire qui est identique pour toutes les sources de courant élémentaires, soit aucun courant, en fonction de la valeur binaire de l'un respectifs des bits de la valeur numérique de commande reçue sur l'entrée de commande.

9. Procédé selon la revendication 8, dans lequel l'amplificateur étant un amplificateur en classe AB, le potentiel de référence du comparateur est le potentiel de masse.

10. Procédé selon la revendication 8 ou la revendication 9, dans lequel on déséquilibre les courants respectifs dans les première et seconde branches de l'étage différentiel, pour un signal d'entrée nul et pour une valeur de commande correspondant à une absence de modification du courant de polarisation dans la première branche de l'étage différentiel, en utilisant une source de courant agissant sur la seconde branche de l'étage différentiel.

11. Procédé selon la revendication 10, dans lequel la source de courant agissant sur la seconde branche de l'étage différentiel pour déséquilibrer les courants respectifs dans les première et seconde branches de l'étage différentiel délivre un courant sensiblement égal à  $(n \times I_0)/2$ , où  $I_0$  est la valeur du courant élémentaire délivré par chacune des sources de courant élémentaires qui permettent de modifier le courant dans la première branche de l'étage différentiel.

12. Procédé selon l'une quelconque des revendications 8 à 11, dans lequel, pour comparer une image du signal en sortie de l'amplificateur avec le potentiel de référence, on utilise un comparateur à décalage automatique du zéro.

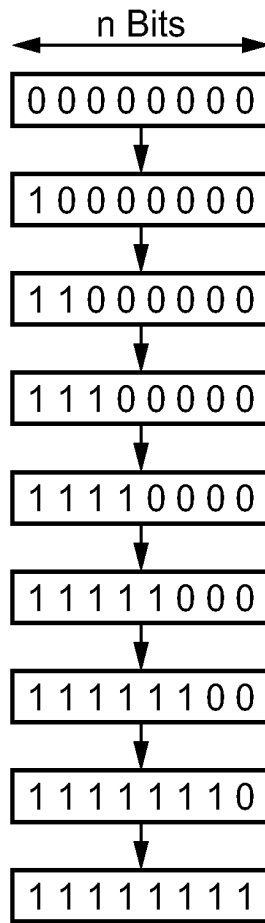
13. Procédé selon la revendication 12, dans lequel le comparateur comprend un premier étage d'amplification qui est un étage différentiel à décalage automatique du zéro, suivi d'un second étage d'amplification qui n'est pas à décalage automatique du zéro, et d'une bascule analogique à verrouillage.

14. Procédé selon l'une quelconque des revendications 8 à 11, dans lequel une fréquence de cadencement du compteur est égale à environ 32 kHz, et dans lequel  $n$  est égal à 94.

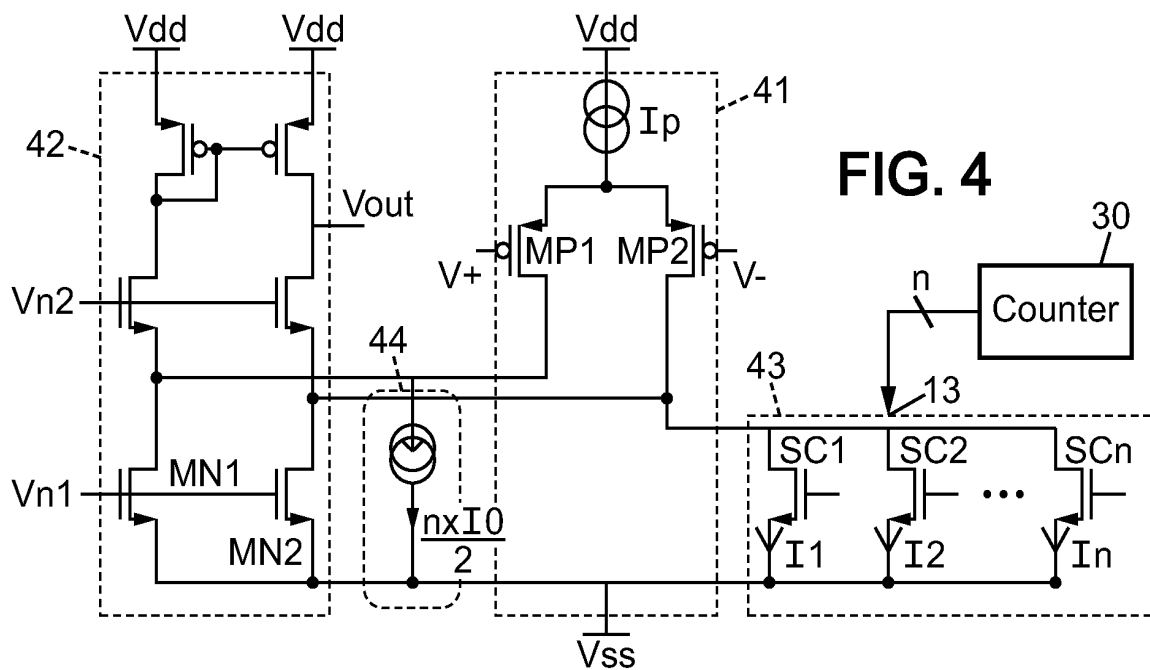
15. Appareil électronique comprenant une source de signal audio, et un amplificateur selon l'une quelconque des revendications 1 à 7 pour amplifier le signal audio.



**FIG. 3**



**FIG. 4**



3/5

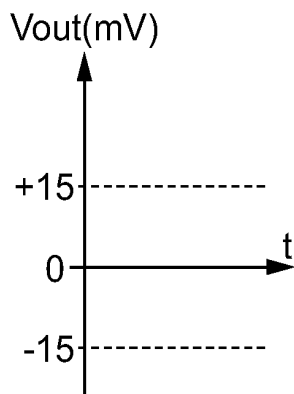


FIG. 5a

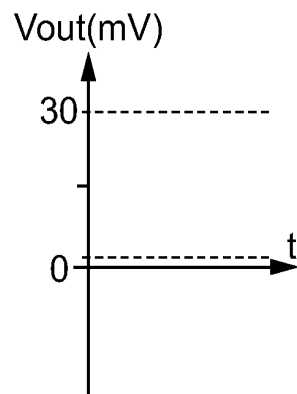


FIG. 5b

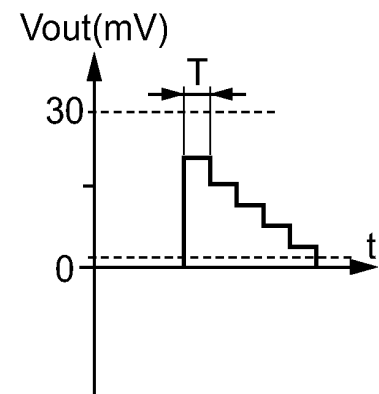


FIG. 5c

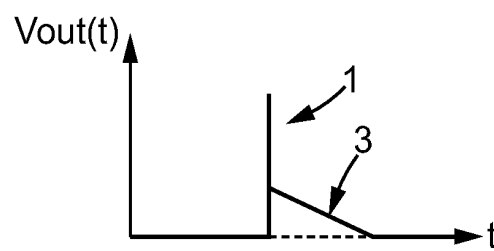


FIG. 6

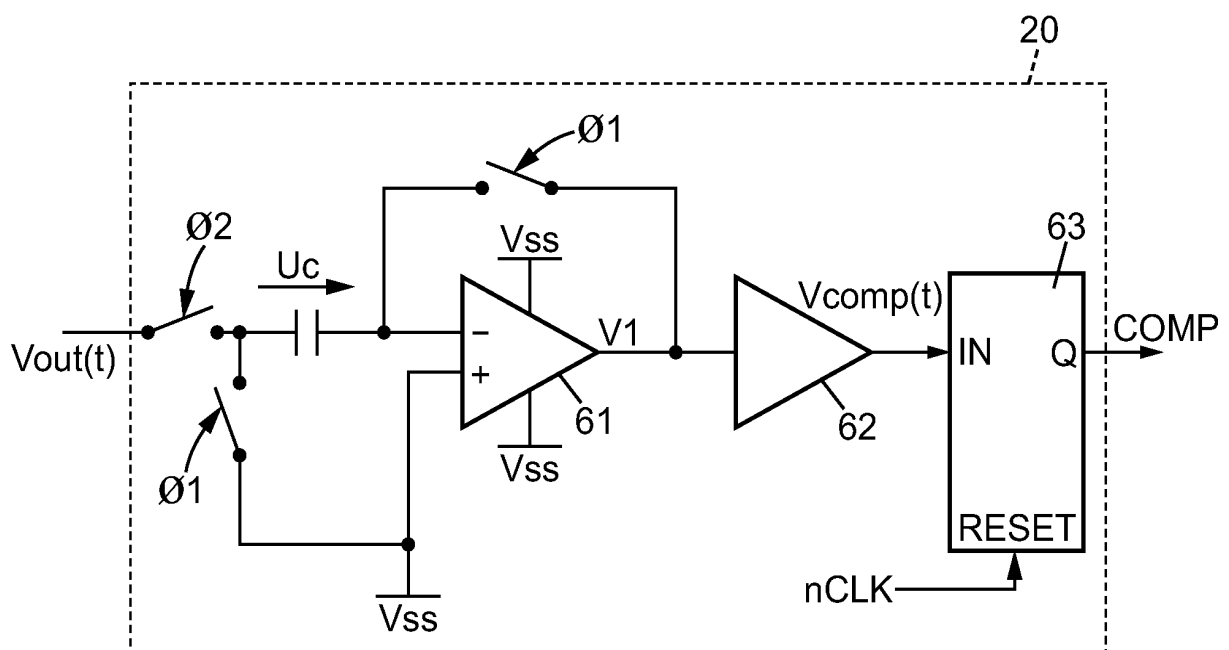
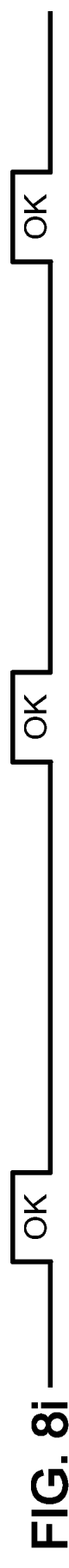
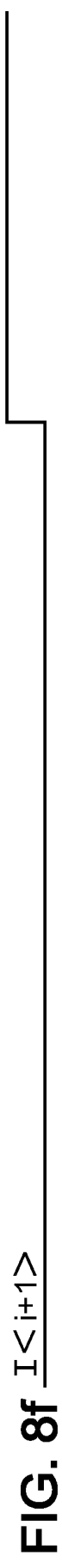
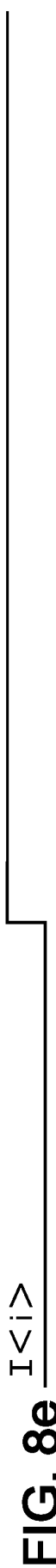
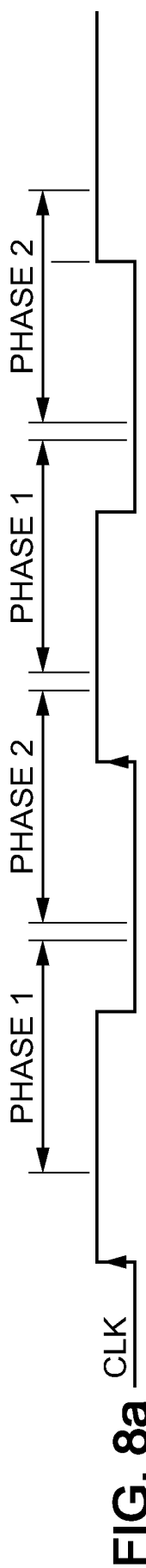
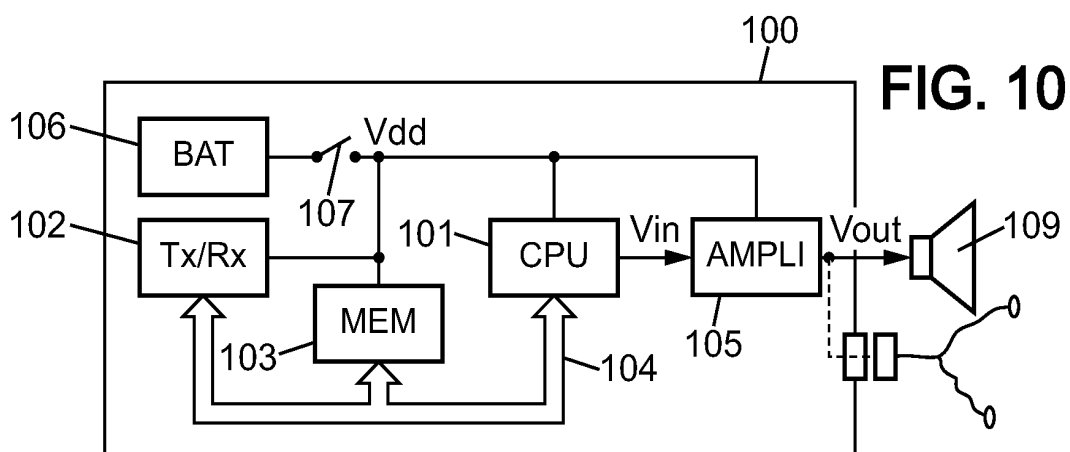
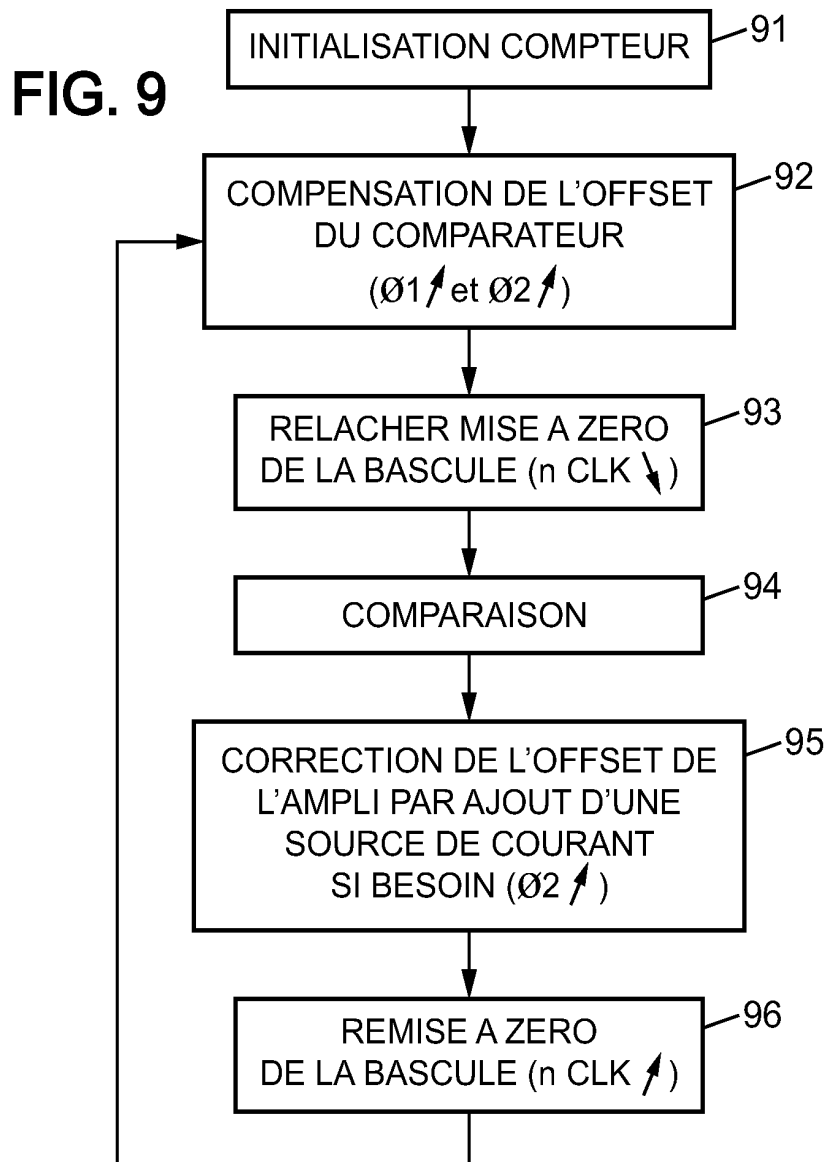


FIG. 7







**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

N° d'enregistrement  
national

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

FA 724207  
FR 0953598

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2005/030081 A1 (KISHII TATSUYA [JP]) 10 février 2005 (2005-02-10) * alinéas [0001], [0010] - [0052], [0064] - [0083], [0090] - [0129]; figures 1,2,4-8 *	1-15	H03F1/30 H03F3/185 H03G3/34
X	US 7 368 968 B1 (LAI TIN H [US] ET AL) 6 mai 2008 (2008-05-06) * colonne 3, ligne 19 - colonne 6, ligne 29; figures 1,2 *	1-15	
X	US 2008/048773 A1 (FAHIM AMR [US] ET AL) 28 février 2008 (2008-02-28) * alinéas [0033] - [0034]; figure 8 *	1-15	
X	US 2006/071693 A1 (HIGUCHI FUJIO [JP] ET AL) 6 avril 2006 (2006-04-06) * alinéas [0050] - [0062]; figures 7,8 *	1-15	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H03F
		Date d'achèvement de la recherche	Examineur
		8 janvier 2010	Goethals, Filip
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un		à la date de dépôt et qui n'a été publié qu'à cette date	
autre document de la même catégorie		de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		.....	
		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0953598 FA 724207**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **08-01-2010**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2005030081	A1	10-02-2005	CN 1578122 A	09-02-2005
			CN 2770223 Y	05-04-2006
			JP 4277599 B2	10-06-2009
			JP 2005033541 A	03-02-2005
			KR 20050008524 A	21-01-2005
			US 2007247208 A1	25-10-2007
-----				
US 7368968	B1	06-05-2008	AUCUN	
-----				
US 2008048773	A1	28-02-2008	AUCUN	
-----				
US 2006071693	A1	06-04-2006	JP 2006109105 A	20-04-2006
-----				