



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

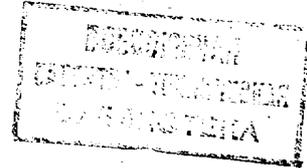
(19) SU (11) 1677870A1

(51)5 Н 03 К 23/66

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

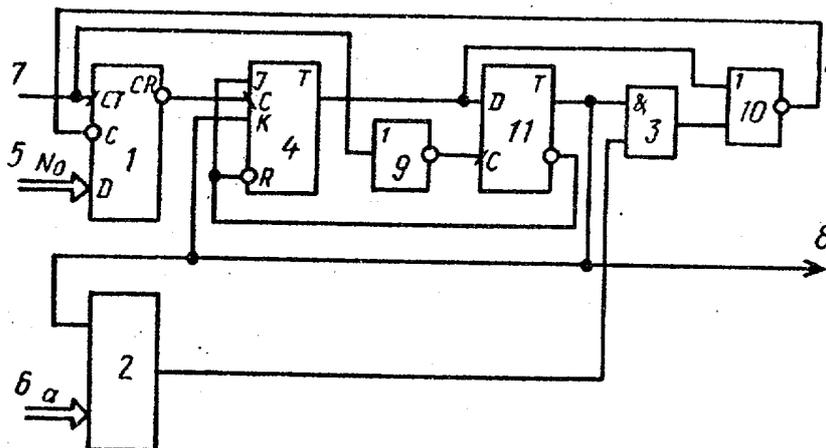


1

2

(21) 4703923/21  
(22) 12.06.89  
(46) 15.09.91, Бюл. № 34  
(72) В.Г.Аристов и В.С.Семенов  
(53) 621.374.4(088.8)  
(56) Авторское свидетельство СССР  
№ 1298908, кл. Н 03 К 23/66, 14.08.85.  
Авторское свидетельство СССР  
№ 656216, кл. Н 03 К 23/68, 04.06.76.

(54) УПРАВЛЯЕМЫЙ ДЕЛИТЕЛЬ ЧАСТОТЫ С ДРОБНЫМ КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ  
(57) Изобретение относится к импульсной технике и может быть использовано в устройствах вычислительной техники и в синтезаторах частоты. Цель изобретения – повышение быстродействия при одновременном повышении надежности работы – обеспечивается путем введения в устройство JK-триггера 4, инвертора 9, элемента ИЛИ-НЕ 10, D-триггера 11 и образования новых функциональных связей. Кроме того, делитель частоты содержит счетчик 1 импульсов, элемент И 3, накапливающий сумматор 2, шины 7, 5, 6 и 8 входную, первую кодовую, вторую кодовую и выходную соответственно, 2 ил.



Фиг.1

(19) SU (11) 1677870A1

Изобретение относится к импульсной технике и может быть использовано в устройствах вычислительной техники и синтезаторах частоты.

Цель изобретения – повышение быстродействия при одновременном повышении надежности работы.

На фиг.1 приведена электрическая структурная схема делителя; на фиг.2 – временные диаграммы, поясняющие его работу (2а – временная диаграмма частоты входного сигнала; 2б – временная диаграмма на выходе JK-триггера 4; 2в – то же, на С-входе записи параллельного кода счетчика 1; 2г – то же, прямого выхода D-триггера 11; 2д – то же, на выходе накапливающего сумматора 2).

Управляемый делитель частоты с дробным коэффициентом деления содержит счетчик 1 импульсов, накапливающий сумматор 2, выход переполнения которого соединен с первым входом элемента И 3, JK-триггер 4, первую и вторую кодовые шины 5 и 6, входную шину 7, выходную шину 8, инвертор 9, элемент ИЛИ-НЕ 10, D-триггер 11; счетный вход счетчика 1 импульсов соединен с входной шиной 7 и входом инвертора 9, выход которого соединен с С-входом D-триггера 11, информационные входы счетчика 1 импульсов соединены с первой кодовой шиной 5, вход разрешения записи – с выходом элемента ИЛИ-НЕ 10, первый вход которого соединен с прямым выходом JK-триггера 4 и D-входом D-триггера 11, инверсный выход которого соединен с J-входом и R-входом JK-триггера 4, С-вход которого соединен с выходом переноса счетчика 1 импульсов, прямой выход D-триггера 11 соединен с вторым входом элемента И 3, К-входом JK-триггера 4, выходной шиной 8 и тактовым входом накапливающего сумматора 2, информационные входы которого соединены с второй кодовой шиной 6; выход элемента И 3 соединен с вторым входом элемента ИЛИ-НЕ 10.

Делитель работает следующим образом.

Под действием импульсов (фиг.2а), поступающих по входной шине 7 на счетный вход СТ счетчика 1, осуществляется обычный их пересчет в режиме сложения. После пересчета N импульсов счетчик 1 устанавливается в единичное состояние, и в момент времени  $t_1$  на его выходе CR переноса появляется нулевой уровень, который воздействует на С-вход синхронизации JK-триггера 4, устанавливая его выход в единичное состояние (фиг.2б). Этот сигнал поступает на элемент ИЛИ-НЕ 10, с выхода которого воздействует в виде нулевого уровня (фиг.2в) на

С-вход записи параллельного кода счетчика 1. Параллельный код, равный коэффициенту пересчета K, поступает на D-входы счетчика 1 по кодовой шине 5. Двоичный код коэффициента пересчета K, соответствующий устанавливаемому коэффициенту деления целой части  $N_0$ , определяется следующим выражением:

$$K = 2^m - N_0,$$

где m – число разрядов счетчика.

На фиг.2 приведены временные диаграммы деления частоты при  $N_0 = 5$ .

После окончания следующего импульса входного сигнала в момент времени  $t_2$  осуществляется установка прямого выхода D-триггера 11 в "1" (фиг.2г), а инверсного – в "0". Нулевой уровень инверсного выхода D-триггера 11 воздействует на инверсный R-вход и J-вход JK-триггера 4, его выход устанавливается в "0". Одновременно прекращается запись параллельного кода в счетчик 1 и с этого момента вновь осуществляется пересчет входных импульсов, поступающих на счетный вход СТ счетчика 1.

Единичный уровень прямого выхода D-триггера 11 с момента времени  $t_2$  поступает на выходную шину 8 и тактовый вход накапливающего сумматора 2, имеющего емкость M. Содержимое накапливающего сумматора 2 увеличивается с каждым тактом на величину а поступающего по кодовой шине 6 установившей дробной части коэффициента деления.

После окончания следующего импульса входного сигнала в момент времени  $t_3$  выключается D-триггер 11 (фиг.2г), т.е. на его прямом выходе появляется нулевой, а на инверсном – единичный уровень. Одновременно с выключением D-триггера 11 прекращается формирование импульса выходного сигнала. Путем пересчета импульсов на интервале ( $t_2 - t_5$ ) осуществляется деление входной части на целую часть коэффициента деления, равного значению двоичного кода  $N_0$ , поступающего по кодовой шине 5 на D-входы счетчика 1. Длительность интервала ( $t_2, t_5$ ) равна  $N_0T$ , где T – период входной частоты.

Если очередное значение  $\theta$ , записываемое в накапливающий сумматор 2, равно или превышает емкость M сумматора, он переполняется и коэффициент деления устройства становится равным  $N_0 + 1$  на время одного цикла деления.

Так, например, после пересчета осуществляется последовательное взведение JK-триггера 4 в момент времени  $t_4$ , затем D-триггера 11 в момент времени  $t_5$ , единичный уровень которого, воздействуя на так-

товый вход накапливающего сумматора 2, вызывает его переполнение и появление единичного уровня на его выходе (фиг.2д). При этом в результате совпадения единичных уровней с прямого выхода D-триггера 11 и с выхода накапливающего сумматора 2 на интервале (t5,t6) происходит увеличение длительности отрицательного импульса на С-входе записи параллельного кода счетчика 1 (фиг.2в) на время, равное периоду входной частоты. Коэффициент деления на интервале (t5,t8) становится равным N<sub>0</sub>+1. Длительность интервала (t5,t8) равна (N<sub>0</sub>+1) × T. После пересчета N<sub>0</sub>+1 импульсов вновь осуществляется последовательное возведение в момент времени t7 JK-триггера 4, а в момент времени t8 -D-триггера 11, единичный уровень которого, воздействуя на тактовый вход накапливающего сумматора 2, вызывает занесение в накапливающий сумматор 2 значения  $\theta = q_1 + a < M$ . В этом случае число  $\theta$ , записываемое в накапливающий сумматор 2, не вызывает его переполнения и на его выходе устанавливается нулевой уровень (фиг.2д). С приходом следующего импульса входного сигнала в момент времени t9 происходит выключение D-триггера 11 (фиг.2г), т.е. на его прямом выходе появляется нулевой, а на инверсном – единичный уровень.

В момент t5 переполнения накапливающего сумматора 2 (фиг.2д) фактически записываемое в него число  $q_1 = \theta - M$ , т.е. оно меньше предыдущего значения, равного  $\theta - a$ , на величину M-a. Дальнейшее изменение кода в накапливающем сумматоре 2 происходит начиная со значения q<sub>1</sub>.

Так как из M циклов деления a раз устанавливается коэффициент N<sub>0</sub>+1 и (M-a) раз – коэффициент N<sub>0</sub>, средний коэффициент деления равен

$$N = \frac{(N_0 + 1) \cdot a + N_0 (M - a)}{M} = N_0 + \frac{a}{M}$$

Если  $M = 2^n$ , где n – целое число, равное количеству разрядов накапливающего сумматора 2, то N представляет собой двоичную дробь.

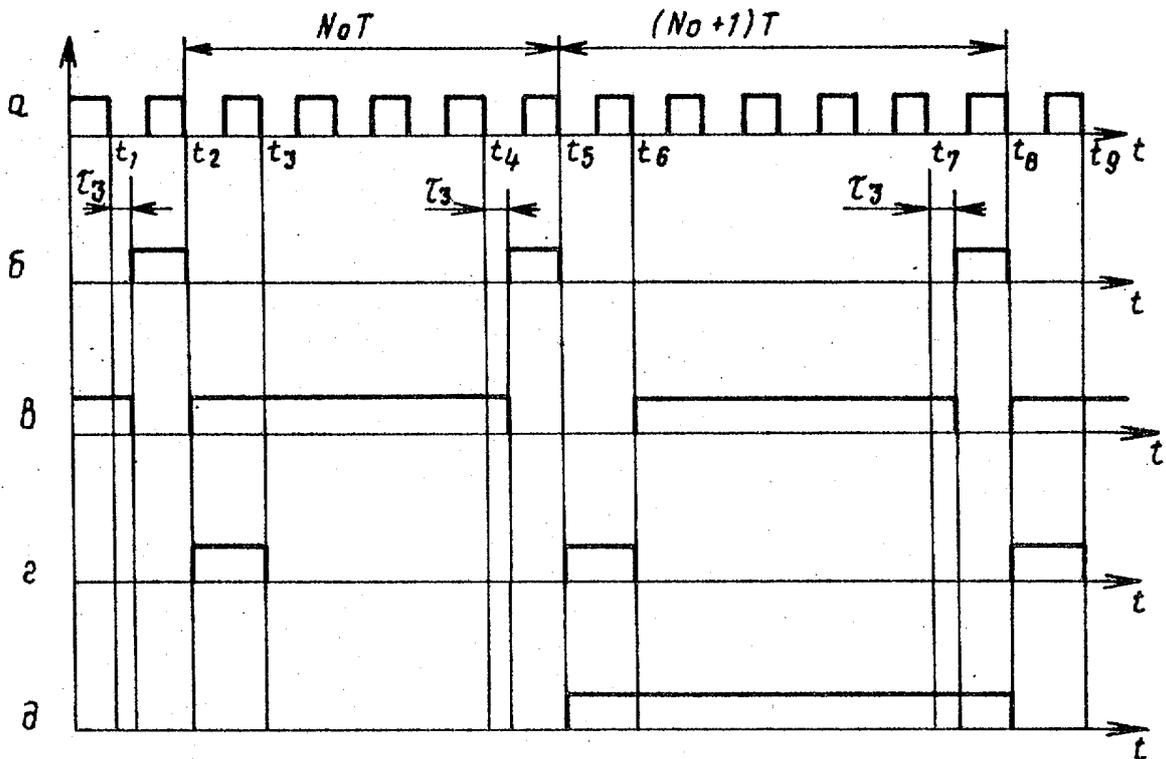
Предлагаемый делитель, обладающий повышенными быстродействием и стабильностью работы, может быть построен на

низкочастотных элементах, так как время задержки t<sub>3</sub> импульса переноса на выходе CR счетчика 1, а следовательно, и срабатывание JK-триггера 11 может достигать более половины периода входной частоты (фиг.2б) без нарушения работы делителя.

Дробность в предлагаемом делителе достигается путем коррекции выходной частоты с помощью дополнительного воздействия D-триггера 11 и накапливающего сумматора 2 через элементы И 3 и ИЛИ-НЕ 10 на С-вход записи параллельного кода счетчика 1. Эти особенности предлагаемого делителя обеспечивают значительное повышение быстродействия и стабильности его работы.

#### Ф о р м у л а и з о б р е т е н и я

Управляемый делитель частоты с дробным коэффициентом деления, содержащий счетчик импульсов, накапливающий сумматор, выход переполнения которого соединен с первым входом элемента И, первый триггер, первую и вторую ходовые шины, входную и выходную шины, от л и ч а ю щ и й с я тем, что, с целью повышения быстродействия при одновременном повышении надежности работы, в качестве первого триггера используется JK-триггер и введены инвертор, элемент ИЛИ-НЕ, второй триггер, в качестве которого используется D-триггер, причем счетный вход счетчика импульсов соединен с входной шиной и входом инвертора, выход которого соединен с С-входом второго триггера, информационные входы счетчика импульсов соединены с первой кодовой шиной, вход разрешения записи – с выходом элемента ИЛИ-НЕ, первый вход которого соединен с прямым выходом первого триггера и D-входом второго триггера, инверсный выход которого соединен с J-входом и  $\bar{R}$ -входом первого триггера, С-вход которого соединен с выходом переноса счетчика импульсов, прямой выход второго триггера соединен с вторым входом элемента И, К-входом первого триггера, выходной шиной и тактовым входом накапливающего сумматора, информационные входы которого соединены со второй кодовой шиной, а выход элемента И соединен с вторым входом элемента ИЛИ-НЕ.



Фиг. 2

Редактор А.Маковская      Составитель Л.Клевцова  
 Техред М.Моргентал      Корректор М.Максимишинец

Заказ 3123      Тираж      Подписное  
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101