



(21)申請案號：100131360

(22)申請日：中華民國 100 (2011) 年 08 月 31 日

(51)Int. Cl. : H01L21/58 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2010/08/31 日本

2010-193161

(71)申請人：瑞薩電子股份有限公司(日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：黑田宏 KURODA, HIROSHI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 200834759A

US 2005/0127535A1

審查人員：郭子鳳

申請專利範圍項數：14 項 圖式數：33 共 88 頁

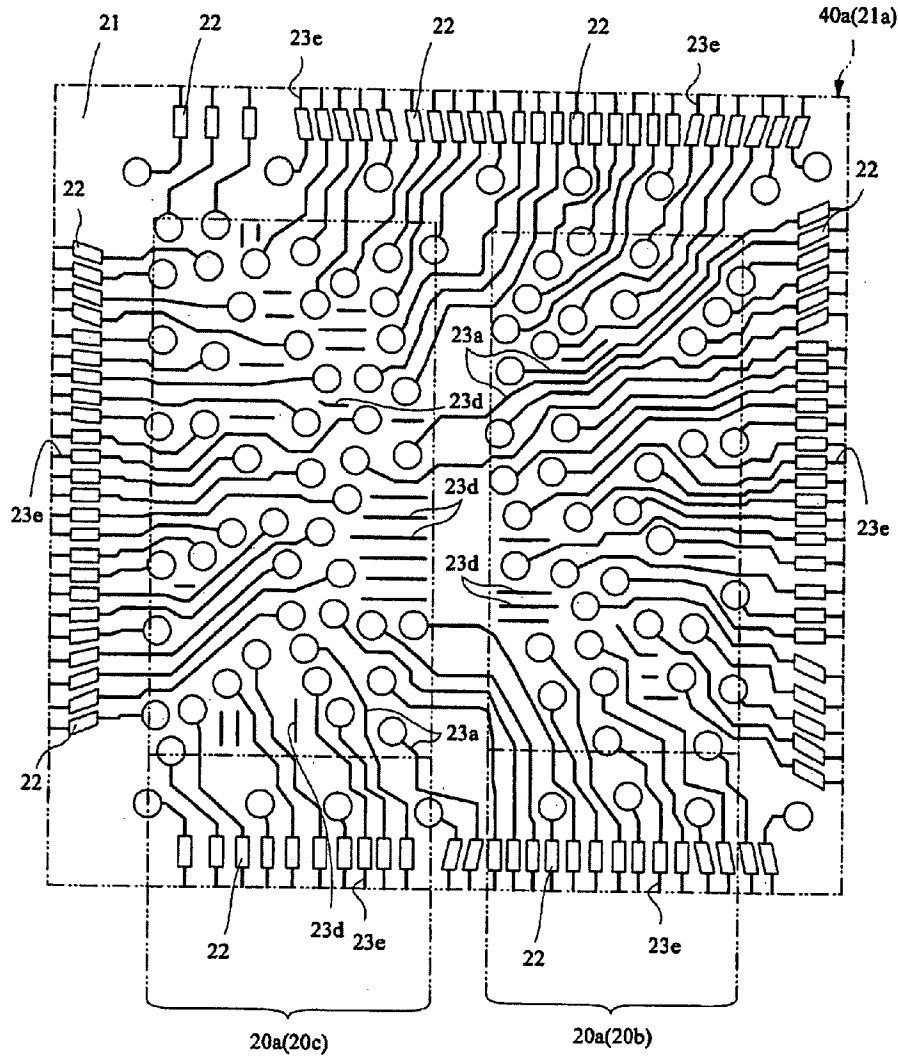
(54)名稱

半導體裝置之製造方法

(57)摘要

本發明公開了一種半導體裝置之製造方法，在經由黏合材料將半導體晶片安裝到佈線基板上時，可防止空洞之產生。本製造方法包括晶片接合步驟，即經由黏合材料將半導體晶片安裝到佈線基板 40 之晶片安裝區域 20a 上。前述佈線基板 40 具有形成於核心層上表面之複數之佈線(第 1 佈線)23a 及虛擬佈線(第 2 佈線)23d。前述晶片安裝區域 20a 配置在複數之佈線 23a、虛擬佈線 23d 上。另外，晶片接合步驟包括將黏合材料配置到晶片安裝區域 20a 之黏合材料配置區域上之步驟。而且，在晶片接合步驟中，複數之虛擬佈線 23d 分別沿著黏合材料之擴散方向延伸。

指定代表圖：



符號簡單說明：

20a、20b、20c . . .

晶片安裝區域

21 . . . 核心層

21a . . . 上表面(表面)

22 . . . 端子(接合引線)

23a . . . 佈線

23d . . . 虛擬佈線(佈線)

23e . . . 供電線

40a . . . 器件區域

圖8

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100131360

※申請日：100. 8. 31

※IPC 分類：H01L 21/60 2006.01

一、發明名稱：(中文/英文)

H01L 21/60 2006.01

半導體裝置之製造方法

二、中文發明摘要：

本發明公開了一種半導體裝置之製造方法，在經由黏合材料將半導體晶片安裝到佈線基板上時，可防止空洞之產生。本製造方法包括晶片接合步驟，即經由黏合材料將半導體晶片安裝到佈線基板40之晶片安裝區域20a上。前述佈線基板40具有形成於核心層上表面之複數之佈線(第1佈線)23a及虛擬佈線(第2佈線)23d。前述晶片安裝區域20a配置在複數之佈線23a、虛擬佈線23d上。另外，晶片接合步驟包括將黏合材料配置到晶片安裝區域20a之黏合材料配置區域上之步驟。而且，在晶片接合步驟中，複數之虛擬佈線23d分別沿著黏合材料之擴散方向延伸。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件符號簡單說明：

20a、20b、20c	晶片安裝區域
21	核心層
21a	上表面(表面)
22	端子(接合引線)
23a	佈線
23d	虛擬佈線(佈線)
23e	供電線
40a	器件區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明公開了一種半導體裝置之製造方法，特別涉及一種在佈線基板上安裝半導體晶片之步驟有效之技術。

【先前技術】

在日本公開特許公報特開2002-190488號公報(專利文獻1)中公開了以下之半導體裝置技術，即在佈線基板上安裝了半導體晶片之半導體裝置中，設置有佈線用之導體圖案及在設置了導體圖案之外之區域內設置有虛擬用之導體圖案。

在日本公開特許公報特開2008-218848號公報(專利文獻2)中，公開了以下之半導體裝置技術，即在經由貼膜將半導體晶片安裝到佈線基板上之半導體裝置中，在佈線基板之晶片安裝區域內設置有實佈線圖案和虛佈線圖案。

[先前技術文獻]

[專利文獻]

[專利文獻1]

日本特開2002-190488號公報

[專利文獻2]

日本特開2008-218848號公報

【發明內容】

[發明欲解決之問題]

在將半導體晶片安裝到佈線基板上之半導體裝置之製造技術中，具有使用膏狀黏合材料(晶片黏合材料)進行安裝

之技術。本案發明者對使用膏狀黏合材料將半導體晶片安裝到佈線基板上之技術進行了研究，結果發現了以下問題。

隨著對半導體裝置薄型化之要求，安裝到佈線基板上之半導體晶片之厚度也出現了薄型化之傾向。因此，在將極薄半導體晶片安裝到佈線基板上時，如果膏狀黏合材料用量過多，將被擠出到半導體晶片周圍，而被擠壓出之黏合材料將有部分溢到半導體晶片之表面(與安裝到佈線基板之面為相反側之面)上。而防止出現上述現象之對策就是儘量減少黏合材料之使用量。但是，由於在佈線基板之上表面(安裝有半導體晶片之面)上形成有複數之佈線，且存在相鄰佈線間之間距不均衡之部分，所以降低了上表面之平坦度。由此，明確了出現以下現象之原因，即由於半導體晶片和佈線基板之間之黏合材料之濕潤性(填充性)低(不好)，從而導致半導體晶片和佈線基板之間出現空洞(間隙)。

接著，本案發明人對於專利文獻1及專利文獻2所公開之通過在佈線基板之上表面形成虛佈線圖案來提高佈線基板平坦度之技術進行了驗證。結果發現，設置有虛佈線圖案之佈線基板上表面之平坦度比沒設置有虛佈線圖案時之平坦度高。但是，如前述，由於近年來半導體晶片之厚度已比上述專利文獻提交申請時之厚度變薄了，所以黏合材料之使用量也隨之變少了。因此，在如上述之半導體裝置之製造方法中，僅在佈線基板上形成虛佈線圖案已不能完全

抑制空洞出現。

本發明之目的在於，提供一種使用膏狀黏合材料將半導體晶片安裝在佈線基板上時抑制空洞出現之技術。

本發明之所述內容及所述內容以外之目的和新特徵在本說明書之描述及附圖說明中寫明。

[解決問題之手段]

下面簡要說明關於本專利申請書中所公開之發明中具有代表性之實施方式之概要。

作為本案發明之方式之一之半導體裝置之製造方法具有晶片接合步驟，其係經由具有流動性之黏合材料將半導體晶片安裝到佈線基板之晶片安裝區域上之步驟。前述佈線基板具有：形成在核心層上表面上之複數之第1及第2佈線，形成在前述核心層之前述上表面且與前述複數之第1佈線電性連接之複數之接合引線，及形成於前述核心層之前述上表面且覆蓋前述複數之第1及第2佈線之上表面側絕緣膜。另外，前述晶片安裝區域具有前述複數之第1及第2佈線。晶片接合步驟包括將前述黏合材料配置於前述晶片安裝區域中之黏合材料配置區域上之步驟。晶片接合步驟包括將配置於前述黏合材料配置區域上之前述黏合材料擴散到前述黏合材料配置區域周圍之步驟。而且，在前述晶片接合步驟中，前述複數之第2佈線分別沿著前述黏合材料擴散之方向延伸。

[發明之效果]

下面簡要說明關於本專利申請書所公開之發明中根據具

有代表性之實施方式所獲得之效果。

即，按照本專利申請書一實施方式之方法，在通過膏狀黏合材料將半導體晶片安裝到佈線基板上時可抑制空洞之產生。

【實施方式】

在以下實施方式中，為了方便，在必要時將幾個部分或將實施方式分割進行說明，除了需要特別說明之外，這些都不是彼此獨立且無關係的，而係與其他一部分或者全部之變形例、詳細內容及補充說明等相互關聯的。本專利申請書原則上省略掉重複之說明。另外，實施方式中提及各構成要素時，除了特別說明及原理上已經明確限定了特定之數量及從前後文之敘述中已明確非為必須要素時，並非指必須要素。

在實施形態等敘述上，對於材料及構成等方面，除了寫明瞭僅限於前述材料外，「由A構成」「具有A」「包括A」等表述還指主要構成要素除了A以外還有其他要素。如關於成分之敘述時為「以A為主要成分，還包括X」之意。例如，提到「矽材料」時，並非限定於純矽材料，而係還可包括如SiGe(鍺矽合金)及其他以矽為主要成分之多元合金及其它添加物等材料。另外，除了特別說明之外，鍍金、Cu層、鍍鎳等也非限定為純金、純銅、純鎳等材料，而係還包括以金、銅、鎳等為主要成分之材料。

另外，在以下實施方式中提及特定之數值、數量等時，除了特別說明及原理上已經明確限定了特定之數量等除外，前述特定數並非指固定之數量，而係可大於等於前述

特定數或可小於等於前述特定數。

為了說明實施方式之所有圖中，原則上對具有同一功能之構件採用同一或類似之符號及參考符號，並省略掉重複之說明。

另外，在所附圖式中，於反變成煩雜，或與空隙之區別為明確之情形時，即使為剖面，亦有省略剖面線等之情形。與此相關地，在由說明等即可明瞭之情形時，即使平面上為封閉之孔洞，亦有省略其背景之輪廓線之情形。進而言之，即使非剖面，但為了明示並非空隙，或為了明示區域之邊界，有時會附加上剖面線或點狀圖。

在以下之實施方式中，以本案發明人已進行具體研究之DSC(Digital still camera：數位照相機)或DVC(Digital video camera：數位視頻攝錄機)、及帶有照相功能之行動電話等嵌入了攝像裝置(攝影系統)之半導體裝置作為SIP型半導體裝置之一例進行說明。

<攝像裝置(攝影系統)>

圖1係嵌入了本實施方式之半導體裝置之攝影系統之動作模式說明圖。

圖1中，本實施方式之攝像裝置(攝影系統)例如具有CCD(Charge Coupled Device：感光耦合元件)、CMOS(Complementary Metal Oxide Semiconductor：互補性氧化金屬半導體)等之攝像元件(攝像感測器)1、及與攝像元件1電性連接之半導體裝置2。攝像元件1具有將光線轉換為電子之光電二極體及將電子作為電信號讀出之掃描電路。另外，半導體裝置2還具有AFE(Analog Front End：類比前

端)電路，前述AFE電路具有控制攝像元件1之功能及將從攝像元件1輸出之電信號進行處理之功能。

半導體裝置2具有控制攝像元件1之功能。具體而言即半導體裝置2具有驅動數位電路即定時信號發生器TG及攝像元件1之驅動電路，並通過定時信號發生器TG生成之控制信號來驅動驅動器，通過前述驅動電路便可驅動如CCD光電感測器等攝像元件(圖像呈陣列狀排列之攝像元件)1。

為了驅動攝像元件1，需要通過電壓(驅動電壓)不同之兩種驅動電路來施加驅動電壓。首先，通過AFE電路中之定時信號發生器TG進行控制信號之脈衝輸出。AFE電路中從定時信號發生器TG輸出之控制信號例如使用3.3 V之電源。也就是說輸出3.3 V型之控制信號。

電壓不同之兩種驅動電路之一即水準驅動型HDR通過前述3.3 V型之控制信號將電壓施加到攝像元件1並驅動攝像元件1。另外，另一個驅動電路即垂直驅動型VDR通過比水準驅動型HDR電壓更高之控制信號來驅動攝像元件1。例如，本實施方式中使用5 V電源，通過電平位移器將從定時信號發生器TG輸入之3.3 V型之控制信號轉換為使用5 V電源之控制信號(5 V之信號)並進行輸出，以驅動攝像元件1。

攝像元件1中，複數之光電二極體呈陣列狀排列，其將照射到前述光電二極體上之光轉換為電荷。即，將投影到光電二極體上之圖像轉換為電荷。在攝像裝置中，經光電二極體轉換後之電荷作為電信號進行信號處理並顯示為圖像。此時，攝像元件1中設有掃描電路，用於從呈陣列狀排列之光電二極體依次輸出電荷。通過電荷之移動傳送而

使圖像轉換為電信號(類比圖像信號)。並通過水準驅動型HDR或垂直驅動型VDR輸出之控制信號(如定時脈衝等)控制前述掃描電路之驅動。

對於從攝像元件1輸出之電信號(類比圖像信號)，通過半導體裝置2中之AFE電路除去電路雜訊、進行增益放大及進行A/D轉換等處理，以使其轉換為數位信號。因此，AFE電路具有雜訊降低電路CDS、增益放大電路PGA及A/D轉換電路ADC等。然後，經由形成有圖像處理電路之LSI(Large Scale Integration：大型積體電路)即半導體裝置3輸出並進一步進行圖像處理後，提供給顯示設備進行顯示或供給存儲裝置進行存儲。

下面詳細說明本實施方式中之半導體裝置2。在上述攝像系統中，前述半導體裝置2為一種具有控制攝像元件1之系統和對從攝像元件1輸出之電信號進行處理之系統之半導體裝置(半導體封裝體)。

<半導體裝置>

下面通過圖1~圖4對圖1所示之半導體裝置2之結構進行說明。本實施方式適用於BGA(Ball Grid Array：球閘陣列封裝)型之半導體裝置，圖2係前述BGA上表面側之內部結構之平面圖，圖3係沿圖2之A-A線剖開之剖面圖。圖4係去掉圖1所示之半導體晶片及上表面側之絕緣膜(阻焊膜)後形成在核心層上表面側之佈線圖例之平面圖。

本實施方式中之半導體裝置2包括：具有上表面21a之佈線基板20，經由黏合材料(晶片黏合材料)11分別安裝於佈

線基板(基材)20之上表面21a上之複數之(本實施方式中為2個)半導體晶片12(AFE晶片12a和VDR晶片12b)，與複數之半導體晶片12和佈線基板20分別電性連接之複數之焊線(導電性材料)13，及封裝體(封裝樹脂)14，用於封裝複數之半導體晶片12及複數之焊線13。

複數之半導體晶片12中，VDR晶片12b中形成有具有圖1所說明之電平位移器之垂直驅動型電路VDR。AFE晶片12a中形成有除了垂直驅動型電路VDR以外之其他AFE電路，如水準驅動型電路HDR、定時信號發生器TG、雜訊降低電路CDS、增益放大電路PGA及A/D轉換電路ADC等以3.3V型之電源驅動之電路。如上述，本實施方式中之半導體裝置2內置有2種半導體晶片，通過將前述2種半導體晶片電性連接，便構成了圖1所示之攝像裝置之控制系統。換言之即半導體裝置2係一種在一個半導體裝置內安裝了多種半導體晶片來構築系統之SIP(System in Package：系統級封裝)型之半導體裝置。

接下來對半導體裝置2之基材即佈線基板20進行說明。佈線基板20包括具有上表面(晶片安裝面、表面)21a和上表面21a相反側之下表面(安裝面、背面)21b之核心層(絕緣層、內核絕緣層)21。核心層21例如由以玻璃環氧樹脂等為絕緣層之樹脂基板構成。

如圖4所示，核心層21之上表面21a上形成有複數之端子(接合引線、電極墊)22，分別與複數之端子22電性連接之複數之佈線(上表面側佈線)23a，及不與端子22電性連接之

複數之虛擬佈線(佈線、上表面側佈線)23d。另外，圖中雖未示出，但是端子22之表面上形成有電鍍層，如本實施方式中為在鎳(Ni)膜上層積金(Au)膜。此外，如圖3所示，核心層21之下表面21b上形成有複數之焊盤(端子、電極墊)24，及分別與複數之端子22電性連接之複數之佈線(下表面側佈線)23b。圖中雖未示出，焊盤24之表面上形成有電鍍層，如本實施方式中為鎳(Ni)膜。如圖3所示，核心層21中形成有通孔(孔)25，前述通孔(孔)25從上表面21a與下表面21b中之一個面朝向另一個面形成。複數之佈線23a和複數之佈線23b經由形成於前述通孔25內之導體即佈線(通孔內佈線、通孔內導體)23c分別電性連接。端子22、佈線23a、23b、23c、虛擬佈線23d、及焊盤24例如分別由銅(Cu)形成。如圖4所示，佈線23a具有從端子22向晶片安裝區域20a延伸之線形部和與前述線形部一體形成之圓形部。前述圓形部形成於圖3所示之通孔25上，為與通孔佈線23c電性連接之連接部(通孔上之佈線部)。本實施方式中，除了特意區分進行說明時除外，佈線23a包括前述線形部及圓形部。

另外，如圖2及圖3所示，核心層21之上表面21a上形成有由絕緣性樹脂形成之絕緣膜(上表面側絕緣膜、阻焊膜)26，前述絕緣膜26覆蓋複數之佈線23a及虛擬佈線23d(請參照圖3)。絕緣膜26中，在與複數之端子22重合之位置上分別形成有複數之開口部26a，在前述開口部26a中端子22從絕緣膜26露出。如圖3所示，與絕緣膜26一樣，

核心層 21 之下表面 21b 上也形成有由絕緣性樹脂構成之絕緣膜(下表面側絕緣膜、阻焊膜)27。前述絕緣膜 27 覆蓋複數之佈線 23b。在絕緣膜 27 中與複數之焊盤 24 重合之位置上分別形成有複數之開口部 27a，焊盤 24 在開口部 27a 中從絕緣膜 27 露出。複數之焊盤 24 露出部分別與複數之焊接材料(焊球)28 連接，其中，在將半導體裝置 2 安裝到圖中未示出之安裝基板時，前述複數之焊接材料(焊球)28 成為外部電極端子。

圖 3 示出了佈線基板 20 之一例，即在核心層 21 之上表面 21a 及下表面 21b 都形成有佈線圖且具有 2 層佈線層之佈線基板。但是，佈線基板 20 之佈線層數不僅限於 2 層，還可以為所謂之多層佈線基板，如核心層 21 內還可形成有多層佈線層(佈線圖)。此時，由於可以增加佈線之迂迴空間，所以對於端子數多之半導體裝置尤其有效。

核心層 21 之上表面 21a 及下表面 21b(即佈線基板 20 之上表面及下表面)之平面形狀為四角形，本實施方式中為如邊長為 5 mm 之正方形。

另外，佈線基板 20 在核心層 21 之上表面 21a 側具有複數之晶片安裝區域 20a。本實施方式中為具有安裝 AFE 晶片 12a 之晶片安裝區域 20b 和安裝 VDR 晶片 12b 之晶片安裝區域 20c。複數之晶片安裝區域 20a 被並列配置。即，半導體裝置 2 為將複數之半導體晶片排列配置之平置型半導體裝置。複數之晶片安裝區域 20a 各自為四角形之平面形狀，本實施方式中為長方形。將晶片安裝區域 20b、20c 以各自

之長邊互為對邊之方式進行排列佈置。即，晶片安裝區域20b之第1長邊和晶片安裝區域20c之第2長邊互為對邊。

如圖4所示，形成於核心層21之上表面21a上之複數之佈線23a及複數之虛擬佈線23d分別形成在晶片安裝區域20b、20c之下層(俯視時在重合之位置上)。換言之就是，晶片安裝區域20b、20c配置於複數之佈線23a及複數之虛擬佈線23d上。通過將複數之佈線23a引出到晶片安裝區域20b、20c之下層，就可將核心層21之上表面21a有效地利用為佈線23a之迂迴佈線空間。將複數之虛擬佈線23d安裝到晶片安裝區域20b、20c之下層係為了抑制及防止在黏合材料(晶片黏合材料)11上產生空洞，在後述說明半導體裝置2之製造方法時還將進行詳細說明。另外，關於形成於核心層21之上表面21a上之佈線23a及虛擬佈線23d之平面佈局(佈置圖)，也將在說明半導體裝置2之製造方法時進行詳細說明。

在各晶片安裝區域20a周圍分別形成有溝部(凹部、錫堤部)26b。前述溝部26b係通過去掉絕緣膜26之一部分而形成，且以包圍各晶片安裝區域20a周圍之方式形成。本實施方式中，在形成溝部26b之區域中，去掉絕緣膜26而使佈線23a之一部分露出於溝部26b中。

接下來對在佈線基板20上安裝半導體晶片12之方法進行說明。本實施方式中之2個半導體晶片12(VDR晶片12b和AFE晶片12a)分別具有表面(主面、上表面)12c、表面12c相反側之背面(主面、下表面)12d、及位於前述表面12c和

背面 12d 之間之側面 12e。

半導體晶片 12 之平面形狀(表面 12c、背面 12d 之形狀)略呈四角形，本實施方式中為長方形。具體之例子如，AFE 晶片 12a 為 1.58 mm×3.25 mm、VDR 晶片 12b 為 1.58 mm×3.58 mm 之平面形狀。本實施方式中之 2 個半導體晶片為平面上排列配置。具體如圖 2 所示，以一個半導體晶片 12 之長邊與另一個半導體晶片 12 之長邊互為對邊(並列)之方式配置各半導體晶片 12。如前述，將複數之半導體晶片 12 在平面上排列配置時，通過將各半導體晶片 12 設為長方形，且各自之長邊互為對邊之方式進行設置，就可抑制整個半導體裝置(半導體封裝)平面尺寸之增加，從而可實現半導體裝置之小型化。如上述，本實施方式中雖將佈線基板 20 之平面形狀設置為正方形形狀，但也可將其設置為長方形之形狀。在佈線基板 20 為長方形形狀時，通過將佈線基板 20 之平面形狀中之長邊與短邊之比(短邊之長度/長邊之長度)設為大於半導體晶片 12 中之長邊和短邊之比(短邊之長度/長邊之長度)，就可抑制整個半導體裝置平面尺寸之增加，從而可實現半導體裝置之小型化。另外，從半導體裝置薄型化之觀點來看，已將本實施方式中之 2 個半導體晶片 12 削薄為相同之厚度，如分別為 0.15 mm。

半導體晶片 12 之表面 12c 上分別形成有複數之焊墊(電極墊)31。複數之焊墊 31 沿著半導體晶片 12 之各邊且並列配置在表面 12c 上之外緣部側。另外，半導體晶片 12 之表面 12c 側分別形成有二極體或電晶體等複數之半導體元件(電

路元件)，並經由圖中未示出之形成於半導體元件上之佈線(佈線層)分別與複數之焊墊31電性連接。如前述，通過使形成於表面12c側之半導體元件與複數之焊墊電性連接之佈線形式，就可使半導體晶片分別構成如上述之驅動電路等電路。

半導體晶片12之基材(半導體基板)例如可由矽(Si)構成。另外，表面12c上還形成有絕緣膜，且複數之焊墊31各自之表面通過形成於前述絕緣膜之開口部而從絕緣膜露出。

前述焊墊31由金屬構成，例如，本實施方式中為由鋁(Al)構成。而且，在前述焊墊31表面還形成有電鍍膜，如本實施方式中為經由鎳(Ni)膜而形成金(Au)膜之多層結構。

複數之半導體晶片12經由複數之焊線13分別與佈線基板20電性連接(連接晶片-佈線基板之間)。具體而言即焊線13a之一端與半導體晶片12之焊墊31a連接，另一端與佈線基板20之端子22連接。本實施方式中，複數之半導體晶片12經由焊線13b直接電性連接。具體而言即焊線13b之一端與一個半導體晶片12(例如本實施方式中為AFE晶片12a)之焊墊31b連接，焊線13b之另一端與另一個半導體晶片12(例如本實施方式中為VDR晶片12b)之焊墊31b連接。另外，連接到將半導體晶片12彼此連接(晶片-晶片之間之連接)之焊線13b上之焊墊31b在四角形半導體晶片12之四個邊中，沿著互為對邊且相鄰之邊(本實施方式中為長邊)配

置。由此，可縮短焊線13b之長度(即縮短傳輸距離)。

本實施方式中，在AFE晶片12a和VDR晶片12b之間並沒形成有端子22，端子22以包圍這些半導體晶片12之周圍之形式配置。因此，由於可縮短並列配置之半導體晶片12之間之距離，因此可抑制整個半導體裝置平面尺寸之增加，從而實現半導體裝置之小型化。但是，端子22之配置圖並不僅限於圖2所示之佈置方式，例如，也可配置在AFE晶片12a和VDR晶片12b之間。

圖2所示之2個半導體晶片12中作為外部端子之焊墊31彼此數量不同。具體為AFE晶片12a所具有之焊墊31之數量比VDR晶片12b所具有之焊墊31之數量多。這是由於AFE晶片12a和VDR晶片12b係由不同電路形成之不同類型之半導體晶片12之緣故，所以所需外部端子數量也各不相同。因此，AFE晶片12a之4個邊中，配置在與VDR晶片12b之長邊為對邊之一側上之焊墊31之一部分，經由焊線13與端子22電性連接。

在半導體晶片12之背面12d與佈線基板20之核心層21之上表面21a互為相對面之狀態下，經由黏合材料11將複數之半導體晶片12分別黏接固定在佈線基板20之晶片安裝區域20a上。黏合材料11例如可由環氧類之熱硬化性樹脂構成，並覆蓋半導體晶片12之整個背面12d，而且，延伸到位於外側之溝部26b之邊沿部。

另外，在佈線基板20之上表面21a側形成封裝體14，並通過封裝體14將複數之半導體晶片12及複數之焊線13進行

封裝(樹脂封裝)。

<半導體裝置之製造步驟>

下面說明本實施方式中之半導體裝置2之製造步驟。本實施方式中之半導體裝置2按照圖5所示之組裝流程製成。圖5係圖1~圖3中半導體裝置之組裝流程之說明圖。有關各步驟之內容，通過圖6~圖24進行詳細說明。

1. 基材(佈線基板)準備步驟：

首先，準備圖6所示之佈線基板40，即圖5所示之基材準備步驟S1。圖6係在圖5所示之基材準備步驟中準備之佈線基板整體構造之平面圖，圖7係將圖6之B部擴大後之擴大平面圖。圖8係在圖7所示之一個器件區域中，除去上表面側之絕緣膜(阻焊膜)後形成於核心層上表面側之佈線圖例之擴大平面圖。

如圖6所示，本實施方式中所使用之佈線基板40在框體(框部)40b之內側具有複數之器件區域40a。具有複數之器件區域40a，意味著佈線基板40即所謂多數個可斷拼板。

如圖7所示，各器件區域40a具有：複數之晶片安裝區域20a和排列配置在晶片安裝區域20a周圍之複數之端子(接合引線)22，前述複數之晶片安裝區域20a由安裝了AFE晶片12a(請參照圖2)之晶片安裝區域20b和安裝了VDR晶片12b(請參照圖2)之晶片安裝區域20c構成。即，俯視時，晶片安裝區域20a被複數之端子22包圍。晶片安裝區域20b、20c之平面形狀為對應安裝半導體晶片12(請參照圖2)之平面形狀而分別為四角形之形狀，本實施方式中為長方形。

另外，晶片安裝區域20b、20c各自所具有之4個邊中，各自之長邊以互為對邊之方式進行配置。也就是說，晶片安裝區域20b之第1長邊和晶片安裝區域20c之第2長邊互為對邊。另外，俯視時，晶片安裝區域20b、20c之間沒形成有端子22。由此，可將晶片安裝區域20b、20c之間隔靠近配置，因此，可將使器件區域40a之平面尺寸縮小為如圖2所示之半導體裝置2之平面尺寸。

另外，如圖8所示，複數之端子22分別與佈線23a電性連接。具體而言即，複數之端子22之內側(晶片安裝區域20a側)之端部分別與複數之佈線23a連接，而佈線23a從端子22朝向晶片安裝區域20a之方向延伸。端子22之外側(器件區域40a之外緣側)之端部與供電線23e連接，供電線23e從端子22朝著器件區域40a之外側延伸。前述複數之供電線23e通過電解電鍍法在核心層21之上表面形成佈線23a、虛擬佈線23d、及端子22時供給電源之供電線。本實施方式中，佈線23a、虛擬佈線23d及端子22就是通過使用了前述供電線之電解電鍍法形成之鍍層。如前述，將複數之佈線23a一直拉到晶片安裝區域20a內，通過有效利用核心層21之上表面21a之空間，即使在增加端子數時，也可防止或抑制半導體裝置平面尺寸之增加，從而可有效地對佈線23a進行迂迴佈線。另外，圖8所示之虛擬佈線23d雖不與供電線23e連接，但可通入如下之方法來形成。即，如作為形成方法之一例，在整個核心層21之上表面21a上層積有基礎導體膜(例如銅膜，圖中未示出)、基礎導體膜上之

鍍膜(圖中未示出)之狀態下，通過電解電鍍法以圖1所示之佈線23a、虛擬佈線23d及端子22之圖案形成鍍層後，通過去掉基礎導體膜便可形成虛擬佈線23d。有關複數之虛擬佈線23d之配置圖及形狀，將在後述之晶片接合步驟中進行詳細說明。

另外，如圖7所示，核心層21之上表面21a被絕緣膜26所覆蓋。絕緣膜26上形成有開口部，且在前述開口部中露出複數之端子22。另外，在圖7所示之端子22和芯片安裝區域20a之間，及在芯片安裝區域20b、20c之間，可以防止在隨後之芯片接合步驟中，供給芯片安裝區域20a之膏狀黏合材料從被供給部分向外圍過度濕擴散而形成有成為錫堤部之溝部26b，前述溝部26b以包圍芯片安裝區域20b、20c外圍之形式形成。本實施方式中，不只晶片安裝區域20b、20c分別獨立地形成溝部26b，在晶片安裝區域20a之間還形成有一個溝部26b。即，溝部26b為一體地形成，在晶片安裝區域20b、20c之間，作為錫堤部之溝部26b兼用作晶片安裝區域20b、20c。如上述，通過在晶片安裝區域20b、20c之間形成一個溝部26b，就可縮小晶片安裝區域20b、20c之間之間隔，因此可縮小器件區域40a之平面尺寸，即可實現圖2所示之半導體裝置2之小型化。前述溝部26b中，佈線23a之一部分從絕緣膜26露出。

2. 半導體晶片之準備步驟：

在圖5所示之半導體晶片之準備步驟S2中，準備圖2所示之複數之半導體晶片12。本步驟中準備具有複數之晶片區

域之半導體晶片，例如，準備由矽構成之半導體晶片(圖中未示出)。隨後，使劃片刀(圖中未示出)沿著半導體晶片之切割線將半導體晶片進行切割，以取得圖2所示之複數之半導體晶片12(晶片切割步驟)。具體地為準備在複數之晶片區域分別形成有具備圖2所示之AFE晶片12a之電路等之半導體晶片、及在複數之晶片區域形成有具備圖2所示之VDR晶片12b之電路等之半導體晶片。接著，將各半導體晶片進行切割，以取得複數之AFE晶片12a和複數之VDR晶片12b。本實施方式中，例如，在前述之晶片切割步驟中，使用寬度不同之多種(例如2種)劃片刀按多個步驟(例如2個步驟)將半導體晶片進行切割(分段式切割方式)。具體做法為，首先，通過具有第1寬度之劃片刀將半導體晶片切屑一部分(第1步驟)。接著，使用具有比第1寬度窄之第2寬度之劃片刀切割第1步驟中剩下之部分，切割成複數之半導體晶片12。使用如上述之分段式切割方式，就可如圖3所示，對半導體晶片12之表面12c側之外緣部進行倒角加工。本實施方式中，倒角加工之形狀為圖3所示之階梯狀之倒角形狀。換言之即，半導體晶片12之表面12c側之外緣部形成有階梯部。

3. 晶片接合步驟：

接下來對圖5所示之晶片接合步驟S3進行說明。圖9係圖5之晶片接合步驟之第1黏合材料配置步驟之擴大平面圖，圖10係沿著圖9之C-C線剖開之擴大剖面圖，圖11係沿著圖9之D-D線剖開之擴大剖面圖。

如圖9及圖10所示，第1黏合材料之配置步驟即配置膏狀黏合材料(膏狀晶片黏合材料)11a之步驟。膏狀黏合材料11a例如為包含熱硬化性樹脂之膏狀黏合材料，在這些樹脂硬化(熱硬化)之前具有流動性。另外，本實施方式中所使用之黏合材料雖然具有流動性，但也具有一定程度之黏度(例如，在20°C之溫度條件下黏度為20~150 Pa·s)，例如，黏度比一般呈液態之水(H₂O)之黏度(在20°C之溫度條件下黏度為1×10⁻³ Pa·s)高。本步驟中，在具有各器件區域40a之晶片安裝區域20b、20c中之一個塗上膏狀黏合材料11a並進行配置。複數之晶片安裝區域20a中，不限定膏狀黏合材料11a之配置順序，但在本實施方式中，配置在安裝有VDR晶片12b(請參照圖2)之晶片安裝區域20c上。

具體做法如圖10及圖11所示，通過噴嘴45在覆蓋著佈線基板40上表面21a之絕緣膜26上塗布膏狀黏合材料11a。本實施方式中，使用從吐出口45a分歧為複數之噴嘴45將膏狀黏合材料11a塗布在晶片安裝區域20a(黏合材料配置區域11b)中之多處。例如，如圖11所示，在本實施方式中，使用從0.2 mmφ之圓形吐出口45a分歧出6個噴嘴45。各吐出口45a之配置間距(中心間距離)例如為0.55 mm，而且，如圖9所示，沿著晶片安裝區域20a四個邊中互為對邊之兩個短邊中央之中央線(假想線)以略等間隔進行配置。此時，被配置為複數之膏狀黏合材料11a分別跨過中央線(假想線)且在晶片安裝區域20a之內側(與在之後之步驟中安裝之半導體晶片重合之區域之內側)。作為將膏狀黏合材料11a配

置在晶片安裝區域20a上之多處之配置方法(多點塗布方式)之變形例(詳細內容請參照後述之變形例1)，例如可使用掃描吐出口45a無分歧之噴嘴，並將膏狀黏合材料11a進行帶狀塗布之方法(帶狀塗布方式)。但是，因可在短時間內塗布膏狀黏合材料11a，所以優選圖9所示之對多處進行塗布之方法。即，從提高製造效率之觀點出發，優選圖9所示之多點塗布方式。

在將如本實施方式所述之薄(如0.15 mm)半導體晶片12(請參照圖2)安裝到佈線基板40上時，如果膏狀黏合材料11a用量過多，從半導體晶片12周圍擠出之膏狀黏合材料11a之一部分將溢出到半導體晶片12之表面12c(請參照圖2)上。為了抑制前述膏狀黏合材料11a溢出，優選減少膏狀黏合材料11a配置量(塗布量)之方法，例如，本實施方式中，配置在一個晶片安裝區域20a中之膏狀黏合材料11a總量(總配置量)為0.1 mg左右。即，如圖11所示，如從噴嘴45之吐出口45a分歧出6個時，從各吐出口45a塗布之膏狀黏合材料11a分別約為0.017 mg。另外，在隨後安裝半導體晶片之步驟中，由於將半導體晶片安裝到佈線基板時所產生之重量而使膏狀黏合材料11a之一部分溢出到配置之部分之周圍。因此，為了抑制膏狀黏合材料11a溢出，本實施方式中，並非將膏狀黏合材料11a幾乎塗滿整個晶片安裝區域20a，而如圖9所示，從所安裝半導體晶片之外緣部(外延部)朝向內側在彼此隔開之區域(黏合材料塗布區域11b)上塗布(配置)膏狀黏合材料11a。

如圖3所示，為了將半導體晶片12緊固安裝在佈線基板20上，優選將膏狀黏合材料11a擴散到整個晶片安裝區域20a上。因此，如本實施方式所述，在減少膏狀黏合材料11a之配置量時，以下之配置方法尤其有效。即，如圖9所示，將膏狀黏合材料11a配置在連接晶片安裝區域20a之四個邊中互為對邊之短邊中央之中央線上，而且，將膏狀黏合材料11a配置在沿著中央線延伸之黏合材料配置區域11b上(忽略前述多點塗布方式、帶狀塗布方式之區別)。換言之就是，在本步驟中，將膏狀黏合材料11a配置在從晶片安裝區域20a之一個短邊側朝向與之互為對邊之另一短邊之配置方法尤其有效。由此，便可形成黏合材料配置區域11b沿著晶片安裝區域20a之長邊延伸之帶狀平面形狀。因此，在將使膏狀黏合材料11a擴散到黏合材料配置區域11b周圍之晶片安裝區域20a之步驟中，膏狀黏合材料11a將主要沿著晶片安裝區域20a之長邊擴散，從而可縮小膏狀黏合材料11a之移動距離(從黏合材料配置區域11b到晶片安裝區域20a之外緣部之距離)。因此，可抑制在晶片安裝區域20a內出現無膏狀黏合材料11a覆蓋之區域(造成空洞產生原因之區域)。

將半導體晶片緊固到佈線基板等基材上之黏合材料，除了本實施方式中前述之膏狀黏合材料以外，還可使用事先將形成為膠捲狀之黏結帶貼到半導體晶片背面之帶狀類黏合材料。如前述事先貼到半導體晶片背面之膠捲狀之黏結帶被稱為DAF(Die Attach Film：晶片貼膜)。

但是，基於以下理由，本實施方式中採用了具有流動性之膏狀黏合材料11a。覆蓋佈線基板40之上表面21a之絕緣膜26由比形成在上表面21a上之佈線23a等構成之金屬材料更柔軟之樹脂材料構成。因此，絕緣膜26表面(上表面)之平坦度比核心層21之平坦度低，且具有因在上表面21a上形成之佈線23a等導體圖案而出現之凹凸形狀(例如請參照圖11)。另外，本實施方式中，為了確保佈線路徑之迂迴佈線，如前述，佈線23a延伸到晶片安裝區域20a內。即，晶片安裝區域20a內之絕緣膜26之表面(上表面)具有因佈線23a等而出現之凹凸形狀。如前述，在晶片安裝區域20a內之絕緣膜26之表面具有凹凸形狀之狀態下，通過DAF等黏結帶緊固半導體晶片時，有可能在黏結帶和絕緣膜26之間產生縫隙。另一方面，如果使用本實施方式所述之具有流動性之膏狀黏合材料11a，就可將膏狀黏合材料11a填充到因絕緣膜26表面而出現之凹凸中，由此可提高半導體晶片之背面和絕緣膜26之緻密性。

接著，第1半導體晶片安裝步驟為將圖12所示之半導體晶片12安裝到佈線基板40之晶片安裝區域20a之步驟。在本實施方式所述之第1黏合材料配置步驟中，將VDR晶片12b安裝到事先塗布了膏狀黏合材料11a之晶片安裝區域20c上。將半導體晶片12以背面12d與晶片安裝區域20a之上表面21a互為相對面之方式安裝到晶片安裝區域20a上(面朝上安裝)。圖12係將半導體晶片安裝到圖10所示之佈線基板之晶片安裝區域之步驟之擴大剖面圖，圖13係膏狀

黏合材料在圖 12 所示之 E 部中擴散之模式說明圖，圖 14 係膏狀黏合材料在圖 9 所示之晶片安裝區域中平面擴散方向之模式說明圖。

本步驟中，使用圖 12 所示之固定夾具 60 將在前述之半導體晶片之準備步驟中準備之半導體晶片 12 送到晶片安裝區域 20a 上。接著，使半導體晶片 12 之背面 12d 朝向佈線基板 40 之上表面 21a 並靠近安裝。具體做法如通過圖 12 及圖 13 所示之固定夾具 60 從半導體晶片 12 之主面 12c 側擠壓，將半導體晶片 12 朝向佈線基板 40 之上表面 21a 並進行擠壓（施加負載（晶片負載））。此時，固定夾具 60 具有擠壓夾具之作用。此時，由於膏狀黏合材料 11a 具有如前述之流動性，所以，在將半導體晶片 12 朝向佈線基板 40 擠壓時（對膏狀黏合材料 11a 施加負載（晶片負載）），在晶片安裝區域 20a 中膏狀黏合材料 11a 將從黏合材料配置區域 11b（請參照圖 13、圖 14）向周圍平面擴散（濕擴散）。換言之就是，在將半導體晶片 12 壓向佈線基板 40 時，膏狀黏合材料 11a 將從與圖 14 所示之本步驟中安裝之半導體晶片 12 重合之區域（從半導體晶片 12 之外緣部朝向內側隔離之區域）向半導體晶片 12 之外側擴散。

如進行詳細說明，即如圖 13 及圖 14 之箭頭所示，膏狀黏合材料 11a 填充在形成在晶片安裝區域 20a 之絕緣膜 26 表面上之凹凸之間隙，並向黏合材料配置區域 11b 周圍擴散，一直擴散到比半導體晶片 12 背面 12d 之外緣部更靠外之外側。另外，如圖 14 所示，膏狀黏合材料 11a 從設置在連接

晶片安裝區域20a之短邊中央之中央線上之黏合材料配置區域11b，主要向晶片安裝區域20a之兩個長邊擴散。而且，在晶片安裝區域20a之兩個短邊附近，膏狀黏合材料11a之一部分從黏合材料配置區域11b朝向晶片安裝區域20a之短邊擴散。另外，如本實施方式所述，以多點塗布方式配置膏狀黏合材料11a時，如圖14所示，在黏合材料配置區域11b內，膏狀黏合材料11a之一部分朝向相鄰配置之膏狀黏合材料11a擴散。但是，相鄰配置之膏狀黏合材料11a將相互混合並形成為一體化後，將如圖14所示朝向晶片安裝區域20a之兩條長邊擴散。

如上述，通過使膏狀黏合材料11a濕擴散到比半導體晶片12之背面12d之外緣部更外側，由此可使膏狀黏合材料11a幾乎覆蓋整個半導體晶片12之背面12d(例如，覆蓋背面12d之90%以上)，所以可使半導體晶片12緊固在佈線基板40(具體為絕緣膜26)上。如果欲將半導體晶片12固定在佈線基板40上，優選使膏狀黏合材料11a完全覆蓋半導體晶片12之整個背面12d之情況。

在此，為了抑制在半導體晶片12和絕緣膜26之間產生空洞(間隙)，就需要一種在膏狀黏合材料11a在晶片安裝區域20a上擴散時減少空洞產生之技術。即，需要一種將存在於半導體晶片12和晶片安裝區域20a之間之氣體高效排出到晶片安裝區域20a外側之技術。如上述，從減少膏狀黏合材料11a擴散時產生間隙之觀點出發，圖8所示之本實施方式中之虛擬佈線23d之形狀及配置為有效。下面參照本

案發明人所探討之比較例對其理由進行說明。

<比較例之探討>

圖32係對於圖8所示之佈線基板之第1比較例即佈線基板之上表面側之佈線圖之擴大平面圖，圖33係對於圖8所示之佈線基板之第2比較例即佈線基板之上表面側之佈線圖之擴大平面圖。

首先，本案發明人進行了如下操作。即在圖32所示之比較例之佈線基板90上實施前述第1黏合材料配置步驟後，再如圖12所示將半導體晶片12壓向佈線基板90(請參照圖32)。其中，圖32所示之佈線基板90與圖8所示之佈線基板90在是否形成虛擬佈線23d這一點上存在不同。結果確定了在複數之佈線23a之間間距大之區域中，在半導體晶片12和佈線基板90之間產生了空洞。

本案發明人認為產生上述空洞之原因係由於晶片安裝區域20a內之絕緣膜26(請參照圖12)表面之平坦度過低而引起的，為了提高平坦度而進行了如下探討，即如圖33所示，將由正方形之光點圖形構成平面形狀之複數之虛佈線圖案23f用於配置在複數之佈線23a之間之佈線基板91上。虛佈線圖案23f通過採用與圖8所示之虛擬佈線23d同樣之方法形成。對於佈線基板91，也採用圖32所示之佈線基板90時同樣之方法，如圖12所示，將半導體晶片12壓向佈線基板91(請參照圖33)。但結果，在由光點圖形構成之虛佈線圖案23f周邊也出現了空洞。本案發明人認為產生空洞之原因如下，即虛佈線圖案23f中，存在於晶片安裝區域20a和

半導體晶片12(請參照圖12)之間之氣體(如空氣)之排出方向為不規則方向，所以無法充分排出氣體。

<關於本實施方式之虛擬佈線之形狀及佈局之說明>

從上述結果可知，在減少膏狀黏合材料11a(請參照圖14)之配置量時，即使單是形成虛佈線圖案而提高絕緣膜26(請參照圖14)表面之平坦度，也不能充分抑制空洞之產生。因此，本案發明人進一步作了如下探討。即如圖8所示，使複數之虛擬佈線23a分別沿著膏狀黏合材料11a(請參照圖14)之主要擴散方向延伸，由此便可較確實有效地抑制空洞之產生。

在形成了本實施方式所述之虛擬佈線23a後，在覆蓋虛擬佈線23a之絕緣膜26之表面也因虛擬佈線23a之平面形狀而出現凹凸形狀(如圖13所示)。接著，如圖9所示，在膏狀黏合材料11a擴散到黏合材料配置區域11b之周圍時，存在於半導體晶片12(請參照圖12)和絕緣膜26之間之氣體(如空氣)更容易沿著絕緣膜26之表面之凹凸移動。因此，通過使複數之虛擬佈線23a分別沿著膏狀黏合材料11a之擴散方向延伸，可以抑制殘留在一部分晶片安裝區域20a上之氣體。換言之就是，將存在於絕緣膜26和半導體晶片12之間之氣體(空氣)誘導出來，並擠到晶片安裝區域20a之外側。由此，可使膏狀黏合材料11a(濕擴散)擴散到整個晶片安裝區域20a。

本實施方式中，膏狀黏合材料11a之擴散方向係指朝向圖14所示之黏合材料配置區域11b周圍之方向。長方形之

晶片安裝區域20a所具有之四個邊中，由於連接對邊之短邊中央之中央線上設有黏合材料配置區域11b，所以膏狀黏合材料11a之擴散方向主要為從黏合材料配置區域11b朝向晶片安裝區域20a之各長邊之方向。因此，本實施方式中，複數之虛擬佈線23d分別沿著晶片安裝區域20a之短邊延伸。另外，如本實施方式所述，如為由長方形之平面形狀構成之晶片安裝區域20a時，通過將存在於半導體晶片12和絕緣膜26之間之氣體擠向長邊，可縮短移動距離。即易於將氣體擠出。因此，通過使複數之虛擬佈線23d分別沿著晶片安裝區域20a之短邊延伸，可輕易將氣體擠出。即，可抑制出現因氣體殘留而產生之空洞。

另外，在呈帶狀延伸之黏合材料配置區域11b之兩個端部附近，膏狀黏合材料11a從黏合材料配置區域11b朝向晶片安裝區域20a之各短邊擴散。例如，在圖8所示之晶片安裝區域20a之短邊附近，朝向短邊延伸之部分只延伸到晶片安裝區域外緣為止之較短距離。此時，如果在短邊附近形成虛擬佈線23d時，如圖8所示，複數之虛擬佈線23d中短邊附近之一部分也可沿著晶片安裝區域20a之長邊延伸。但是，與沿著各長邊擴散之膏狀黏合材料11a之量相比，從黏合材料配置區域11b朝向晶片安裝區域20a之各短邊擴散之膏狀黏合材料11a之量很少。另外，從呈帶狀延伸之黏合材料配置區域11b之端部到短邊之距離非常短。因此，圖8所示之變形例也可為所有之虛擬佈線23d都沿著晶片安裝區域20a之短邊延伸之結構。

另外，在使膏狀黏合材料11a擴散之步驟(安裝半導體晶片之步驟)中，從縮短氣體之移動距離之觀點出發，優選複數之虛擬佈線23d都無彎曲部而為略呈直線型之形狀。因為如果虛擬佈線23d彎曲，晶片安裝區域20a上之氣體之移動距離就變長，從而使空洞產生之可能性更高。因此，從降低空洞產生之觀點出發，優選複數之虛擬佈線23d都無彎曲之佈置方式。但是，因受佈線23a佈局之限制，如果複數之虛擬佈線23d中都無彎曲部，有可能造成佈線23a間之間隙擴大。此時，如圖8所示，也可為虛擬佈線23d具有彎曲部之結構。

另外，複數之虛擬佈線23d配置在晶片安裝區域20a中複數之佈線23a間距離較大之區域內。這是由於佈線間間隙大之區域容易產生空洞之緣故。即，如果將配置了虛擬佈線23d之虛擬佈線配置區域和不配置虛擬佈線23d之虛擬佈線非配置區域兩者與相鄰之佈線23a間之距離進行比較，虛擬佈線配置區域之佈線23a間之距離比虛擬佈線非配置區域之佈線23a間之距離大。本實施方式中，例如，如果將複數之佈線23a之各條佈線之設計線寬度設為L，將相鄰之佈線23a間之設計間隔設為S，在佈線佈局上，對於產生 $3 \times S$ 以上間隙之區域，在相鄰之佈線23a間配置一條或複數之虛擬佈線23d。另外，因在虛擬佈線非配置區域中佈線23a間之距離狹小，各佈線23a朝向端子22延伸且橫跨晶片安裝區域20a內外而成，所以不易產生空洞。

另外，為了有效地誘導出晶片安裝區域20a上之氣體，

優選複數之虛擬佈線23d分別連續形成。換言之就是，優選在虛擬佈線23d延伸方向之延長線上不與別之虛擬佈線23d相鄰配置。再換言之，優選在相鄰之佈線23a間，複數之虛擬佈線23d之各條佈線不被分斷之情況。但是，如圖8所示，在虛擬佈線配置區域之間隙較寬時，可將延伸方向一致之複數之虛擬佈線23d略呈平行地排列配置。

另外，為了有效地誘導出晶片安裝區域20a上之氣體，優選複數之虛擬佈線23d之各佈線之厚度與複數之佈線23a之各條佈線之厚度相同。本實施方式中，由於前述之佈線23a和虛擬佈線23d分別通過電解電鍍法形成，所以可容易獲得同樣之厚度。另外，本實施方式中，複數之虛擬佈線23a各自之線寬度與複數之佈線23a各自之線寬度(具體地說是佈線23a線形部之線寬度)相同。另外，作為變形例，也可為複數之虛擬佈線23a各自之線寬度小於複數之佈線23a各自之線寬度(具體係佈線23a線形部之線寬度)之情況。

俯視時，圖8中複數之虛擬佈線23d配置在晶片安裝區域20a內，而不延伸到晶片安裝區域20a之外側。根據本案發明人之實驗證實，即使虛擬佈線23d不似圖8所示之延伸到晶片安裝區域20a外側也可抑制空洞之產生。但是，在與黏合材料配置區域11b(請參照圖9)之距離較遠之區域中，為抑制空洞之產生，優選虛擬佈線23d延伸到晶片安裝區域20a之外緣附近之結構。也可為虛擬佈線23d延伸到晶片安裝區域20a外側之結構。

另外，為了使膏狀黏合材料11a無間隙地擴散，也可將虛擬佈線23d與佈線23a連接。但是，為防止流經佈線23a之電流之電特性降低，優選將虛擬佈線23d和佈線23a分離設置之設置方式，因此，本實施方式中，複數之虛擬佈線23d和複數之佈線23a分別為分離設置。

如上述，本實施方式中，通過在晶片安裝區域20a內形成圖8所示之複數之虛擬佈線23d，即使減少了膏狀黏合材料11a之配置量，也可使膏狀黏合材料11a如圖12所示地無間隙擴散。另外，為了使圖面簡單易懂，圖12中將膏狀黏合材料11a之厚度畫得較厚，但膏狀黏合材料11a例如可為約10 μm 左右之厚度，即使與半導體晶片12(150 μm)相比也是極薄之厚度。因此，可以減少安裝半導體晶片12時所需之膏狀黏合材料11a之使用量，從而可節省資源。

另外，本實施方式中，由於在晶片安裝區域20a之周圍形成溝部26b，所以可以防止膏狀黏合材料11a之一部分擴散到端子22。但是，如本實施方式所述，如果膏狀黏合材料11a很薄地擴散時，將很難進行大範圍擴散，作為本實施方式之變形例，也可為沒形成有溝部26b之形式。

接下來之第2黏合材料配置步驟係指如圖15及圖16所示，在已經安裝了半導體晶片12之晶片安裝區域20a之外之晶片安裝區域20a上配置膏狀黏合材料11a之步驟。本實施方式中是將膏狀黏合材料11a配置在安裝有AFE晶片12a(請參照圖2)之晶片安裝區域20b上。圖15係圖5之晶片接合步驟之第2黏合材料配置步驟之擴大平面圖，圖16係

沿圖 15之 C-C線剖開之擴大剖面圖。

由於本步驟中所使用之構成膏狀黏合材料 11a 之材料及配置(塗布)膏狀黏合材料 11a 之位置及形狀與前述之第 1 黏合材料配置步驟相同，所以省略掉重複之說明。

接下來之第 2 安裝半導體晶片之步驟係指如圖 17 所示，將半導體晶片 12 安裝到佈線基板 40 之晶片安裝區域 20a 之步驟。本實施方式中是將 AFE 晶片 12a 安裝到晶片安裝區域 20b 上。將半導體晶片 12 以半導體晶片 12 背面 12d 與晶片安裝區域之上表面 21a 互為相對面之方式安裝到晶片安裝區域 20a (面朝上安裝)。圖 17 係將半導體晶片安裝到圖 16 所示之佈線基板之晶片安裝區域之步驟之擴大剖面圖。

由於本步驟係以與前述第 1 安裝半導體晶片之步驟同樣之步驟安裝 AFE 晶片 12a，所以不再進行重複之說明。另外，在將 AFE 晶片 12a 安裝到晶片安裝區域 20b 上時，相鄰之晶片安裝區域 20c 上已安裝有 VDR 晶片 12b。近年來，由於半導體晶片之厚度具有薄化之傾向，所以，本實施方式中之半導體晶片 12 之厚度可為 0.15 mm 或比之更薄。因此，如果膏狀黏合材料 11a 之配置量過多，配置在 AFE 晶片 12a 下之膏狀黏合材料 11a 有可能濕擴散到安裝了 VDR 晶片 12b 之晶片安裝區域 20c。因此，有可能出現膏狀黏合材料 11a 之一部分溢出到 VDR 晶片 12b 之表面 12c 側，從而出現膏狀黏合材料 11a 覆蓋 VDR 晶片 12b 之焊墊 31 之一部分或者覆蓋全部之現象。但是，在本實施方式之前述第 2 黏合材料配置步驟中，已儘量減少了膏狀黏合材料 11a 之配置

量。例如，配置在一個晶片安裝區域20b中之膏狀黏合材料11a之總量(總配置量)為0.1 mg左右，且擴散到晶片安裝區域20b中之膏狀黏合材料11a之厚度約為10 μm 左右。因此，可以抑制配置在AFE晶片12a下之膏狀黏合材料11a濕擴散到安裝了VDR晶片12b之晶片安裝區域20c。而且，本實施方式中，由於在晶片安裝區域20b、20c之間形成有溝部26b，所以可確實防止膏狀黏合材料11a擴散到安裝了VDR晶片12b之晶片安裝區域20c。另外，本實施方式中，與圖8所示之晶片安裝區域20c也同樣，也在晶片安裝區域20b之下層配置有複數之虛擬佈線23d。因此，即使減少膏狀黏合材料11a之配置量，也可使膏狀黏合材料11a無間隙地擴散到整個晶片安裝區域20b上。由此，可防止及抑制空洞之產生。虛擬佈線23d之理想形狀及佈局已在晶片安裝區域20c中進行了說明，因此在此不再進行重複說明。

接下來之烘烤步驟中，對安裝了複數之半導體晶片12之佈線基板40進行加熱，並使膏狀黏合材料11a硬化。烘烤步驟中，例如將安裝了半導體晶片12之佈線基板搬到烘烤爐，再以超過膏狀黏合材料11a之硬化溫度之溫度使其硬化。當膏狀黏合材料11a之熱硬化性樹脂成分硬化後，就形成圖3所示之黏合材料11，從而使半導體晶片12牢固地固定在絕緣膜26上。

另外，本實施方式中，在將複數之VDR晶片12b安裝到複數之晶片安裝區域20c後，實施第2黏合材料配置步驟。理由是可以防止在切換所安裝之半導體晶片12之種類時配

置在晶片安裝區域20a上之膏狀黏合材料11a出現不良。但是，在使用可並列安裝多種半導體晶片之晶片接合裝置時，也可更改本實施方式中說明之步驟順序。例如，在進行第1及第2黏合材料配置步驟後，可進行第1及第2安裝半導體晶片之步驟。此時，為了安裝多種半導體晶片12，雖然將導致晶片接合裝置複雜化及大型化，但是可以一次性進行黏合材料配置步驟。

另外，也可在前述第1安裝半導體晶片之步驟和第2黏合材料配置步驟之間進行烘烤之步驟。此時，可在VDR晶片12b已固定在絕緣膜26上之狀態下實施第2安裝半導體晶片之步驟。但此時，由於在晶片接合步驟中需增加搬運佈線基板40之步驟，為避免製造步驟之繁瑣化，優選如本實施方式所述，在完成第2安裝半導體晶片之步驟後再進行烘烤步驟。

4. 引線接合步驟：

下面對圖5所示之引線接合步驟S4進行說明。圖18係圖5之引線接合步驟中之突起電極形成步驟之擴大剖面圖，圖19係進一步將圖18之F部進行放大後之擴大剖面圖。圖20係圖5之引線接合步驟之擴大剖面圖。

本實施方式中，將從半導體晶片12之絕緣膜(鈍化膜)12f露出之焊墊31彼此連接，進行晶片-晶片間之連接。因此，圖18及圖19所示，突起電極形成步驟即在作為晶片-晶片間連接之第2接合側之半導體晶片12(圖17、圖19所示之VDR12b)之焊墊31上形成金球焊(突起電極)32之步驟。

具體而言即在如圖 19 所示之引線接合步驟中，在作為第 2 接合側之焊墊 31e 上形成金球焊 32，而不在作為第 1 接合側之焊墊 31d 上形成金球焊 32。

形成金球焊 32 之方法中，可應用或適用引線接合技術。本實施方式中，可通過圖中未示出之電焊槍將如由金構成之焊線 33 之尖端形成為球狀，通過毛細管 61 將之擠壓並接合，再通過球焊法形成。為了將金球焊 32 與焊墊 31e 接合，可使用利用了熱壓方式及超音波振動之超音波方式、及並用了這些方式之並用方式，本實施方式採用了並用方式。

接著，進行圖 20 所示之引線接合步驟，即經由複數之焊線 13 分別將兩個晶片之間及晶片與佈線基板間進行電性連接。在本步驟之晶片-佈線基板間之連接中，將半導體晶片 12 之焊墊 31 作為第 1 接合側、將佈線基板 40 之端子 22 作為第 2 接合側，即所謂正焊式進行引線接合。另外，在進行晶片-晶片之連接時，將 AFE 晶片 12a 之焊墊 31d 作為第 1 接合側、將 VDR 晶片 12b 之焊墊 31e 作為第 2 接合側進行引線接合。

引線接合方式採用與前述突起電極形成步驟同樣之方式進行。下面參照圖 19 進行說明。首先，通過圖中未示出之電焊槍將例如由金構成之焊線 33 之尖端形成為球狀，並通過毛細管 61 將之擠壓到作為第 1 接合側之焊墊 31d。接合方式並用了前述之熱壓方式和超音波方式。接著，在送出焊線 33 之同時使毛細管 61 移動到第 2 接合側並形成線圈形

狀，並將之接合到第2接合側之金屬(圖19中為金球焊32)上。接合到第2接合側後切斷焊線33，由此可使兩個半導體晶片12之焊墊31b之間經由焊線13進行電性連接。毛細管在圖中未示出，但在連接晶片與佈線基板時，同樣經由焊線13將圖20所示之焊墊31a和端子22進行電性連接。

另外，焊線13及金球焊32由金屬構成，例如本實施方式中為由金(Au)構成。因此，如上述，通過事先在半導體晶片12之焊墊31之表面形成金(Au)，就可提高焊線13和焊墊31之間之緻密性。另外，如上述，由於端子22表面也形成有金(Au)膜，所以也可以提高焊線和端子22之間之緻密性。

5.封裝步驟：

下面對圖5所示之封裝步驟S5進行說明。圖21係在封裝步驟中所用之成型模具上配置佈線基板，並供給封裝用樹脂之狀態之擴大剖面圖。圖22係在圖21所示之膜槽內填滿封裝用樹脂後再使封裝用樹脂硬化之狀態之擴大剖面圖。

封裝步驟包括以下步驟：準備成型模具之模具準備步驟，在成型模具內配置安裝了半導體晶片之佈線基板之基材配置步驟，使用成型模具夾住佈線基板並夾緊之夾緊步驟，向成型模具之膜槽內供給封裝用樹脂並形成封裝體之封裝體形成步驟，及從成型模具取出佈線基板之基材取出步驟。

下面通過本實施方式說明被稱為MAP(Mold Alloy Process)之製造方式。即在一個膜槽內配置具有按行列狀

配置之複數之產品形成區域之佈線基板，並對複數之產品形成區域進行一次性封裝。

首先，圖21所示之模具準備步驟中準備之成型模具71包括下表面72a並具有上模具(模具)72和下模具(模具)73。前述上模具(模具)72為在下表面72a側形成有膜槽(凹部、凹陷部)72b，前述下模具(模具)73具有與下表面72a互為相對面之上表面73a。

膜槽72b由四角形之平面形狀形成。上模具72中分別形成有沿著膜槽72b之1個邊形成之複數之閘極部(圖中未示出)，及沿著其對邊之複數之排氣閘部(圖中未示出)。

在接下來之基材配置步驟中，在成型模具71之下模具73上配置佈線基板40。形成在與下模具73組合而成之上模具72上之膜槽72b具有比佈線基板40中之複數之器件區域40a更大之面積，本步驟中，以一個膜槽72b內可裝下複數之器件區域40a之方式配置佈線基板40。

其次，在夾緊步驟中，縮短上模具72和下模具73間之距離，並用上模具72和下模具73夾緊佈線基板40。

在接下來之封裝體形成步驟中，向膜槽72b內供給封裝用樹脂，並通過使其硬化而形成封裝樹脂。本步驟中，通過傳遞模塑式形成封裝樹脂，前述傳遞模塑式為將配置在圖中未示出之套筒部之樹脂進行加熱並使其軟化，再從閘部(圖中未示出)向膜槽72b內供給封裝用樹脂之方式。樹脂片例如可由熱硬化性樹脂即環氧樹脂類樹脂構成，具有在比硬化溫度低之溫度條件中，可通過加熱使其軟化，從而

提高流動性之特性。因此，例如，在將通過圖中未示出之柱塞進行軟化之樹脂片擠壓入成型模具71內時，封裝用樹脂將從形成於成型模具71之柵部流入膜槽72b內(具體為佈線基板40之上表面21a側)。而膜槽72b內之氣體因封裝用樹脂流入而產生之壓力而從排氣閥部(圖中未示出)排出，膜槽72b內將被封裝用樹脂14a填滿。結果，安裝在佈線基板40之上表面21a側之複數之半導體晶片12及複數之焊線13將被封裝用樹脂14a封裝。此時，由於封裝用樹脂14a也填滿溝部26b，所以，在溝部26b中露出之佈線23a也將被封裝。

之後，通過對膜槽72b內進行加熱，可使封裝用樹脂14a出現加熱硬化(假硬化)，從而形成圖22所示之封裝體14。

接著，在基材取出步驟中，將在上述封裝步驟中使用之成型模具71從圖22所示之形成有封裝體14佈線基板40取出。

本步驟中，將圖22所示之上模具72之下表面72a和下模具73之上表面73a拉開，並取出形成了封裝體14之一次性封裝構造體。另外，本步驟中還根據需要清除在前述封裝步驟中產生之樹脂溢出等。

6. 烘烤步驟：

下面說明圖5所示之烘烤步驟S6。

首先，將從成型模具71取出之佈線基板40送到烘烤爐(圖中未示出)內，並再次對佈線基板40進行熱處理。在成型模具71內被加熱之封裝用樹脂14a中硬化成分之一半以

上(如70%左右)將成為硬化之狀態，此即所謂假硬化狀態。在此假硬化狀態下，並非樹脂中之所有硬化成分都硬化，而係一半以上之硬化成分硬化了，此時，半導體晶片12及焊線13將被封裝。但是，從提高封裝體14之強度之穩定性之觀點來看，優選將硬化成分完全硬化之狀態，所以，在烘烤步驟S6中，對假硬化之封裝體14進行再加熱，使其成為所謂真硬化。如上述，將使封裝用樹脂14a硬化之步驟分兩次進行，可對下一個送到成型模具71之佈線基板40更快地實施封裝步驟。因此可提高製造效率。

7.植球步驟：

下面說明圖5所示之植球步驟S7。圖23係在將複數之焊球接合到佈線基板上之狀態之擴大剖面圖。圖23對應按圖9所示之C-C線剖開之剖面。

本步驟中，將在圖23所示之佈線基板40下表面21b側形成之複數之焊盤24分別安裝複數之焊接材料(焊球)28。具體地說就是，首先，將圖23所示之佈線基板40之正反面倒置，並將複數之焊接材料28分別配置到形成在佈線基板40下表面21b側之複數之焊盤24上。接著，在配置了焊接材料28之佈線基板40進行熱處理(回流焊接)，使複數之焊接材料28熔融且分別接合到複數之焊盤24上。此時，如上述，由於焊盤24之表面形成有電鍍層，且由銅構成之焊盤24之表面為難於被氧化之狀態，所以可抑制焊接材料28對於焊盤24之濕潤性降低。

另外，本步驟中，為了使焊接材料28緊固接合到焊盤24

上，如可使用被稱為助焊劑之活性劑進行接合。如前述使用助焊劑進行接合時，需在熱處理後進行清除助焊劑成分之殘渣之清洗作業。

8. 劃片步驟：

下面說明圖5所示之劃片步驟S8。圖24係將圖23所示之佈線基板及封裝體進行劃片步驟之擴大剖面圖。

本步驟中，如圖24所示，使切斷夾具即劃片刀50沿著器件區域40a之邊界線(切割線)將佈線基板40(請參照圖23)及封裝體14進行切割，將每個器件區域40a進行切割(劃片)。通過本步驟，可從一個佈線基板獲得圖3所示之複數之半導體裝置2。

另外，例如，在前述植球步驟S7後，將佈線基板40之正反面倒置之狀態下實施本步驟，在下側(即封裝體14側)貼有樹脂薄膜(切割帶)51之狀態下從下表面21b側開始進行切割。

之後，進行外觀檢查等必要之檢查和實驗後，便可製成半導體裝置2。

以上按照實施方式具體地說明瞭本案發明人所作之發明，但是本發明並不受到前述實施方式之限定，在不超出其要旨之範圍下能夠進行種種變更，在此無需贅言。

<變形例1>

例如，在前述實施方式中，作為第1及第2黏合材料配置步驟，如圖11所示，使用吐出口45a已分歧為複數之噴嘴45在晶片安裝區域20a上(黏合材料和黏合材料配置區域

11b上)之多處塗布膏狀黏合材料11a之多點塗布方式進行了說明。但是，膏狀黏合材料11a之塗布方式並不僅限於此，也可使用如圖25及圖26所示之帶狀塗布方式。圖25係相對於圖9之變形例之擴大平面圖，圖26係相對於圖11之變形例之擴大剖面圖。

圖26所示之變形例中，將吐出口45a無分歧之噴嘴沿著圖26中箭頭所示之方向進行掃描，並使膏狀黏合材料11a以帶狀進行塗布。此時，與前述實施方式中說明之多點塗布方式相比，將需要一定之掃描時間，所以從提高製造效率方面看，優選多點塗布方式。但是，帶狀塗布方式可使膏狀黏合材料11a之間難於產生造成空洞產生原因之間隙。

<變形例2>

另外，在前述實施方式中，已對在各晶片安裝區域20b、20c之下層配置複數之虛擬佈線23d之例子進行了說明，但是，也可為只在晶片安裝區域20b、20c中任意一個區域之下層形成複數之虛擬佈線23d之結構。此時，優選在後來安裝之半導體晶片12之晶片安裝區域20b上形成複數之虛擬佈線23d。通過在配置於複數之虛擬佈線23d上之晶片安裝區域20b上後來安裝AFE晶片12a(半導體晶片12)，可防止在已安裝了VDR晶片12b(半導體晶片12)之表面12c上膏狀黏合材料11a溢出。

<變形例3>

另外，在前述實施方式中，已對將複數之半導體晶片12

並列配置之例子進行了說明，但也可應用於在佈線基板40上安裝一個半導體晶片12之實施方式。此時，半導體晶片12厚度越薄，膏狀黏合材料11a就越有可能溢出到表面12c側，但是在前述實施方式中所說明之晶片接合步驟中，通過應用一個半導體晶片12之安裝步驟，可防止及抑制膏狀黏合材料11a之溢出。

<變形例4>

另外，前述實施方式中，已對安裝由長方形之平面形狀構成之半導體晶片12之例子進行了說明，但也可應用於安裝由圖27所示之正方形平面形狀構成之半導體晶片80之半導體裝置81。圖27係圖2所示變形例之平面圖。圖28係在圖27所示之半導體裝置之製造方法中，晶片接合步驟之黏合材料配置步驟之擴大平面圖，圖29係形成在圖28所示之晶片安裝區域下層之虛擬佈線配置例之模式說明圖。

圖27所示之半導體裝置81係圖2所示之半導體裝置2之變形例，在佈線基板20之晶片安裝區域20a上安裝有一個由正方形平面形狀構成之半導體晶片80方面，與半導體裝置2存在不同。另外，半導體裝置81中，在晶片安裝區域20a周圍沒形成有圖2所示之溝部26b這一點上也存在不同。半導體晶片80例如為由圖2所示之AFE晶片12a和VDR晶片12b一體形成之半導體晶片。

如上述，在將正方形之半導體晶片80安裝到佈線基板上時，如圖28所示，從減少膏狀黏合材料11a配置量之觀點來看，將膏狀黏合材料11a塗布到配置在連接晶片安裝區

域20a各角部之兩條對角線上之黏合材料配置區域11b之塗布方式(交叉塗布方式)最為有效。如上述，通過交叉塗佈方式來配置膏狀黏合材料11a時，在接下來之半導體芯片安裝步驟中，膏狀黏合材料11a將按圖28中箭頭所示方向從黏合材料配置區域11b向芯片安裝區域20a外緣之各邊擴散。

因此，本變形例中，例如，如圖29之模式所示，通過使複數之虛擬佈線23d從晶片安裝區域20a之四個邊中從黏合材料配置區域11b分別朝向最近之邊延伸，由此，即使減少膏狀黏合材料11a之配置量，也可抑制空洞之產生。這是由於通過縮短存在於半導體晶片80(請參照圖27)和絕緣膜26之間之氣體(例如空氣)之移動距離，可易於將空氣擠壓到晶片安裝區域20a之外側之緣故。另外，雖然圖29中未示出前述實施方式中所說明之複數之佈線23a，但實際上，在晶片安裝區域20a之下層(核心層之上表面21a上)上配置有複數之佈線23a(請參照圖8)。因此，複數之虛擬佈線23d選擇形成在複數之佈線23a間距離大之區域中。另外，複數之虛擬佈線23d之形狀及佈局形態優選在前述實施方式之<關於本實施方式之虛擬佈線之形狀及佈局之說明>中已進行說明，所以在此不再進行重複說明。

<變形例5>

另外，在前述變形例4中已對將半導體晶片80以所謂面朝上之安裝方式進行安裝之形態進行了說明，但也可如圖30及圖31所示，將半導體晶片80以面朝下之安裝方式也可

適用於半導體裝置82。圖30係相對於圖27之變形例之平面圖。圖31係沿著圖30之G-G線剖開之剖面圖。

圖30及圖31所示之半導體裝置82為圖27所示之半導體裝置81之變形例，在使佈線基板20之晶片安裝區域20a與半導體晶片80之表面12c互為相對面之方式安裝到佈線基板20上這點上存在不同。也就是說，半導體裝置82中，半導體晶片80是以面朝下之安裝方式(倒裝連接方式)進行安裝的。如圖30所示，由於面朝下之安裝方式無需在背面12d側形成圖3所示之封裝體14，可說是一種有利於半導體裝置之薄型化之安裝方式。另外，由於背面12d為露出之狀態，所以即使在背面12d上再安裝其他半導體晶片或堆積其他半導體裝置，也可抑制整體厚度之增大。

另外，如圖31所示，面朝下之安裝方式中，佈線基板20之複數之端子22形成在晶片安裝區域20a內，半導體晶片80之焊墊31和端子22經由形成在焊墊31上之突起電極34電性連接。具體而言即，形成在端子22上之焊接材料35等接合部材和例如由金構成之突起電極34經由金-焊錫接合而被接合。如前述之接合方式中，為了避免應力集中在焊墊31和端子22之接合部而產生接合不良，在半導體晶片80之表面12c和佈線基板20(具體為絕緣膜26)之間放入底部填充樹脂以緩和應力之方法為有效之方法。

但是，為了使半導體晶片80之背面12d露出，從防止底部填充樹脂迂回到半導體晶片80背面12d側之觀點出發，需要減少底部填充樹脂之使用量。填充底部填充樹脂之步

驟一般係將複數之焊墊31和複數之端子22接合後，填充於半導體晶片80和佈線基板20之間，但如果底部填充樹脂之量過少時，由於半導體晶片80和佈線基板20之間之間隙狹小，所以填充時之靜壓將變大從而成為產生空洞之原因。而且，如果在底部填充樹脂內產生空洞，將破壞應力緩和之平衡，從而導致應力集中在焊墊31和端子22之接合部而成為產生結合不良之原因。

因此，前述實施方式之晶片接合步驟中所說明之技術對防止在底部填充樹脂內產生空洞為有效之技術。即，通過將前述實施方式及變形例1~變形例4中所說明之黏合材料11及膏狀黏合材料11a作為底部填充樹脂，可以防止及抑制空洞之產生。另外，關於複數之虛擬佈線23d之形狀及佈局之優選形態，已在前述實施方式之<關於本實施方式之虛擬佈線之形狀及佈局之說明>中進行了說明，所以在此不再進行重複說明。

[產業上之可利性]

本發明可應用於在佈線基板上安裝半導體晶片之半導體裝置。

【圖式簡單說明】

圖1係對植入了本發明一實施方式中之半導體裝置之攝影系統之動作模式說明圖。

圖2係本發明一實施方式中半導體裝置上表面側之內部結構之平面圖。

圖3係沿圖2之A-A線剖開之剖面圖。

圖 4 係去掉圖 1 所示之半導體晶片及上表面側之絕緣膜(阻焊膜)後在核心層上表面側形成之佈線圖例之平面圖。

圖 5 係說明圖 1~圖 3 中半導體裝置之組裝流程之說明圖。

圖 6 係圖 5 之基材準備步驟中所準備之佈線基板整體結構之平面圖。

圖 7 係將圖 6 之 B 部擴大後擴大平面圖。

圖 8 係在圖 7 所示之一個器件區域中，去掉上表面側之絕緣膜(阻焊膜)後在核心層上表面側形成之佈線圖例之擴大平面圖。

圖 9 係圖 5 之晶片接合步驟之第 1 黏合材料配置步驟之擴大平面圖。

圖 10 係沿圖 9 之 C-C 線剖開之擴大剖面圖。

圖 11 係沿圖 9 之 D-D 線剖開之擴大剖面圖。

圖 12 係將半導體晶片安裝到圖 10 所示之佈線基板之晶片安裝區域上之步驟之擴大剖面圖。

圖 13 係膏狀黏合材料在圖 12 所示之 E 部中擴散之模式說明圖。

圖 14 係膏狀黏合材料在圖 9 所示之晶片安裝區域中平面擴散之方向之模式說明圖。

圖 15 係在圖 5 之晶片接合步驟中第 2 黏合材料配置步驟之擴大平面圖。

圖 16 係沿著圖 15 之 C-C 線剖開之擴大剖面圖。

圖 17 係將半導體晶片安裝到圖 16 之佈線基板之晶片安裝區域上之步驟之擴大剖面圖。

圖 18 係圖 5 所示之引線接合步驟之突起電極形成步驟之擴大剖面圖。

圖 19 係將圖 18 之 F 部進一步擴大後之擴大剖面圖。

圖 20 係將圖 5 所示之引線接合步驟進行擴大後之擴大剖面圖。

圖 21 係在封裝步驟所用之成型模具上配置佈線基板並供給封裝用樹脂之狀態之擴大剖面圖。

圖 22 係在用封裝用樹脂填滿圖 21 所示之膜槽內後，使封裝用樹脂硬化後之狀態之擴大剖面圖。

圖 23 係在佈線基板上接合了複數之焊球之狀態之擴大剖面圖。

圖 24 係對圖 23 所示之佈線基板及封裝體進行劃片之步驟之擴大剖面圖。

圖 25 係對應於圖 9 之變形例之擴大平面圖。

圖 26 係對應於圖 11 之變形例之擴大剖面圖。

圖 27 係對應於圖 2 之變形例之平面圖。

圖 28 係在圖 27 所示之半導體裝置之製造方法中，晶片接合步驟中之黏合材料配置步驟之擴大平面圖。

圖 29 係在圖 28 所示之晶片安裝區域之下層形成之虛擬佈線之配置例之模式說明圖。

圖 30 係對應於圖 27 之變形例之平面圖。

圖 31 係沿圖 30 之 G-G 線剖開之剖面圖。

圖 32 係對應於圖 8 所示佈線基板之第 1 比較例即佈線基板上表面側之佈線圖之擴大平面圖。

圖 33 係對應於圖 8 所示佈線基板之第 2 比較例即佈線基板上表面側之佈線圖之擴大平面圖。

【主要元件符號說明】

1	攝像元件
2、81、82	半導體裝置
3	畫像處理 LSI(半導體裝置)
11	黏合材料
11a	膏狀黏合材料
11b	黏合材料配置區域
12、80	半導體晶片
12a	AFE 晶片
12b	VDR 晶片
12c	表面(上表面、主面)
12d	背面(下表面、主面)
12e	側面
12f	絕緣膜(鈍化膜)
13、13a、13b	焊線(導電性材料)
14	封裝體
14a	封裝用樹脂
20	佈線基板
20a、20b、20c	晶片安裝區域
21	核心層
21a	上表面(表面)
21b	下表面(背面)

22	端子(接合引線)
23	佈線圖
23a、23b	佈線
23c	通孔佈線(佈線)
23d	虛擬佈線(佈線)
23e	供電線
23f	虛佈線圖案
24	焊盤
25	通孔
26	絕緣膜
26a	開口部
26b	溝部(錫堤部)
27	絕緣膜
27a	開口部
28	焊接材料
31、31a、31b、 31d、31e	焊墊(電極墊)
32	金球焊
33	焊線
34	突起電極
35	焊接材料
40、90、91	佈線基板
40a	器件區域
40b	框體(框部)

45	噴嘴
45a	吐出口
50	劃片刀
51	樹脂薄膜(切割帶)
60	固定夾具
61	毛細管
71	成型模具
72	上模具
72a	下表面
72b	膜槽
73	下模具
73a	上表面
ADC	A/D轉換電路
CDS	雜訊降低電路
HDR	水準驅動
PGA	增益放大電路
TG	定時信號發生器
VDR	垂直驅動型驅動器

修正頁(本)
2013年08月29日
封條

七、申請專利範圍：

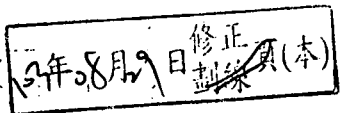
1. 一種半導體裝置之製造方法，其特徵在於包括以下步驟：

(a)準備佈線基板之步驟，前述佈線基板包括：具有上表面及前述上表面相反側之下表面之核心層；形成於前述核心層之前述上表面之複數之第1及第2佈線；形成於前述核心層之前述上表面且與前述複數之第1佈線電性連接之複數之接合引線；以覆蓋前述複數之第1及第2佈線，且露出前述複數之接合引線之方式形成於前述核心層之前述上表面之上表面側絕緣膜；形成於前述核心層之前述下表面，且分別與前述複數之接合引線電性連接之複數之焊盤(land)；及以露出前述複數之焊盤之方式形成於前述核心層之前述下表面之下表面側絕緣膜；

(b)在第1晶片安裝區域中之第1黏合材料配置區域配置具有流動性之第1黏合材料，前述第1晶片安裝區域係設置於前述核心層之前述上表面上，且其平面形狀由長方形所成；及

(c)經由前述第1黏合材料將第1半導體晶片安裝於前述佈線基板之前述第1晶片安裝區域上，並使前述第1黏合材料擴散至前述第1黏合材料配置區域之周圍，其中，前述第1半導體晶片係平面形狀由長方形所成，且包含第1表面、形成於前述第1表面上之複數之第1電極墊、及前述第1表面之相反側之第1背面；

其中，前述第1晶片安裝區域包含前述複數之第1及第



2佈線；

在前述步驟(b)中，將前述第1黏合材料配置在前述第1黏合材料配置區域，前述第1黏合材料配置區域係配置在前述第1晶片安裝區域中將互相對向之2條短邊之各自之中央加以連接之第1中央線上，且沿著前述第1中央線延伸；

在前述步驟(c)中，前述複數之第2佈線之各個係沿著前述第1黏合材料擴散之方向延伸。

2. 如請求項1之半導體裝置之製造方法，其中

前述複數之第2佈線之各個不與前述複數之第1佈線及前述複數之接合引線連接。

3. 如請求項2之半導體裝置之製造方法，其中

前述複數之第2佈線之各個係沿著前述第1晶片安裝區域之前述短邊延伸。

4. 如請求項3之半導體裝置之製造方法，其中

前述複數之第2佈線各個之厚度與前述複數之第1佈線各個之厚度相同。

5. 如請求項4之半導體裝置之製造方法，其中

前述佈線基板在前述核心層之前述上表面且在前述第1晶片安裝區域之下層，包含形成前述第2佈線之第2佈線配置區域及不形成前述第2佈線之第2佈線非配置區域；且

前述第2佈線配置區域中相鄰之前述複數之第1佈線間之距離比前述第2佈線非配置區域中相鄰之前述複數之

第1佈線間之距離大。

6. 如請求項5之半導體裝置之製造方法，其中
於前述複數之第2佈線各個之延伸方向之延長線上，
未相鄰配置其他前述第2佈線。
7. 如請求項1之半導體裝置之製造方法，其中
前述複數之第2佈線之一部分具有彎曲部。
8. 如請求項1之半導體裝置之製造方法，其中
前述複數之第2佈線之一部分分別朝向前述第1晶片安裝區域之前述短邊延伸。
9. 如請求項1之半導體裝置之製造方法，其中
俯視時，前述複數之第2佈線配置在前述第1晶片安裝區域內，且未延伸到前述第1晶片安裝區域之外側。
10. 如請求項1之半導體裝置之製造方法，其中
前述步驟(c)中，以使前述第1半導體晶片之前述第1背面與前述佈線基板之前述第1晶片安裝區域相對向之方式安裝前述第1半導體晶片。
11. 如請求項1之半導體裝置之製造方法，其中
前述步驟(b)中，將前述第1黏合材料配置於前述第1黏合材料配置區域之多處上。
12. 如請求項1之半導體裝置之製造方法，其中
前述步驟(a)中所準備之前述佈線基板係平面形狀由長方形所成，並包含配置在前述核心層之前述上表面側之第2晶片安裝區域；
前述第2晶片安裝區域所有之四個邊中之一個長邊係

10年08月19日 修正頁(本)

以與前述第1晶片安裝區域所有之四個邊中之一個長邊相對向之方式並列配置；

進而包含以下步驟：

(d)將第2黏合材料配置於前述第2晶片安裝區域上；

(e)經由前述第2黏合材料將第2半導體晶片安裝於前述佈線基板之前述第2晶片安裝區域上，前述第2半導體晶片係平面形狀由長方形所成，且包含第2表面、形成於前述第2表面之複數之第2電極墊、及前述第2表面之相反側之第2背面；

其中，前述步驟(c)在前述步驟(e)之後進行。

13. 如請求項12之半導體裝置之製造方法，其中

前述步驟(a)中所準備之前述佈線基板係於前述第2晶片安裝區域之下層形成前述複數之第1及第2佈線；

前述步驟(d)中，將前述第2黏合材料配置於第2黏合材料配置區域，前述第2黏合材料配置區域係配置於將前述第2晶片安裝區域之4個邊中互相對向之短邊各個之中央加以連接之第2中央線上，且沿著前述第2中央線延伸者；

前述步驟(e)包括將在步驟(d)中配置之前述第2黏合材料擴散至前述第2黏合材料配置區域周圍之步驟；

在前述步驟(e)中，配置於前述第2晶片安裝區域之下層之前述複數之第2佈線之各個係沿著前述第2黏合材料擴散之方向延伸。

14. 一種半導體裝置之製造方法，其特徵在於包括以下步

驟：

(a)準備佈線基板之步驟，前述佈線基板包括：具有上表面及前述上表面相反側之下表面之核心層；形成於前述核心層之前述上表面之複數之第1及第2佈線；形成於前述核心層之前述上表面且與前述複數之第1佈線電性連接之複數之接合引線；以覆蓋前述複數之第1及第2佈線，且露出前述複數之接合引線之方式形成於前述核心層之前述上表面之上表面側絕緣膜；形成於前述核心層之前述下表面，且與前述複數之接合引線分別電性連接之複數之焊盤；及以露出前述複數之焊盤之方式形成於前述核心層之前述下表面之下表面側絕緣膜；

(b)在晶片安裝區域內之黏合材料配置區域配置具有流動性之黏合材料，前述晶片安裝區域係設置於前述核心層之前述上表面側，且平面形狀由四角形所成；

(c)經由前述黏合材料將半導體晶片安裝於前述佈線基板之前述晶片安裝區域上，並使前述黏合材料擴散至前述黏合材料配置區域之周圍，前述半導體晶片係平面形狀由四角形所成，且包含表面、形成於前述表面之複數之電極墊、及前述表面之相反側之背面；

其中，前述晶片安裝區域包含前述複數之第1及第2佈線；

前述步驟(b)中，將前述黏合材料配置於：於前述晶片安裝區域中，配置於將前述晶片安裝區域之各角部加以連接的兩條對角線上之前述黏合材料配置區域；

02年08月29日 修正 (本)

前述複數之第2佈線之各個係朝向前述晶片安裝區域
所有之四個邊中離前述黏合材料配置區域最近之邊延
伸。

八、圖式：

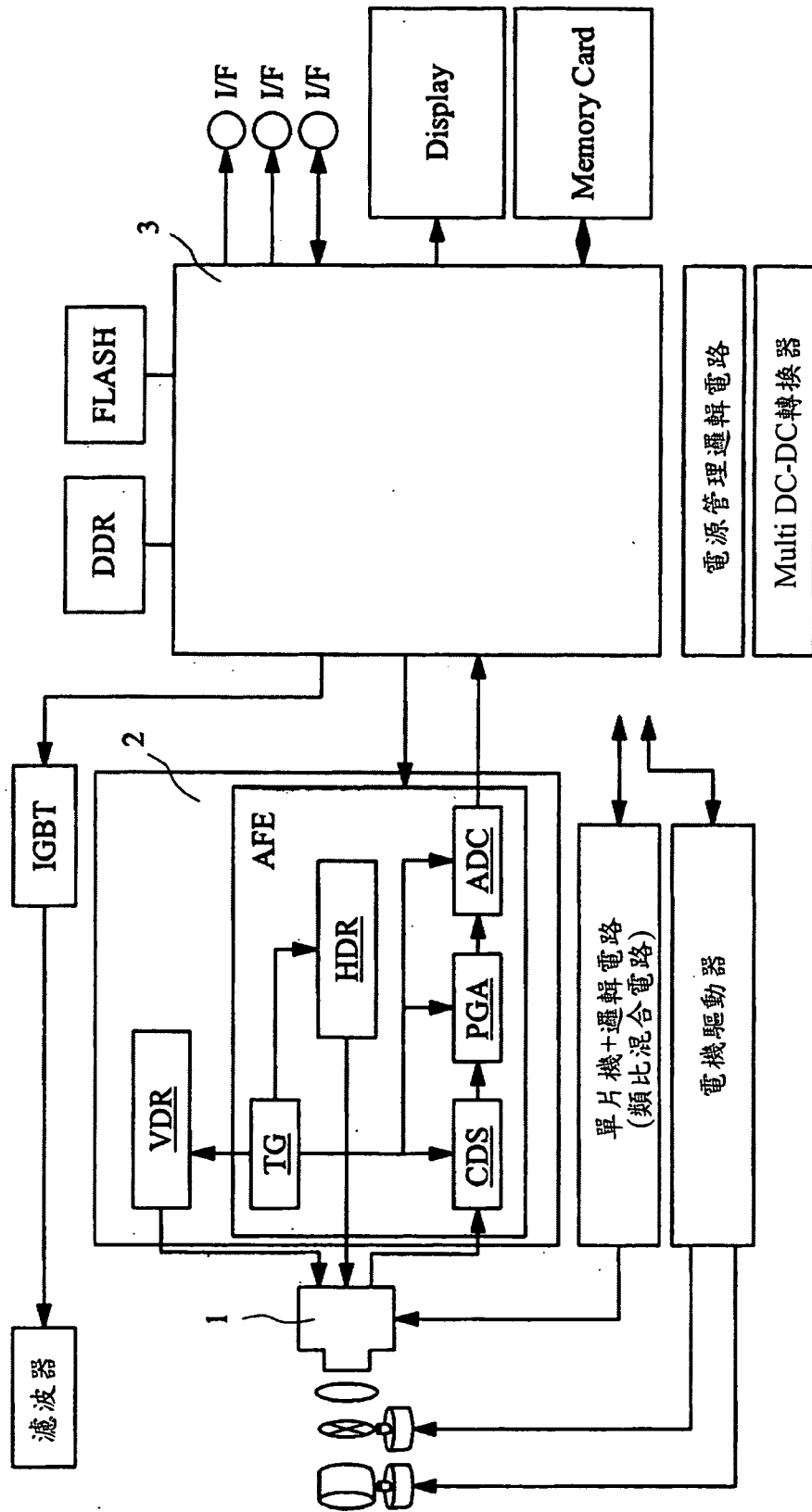


圖1

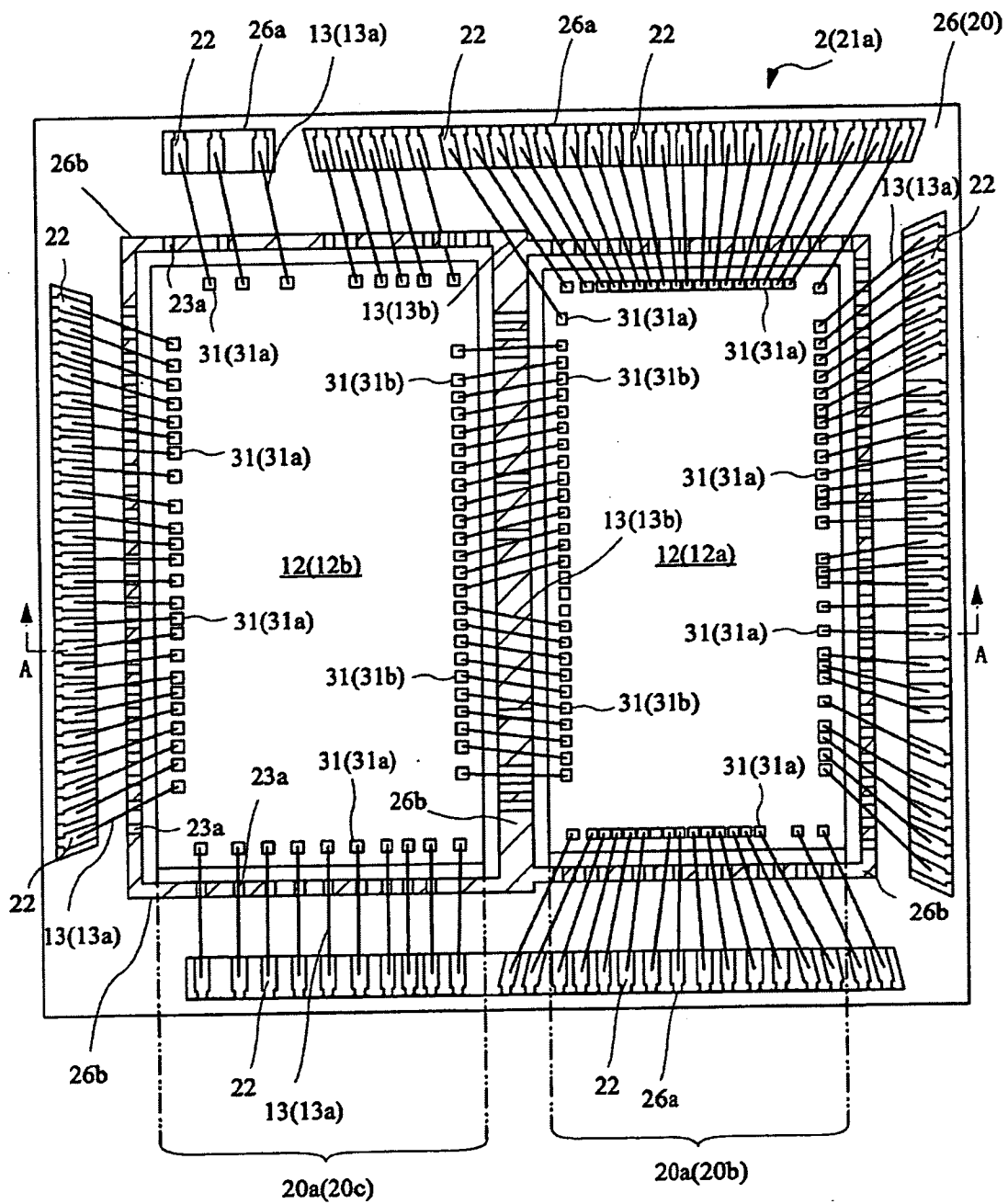


圖2

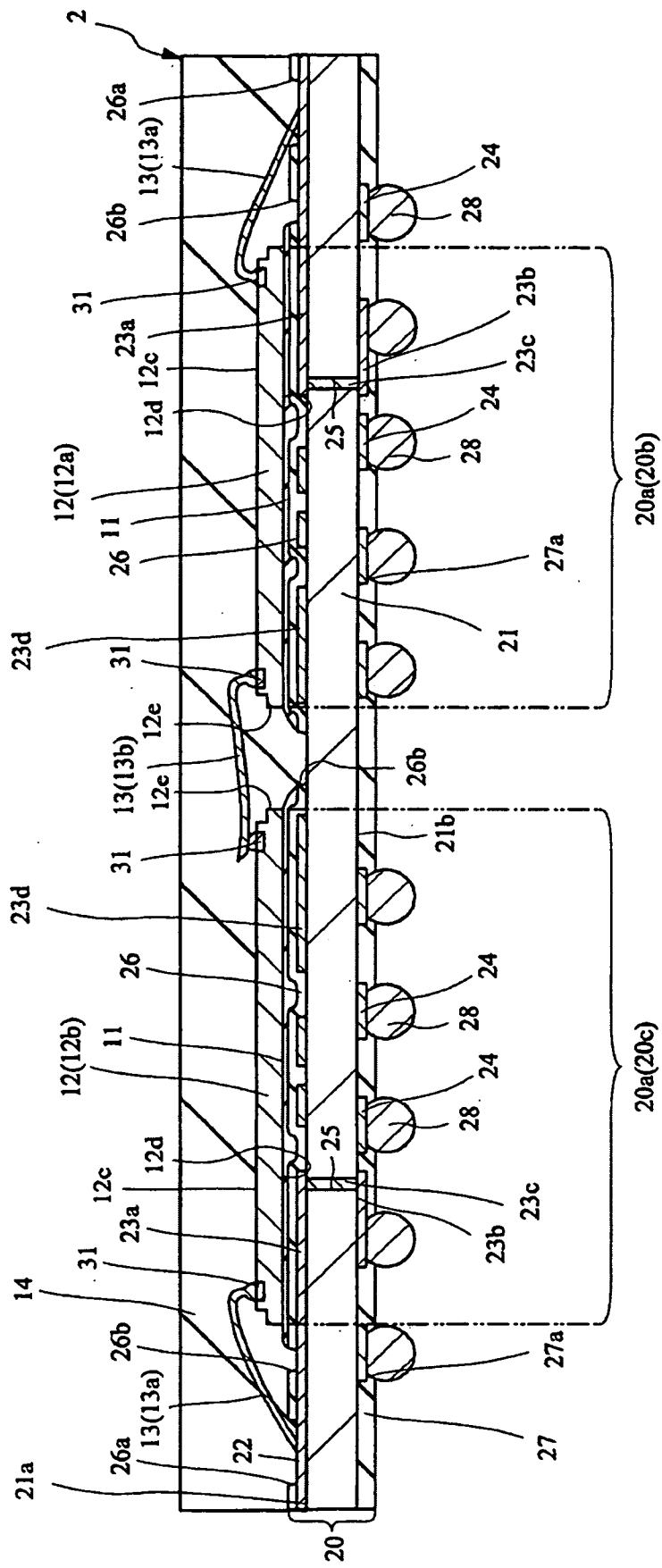


圖3

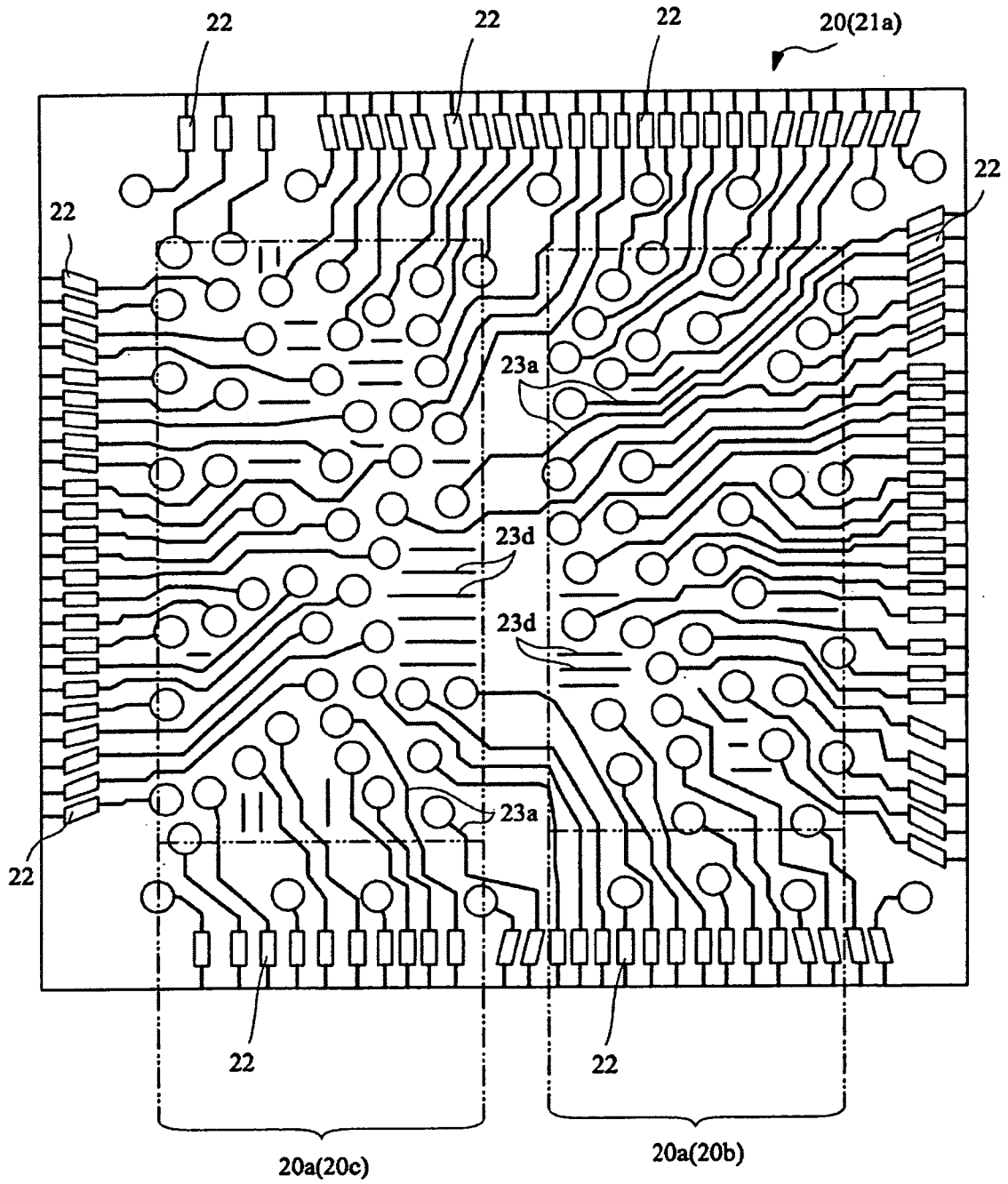


圖 4

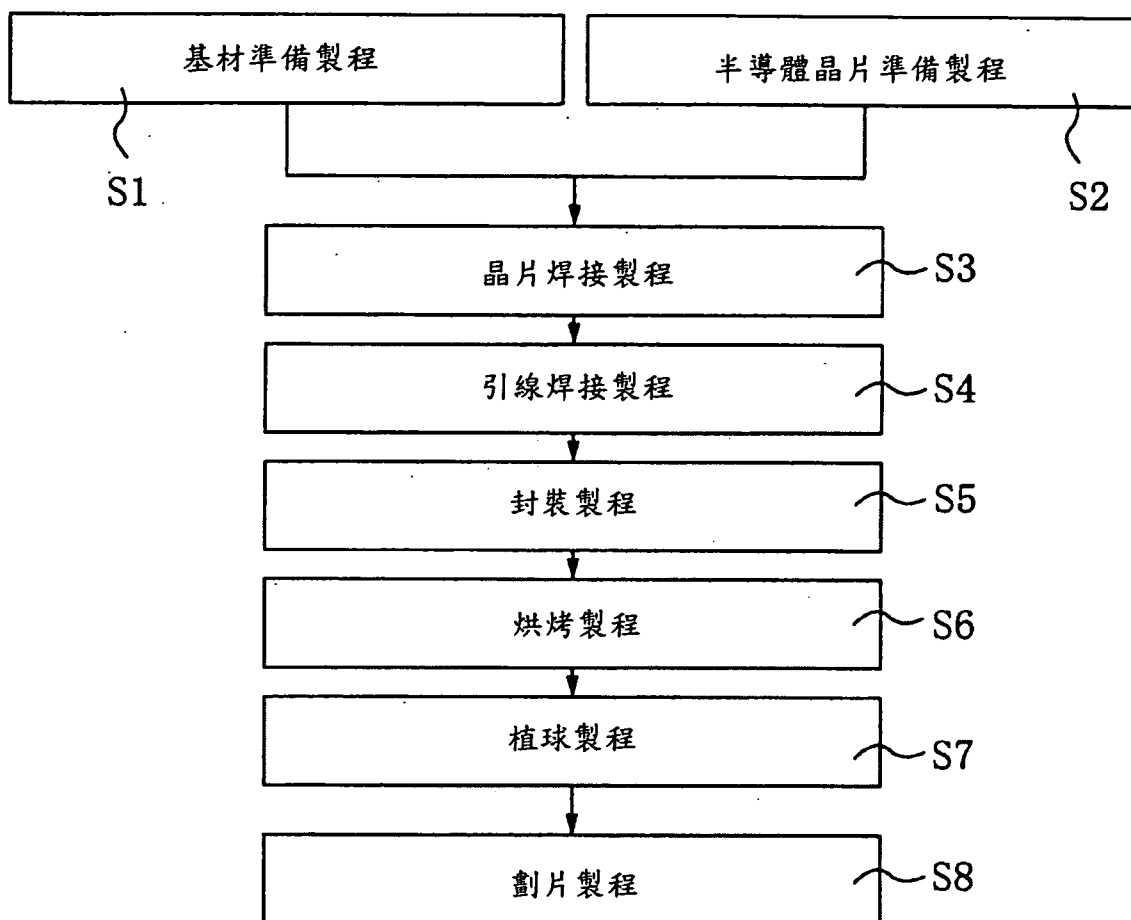


圖5

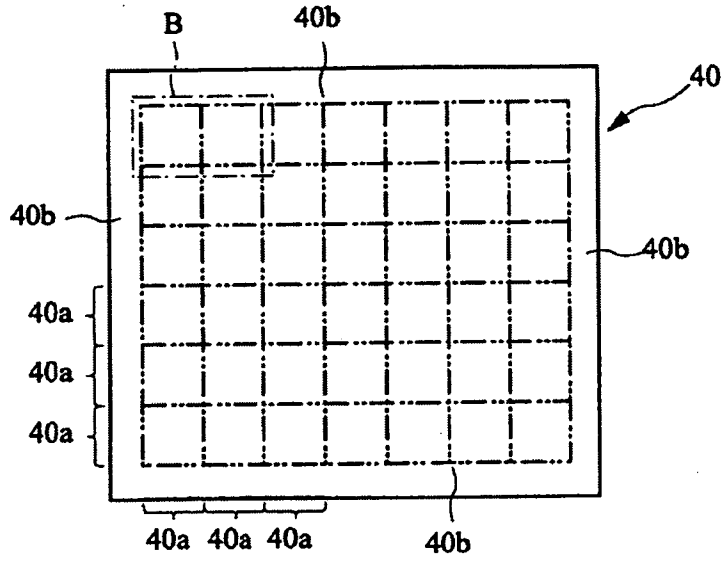


圖 6

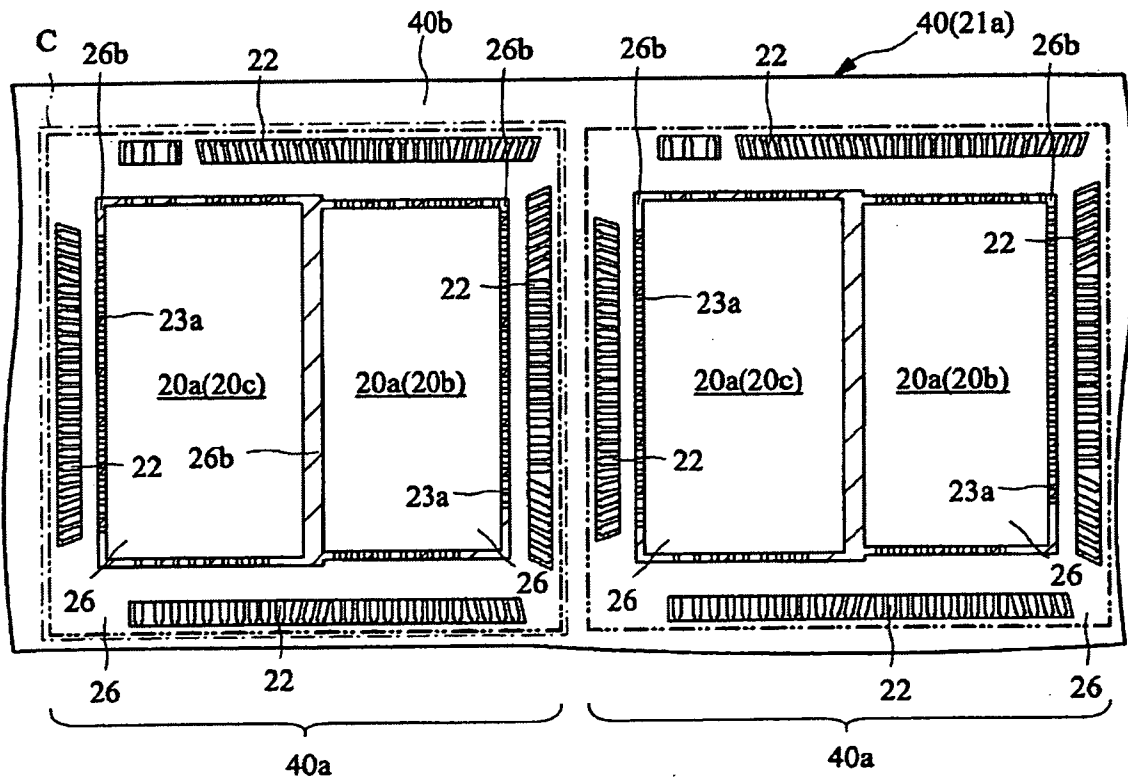


圖 7

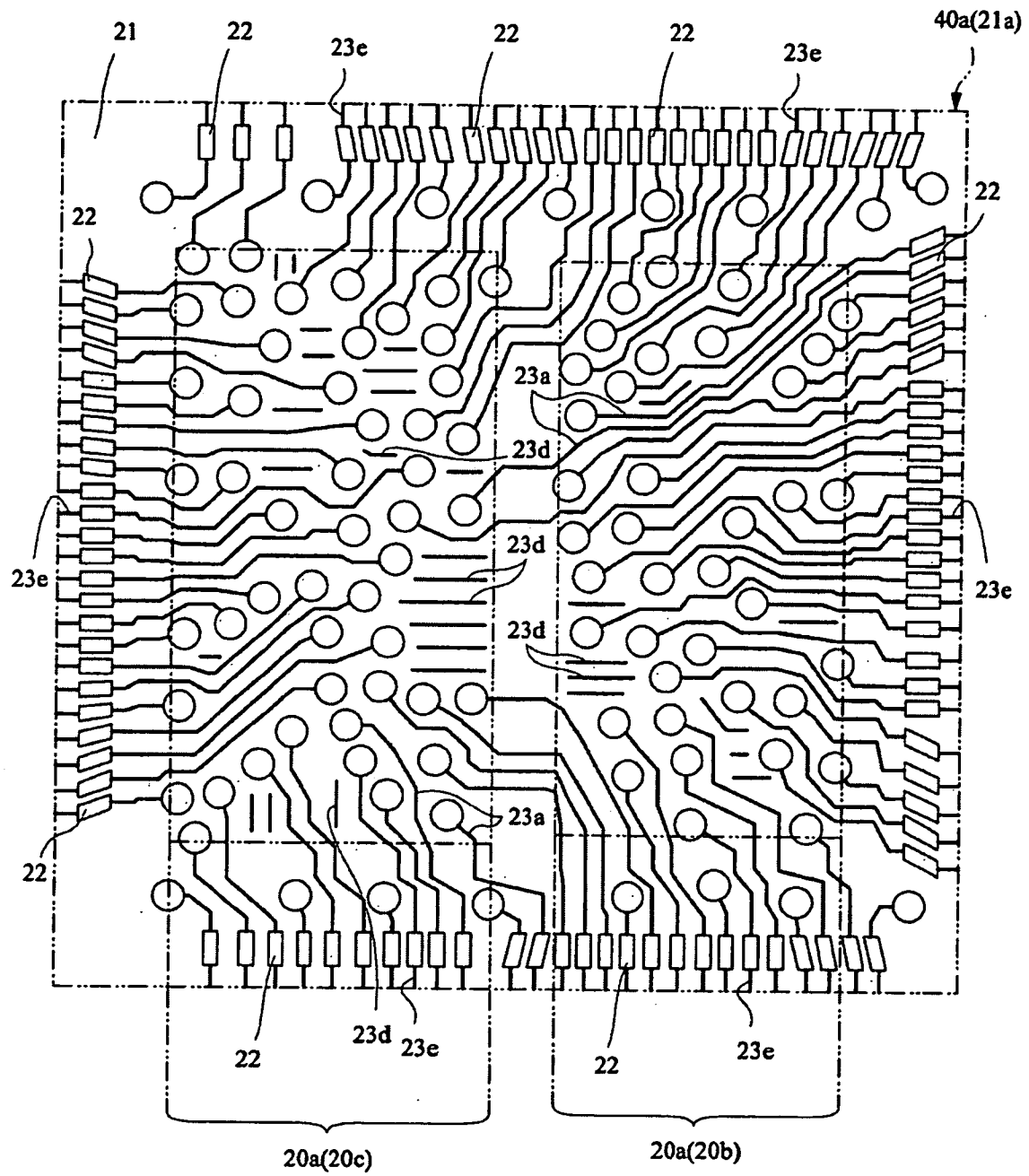


圖 8

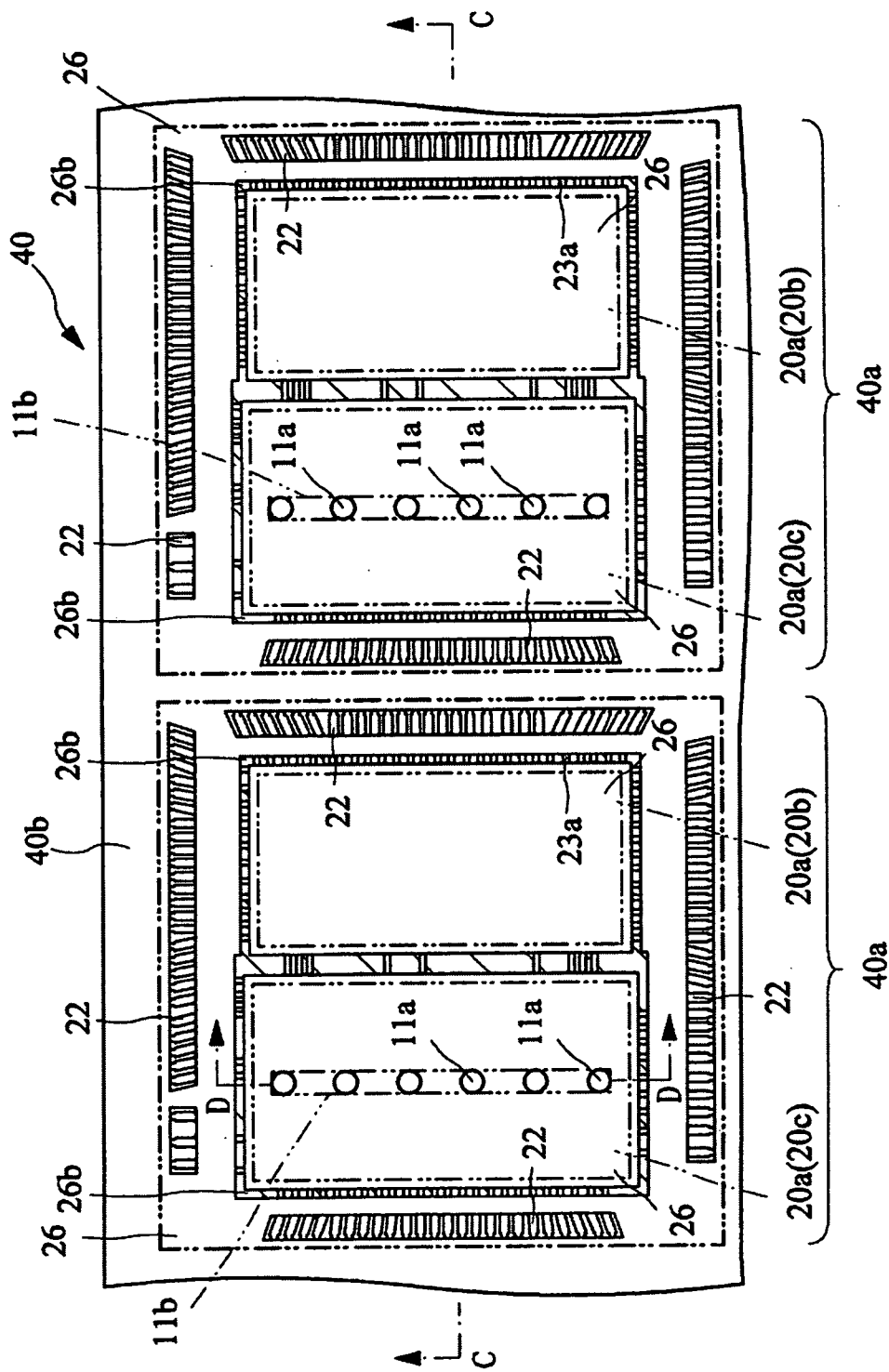


圖9

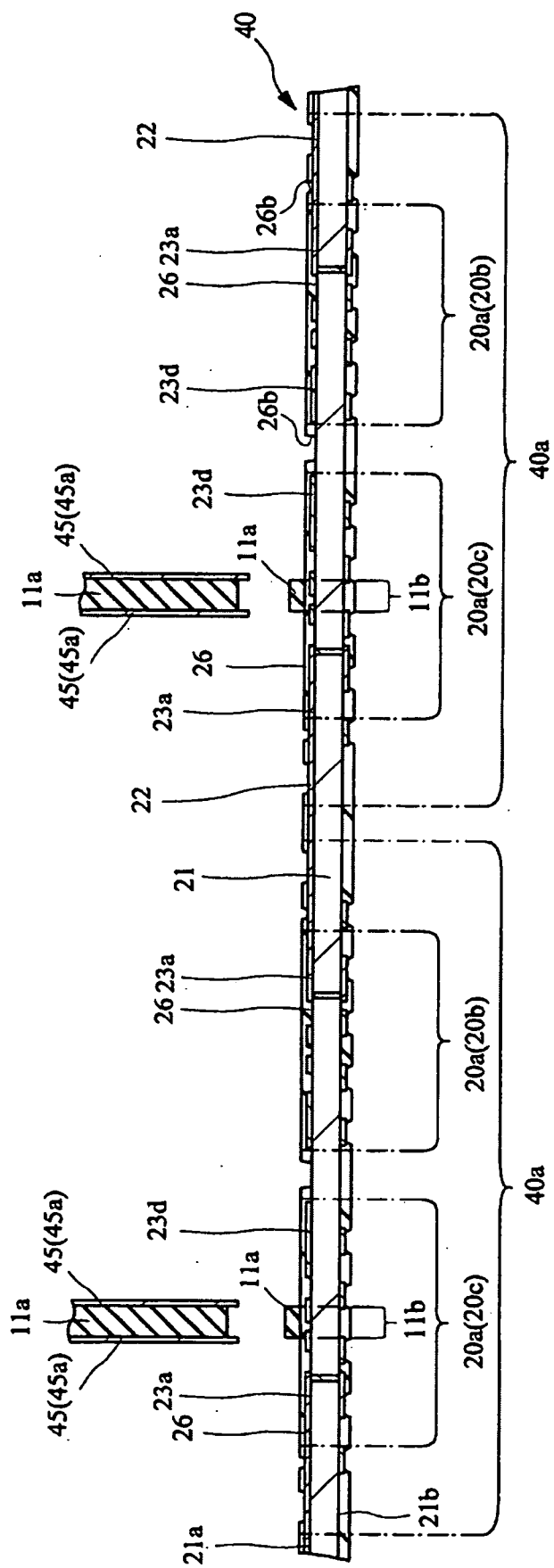


圖10

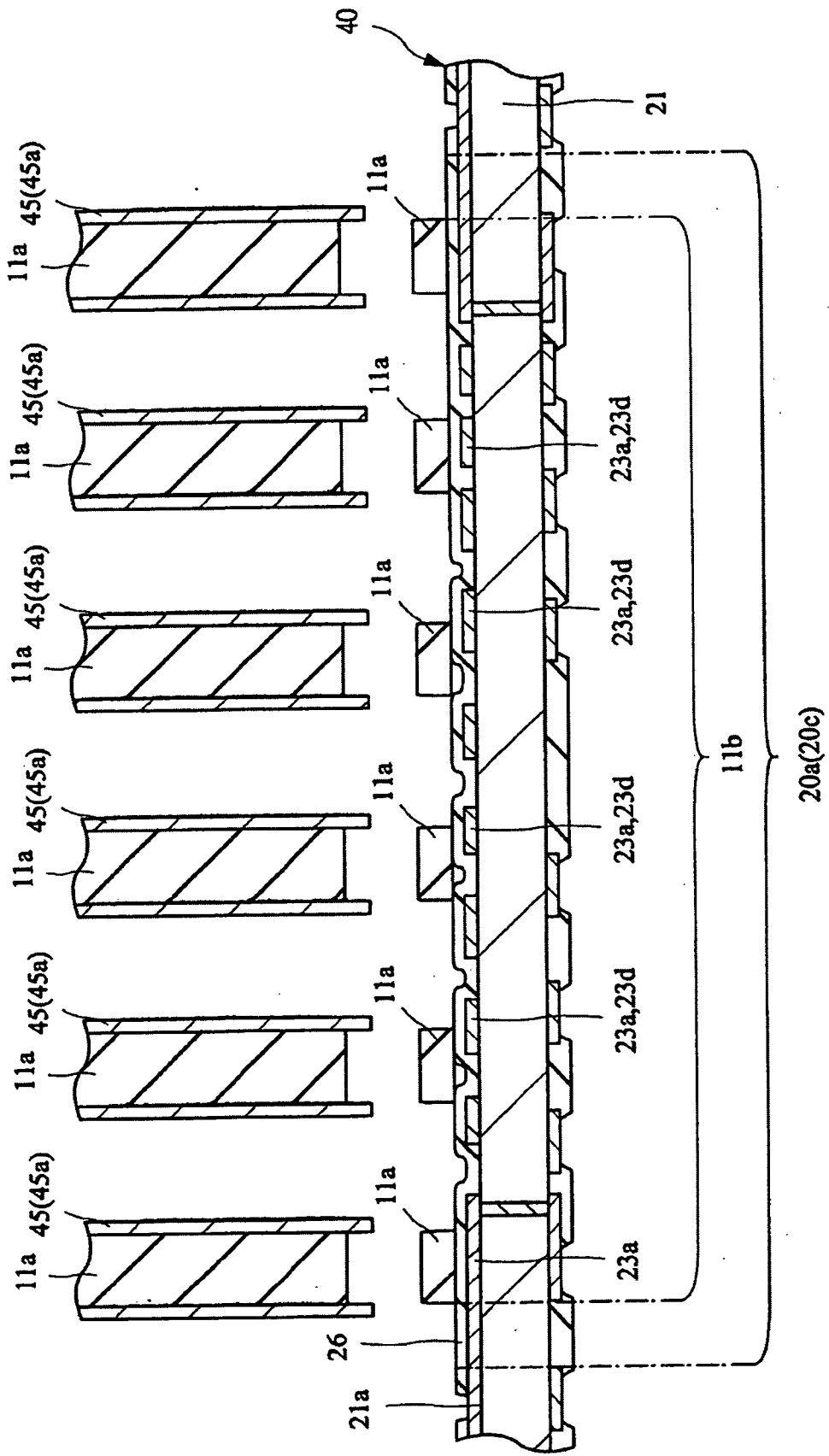


圖 11

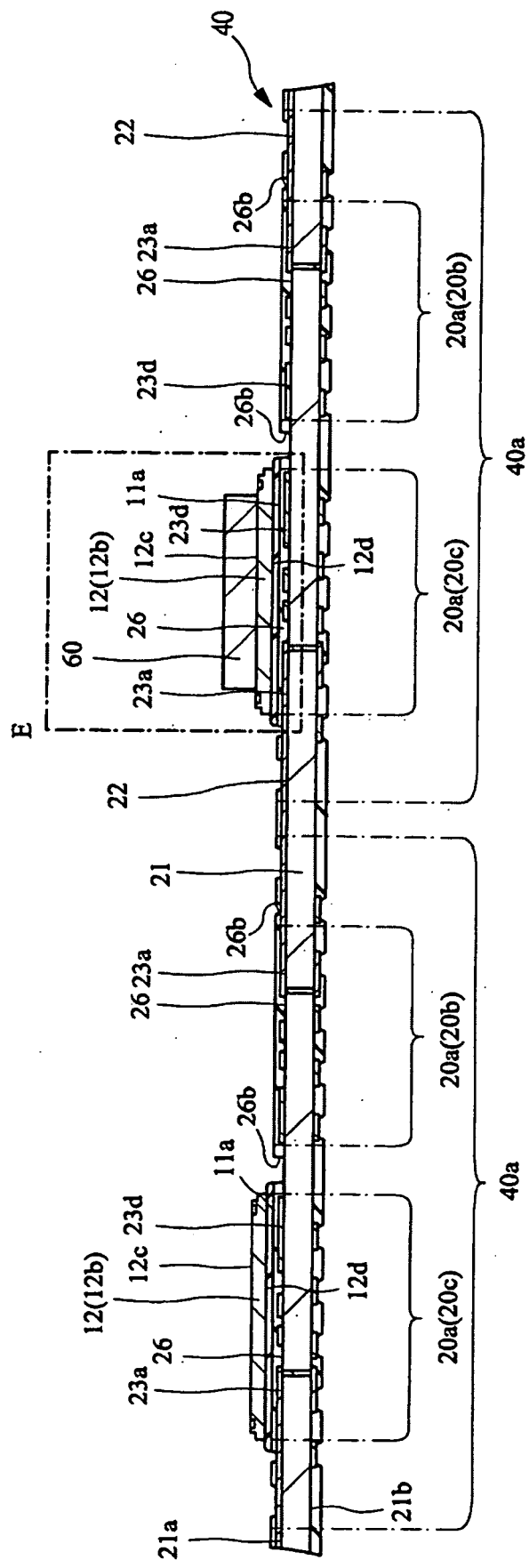


圖12

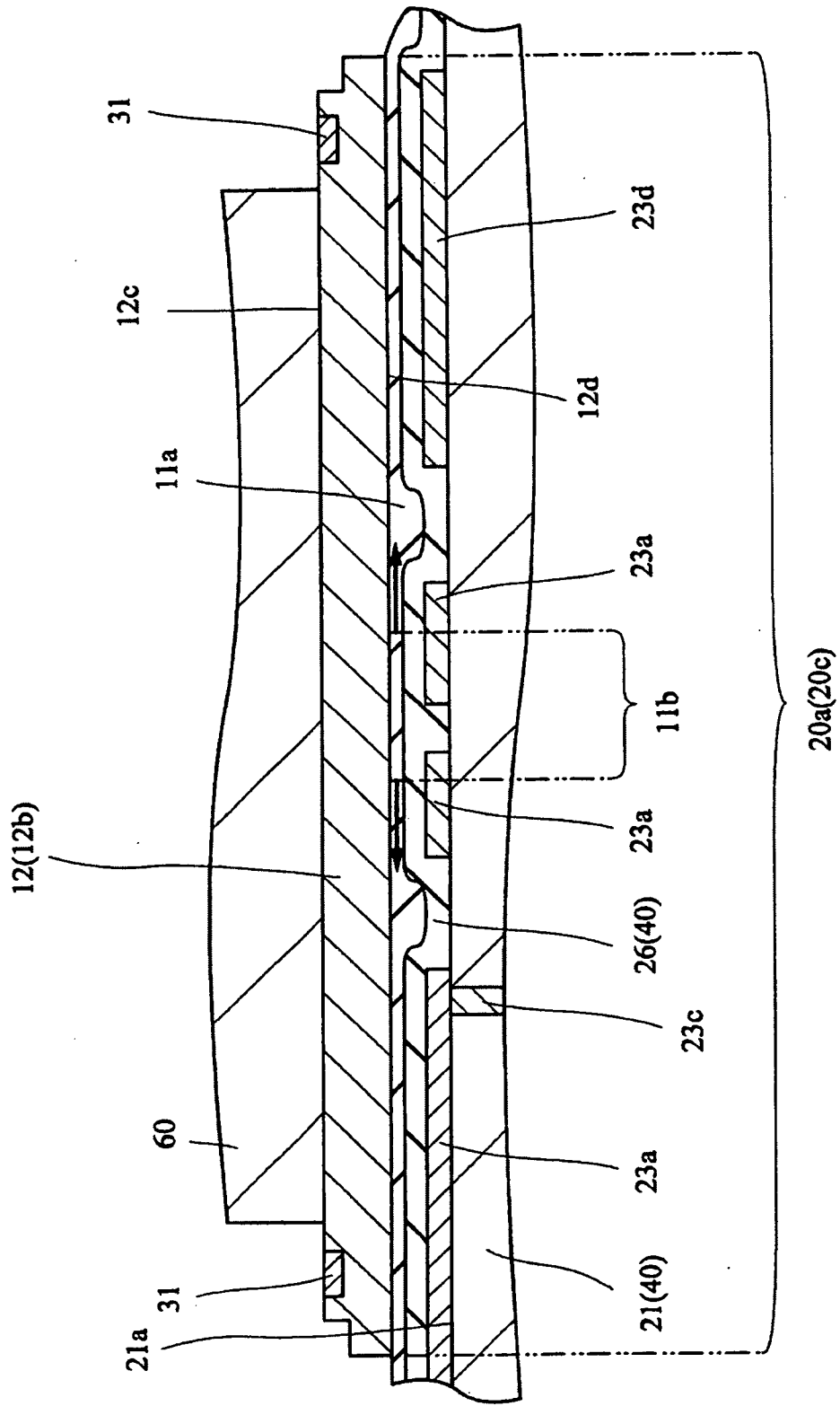


圖13

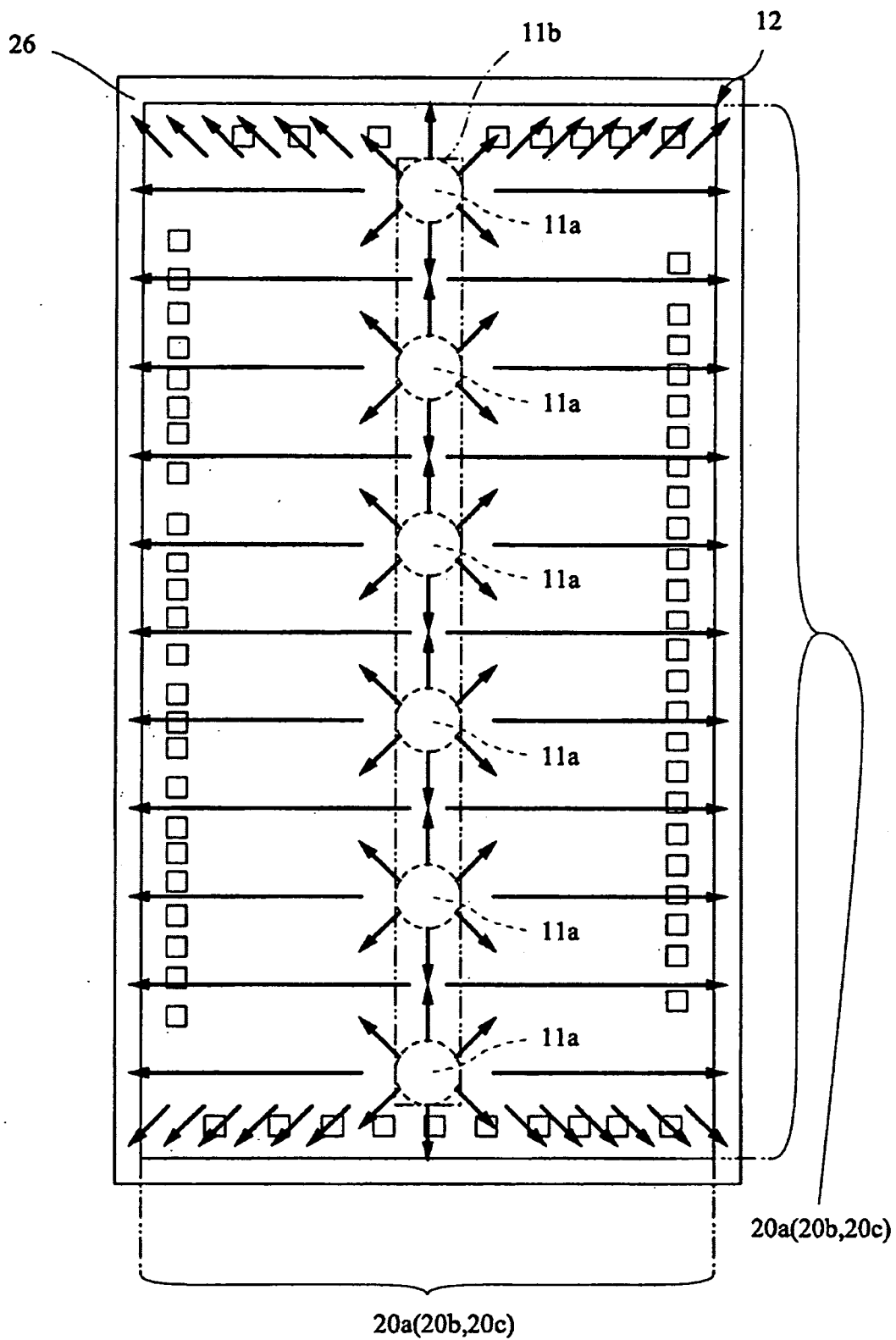


圖 14

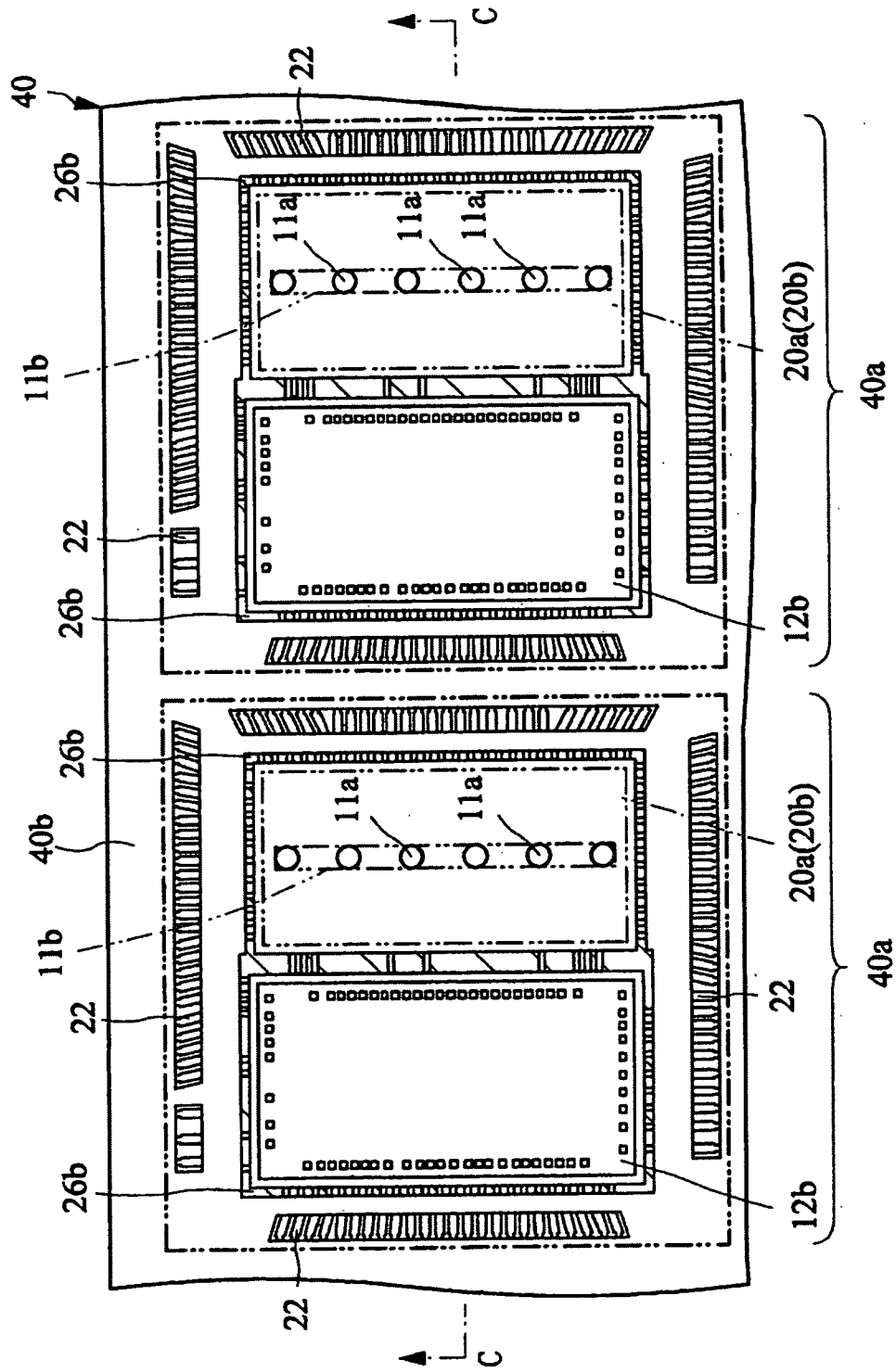


圖 15

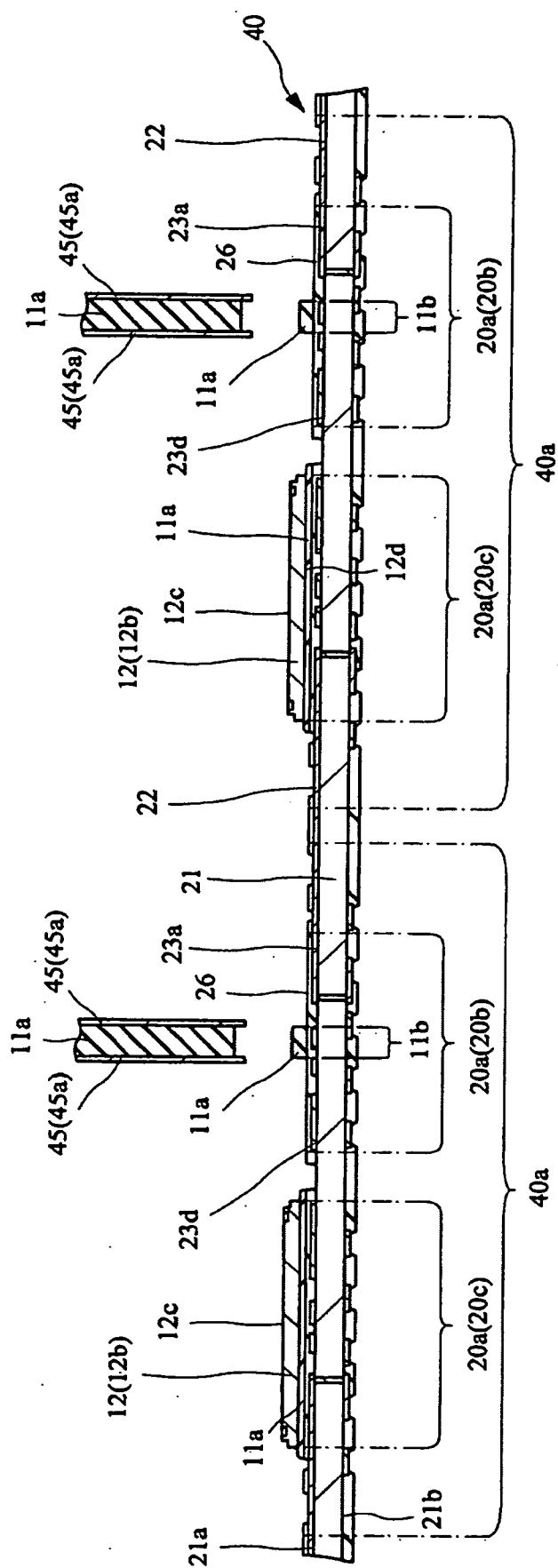


圖16

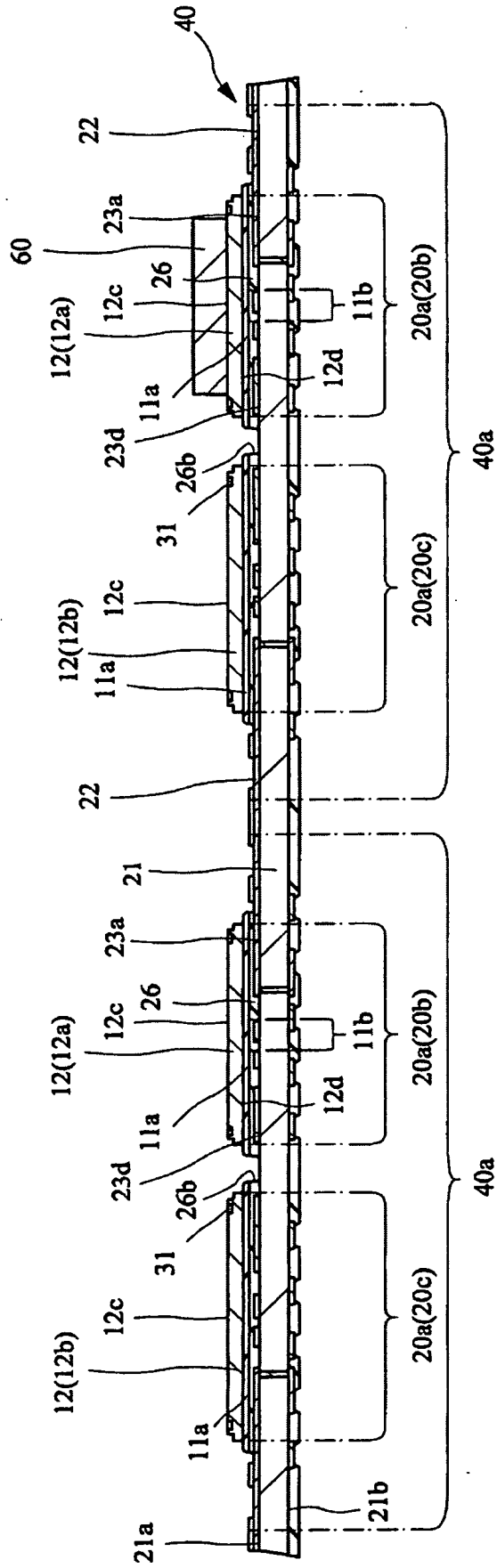


圖17

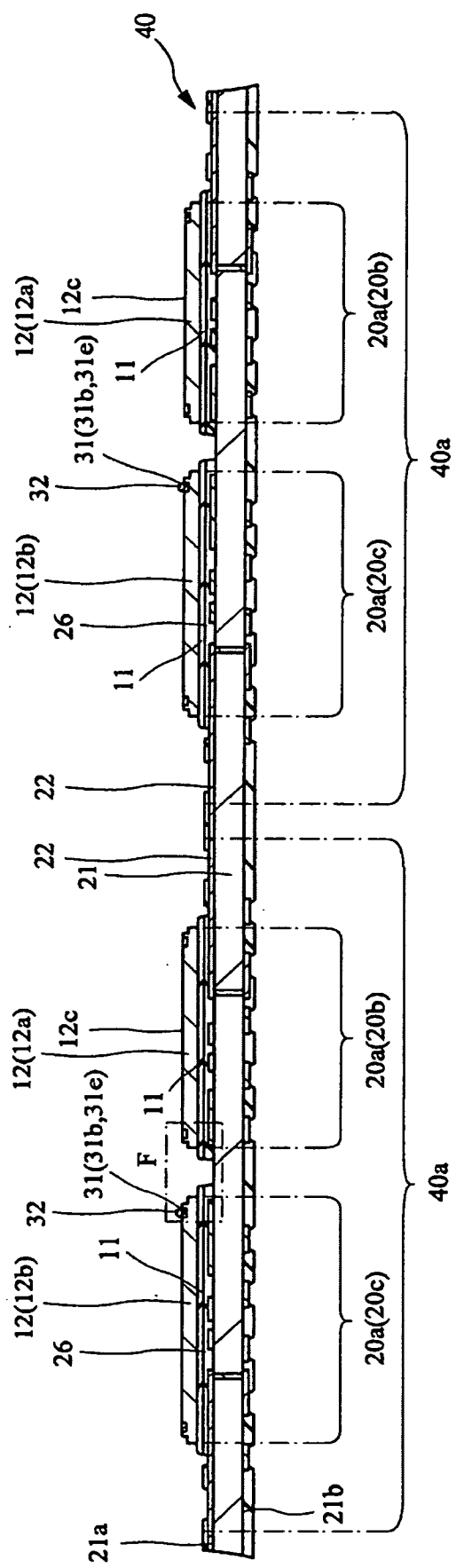


圖18

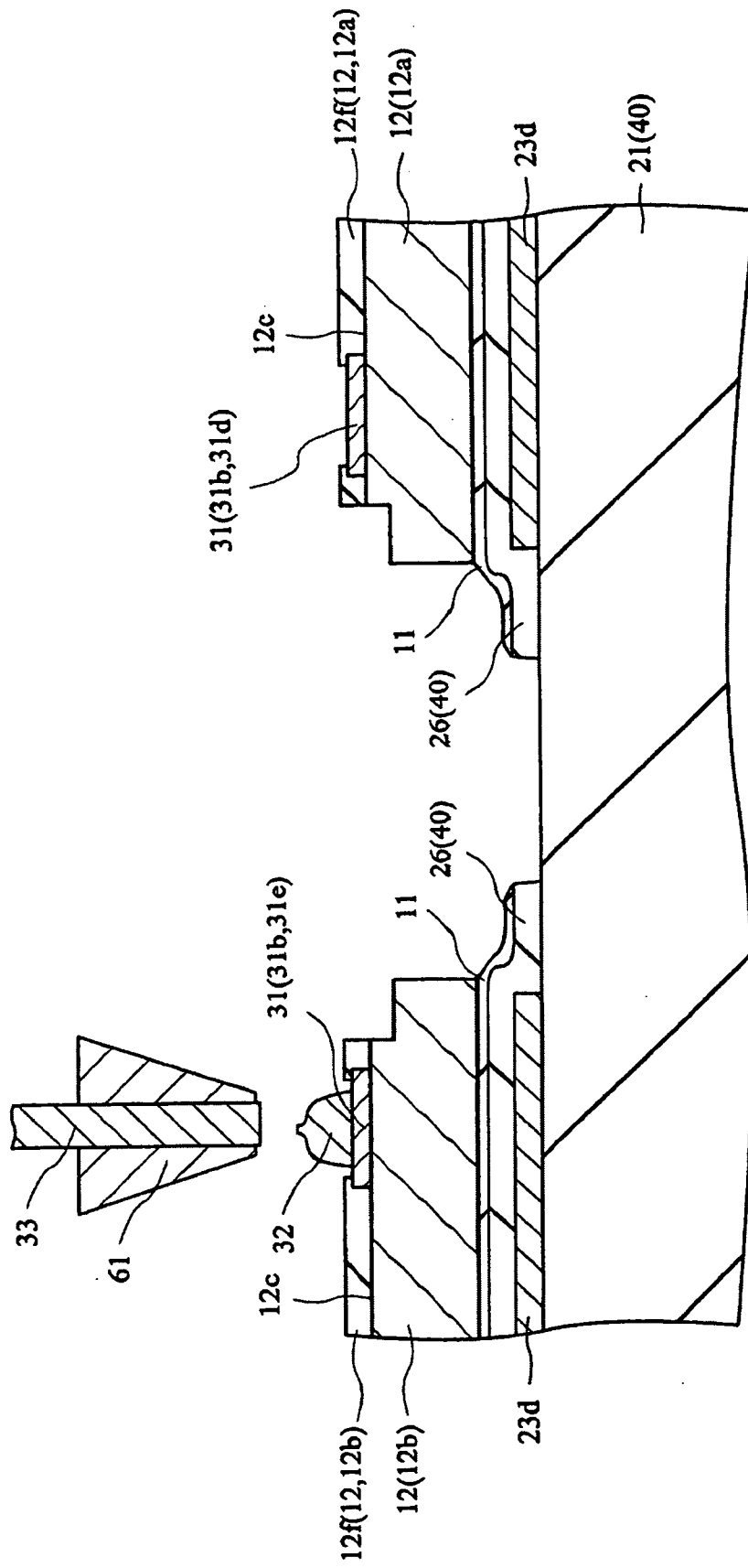


圖19

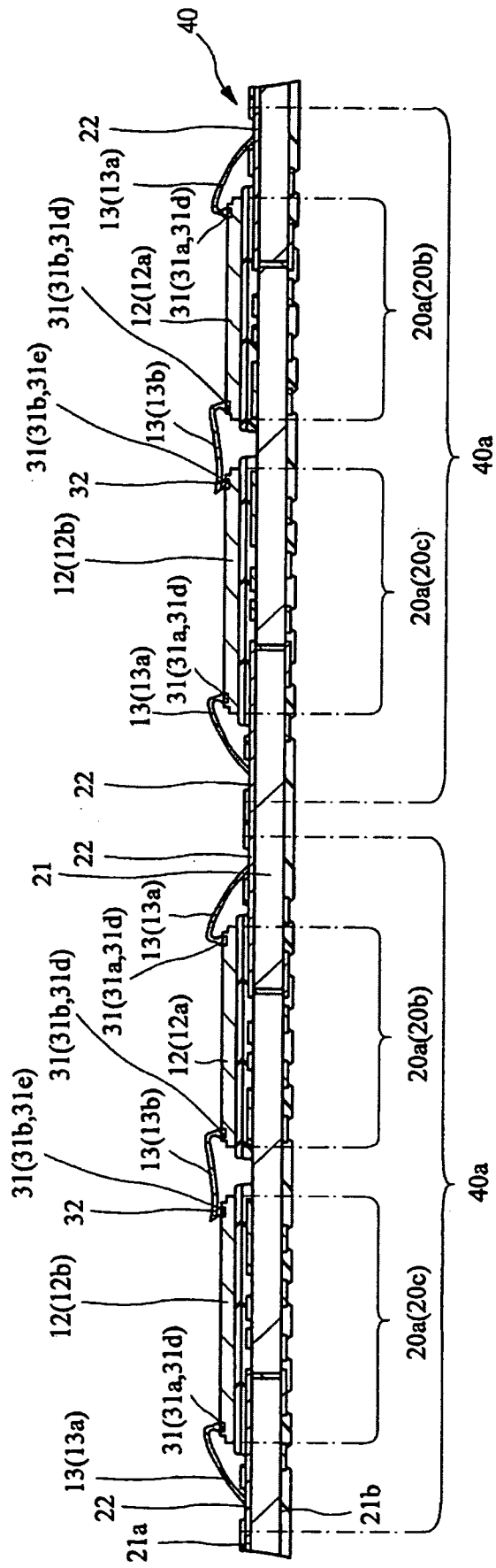


圖20

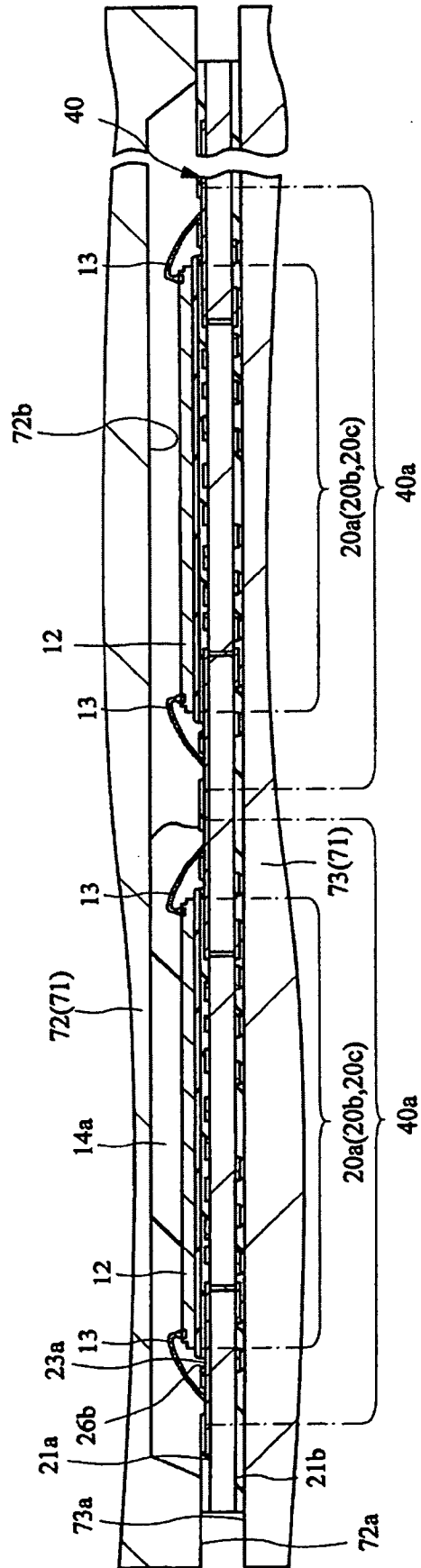


圖21

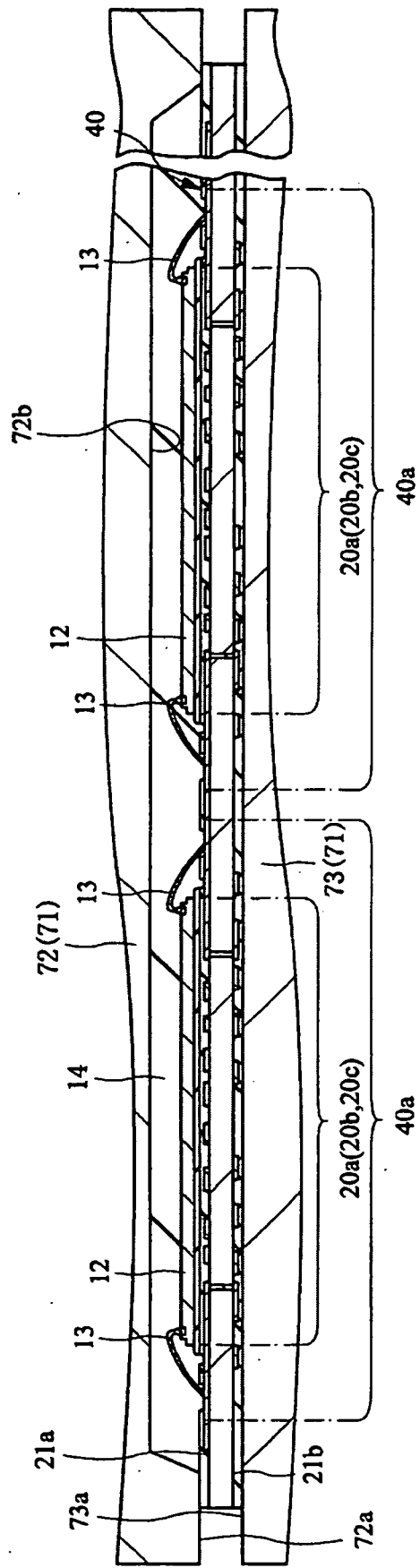


圖22

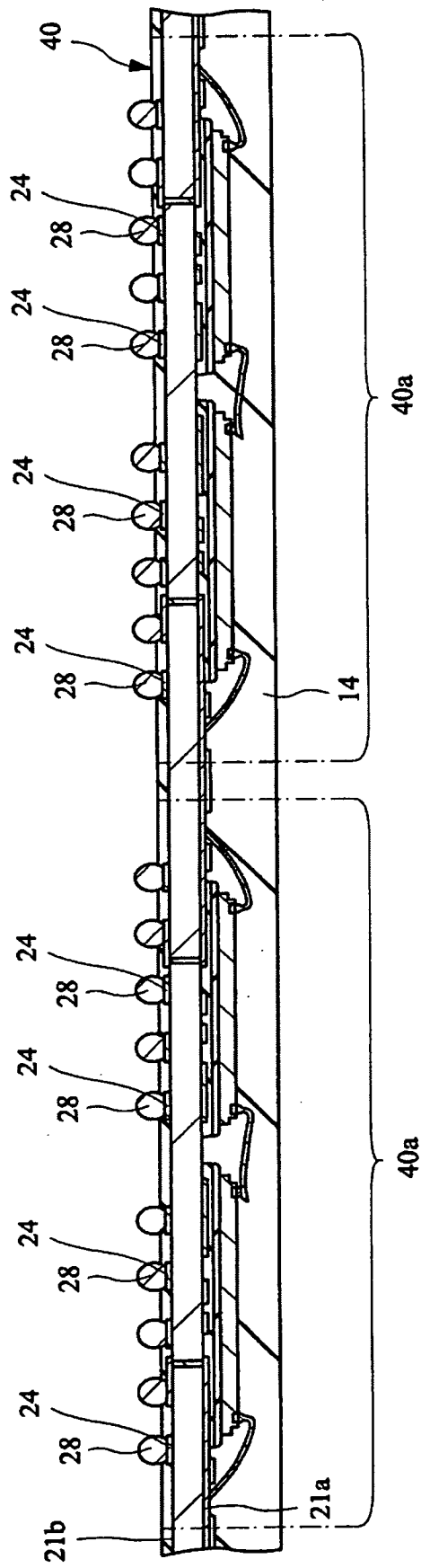


圖23

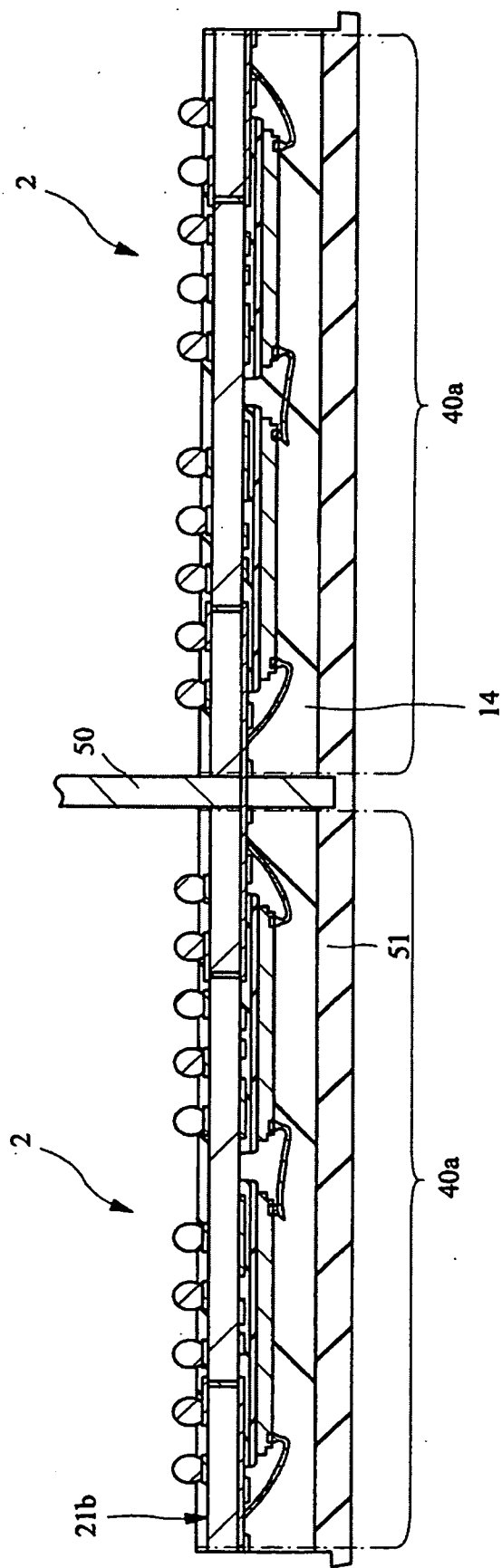


圖24

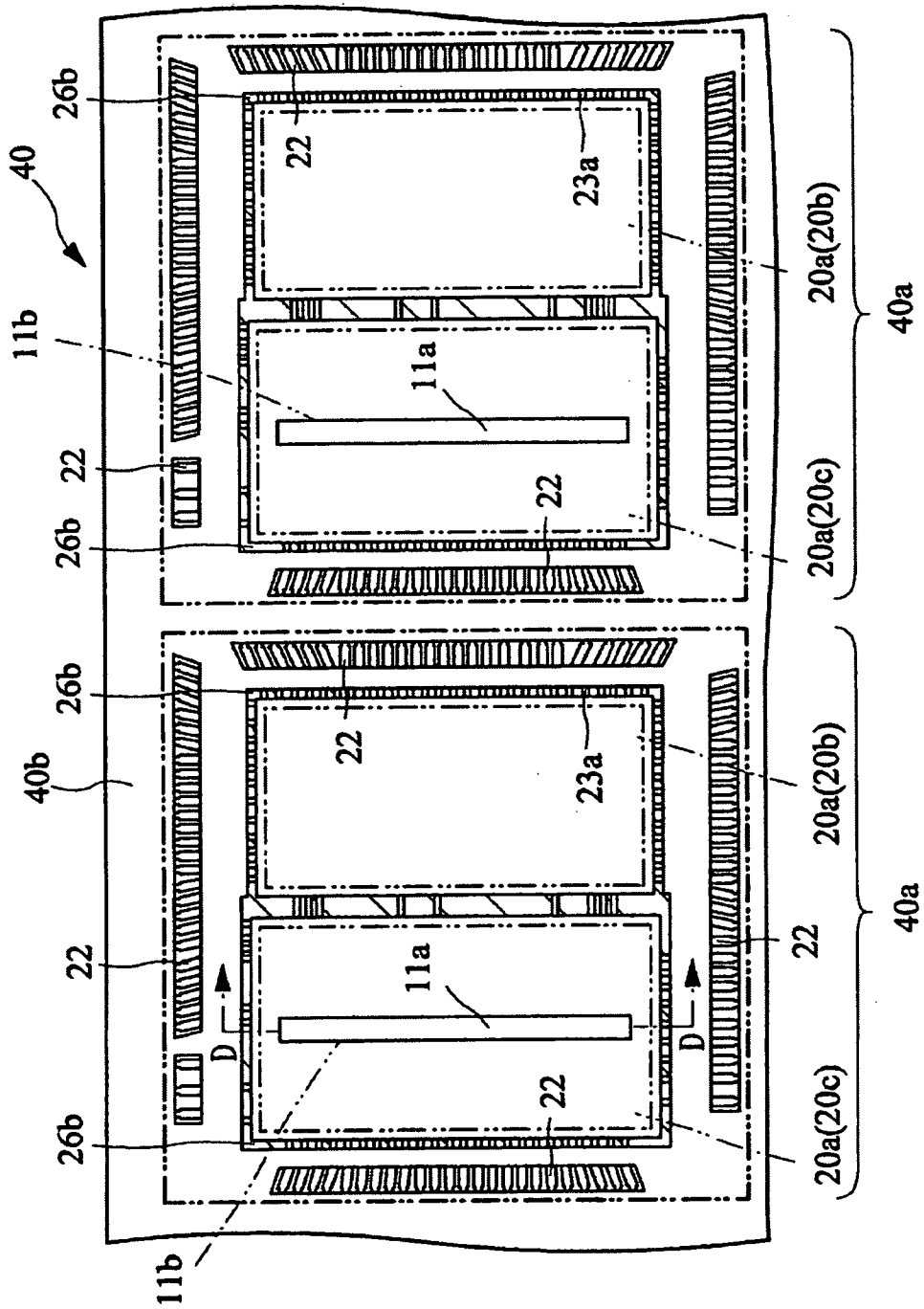


圖 25

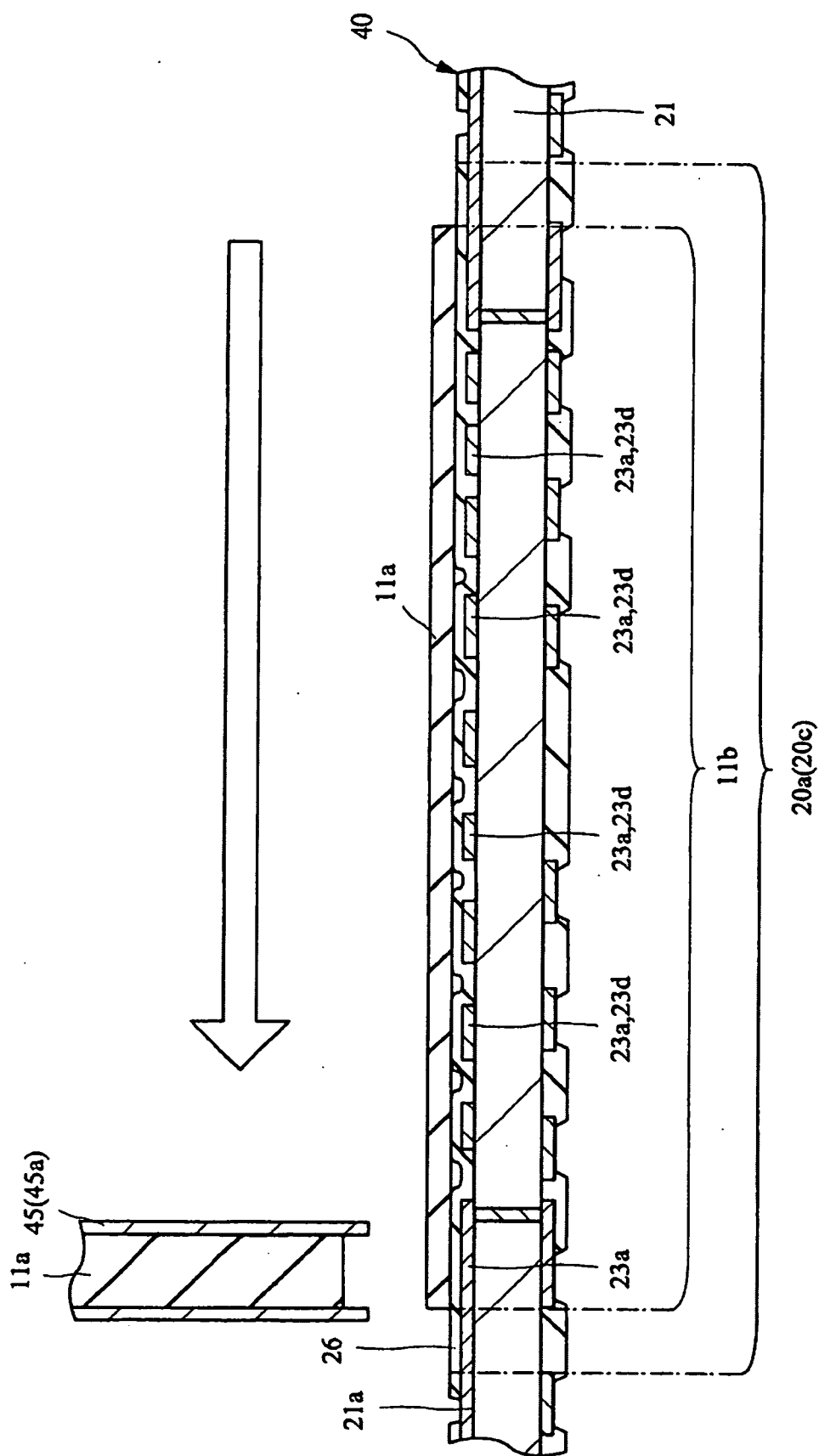


圖 26

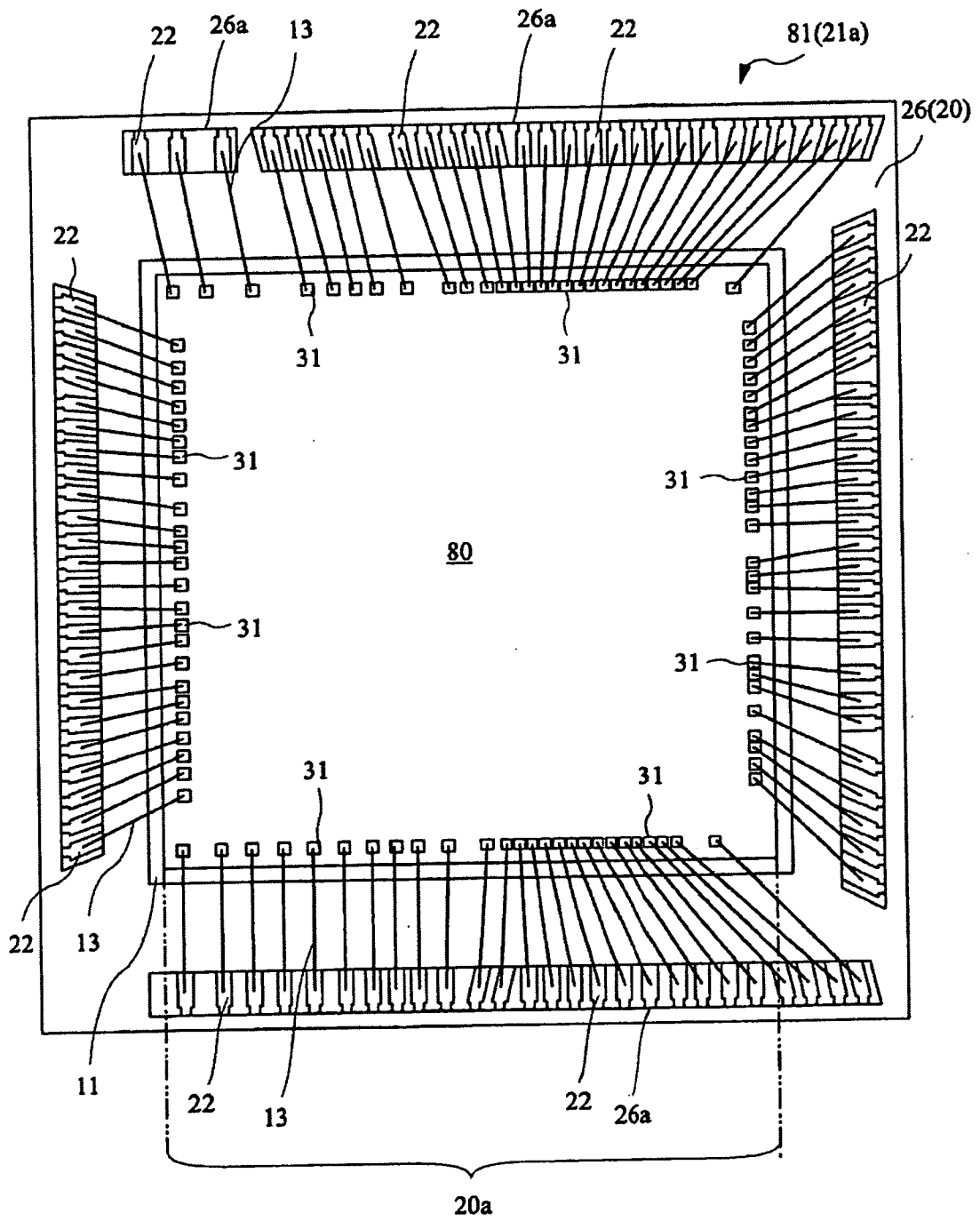


圖 27

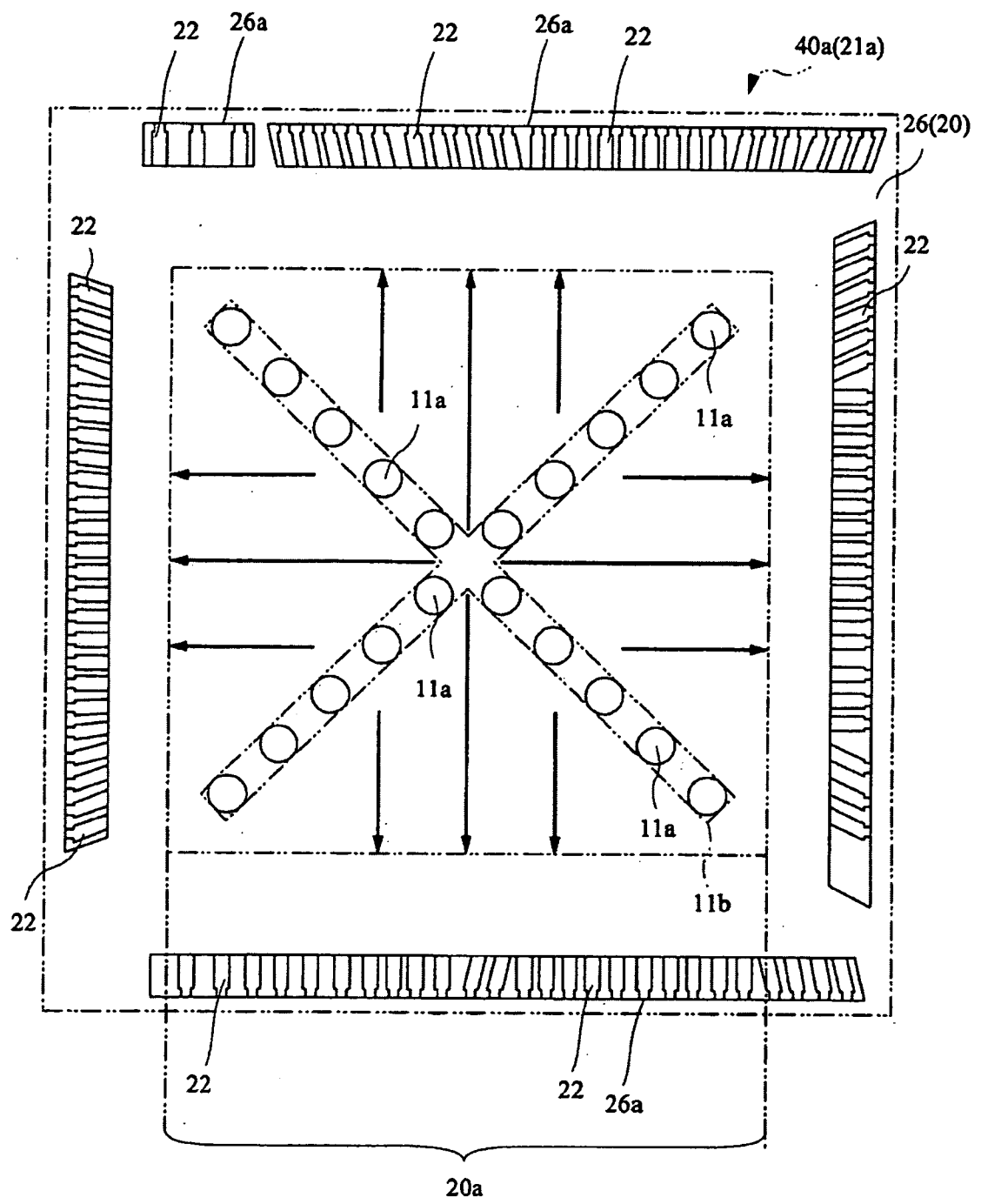


圖 28

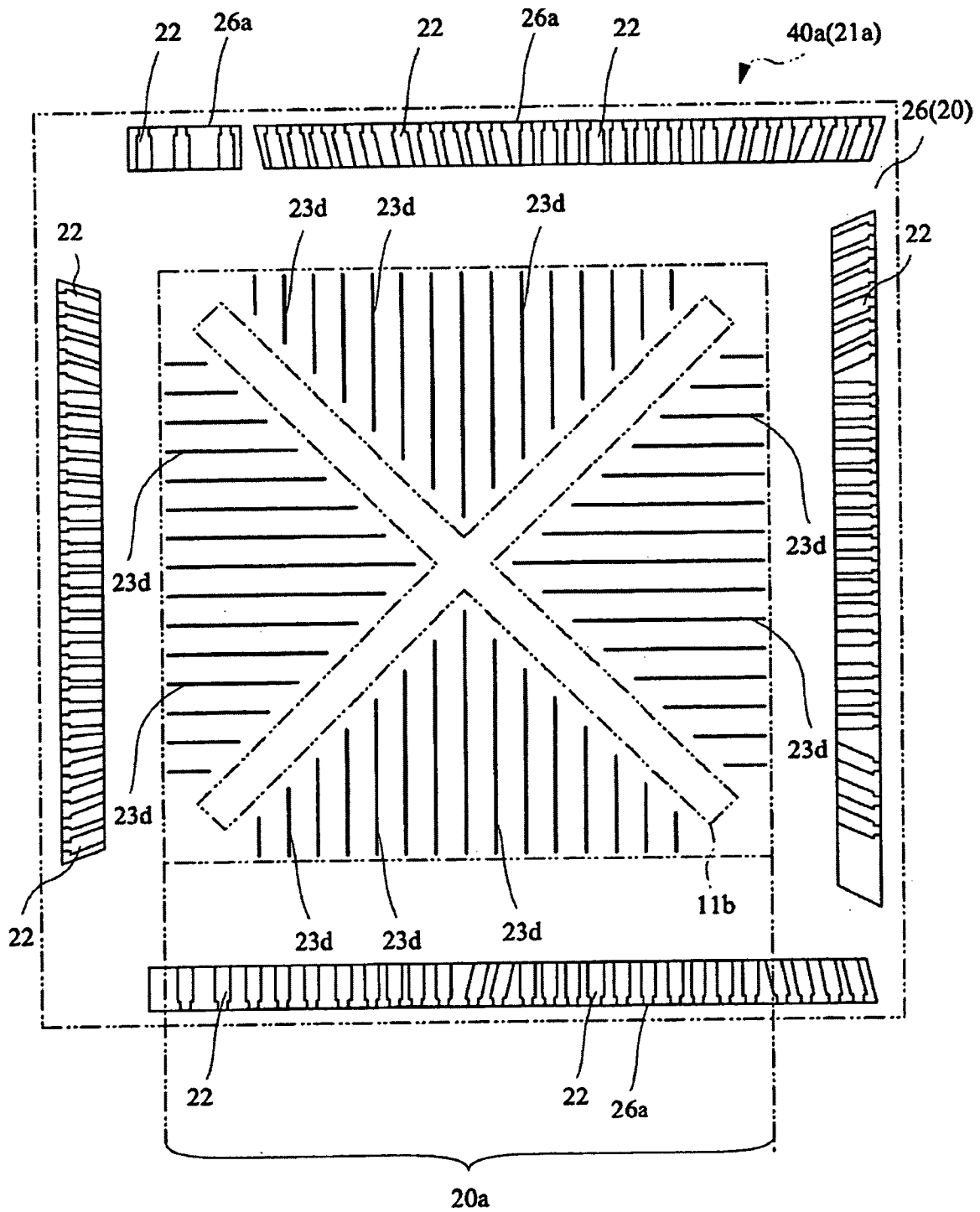


圖 29

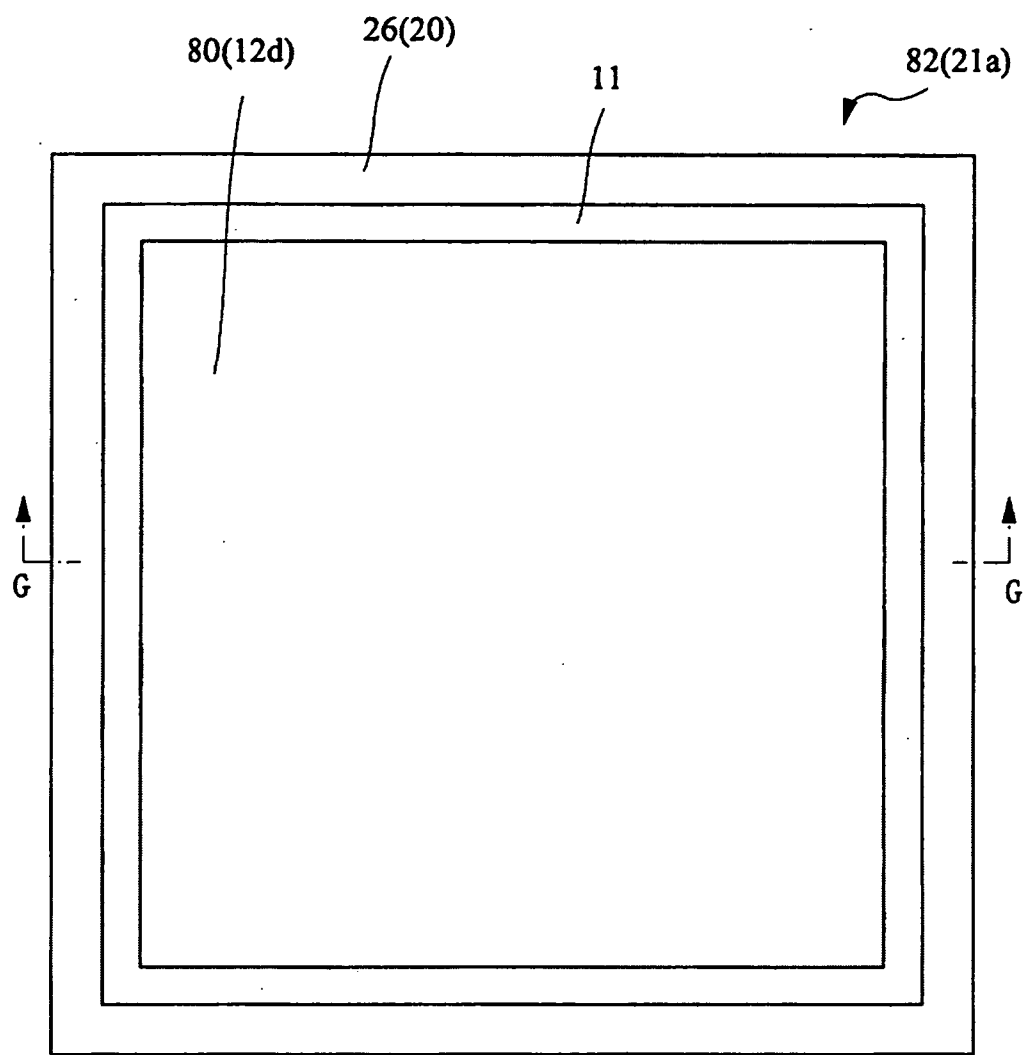


圖 30

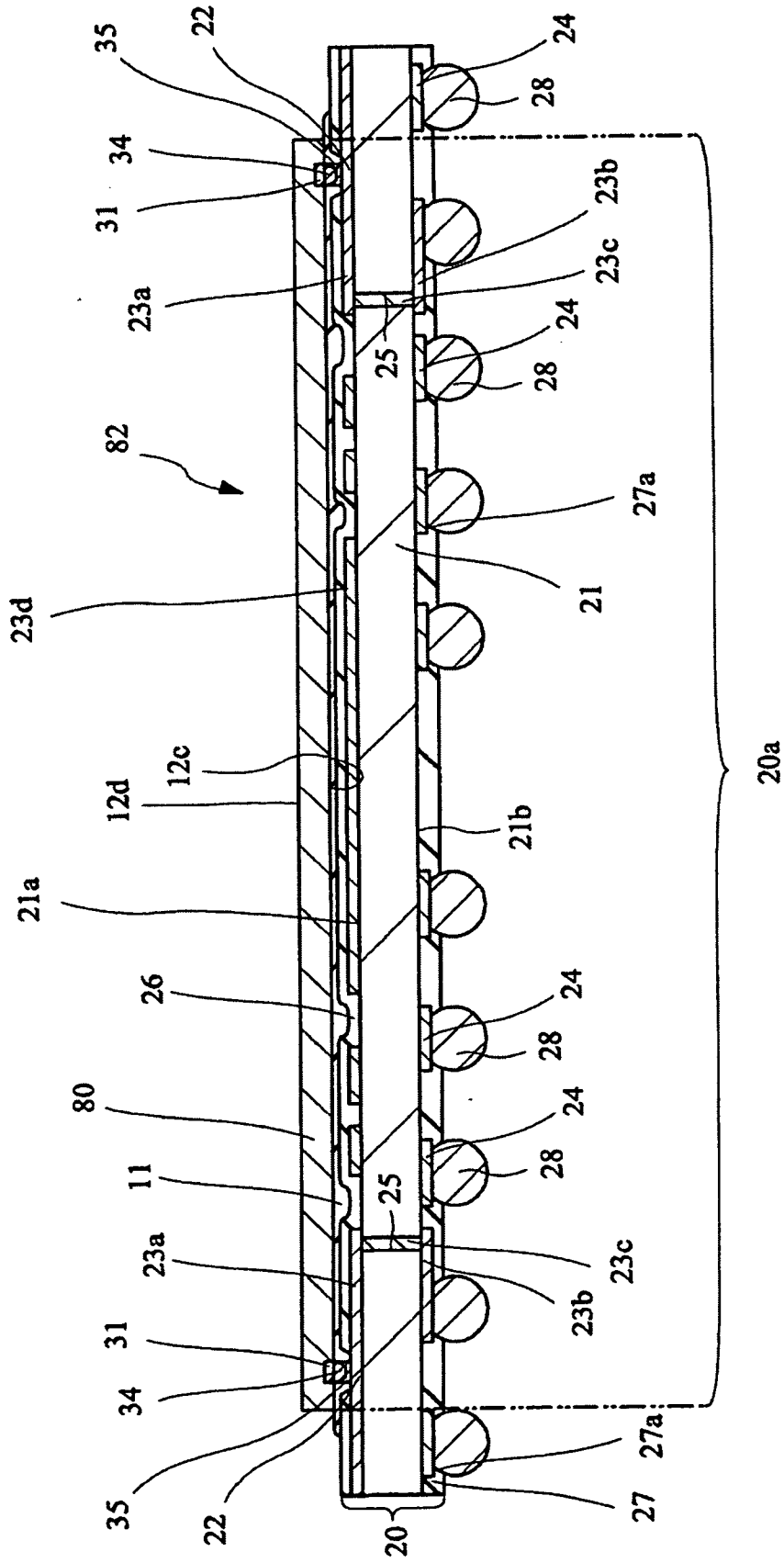


圖31

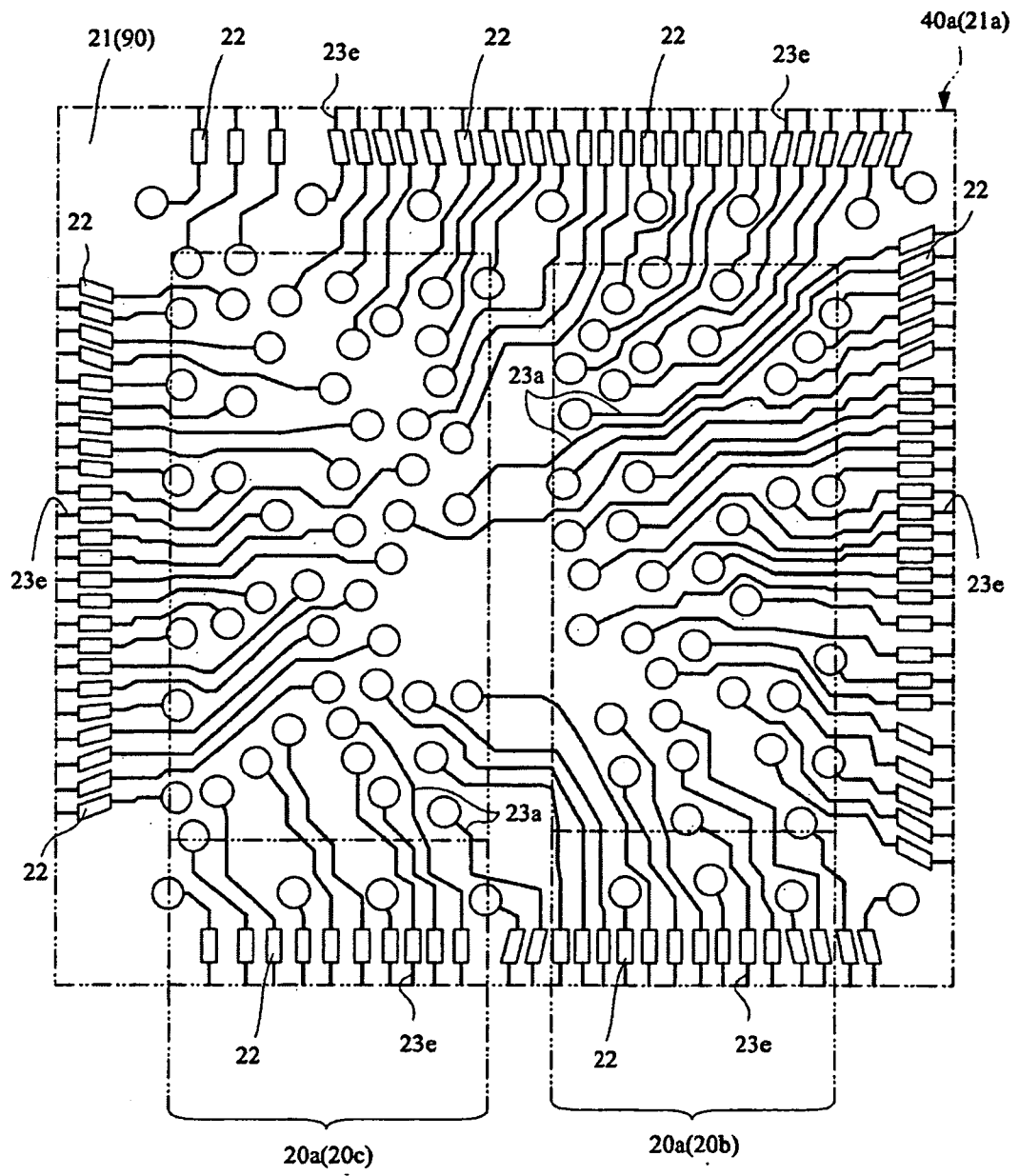


圖 32

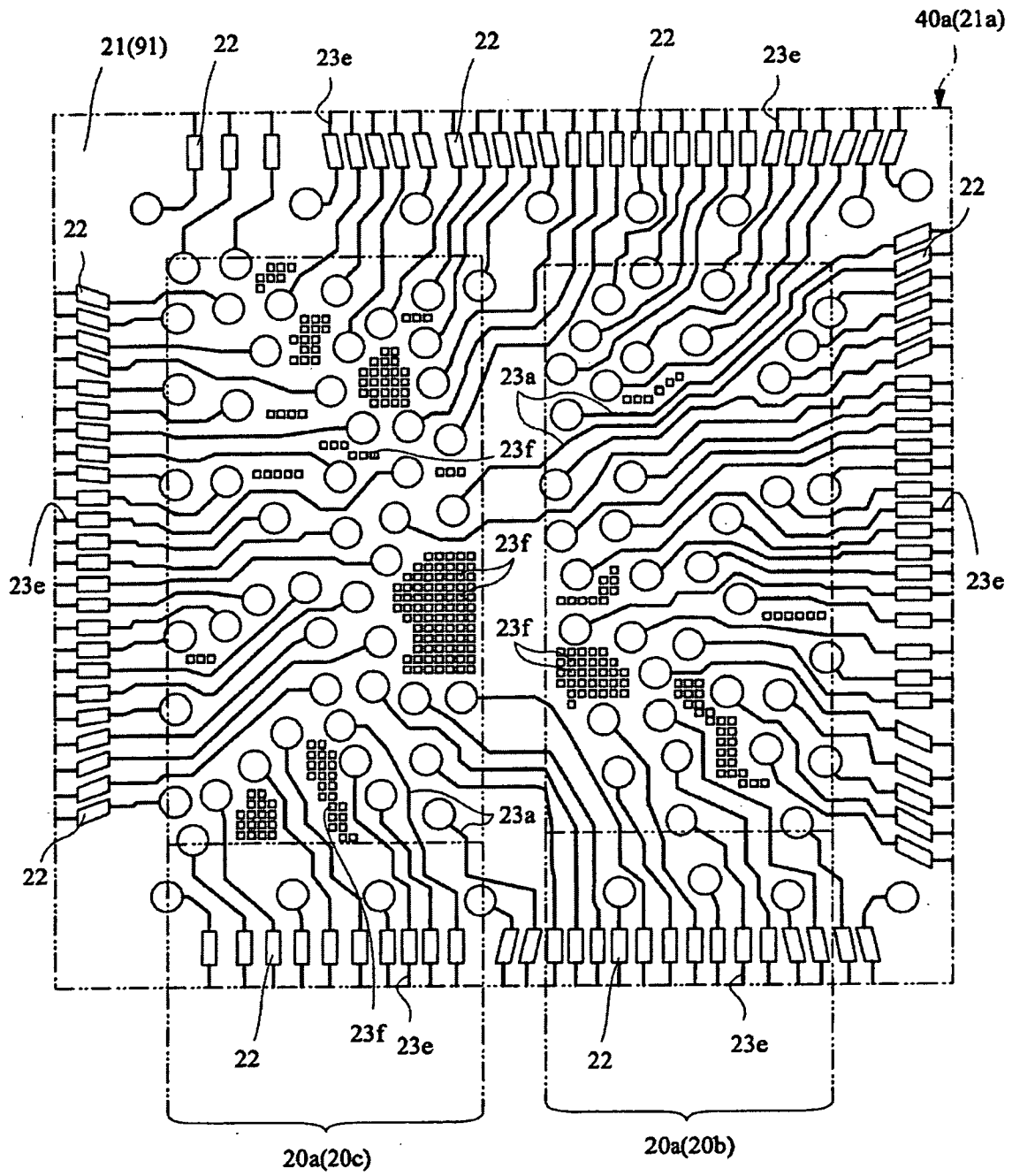


圖 33