

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第4937842号  
(P4937842)

(45) 発行日 平成24年5月23日(2012.5.23)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.

H01L 25/065 (2006.01)

F 1

H01L 25/08

Z

H01L 25/07 (2006.01)

H01L 25/18 (2006.01)

請求項の数 20 (全 34 頁)

(21) 出願番号

特願2007-150289 (P2007-150289)

(22) 出願日

平成19年6月6日(2007.6.6)

(65) 公開番号

特開2008-305897 (P2008-305897A)

(43) 公開日

平成20年12月18日(2008.12.18)

審査請求日

平成22年2月12日(2010.2.12)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部 1753 番地

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 川下 道宏

茨城県ひたちなか市堀口832番地2 株

式会社日立製作所 機械研究所内

(72) 発明者 吉村 保廣

茨城県ひたちなか市堀口832番地2 株

式会社日立製作所 機械研究所内

(72) 発明者 田中 直敬

茨城県ひたちなか市堀口832番地2 株

式会社日立製作所 機械研究所内

最終頁に続く

(54) 【発明の名称】半導体装置およびその製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

(a) 半導体基板の第1面に形成された半導体素子上に層間絶縁膜を形成し、前記層間絶縁膜の内部に形成された配線を介して前記半導体素子と電気的に接続するパッドを前記層間絶縁膜の表面に形成する工程と、

(b) 前記半導体基板の前記第1面とは反対側にある第2面上に第1レジスト膜を形成する工程と、

(c) 前記パッドと対向する位置に第1開口部を有するように前記第1レジスト膜をパターニングする工程と、

(d) 前記第1開口部を形成した前記第1レジスト膜をマスクにして前記半導体基板をエッチングすることにより、底面に前記層間絶縁膜を露出する第1孔を前記半導体基板に形成する工程と、 10

(e) 前記第1レジスト膜を除去する工程と、

(f) 前記第1孔の底面に露出する前記層間絶縁膜をエッチングすることにより、前記第1孔の底面を前記層間絶縁膜上であって前記半導体基板と前記層間絶縁膜の境界よりも前記パッドに近い位置に形成する工程と、

(g) 前記第1孔の内壁を含む前記半導体基板の前記第2面上に絶縁膜を形成する工程と、

(h) 前記絶縁膜上に第2レジスト膜を形成する工程と、

(i) 前記第1孔の底面に前記第1孔の径よりも小径の第2開口部を有するように前記

10

20

第2レジスト膜をパターニングする工程と、

(j) 前記第2開口部を形成した前記第2レジスト膜をマスクして前記絶縁膜および前記層間絶縁膜をエッティングすることにより、底面に前記パッドを露出する第2孔を形成する工程と、

(k) 前記第1孔の内壁および前記第2孔の内壁を含む前記半導体基板の前記第2面に導体膜を形成し、前記導体膜をパターニングすることにより、前記半導体基板の前記第2面から前記第1面に達し、かつ、前記パッドに電気的に接続する貫通電極を形成する工程とを備え、

前記層間絶縁膜の前記半導体基板側の面は、前記第1孔の底面と前記半導体基板の前記第1面による段差を反映して段差形状になっており、

前記導体膜の表面は、前記半導体基板の前記第2面と前記第1孔の底面による段差を反映して段差形状になっていることを特徴とする半導体装置の製造方法。

#### 【請求項2】

請求項1記載の半導体装置の製造方法であって、

前記導体膜の表面は、前記半導体基板の前記第2面と前記第1孔の底面による段差および前記第1孔の底面と前記第2孔の底面による段差を反映して段差形状になっていることを特徴とする半導体装置の製造方法。

#### 【請求項3】

請求項1記載の半導体装置の製造方法であって、

前記(f)工程は、前記半導体基板に形成された前記第1孔をマスクにして前記第1孔の底面に露出する前記層間絶縁膜をエッティングすることを特徴とする半導体装置の製造方法。

#### 【請求項4】

請求項3記載の半導体装置の製造方法であって、

前記(f)工程では、新たなレジスト膜によるマスクを使用しない一方、前記(d)工程でのエッティングで使用するエッティングガスと前記(f)工程でのエッティングで使用するエッティングガスとは異なることを特徴とする半導体装置の製造方法。

#### 【請求項5】

請求項1記載の半導体装置の製造方法であって、

前記(d)工程後における前記第1孔の底面の径と、前記(f)工程後における前記第1孔の底面の径とは等しいことを特徴とする半導体装置の製造方法。

#### 【請求項6】

請求項1記載の半導体装置の製造方法であって、

前記(g)工程後、前記第1孔の底面と前記パッドとの間に残存する前記層間絶縁膜と前記第1孔の底面上に形成されている前記絶縁膜を合わせた膜厚は、前記(j)工程でマスクとして使用される前記第2レジスト膜が消失する前に前記第2孔が形成される膜厚であることを特徴とする半導体装置の製造方法。

#### 【請求項7】

請求項1記載の半導体装置の製造方法であって、

前記(c)工程は、赤外顕微鏡を用いて前記パッドと対向する位置に前記第1開口部を有するように前記第1レジスト膜をパターニングすることを特徴とする半導体装置の製造方法。

#### 【請求項8】

請求項1記載の半導体装置の製造方法であって、さらに、

(1) 前記貫通電極と接続する側とは反対側の前記パッド上にバンプ電極を形成する工程とを備えることを特徴とする半導体装置の製造方法。

#### 【請求項9】

請求項1記載の半導体装置の製造方法であって、

前記貫通電極は、内部が空洞になっていることを特徴とする半導体装置の製造方法。

#### 【請求項10】

10

20

30

40

50

請求項 1 記載の半導体装置の製造方法であって、

( m ) 第 1 半導体ウェハにある個々のチップ領域に対して前記 ( a ) 工程から前記 ( k ) 工程までの処理を実施することにより前記第 1 半導体ウェハの個々のチップ領域に形成された第 1 パッドに電気的に接続する第 1 貫通電極を形成した後、前記第 1 貫通電極と接続する側とは反対側の前記第 1 パッド上に第 1 バンプ電極を形成する工程と、

( n ) 第 2 半導体ウェハにある個々のチップ領域に対して前記 ( a ) 工程から前記 ( k ) 工程までの処理を実施することにより前記第 2 半導体ウェハの個々のチップ領域に形成された第 2 パッドに電気的に接続する第 2 貫通電極を形成した後、前記第 2 貫通電極と接続する側とは反対側の前記第 2 パッド上に第 2 バンプ電極を形成する工程と、

( o ) 前記第 1 半導体ウェハ上に前記第 2 半導体ウェハを積層して電気的に接続する工程とを備え、10

前記 ( o ) 工程は、前記第 2 半導体ウェハに形成されている前記第 2 バンプ電極を前記第 1 半導体ウェハに形成した前記第 1 貫通電極に圧接によって変形注入することにより、前記第 1 半導体ウェハと前記第 2 半導体ウェハとを電気的に接続することを特徴とする半導体装置の製造方法。

#### 【請求項 1 1】

請求項 1 記載の半導体装置の製造方法であって、

( p ) 前記半導体基板として第 1 半導体ウェハを用い、前記第 1 半導体ウェハにある個々のチップ領域に対して前記 ( a ) 工程から前記 ( k ) 工程までの処理を実施することにより前記第 1 半導体ウェハの個々のチップ領域に形成された第 1 パッドに電気的に接続する第 1 貫通電極を形成した後、前記第 1 半導体ウェハを複数の半導体チップに個片化して第 1 半導体チップを取得する工程と、20

( q ) 前記第 1 半導体チップにおいて、前記第 1 貫通電極と接続する側とは反対側の前記第 1 パッド上に第 1 バンプ電極を形成する工程と、

( r ) 前記半導体基板として第 2 半導体ウェハを用い、前記第 2 半導体ウェハにある個々のチップ領域に対して前記 ( a ) 工程から前記 ( k ) 工程までの処理を実施することにより前記第 2 半導体ウェハの個々のチップ領域に形成された第 2 パッドに電気的に接続する第 2 貫通電極を形成した後、前記第 2 半導体ウェハを複数の半導体チップに個片化して第 2 半導体チップを取得する工程と、

( s ) 前記第 2 半導体チップにおいて、前記第 2 貫通電極と接続する側とは反対側の前記第 2 パッド上に第 2 バンプ電極を形成する工程と、30

( t ) 前記第 1 半導体チップ上に前記第 2 半導体チップを積層して電気的に接続する工程とを備え、

前記 ( t ) 工程は、前記第 2 半導体チップに形成されている前記第 2 バンプ電極を前記第 1 半導体チップに形成した前記第 1 貫通電極に圧接によって変形注入することにより、前記第 1 半導体チップと前記第 2 半導体チップとを電気的に接続することを特徴とする半導体装置の製造方法。

#### 【請求項 1 2】

( a ) 半導体基板の第 1 面に形成された半導体素子上に層間絶縁膜を形成し、前記層間絶縁膜の内部に形成された配線を介して前記半導体素子と電気的に接続するパッドを前記層間絶縁膜の表面に形成する工程と、40

( b ) 前記半導体基板の前記第 1 面とは反対側にある第 2 面上に第 1 レジスト膜を形成する工程と、

( c ) 前記パッドと対向する位置に第 1 開口部を有するように前記第 1 レジスト膜をパターニングする工程と、

( d ) 前記第 1 開口部を形成した前記第 1 レジスト膜をマスクにして前記半導体基板をエッチングすることにより、底面に前記層間絶縁膜を露出する第 1 孔を前記半導体基板に形成する工程と、

( e ) 前記第 1 レジスト膜を除去する工程と、

( f ) 前記第 1 孔の底面に露出する前記層間絶縁膜をエッチングすることにより、前記50

第1孔の底面を前記層間絶縁膜上であって前記半導体基板と前記層間絶縁膜の境界よりも前記パッドに近い位置に形成する工程と、

(g) 前記第1孔の内壁を含む前記半導体基板の前記第2面上に感光性絶縁膜を形成する工程と、

(h) 前記第1孔の底面に前記第1孔の径よりも小径の第2開口部を有するように前記感光性絶縁膜をパターニングする工程と、

(i) 前記第2開口部を形成した感光性絶縁膜をマスクして前記層間絶縁膜をエッチングすることにより、底面に前記パッドを露出する第2孔を形成する工程と、

(j) 前記第1孔の内壁および前記第2孔の内壁を含む前記半導体基板の前記第2面上に導体膜を形成し、前記導体膜をパターニングすることにより、前記半導体基板の前記第2面から前記第1面に達し、かつ、前記パッドに電気的に接続する貫通電極を形成する工程とを備え、10

前記層間絶縁膜の前記半導体基板側の面は、前記第1孔の底面と前記半導体基板の前記第1面による段差を反映して段差形状になっており、

前記導体膜の表面は、前記半導体基板の前記第2面と前記第1孔の底面による段差を反映して段差形状になっていることを特徴とする半導体装置の製造方法。

#### 【請求項13】

請求項12記載の半導体装置の製造方法であって、

前記導体膜の表面は、前記半導体基板の前記第2面と前記第1孔の底面による段差および前記第1孔の底面と前記第2孔の底面による段差を反映して段差形状になっていることを特徴とする半導体装置の製造方法。20

#### 【請求項14】

請求項12記載の半導体装置の製造方法であって、

前記(f)工程後、前記第1孔の底面と前記パッドとの間に残存する前記層間絶縁膜の膜厚は、前記(i)工程でマスクとして使用される前記感光性絶縁膜が消失する前に前記第2孔が形成される膜厚であることを特徴とする半導体装置の製造方法。

#### 【請求項15】

請求項12記載の半導体装置の製造方法であって、

前記貫通電極は、内部が空洞になっていることを特徴とする半導体装置の製造方法。

#### 【請求項16】

(a) 半導体基板と、

(b) 前記半導体基板の第1面上に形成された半導体素子と、

(c) 前記半導体基板の前記第1面上に形成された層間絶縁膜と、

(d) 前記層間絶縁膜上に形成されたパッドと、

(e) 前記パッド上に形成されたバンプ電極と、

(f) 前記半導体基板の前記第1面とは反対側にある第2面から前記パッドに達する貫通電極とを備え、30

前記貫通電極は、

(f1) 前記半導体基板の前記第1面とは反対側にある前記第2面から前記層間絶縁膜に達する第1孔であって、前記第1孔の底面が前記層間絶縁膜と前記半導体基板の境界よりも前記パッドに近い位置まで形成されている前記第1孔と、40

(f2) 前記第1孔の孔径よりも小さく、前記第1孔の底面から前記パッドに達するようになつて形成された第2孔と、

(f3) 前記第1孔の底面および側面と前記半導体基板の前記第2面上に形成された絶縁膜と、

(f4) 前記第2孔の底面および側面と、前記絶縁膜を介した前記第1孔の底面および側面と前記半導体基板の前記第2面上に形成され、前記パッドと電気的に接続された導体膜とを有し、

前記層間絶縁膜の前記半導体基板側の面は、前記第1孔の底面と前記半導体基板の前記第1面による段差を反映して段差形状になっており、50

前記導体膜の表面は、前記半導体基板の前記第2面と前記第1孔の底面による段差を反映して段差形状になっていることを特徴とする半導体装置。

**【請求項17】**

請求項16記載の半導体装置であって、

前記導体膜の表面は、前記半導体基板の前記第2面と前記第1孔の底面による段差および前記第1孔の底面と前記第2孔の底面による段差を反映して段差形状になっていることを特徴とする半導体装置。

**【請求項18】**

請求項16記載の半導体装置であって、

前記貫通電極は、内部が空洞となっていることを特徴とする半導体装置。 10

**【請求項19】**

請求項16記載の半導体装置であって、

前記半導体基板の前記第2面側から前記貫通電極を見ると、平面的に、前記第1孔によるリングと前記第1孔よりも小さい前記第2孔によるリングにより2重リングになっていることを特徴とする半導体装置。

**【請求項20】**

請求項16記載の半導体装置であって、

前記第2孔の底面である前記パッド上に形成されている前記導電膜の膜厚をaとし、前記第1孔の底面と前記パッド間に形成されている前記層間絶縁膜の膜厚および前記第1孔の底面上に形成されている前記絶縁膜の膜厚とを合わせた膜厚をbとするとき、 $a / (a + b)$ の値が0.11以上であることを特徴とする半導体装置。 20

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、半導体装置およびその製造技術に関し、特に、3次元的に積層された複数の半導体チップを有する半導体装置およびその製造技術に適用して有効な技術に関するものである。

**【背景技術】**

**【0002】**

特開平11-204720号公報（特許文献1）には、3次元積層型のSIP（System in Package）において、積層された半導体チップ間の電気的な接続をワイヤボンディングで実施する技術が記載されている。 30

**【0003】**

特開2000-260934号公報（特許文献2）には、半導体チップ内に形成した貫通孔に電解めっき法または無電解めっき法により半田あるいは低融点金属を埋め込んだ電極を積層された上下の半導体チップに形成する技術が記載されている。そして、加熱後、上下の半導体チップの貫通孔に埋め込んだ電極を溶融接合により接続することにより、積層された上下の半導体チップ間の電気的な接続を行なうとしている。

**【0004】**

特開2005-340389号公報（特許文献3）には、積層された半導体チップのうち上側に配置された半導体チップにスタッダップ電極を形成し、下側に配置された半導体チップに貫通電極を形成する技術が記載されている。そして、上側の半導体チップに形成されたスタッダップ電極を、下側の半導体チップに形成されている貫通電極に圧接により変形注入し、スタッダップ電極と貫通電極とを幾何学的に、かじめて上下の半導体チップ間の電気的な接続を行なうとしている。 40

**【0005】**

特開2005-93486号公報（特許文献4）には、シリコン基板の表面に層間絶縁膜を介して形成されたパッド電極からシリコン基板の裏面に引き出す電極を形成する技術が記載されている。この技術においては、シリコン基板の裏面からハードマスクをマスクにしてシリコン基板をエッチングすることにより、層間絶縁膜を底面とする開口部を形成 50

する（特許文献4の図4（C））。そして、ハードマスクを除去した後（特許文献4の図5（A））、開口部内を含むシリコン基板の裏面全体に絶縁膜を形成する（特許文献4の図5（B））。その後、開口部の側壁と開口部以外を覆うレジスト膜（特許文献4の図5（C））をマスクにして層間絶縁膜をエッチングすることにより、開口部の底面にパッド電極を露出する（特許文献4の図6（A））。これにより、シリコン基板の裏面からパッド電極に達する貫通孔を形成できる。そして、貫通孔に金属材料を埋め込むことにより、パッド電極に電気的に接続し、かつ、シリコン基板の裏面に達する電極を形成できるとしている。ここで、シリコン基板をエッチングする際に使用したハードマスクを除去する際、開口部の底面から露出する層間絶縁膜も多少エッチングされて膜減りするとしている。

## 【0006】

特開2006-32699号公報（特許文献5）には、以下に示す半導体装置の製造技術が記載されている。すなわち、半導体基板の表面上に第1の絶縁膜を形成し、半導体基板の表面側から第1の絶縁膜の一部の箇所を、その膜厚の途中まで選択的にエッチングして薄膜化する。このエッチングにより、第1の絶縁膜が薄膜化されてなる底面を有する凹部が形成される。その後、凹部内を含む第1の絶縁膜上にパッド電極を形成する（特許文献5の図16）。続いて、半導体基板の裏面に第2の絶縁膜を形成した後、第1の絶縁膜の凹部に対応した位置における第2の絶縁膜および半導体基板を凹部よりも大きく開口するようにエッチングする。このエッチングにより、凹部よりも大きな開口径を有し、かつ、第2の絶縁膜および半導体基板を貫通するビアホールが形成される（特許文献5の図17）。次に、ビアホール内を含む第2の絶縁膜上に第3の絶縁膜を形成した後（特許文献5の図18）、半導体基板の裏面からエッチングを行なう。このエッチングにより、第2の絶縁膜上に形成された第3の絶縁膜、ビアホールの底面に形成された第3の絶縁膜と薄膜化された第1の絶縁膜が除去される。これにより、ビアホールの底面にパッド電極が露出する（特許文献5の図19）。そして、貫通孔に金属材料を埋め込むことにより、パッド電極に電気的に接続し、かつ、シリコン基板の裏面に達する電極を形成できるとしている。

## 【0007】

特開2007-53149号公報（特許文献6）には、複数の半導体チップを積層する場合に、パッドに接続するコンタクト電極（貫通電極）を半導体基板の裏面から加工する技術が記載されている。具体的には、半導体基板の裏面から開口部がすり鉢状の貫通孔を形成した後、貫通孔の内部を含む半導体基板の裏面に絶縁膜を形成する。そして、貫通孔の底面の絶縁膜を除去した後、貫通孔の壁面に導体膜を形成してパターニングすることにより、コンタクト電極を形成するとしている。

## 【0008】

特開2006-222138号公報（特許文献7）には、以下に示す半導体装置の製造技術が記載されている。具体的には、半導体基板の厚み方向に貫通する貫通電極の形成方法が記載されている。この技術では、半導体基板の表面に第1絶縁膜を形成し、半導体基板の裏面に第2絶縁膜を形成する（特許文献7の図1（a））。そして、半導体基板とはエッチングレートの異なる導電性部材からなる第1エッチングストップ層を第2絶縁膜上に形成する（特許文献7の図1（b））。次に、貫通電極の形成箇所に対して、第1絶縁膜、半導体基板および第2絶縁膜を貫通して第1エッチングストップ層に達する凹部を形成する（特許文献7の図1（c））。その後、第1エッチングストップ層をシード層としためっき法により凹部内に導電材料を埋め込むことにより貫通電極を形成するとしている（特許文献7の図1（d）～図1（f））。

【特許文献1】特開平11-204720号公報

【特許文献2】特開2000-260934号公報

【特許文献3】特開2005-340389号公報

【特許文献4】特開2005-93486号公報

【特許文献5】特開2006-32699号公報

【特許文献6】特開2007-53149号公報

10

20

30

40

50

【特許文献 7】特開 2006 - 222138 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

近年、複数の半導体チップを高密度に実装して高機能なシステムを短期間で実現する SiP (System in Package) の開発が進み、各社から多様な実装構造が提案されている。特に複数のチップを 3 次元的に積層する SiP は実装面積の点で優れている。

【0010】

特開平 11 - 204720 号公報 (特許文献 1) に示すように、3 次元積層型の SiP では、ワイヤボンディングによる半導体チップ間接続が一般的である。しかし、ワイヤボンディングによる半導体チップ間接続は、配線を実装基板に落として再配線を行う必要がある。その結果、半導体チップ間の配線が長くなり、実装基板の配線が高密度になる。これによって、配線間のインダクタンスが増加して高速伝送が困難になる上、実装基板に形成される配線の高密度化により歩留まりが悪化し、半導体装置のコスト上昇を引き起こす問題点がある。

10

【0011】

これらワイヤボンディング接続の課題に対し、半導体チップ内部を貫通する電極を形成して複数のチップを積層する方法が提案されている。例えば、特開 2000 - 260934 号公報 (特許文献 2) には、半導体チップ内に形成した貫通孔に電解めっき法または無電解めっき法により半田あるいは低融点金属を埋め込んだ電極を積層された上下の半導体チップに形成する技術が記載されている。そして、加熱後、上下の半導体チップの貫通孔に埋め込んだ電極を溶融接合により接続することにより、積層された上下の半導体チップ間の電気的な接続を行なうとしている。

20

【0012】

また、特開 2005 - 340389 号公報 (特許文献 3) には、積層された半導体チップのうち上側に配置された半導体チップにスタッダップ電極を形成し、下側に配置された半導体チップに貫通電極を形成する技術が記載されている。そして、上側の半導体チップに形成されたスタッダップ電極を、下側の半導体チップに形成されている貫通電極に圧接により変形注入し、スタッダップ電極と貫通電極とを幾何学的に、かじめて上下の半導体チップ間の電気的な接続を行なうとしている。

30

【0013】

例えば、特開 2005 - 340389 号公報 (特許文献 3) に示す技術では、半導体ウェハ裏面から半導体ウェハの表面に形成されたパッドに達する貫通電極を形成する。マイコンのような高集積回路を搭載した半導体ウェハでは、配線層を多層にわたって形成しているので、半導体ウェハの表面に厚い層間絶縁膜がある。したがって、半導体ウェハの裏面から半導体ウェハの表面に形成されたパッドに達する貫通電極を形成するには、厚い層間絶縁膜に孔を通して加工しなければならない。特開 2005 - 340389 号公報 (特許文献 3) で提案されているプロセスのように貫通電極と同径の径でパッドに達する孔を形成すると、パッドの大部分が隣接する層間絶縁膜の支えを失って、パッド強度が低下する問題点が発生する。

40

【0014】

そこで、パッド強度低下を抑制するため、孔の加工途中で孔径を変更し、パッドに隣接する層間絶縁膜に小径の孔 (第 2 孔) を形成する技術が考えられる。この技術では、層間絶縁膜が露出するまで半導体基板をエッチングすることにより、大径の孔 (第 1 孔) を形成し、続いて、層間絶縁膜を加工して小径の孔 (第 2 孔) を形成する。この際、大径の孔 (第 1 孔) の内部にレジストマスクを形成する必要がある。このとき、形成したレジストマスクをマスクにして層間絶縁膜をエッチングするが、層間絶縁膜のエッチングでは、レジストマスクもエッチングされやすい。すなわち、レジストマスクが層間絶縁膜に比べて選択的に加工されてしまい、層間絶縁膜の加工完了前にレジストマスクが消失してしまう。その結果、層間絶縁膜に小径の孔 (第 2 孔) を形成し終わるまでに複数回のレジストマ

50

スクの形成が必要となる。

【0015】

しかし、孔（第2孔）の径が小径のために洗浄によって孔（第2孔）内部のレジストマスクを完全に除去できること、さらに、複数回のレジストマスクの合わせずれにより層間絶縁膜の加工中に孔（第2孔）の底面が荒れ、リソグラフィ工程の露光がうまくできないことが原因となり、大径の孔（第1孔）の内部に2回目以降のレジストマスクを形成することが難しい。その結果、小径の孔（第2孔）において層間絶縁膜の加工状態が不均一となり半導体装置の製造歩留まりが低下する問題点が発生する。

【0016】

本発明の目的は、3次元的に積層された複数の半導体チップを有する半導体装置の製造歩留まりを向上できる技術を提供することにある。 10

【0017】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0018】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】

本発明による半導体装置の製造方法は、(a)半導体基板の第1面上に形成された半導体素子上に層間絶縁膜を形成し、前記層間絶縁膜の内部に形成された配線を介して前記半導体素子と電気的に接続するパッドを前記層間絶縁膜の表面に形成する工程と、(b)前記半導体基板の前記第1面とは反対側にある第2面上に第1レジスト膜を形成する工程と、(c)前記パッドと対向する位置に第1開口部を有するように前記第1レジスト膜をパターニングする工程と、(d)前記第1開口部を形成した前記第1レジスト膜をマスクにして前記半導体基板をエッチングすることにより、底面に前記層間絶縁膜を露出する第1孔を前記半導体基板に形成する工程と、(e)前記第1レジスト膜を除去する工程と、(f)前記第1孔の底面に露出する前記層間絶縁膜をエッチングすることにより、前記第1孔の底面を前記層間絶縁膜上であって前記半導体基板と前記層間絶縁膜の境界よりも前記パッドに近い位置に形成する工程と、(g)前記第1孔の内壁を含む前記半導体基板の前記第2面上に絶縁膜を形成する工程と、(h)前記絶縁膜上に第2レジスト膜を形成する工程と、(i)前記第1孔の底面に前記第1孔の径よりも小径の第2開口部を有するように前記第2レジスト膜をパターニングする工程と、(j)前記第2開口部を形成した前記第2レジスト膜をマスクして前記絶縁膜および前記層間絶縁膜をエッチングすることにより、底面に前記パッドを露出する第2孔を形成する工程と、(k)前記第1孔の内壁および前記第2孔の内壁を含む前記半導体基板の前記第2面に導体膜を形成し、前記導体膜をパターニングすることにより、前記半導体基板の前記第2面から前記第1面に達し、かつ、前記パッドに電気的に接続する貫通電極を形成する工程とを備え、前記層間絶縁膜の前記半導体基板側の面は、前記第1孔の底面と前記半導体基板の前記第1面による段差を反映して段差形状になっており、前記導体膜の表面は、前記半導体基板の前記第2面と前記第1孔の底面による段差を反映して段差形状になっていることを特徴とするものである。 30 40

【0020】

また、本発明による半導体装置は、(a)半導体基板と、(b)前記半導体基板の第1面上に形成された半導体素子と、(c)前記半導体基板の前記第1面上に形成された層間絶縁膜と、(d)前記層間絶縁膜上に形成されたパッドと、(e)前記パッド上に形成されたバンプ電極と、(f)前記半導体基板の前記第1面とは反対側にある第2面から前記パッドに達する貫通電極とを備え、前記貫通電極は、(f1)前記半導体基板の前記第1面とは反対側にある前記第2面から前記層間絶縁膜に達する第1孔であって、前記第1孔の底面が前記層間絶縁膜と前記半導体基板の境界よりも前記パッドに近い位置まで形成されている前記第1孔と、(f2)前記第1孔の孔径よりも小さく、前記第1孔の底面から前 50

記パッドに達するように形成された第2孔と、(f3)前記第1孔の底面および側面と前記半導体基板の前記第2面上に形成された絶縁膜と、(f4)前記第2孔の底面および側面と、前記絶縁膜を介した前記第1孔の底面および側面と前記半導体基板の前記第2面上に形成され、前記パッドと電気的に接続された導体膜とを有し、前記層間絶縁膜の前記半導体基板側の面は、前記第1孔の底面と前記半導体基板の前記第1面による段差を反映して段差形状になっており、前記導体膜の表面は、前記半導体基板の前記第2面と前記第1孔の底面による段差を反映して段差形状になっていることを特徴とするものである。

**【発明の効果】**

**【0021】**

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。 10

**【0022】**

3次元的に積層された複数の半導体チップを有する半導体装置の製造歩留まりを向上することができる。

**【発明を実施するための最良の形態】**

**【0023】**

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。 20

**【0024】**

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

**【0025】**

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

**【0026】**

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。 30

**【0027】**

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

**【0028】**

（実施の形態1）

本実施の形態1では、マイコンチップのように高集積回路を搭載した半導体装置を例に挙げて図面を参照しながら説明する。 40

**【0029】**

図1は本実施の形態1における半導体チップを示す平面図である。この図1は、半導体チップの一部を半導体基板1の第2面（裏面）1b側の上方から見ている図である。図1に示すように、半導体チップは矩形形状の半導体基板1から構成され、半導体基板1の第2面1bには複数の貫通電極17が形成されている。そして、複数の貫通電極17は、それぞれ、導体膜15よりなる配線に接続されており、これらの配線によって半導体基板1の第2面1bに配線パターンが形成されている。上述したように、本実施の形態1では、半導体チップに複数の貫通電極17が形成されているが、図1に示すように、この貫通電極17は、平面的に2重リングを形成するように構成されている。これは、後述するように、貫通電極17による貫通空間を大径の第1孔と第1孔よりも小径の第2孔により形成

しているからである。

**【0030】**

図2は、図1のA-A線で切断した断面を示す断面図である。図2に示すように、半導体基板1は平板形状をしており、第1面(表面)1aと第2面(裏面)1bとを有している。半導体基板1の第1面1aには、高集積回路を構成する半導体素子(MISFET(Metal Insulator Semiconductor Field Effect Transistor)など)(図示せず)が形成されており、この半導体素子を形成した半導体基板1の第1面1a上に層間絶縁膜2が形成されている。層間絶縁膜2には、複数の半導体素子間を接続する配線が多層にわたって形成されており、半導体基板1の第1面1aに形成された複数の半導体素子とこれらの半導体素子を接続する配線により高集積回路が半導体基板1の第1面1aに形成されている。  
10ここで、本実施の形態1では、半導体チップとしてマイコンチップのような高集積回路が形成されているものを対象としているが、その特徴は配線層が多くなる点にある。このため、多層にわたる配線層を形成する層間絶縁膜2の膜厚が厚くなるという傾向がある。このように、本実施の形態1では、層間絶縁膜2の膜厚が比較的厚くなる半導体装置を対象としている。

**【0031】**

次に、層間絶縁膜2の最上層である表面上にはパッド(電極)3が形成されている。このパッド3は、層間絶縁膜2内に形成された配線を介して半導体素子と電気的に接続されており、パッド3は半導体基板1に形成されている高集積回路と半導体チップの外部とのインターフェイスをとるための外部端子として機能する。そして、パッド3上にはスタッドバンプ電極18が形成されている。  
20

**【0032】**

一方、半導体基板1の第2面1bから半導体基板1の第1面1aに貫通し、さらに、層間絶縁膜2を貫通してパッド3と電気的に接続するように貫通電極17が形成されている。この貫通電極17は、複数の半導体チップを3次元的に積層してパッケージ化する際に必要となるものである。つまり、本実施の形態1では、半導体チップを積層してパッケージ化するSiP構造を前提としているものであり、半導体チップを積層する際、上下に配置される半導体チップ間を電気的に接続するために使用されるものである。このように個々の半導体チップには、パッド3の一方側にスタッドバンプ電極18が形成され、パッド3の他方側には貫通電極17が形成されている。そして、複数の半導体チップを積層する際には、一方の半導体チップの貫通電極17に他方の半導体チップのスタッドバンプ電極18を圧接により変形注入して幾何学的にかしめることにより、両方の半導体チップを上下に積層しながら、電気的に接続するようにしている。このように本実施の形態1では、貫通電極17とスタッドバンプ電極18とを用いて半導体チップを積層することを前提としている。なお、貫通電極17が形成されている領域には、高集積回路を構成する半導体素子は形成されていない。すなわち、半導体基板1の第1面1aには半導体素子が形成されているが、半導体素子は貫通電極17が形成されている領域とは分離されている領域に形成されている。  
30

**【0033】**

次に、貫通電極17の構成について説明する。図2に示すように、貫通電極17による貫通空間は、第1孔7と第2孔11で形成されている。すなわち、半導体基板1の第2面1bから第1孔7が形成され、この第1孔7の底面に第1孔7よりも孔径の小さい第2孔11が形成されている。そして、第2孔11の底面にパッド3が露出している。第1孔7の底面および側面と半導体基板1の第2面1bには絶縁膜8が形成されており、さらに、第2孔11の底面および側面、絶縁膜8を介した第1孔7の底面および側面、および、絶縁膜8を介した半導体基板1の第2面1b上には、シード層12とめっき層14が積層して形成されている。このシード層12とめっき層14を合わせて導体膜15と呼ぶことにする。半導体基板1の第2面1b上に形成された導体膜15が図1に示す配線パターンを形成している。このように貫通電極17が構成されているが、貫通電極17には、積層する他の半導体チップに形成されているスタッドバンプ電極18を挿入するために、内部が  
40  
50

空洞となっており貫通空間が形成されている。このため、貫通電極 17 を構成する導体膜 15 は、半導体基板 1 の第 2 面 1b と第 1 孔 7 の底面による段差および第 1 孔 7 の底面と第 2 孔 11 の底面による段差を反映して段差形状になっている。言い換えれば、本実施の形態 1 による貫通電極 17 によれば、第 1 孔 7 および第 2 孔 11 の内部を導体膜 15 で完全に埋め込むようにには構成されておらず、内部に貫通空間が形成されるように構成されている。すなわち、貫通電極 17 の内部を導体膜 15 で完全に充填すると、導体膜 15 の表面は、半導体基板 1 の第 2 面 1b と一致して段差が生じない。これに対し、貫通電極 17 の内部に空洞が存在する構成をとる結果、貫通電極 17 を構成する導体膜 15 が半導体基板 1 の第 2 面 1b と第 1 孔 7 の底面による段差および第 1 孔 7 の底面と第 2 孔 11 の底面による段差を反映して段差形状になる。

10

#### 【0034】

続いて、貫通電極 17 を第 1 孔 7 とこの第 1 孔 7 よりも孔径の小さい第 2 孔 11 より形成する理由について説明する。例えば、第 1 孔 7 の孔径は内部に挿入するスタッドバンプ電極 18 の大きさに合わせて形成されているが、貫通電極 17 を孔径の大きな第 1 孔 7 だけで構成すると以下に示す不都合が生じる。貫通電極 17 は半導体基板 1 の第 2 面 1b からパッド 3 に貫通するように構成されるが、半導体基板 1 の第 2 面 1b からパッド 3 に貫通する貫通空間を第 1 孔 7 で形成する場合、第 1 孔 7 を形成することによって除去される半導体基板 1 および層間絶縁膜 2 が多くなる。パッド 3 は層間絶縁膜 2 の表面に形成されているが、この場合、パッド 3 の大部分が接する層間絶縁膜 2 が除去される結果、パッド 3 が層間絶縁膜 2 による支えを失ってパッド 3 の強度が低下する問題が顕在化する。このため、貫通電極 17 を孔径の大きな第 1 孔 7 だけで構成せずに、第 1 孔 7 とパッド 3 との間に第 1 孔 7 よりも孔径の小さい第 2 孔 11 を形成している。つまり、層間絶縁膜 2 には第 1 孔 7 よりも孔径の小さい第 2 孔 11 を形成することで、貫通電極 17 を形成することにより除去される層間絶縁膜 2 を少なくすることができる。これにより、パッド 3 を支える層間絶縁膜 2 を確保することができ、パッド 3 の強度低下を抑制することができる。このように貫通電極 17 を第 1 孔 7 と、第 1 孔 7 よりも孔径の小さい第 2 孔 11 より構成することでパッド 3 の強度低下を抑制することができる。このとき、貫通電極 17 を形成することにより生じるパッド 3 の強度低下は、特に、貫通電極 17 の内部に空洞が存在する場合に生じる問題である。例えば、貫通電極 17 の内部を導体膜 15 で埋め込む場合には、貫通電極 17 の内部に埋め込まれた導体膜 15 によってパッド 3 が支えられるため、孔径の異なる孔によって貫通電極 17 を形成する必要はない。すなわち、貫通電極 17 を孔径の大きな第 1 孔 7 とこの第 1 孔 7 よりも孔径の小さい第 2 孔 11 により構成し、第 2 孔 11 の底面にパッド 3 を露出する構成は、貫通電極 17 の内部が空洞になっている構成のときに有用であることがわかる。言い換えれば、貫通電極 17 の内部を導体膜 15 で埋め込む構成の場合には、貫通電極 17 を孔径の大きな第 1 孔 7 とこの第 1 孔 7 よりも孔径の小さい第 2 孔 11 により構成する有用性はないといえる。

20

#### 【0035】

貫通電極 17 の内部を空洞にするとともに、貫通電極 17 を第 1 孔 7 と第 1 孔 7 よりも孔径の小さい第 2 孔 11 で形成する構成は、本発明の前提となる構成である。

30

#### 【0036】

ここで、貫通電極 17 を構成する第 1 孔 7 と第 2 孔 11 とをどの領域で切り替えるかが問題となる。実際には、半導体基板 1 がシリコンから形成されており、層間絶縁膜 2 が酸化シリコン膜から形成されている。このことから、半導体基板 1 の第 2 面 1b から半導体基板 1 と層間絶縁膜 2 の境界である半導体基板 1 の第 1 面 1a まで、シリコンをエッチングして第 1 孔 7 を形成し、その後、半導体基板 1 と層間絶縁膜 2 の境界である半導体基板 1 の第 1 面 1a からパッド 3 が露出するまで、酸化シリコン膜から形成される層間絶縁膜 2 をエッチングして第 2 孔 11 を形成することが一般的であると考えられる。なお、第 1 孔 7 には他の半導体チップに形成されているスタッドバンプ電極 18 が挿入される。しかし、通常、半導体基板 1 の厚さは、スタッドバンプ電極 18 の高さよりも厚いので、第 1 孔 7 を半導体基板 1 の第 2 面 1b から半導体基板 1 と層間絶縁膜 2 の境界である半導体基

40

50

板1の第1面1aまで形成する場合は問題ない。

#### 【0037】

このように、半導体基板1の第2面1bから半導体基板1と層間絶縁膜2の境界である半導体基板1の第1面1aまで、シリコンをエッチングして第1孔7を形成し、その後、半導体基板1と層間絶縁膜2の境界である半導体基板1の第1面1aからパッド3が露出するまで、酸化シリコン膜から形成される層間絶縁膜2をエッチングして第2孔11を形成する場合には、以下に示す不都合が生じる。本実施の形態1では、半導体チップとしてマイコンチップのような高集積回路が形成されているものを対象としているが、その特徴は配線層が多くなる点にある。このため、多層にわたる配線層を形成する層間絶縁膜2の膜厚が厚くなるという傾向がある。このように膜厚が厚い層間絶縁膜2に第2孔11を形成することが困難なのである。この理由について説明する。  
10

#### 【0038】

第2孔11を形成するには、まず、シリコンよりなる半導体基板1をエッチングして第1孔7を形成した後、この第1孔7の底面を含む半導体基板1の第2面1b上に絶縁膜8を形成する。その後、絶縁膜8を介して第1孔7の底面を含む半導体基板1の第2面1b上にレジスト膜を形成する。そして、レジスト膜をパターニングして第1孔7の底面に第1孔7の孔径よりも小さい開口部を形成する。そして、パターニングしたレジスト膜をマスクにして絶縁膜8および酸化シリコン膜よりなる層間絶縁膜2をエッチングして第2孔11を形成する。ここで、絶縁膜8および酸化シリコン膜よりなる層間絶縁膜2をエッチングする際、マスクとして使用しているレジスト膜もエッチングされやすい。したがって、層間絶縁膜2の膜厚が厚いと、層間絶縁膜2に形成される第2孔11が層間絶縁膜2を貫通してパッド3に到達する前にレジスト膜が消失してしまう。このため、再び、新たなレジスト膜の形成およびパターニングを行なった後、酸化シリコン膜よりなる層間絶縁膜2のエッチングを行なう必要がある。つまり、レジスト膜も第2孔11の形成の際エッチングされてしまうので、層間絶縁膜2の膜厚が厚い場合には、第2孔11が層間絶縁膜2を貫通してパッド3に到達する前に、複数回のレジスト膜によるマスクの形成が必要となる。  
20

#### 【0039】

このとき、第2孔11の孔径が小径のために洗浄によって第2孔11の内部のレジスト膜を完全に除去できること、さらに、複数回のマスクの合わせずれにより層間絶縁膜2の加工中に第2孔11の底面が荒れ、リソグラフィ工程の露光がうまくできないことが原因となり、第1孔7の底面に2回目以降のマスクを形成することが難しい。その結果、第2孔11において層間絶縁膜2の加工状態が不均一となり、第2孔11の底面にパッド3が正常に露出しないことが生じる。これにより、貫通電極17が正常に形成できなくなり半導体装置の製造歩留まりが低下する問題点が発生する。  
30

#### 【0040】

そこで、本実施の形態1では、図2に示すように、第1孔7を半導体基板1と層間絶縁膜2の境界である半導体基板1の第1面1aよりも深い位置まで形成している。すなわち、第1孔7をシリコンよりなる半導体基板1だけでなく層間絶縁膜2の途中まで形成している。これにより、第1孔7の底面とパッド3との間にある層間絶縁膜2の膜厚が薄くなる。そして、膜厚の薄くなった層間絶縁膜2に第2孔11を形成するのである。つまり、本実施の形態1の特徴の1つは、第1孔7を形成する際、シリコンよりなる半導体基板1だけでなく層間絶縁膜2もエッチングすることにより、第1孔7の底面を層間絶縁膜2上であって半導体基板1と層間絶縁膜2の境界（半導体基板1の第1面1a）よりもパッド3に近い位置まで形成する点にある。これにより、例えば、高集積回路が形成されているマイコンチップのように層間絶縁膜2の膜厚が厚い半導体装置であっても、第2孔11を形成するためにエッチングする層間絶縁膜2の膜厚を薄くすることができる。  
40

#### 【0041】

第1孔7を層間絶縁膜2の途中まで形成することにより、第1孔7の底面とパッド3の間にある層間絶縁膜2の膜厚を薄くすることができるため、この第1孔7の底面からパッ  
50

ド 3 に達する第 2 孔 1 1 を形成する際、レジスト膜のマスクを 1 回使用するだけでパッド 3 に達する第 2 孔 1 1 を形成することができる。つまり、第 1 孔 7 の底面とパッド 3 との間に残存する層間絶縁膜 2 と第 1 孔 7 の底面上に形成されている絶縁膜 8 を合わせた膜厚を、第 2 孔 1 1 を形成する際、マスクとして使用される 1 回目のレジスト膜が消失する前に第 2 孔 1 1 が形成される膜厚にすることができます。これにより、複数回のマスクの合わせずれにより層間絶縁膜 2 の加工中に第 2 孔 1 1 の底面が荒れ、リソグラフィ工程の露光がうまくできないことに起因する第 2 孔 1 1 の加工不良を改善することができる。したがって、貫通電極 1 7 の信頼性を向上することができ、半導体装置の製造歩留まりを向上することができる。さらに、層間絶縁膜 2 の加工不良による第 2 孔 1 1 とパッド 3 との接続ばらつきを抑制することができるので、貫通電極 1 7 とパッド 3 との接続抵抗がばらつくことを抑制できる。

#### 【 0 0 4 2 】

本実施の形態 1 の特徴の 1 つは、第 1 孔 7 を層間絶縁膜 2 の途中まで形成することにより、第 1 孔 7 の底面とパッド 3 の間にある層間絶縁膜 2 の膜厚を薄くすることができることにあり、本実施の形態 1 における半導体装置の構造としては、層間絶縁膜 2 の半導体基板 1 に接する面が、第 1 孔 7 の底面と半導体基板 1 の第 1 面 1 a による段差を反映して段差形状になる構造として顕在化する。すなわち、第 1 孔 7 が形成されていない領域では、半導体基板 1 の第 1 面 1 a が半導体基板 1 と層間絶縁膜 2 との境界となり、第 1 孔 7 が形成されている領域では、第 1 孔 7 の底面が層間絶縁膜 2 との境界となる。いまの場合、第 1 孔 7 の底面が半導体基板 1 の第 1 面 1 a を越えて層間絶縁膜 2 の途中まで形成されているので、層間絶縁膜 2 の半導体基板 1 に接する面は段差形状となるのである。

#### 【 0 0 4 3 】

本実施の形態 1 における半導体チップは上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。

#### 【 0 0 4 4 】

まず、半導体基板 1 を用意する。このとき、半導体基板 1 は略円盤状の半導体ウェハの状態になっており、この半導体ウェハには複数のチップ領域が形成されている。以下に示す工程では、半導体基板 1 を半導体ウェハの状態で加工する。

#### 【 0 0 4 5 】

図 3 に示すように、半導体基板 1 の第 1 面 1 a に通常の M I S F E T 形成技術を用いて複数の半導体素子（図示せず）を形成し、この半導体素子を形成した半導体基板 1 の第 1 面 1 a 上に層間絶縁膜 2 を形成する。層間絶縁膜 2 は、例えば、酸化シリコン膜より形成される。この層間絶縁膜 2 に配線（図示せず）を多層にわたって形成し複数の半導体素子間を配線で接続する。そして、層間絶縁膜 2 の内部に形成された配線を介して半導体素子と電気的に接続するパッド 3 を層間絶縁膜 2 の表面に形成する。パッド 3 は、例えば、アルミニウム膜から形成される。

#### 【 0 0 4 6 】

半導体基板 1 は、例えば、 $10 \mu m \sim 50 \mu m$  程度まで薄型化すると、後述する工程で形成する貫通電極の深さが浅くなり加工難易度が下がるが、半導体基板 1 の薄型化に伴う半導体基板 1 の強度低下および半導体基板 1 の反りによる歩留まり低下が生じる。

#### 【 0 0 4 7 】

そこで、本実施の形態 1 では、図 4 に示すように、パッド 3 を形成している層間絶縁膜 2 の表面に接着層 4 を塗布し、例えば、石英やガラス、シリコン基板などからなる支持基板 5 と半導体基板 1 とを貼り合せる。支持基板 5 を半導体基板 1 に貼り合せることにより、半導体基板 1 の薄型化による強度低下および半導体基板 1 の反りを抑制することができる。また、接着層 4 は、支持基板 5 と半導体基板 1 を接着する機能を有するとともに、半導体基板 1 に形成されている集積回路を保護する機能を有している。

#### 【 0 0 4 8 】

次に、図 5 に示すように、半導体基板 1 の第 2 面 1 b にバックグラインド処理を施し、半導体基板 1 の厚みを薄くする。バックグラインド処理は、研削や研磨によって実施する

10

20

30

40

50

ことができる。バックグラインド処理後の平坦性が、半導体基板1の第2面1bに形成する貫通電極の精度に影響するため、バックグラインド処理を実施した後には、ドライポリッシュやエッティングあるいはCMP(Chemical Mechanical Polishing)法による研磨を実施して半導体基板1の第2面1bを平坦化することが望ましい。

#### 【0049】

続いて、図6に示すように、半導体基板1の第2面1b上にレジスト膜6を塗布する。そして、フォトリソグラフィ技術を使用することにより、レジスト膜6をパターニングする。パターニングは、レジスト膜6のパッド3と相対する位置に開口部6aを形成するように行なわれる。レジスト膜6を半導体基板1の第2面1b上に塗布する方法としては、例えば、スピナー塗布法を使用することができる。さらに、レジスト膜6のパターニングの際に開口部6aを形成する位置は、赤外顕微鏡により、半導体基板1の第1面1aに形成されている半導体素子のパターン(デバイスパターン)を確認して決定する。そして、パターニングしたレジスト膜6をマスクにしてシリコンよりなる半導体基板1をエッティングする。10

#### 【0050】

すなわち、図7に示すように、シリコンよりなる半導体基板1の第2面1bから層間絶縁膜2に達する第1孔7を形成する。このエッティングは異方性エッティングであり、例えば、ICP-RIE(Inductively coupled plasma Reactive ion etching)により行なわれる。エッティングガスとしては、SF<sub>6</sub>とC<sub>4</sub>H<sub>8</sub>が使用される。通常、シリコンのドライエッティングでは、酸化シリコン膜がエッティングストップとなる。そのため、SF<sub>6</sub>とC<sub>4</sub>H<sub>8</sub>によるエッティングでは、酸化シリコン膜を主成分とする層間絶縁膜2でエッティングが停止する。このときの第1孔7の深さは半導体基板1の厚さによって決定される。20

#### 【0051】

次に、図8に示すように、パターニングしたレジスト膜6を除去した後、新たなレジスト膜によるマスクを形成せずにエッティングガスをSF<sub>6</sub>とC<sub>4</sub>H<sub>8</sub>からC<sub>3</sub>F<sub>8</sub>、Ar、CHF<sub>4</sub>の混合ガスを用いて第1孔7の底面に露出する層間絶縁膜2を途中までエッティングする。すなわち、シリコンよりなる半導体基板1および半導体基板1に形成された第1孔7をマスクにして第1孔7の底面に露出する層間絶縁膜2をエッティングする。これにより、第1孔7の底面とパッド3間に存在する層間絶縁膜2の膜厚を薄膜化することができる。すなわち、意図的にシリコンよりなる半導体基板1および半導体基板1に形成された第1孔7をマスクにして第1孔7の底面に露出する層間絶縁膜2をエッティングする工程を実施する点が本実施の形態1の特徴の1つである。第1孔7をマスクにして層間絶縁膜2を意図的にエッティングすることにより、シリコンよりなる半導体基板1に形成した第1孔7の底面における孔径(図7参照)と等しい孔径で層間絶縁膜2のエッティングが進む。このため、図8に示すように、層間絶縁膜2をエッティングして形成された第1孔7の底面は、図7に示すシリコンをエッティングして形成された第1孔7の底面とほぼ等しい孔径となる。なお、この工程を実施することにより、第1孔7が形成されていない領域では、半導体基板1の第1面1aが半導体基板1と層間絶縁膜2との境界となり、第1孔7が形成されている領域では、第1孔7の底面が層間絶縁膜2との境界となる。いまの場合、第1孔7の底面が半導体基板1の第1面1aを越えて層間絶縁膜2の途中まで形成されているので、層間絶縁膜2の半導体基板1に接する面は段差形状となる。3040

#### 【0052】

第1孔7から露出する層間絶縁膜2を途中まで意図的にエッティングすることにより、第1孔7の底面とパッド3間に存在する層間絶縁膜2の膜厚を薄膜化することができる効果が得られるとともに、以下に示す効果も得られる。

#### 【0053】

シリコンよりなる半導体基板1をエッティングして第1孔7を形成する工程では、第1孔7の底面を完全に露出するため、オーバーエッティングが行われる。つまり、半導体基板1には複数の第1孔7を形成するが、このとき、第1孔7を形成する場所によってエッティングレートに差が生じることがある。例えば、ある領域に形成されている第1孔7ではエッ50

チングが充分に進み第1孔7の底面に層間絶縁膜2が露出するが、他のある領域に形成されている第1孔7ではエッ칭が不充分で層間絶縁膜2が露出しない状況が発生する。この場合、オーバーエッ칭を行なわないと、シリコンのエッ칭が不充分な第1孔7の底面にシリコンが残存することとなる。すると、その後、正常な貫通電極を形成することができなくなるおそれが生じる。そこで、オーバーエッ칭を行なうことにより、エッ칭が不充分な領域の第1孔7の底面でもシリコンを完全に除去して第1孔7の底面に層間絶縁膜2が露出するようにしている。

#### 【0054】

しかし、オーバーエッ칭を行なうと、エッ칭が充分に進んでいる第1孔7でノッチが発生する問題点が発生する。すなわち、エッ칭が充分に進んでいる第1孔7でさらにシリコンのエッ칭を進めると、第1孔7の底面ではエッチングストップとなる層間絶縁膜2が露出しているので深さ方向にはエッ칭は進行しない。ところが、第1孔7の底面から横方向（サイド方向）でシリコンが侵食されてノッチが発生する。ノッチが発生すると半導体装置の不良を招くことになる。

10

#### 【0055】

ここで、本実施の形態1では、シリコンよりなる半導体基板1をエッ칭して第1孔7を形成した後、この第1孔7をマスクにして層間絶縁膜2のエッ칭を行なうことにより同径の第1孔7を形成している。したがって、シリコンよりなる半導体基板1のオーバーエッ칭を行なわなくても、第1孔7をマスクにした層間絶縁膜2のエッ칭により、シリコンのエッ칭が不充分な第1孔7の底面に残存するシリコンも除去することができる。つまり、酸化シリコン膜を主成分とする層間絶縁膜2のエッ칭の際、第1孔7の底面にわずかに残存するシリコンも除去されるのである。このことから、シリコンよりなる半導体基板1をエッ칭して第1孔7を形成する工程でオーバーエッ칭をすることを抑制できる。このように本実施の形態1によれば、オーバーエッ칭を抑制できるので、エッ칭が充分に進んでいる第1孔7でノッチが発生することを抑制できる。

20

#### 【0056】

また、本実施の形態1によれば、別の効果も得ることができる。例えば、半導体基板1を加工すると、半導体基板1に応力が発生して半導体基板1に反りが発生するなどの問題が発生しやすい。しかし、本実施の形態1では、レジスト膜をマスクとして使用せずにシリコンに形成した第1孔7をマスクにして第1孔7の底面に露出する層間絶縁膜2をエッ칭する工程を意図的に実施している。このようにレジスト膜を使用せずにシリコンが露出した状態でドライエッ칭をすると、半導体基板1に発生した応力を緩和することができるのである（ストレスリリーフ効果）。

30

#### 【0057】

続いて、図9に示すように、第1孔7内を含む半導体基板1の第2面1b上に、例えば、CVD (Chemical Vapor Deposition) 法により、絶縁膜8を形成する。この絶縁膜8は、第1孔7の底面および側面と半導体基板1の第2面1bに沿ってこれらの面を覆うように形成される。絶縁膜8は、後述する貫通電極と半導体基板1とを絶縁する機能を有している。絶縁膜8としては、例えば、酸化シリコン膜、窒化シリコン膜あるいはポリイミド樹脂などが使用される。

40

#### 【0058】

次に、図10に示すように、第1孔7内を含む半導体基板1の第2面1b上に形成された絶縁膜8上にアルミニウム膜9を形成する。このアルミニウム膜9は、絶縁膜8を保護するために設けられる膜であり、例えば、スパッタリング法や蒸着法により形成することができる。

#### 【0059】

続いて、図11に示すように、第1孔7内を含む半導体基板1の第2面1b上に形成されたアルミニウム膜9上にレジスト膜10を塗布する。例えば、レジスト膜の塗布方法として、スピナーによる塗布法とスプレーによる塗布法がある。スピナーによる塗布法の場

50

合は、第1孔7の底面および側面に沿ってレジスト膜10を塗布するために、 $5\text{ }\mu\text{m} \sim 30\text{ }\mu\text{m}$ の膜厚に塗布できるレジスト膜10を使用することが望ましい。さらに、レジスト膜10の中に気泡が残っていると、フォトリソグラフィ技術における露光処理が難しくなりパターニング不良が発生する。そのため、真空脱泡によりレジスト膜10の中にある気泡を除去することが望ましい。スプレーによる塗布法の場合は、スピナーによる塗布法と異なり、第1孔7に沿ってレジスト膜10を塗布する。

#### 【0060】

その後、図12に示すように、フォトリソグラフィ技術を用いてレジスト膜10のパターニングを行なう、レジスト膜10のパターニングは、第1孔7の底面に開口部10aを形成するように行なわれる。この開口部10aの径は第1孔7の孔径よりも小さくなるよう10に形成される。そして、開口部10aからはアルミニウム膜9が露出する。

#### 【0061】

次に、図13に示すように、レジスト膜10に形成された開口部10aから露出するアルミニウム膜9をエッティングすることにより除去する。これにより、開口部10aにはアルミニウム膜9の下層に形成されている絶縁膜8が露出する。アルミニウム膜9のエッティングには、例えば、リン酸を主成分とするエッティング液や希フッ酸などを用いることができる。

#### 【0062】

続いて、図14に示すように、開口部10aから露出する絶縁膜8および絶縁膜8の下層に形成されている層間絶縁膜2をすべてエッティングすることにより除去する。これにより、第1孔7の底面に第1孔7の孔径よりも小さい径を有する第2孔11を形成することができる。この第2孔11の底面にはパッド3が露出する。絶縁膜8および層間絶縁膜2のエッティングには、エッティングガスとしてCHF<sub>3</sub>やC<sub>4</sub>H<sub>8</sub>を主成分とした混合ガスが用いられる。このエッティング工程では、レジスト膜10も多少エッティングされる。

#### 【0063】

ここで、本実施の形態1では、図8で示すように第1孔7を層間絶縁膜2の途中まで形成することにより、第1孔7の底面とパッド3の間にある層間絶縁膜2の膜厚を薄くしている。このため、この第1孔7の底面からパッド3に達する第2孔11を形成する際、レジスト膜10のマスクを1回使用するだけでパッド3に達する第2孔11を形成することができる。つまり、第1孔7の底部とパッド3との間に残存する層間絶縁膜2と第1孔7の底面上に形成されている絶縁膜8を合わせた膜厚を、第2孔11を形成する際、マスクとして使用される1回目のレジスト膜10が消失する前に第2孔11を形成できる膜厚にすることができる。これにより、複数回のマスクの合わせずれにより層間絶縁膜2の加工中に第2孔11の底面が荒れ、リソグラフィ工程の露光がうまくできないことに起因する第2孔11の加工不良を改善することができる。

#### 【0064】

次に、図15に示すように、パターニングしたレジスト膜10を除去する。レジスト膜10の除去は、例えば、有機溶剤の利用や酸素アッシングによって行なわれる。そして、図16に示すように、レジスト膜10の下層に形成されている絶縁膜保護用のアルミニウム膜9を除去する。この際、第2孔11の底部にはアルミニウム膜よりなるパッド3が形成されているが、パッド3の表面には通常チタン／窒化チタン膜などのバリア導体膜が形成されているため、パッド3はエッティングされない。

#### 【0065】

続いて、図17に示すように、第2孔11の底面および側面、絶縁膜8を介した第1孔7の底面および側面、さらには、絶縁膜8を介した半導体基板1の第2面1b上にシード層12を形成する。シード層12は、例えば、スパッタリング法を使用することにより形成できる。シード層12としては、例えば、チタン膜(Ti膜)と金膜(Au膜)からなる積層膜が考えられる。このとき、チタン膜は絶縁膜8と金膜との密着性を確保するために、 $0.02\text{ }\mu\text{m} \sim 0.3\text{ }\mu\text{m}$ 程度の厚さで形成し、金膜はめっき膜の下地膜(電極膜)として $0.3\text{ }\mu\text{m} \sim 2\text{ }\mu\text{m}$ 程度の厚さがあればよい。シード層12として、チタン膜と金

10

20

30

40

50

膜の積層膜のほか、例えば、クロム膜（Cr膜）と金膜の積層膜を使用してもよい。

#### 【0066】

次に、図18に示すように、レジスト膜13を塗布した後、フォトリソグラフィ技術を使用することにより、レジスト膜13をパターニングする。パターニングは、第1孔7および第2孔11内、さらには、半導体基板1の第2面1b上の配線形成領域を露出するように行なわれる。

#### 【0067】

続いて、図19に示すように、パターニングしたレジスト膜13から露出するシード層12上にめっき膜14を形成する。めっき膜14は、例えば、電解めっき法により形成することができる。これにより、シード層12とめっき膜14からなる導体膜15を第1孔7および第2孔11内、さらには、半導体基板1の第2面1b上の配線形成領域に形成することができる。めっき膜14の膜厚は、電気抵抗を考慮して1μm以上にすることが望ましいが、めっき膜14の膜厚で貫通電極の内径が決定されるため、貫通電極の内径が所定の径になるように調整する。めっき膜14は、例えば、金膜から形成されており、電解めっき法のほか無電解めっき法やスパッタリング法によっても形成することができる。なお、めっき膜14として金膜のほかに金膜と銅膜（Cu膜）の積層膜も考えられるが、半導体チップを積層するSiP構造の観点からは、めっき膜14の表面は金膜とすることが望ましい。

#### 【0068】

その後、図20に示すように、有機溶剤の利用や酸素アッシングによりレジスト膜13を除去する。そして、図21に示すように、レジスト膜16を半導体基板1の第2面1b上に塗布した後、フォトリソグラフィ技術によりレジスト膜16をパターニングする。レジスト膜16のパターニングは、第1孔7、第2孔11および半導体基板1の第2面1bに形成されている配線形成領域を覆うように実施される。

#### 【0069】

次に、図22に示すように、パターニングしたレジスト膜16から露出しているシード層12を除去する。シード層12は、チタン膜と金膜の積層膜から構成されているので、それぞれの膜をチタン膜用のエッチング溶液と金膜用のエッチング溶液を用いて除去する。金膜用のエッチング溶液としては、例えば、ヨウ素とヨウ化アンモニウムの混合液が考えられ、チタン膜用のエッチング溶液としては、例えば、フッ酸が考えられるが、エッチングできるのであれば、その他のエッチング溶液であってもよい。

#### 【0070】

続いて、図23に示すように、パターニングしたレジスト膜16を除去することにより、半導体基板1の半導体ウェハ状態での加工が完了する。これにより、パッド3に接続する貫通電極17を形成することができる。そして、図24に示すように、半導体基板1を支持する支持基板5を引き剥がす。例えば、半導体基板1と支持基板5とを接着している接着層4が熱可塑性の性質を有しているものであれば、半導体基板1を加熱することによって半導体基板1と支持基板5とを引き剥がす。半導体基板1を支持基板5から引き剥がした後、半導体ウェハ状態にある半導体基板1をダイシングにより半導体チップへ個片化する。半導体チップへの個片化は、半導体基板1を支持基板5に貼り付けた状態で行なうこともできるが、支持基板5ごと切断してしまうことになり、支持基板5の再利用をすることができないくなる。そこで、半導体基板1を支持基板5から引き剥がすと半導体基板1が薄いため、ハンドリング（搬送）は困難になるが、支持基板5を剥がしてダイシングすることにより、支持基板5の再利用が可能となる。

#### 【0071】

最後に、図25に示すように、個片化された半導体チップにおいて、層間絶縁膜2の表面に形成されたパッド3上に例えば、スタッダードバンプ法によりスタッダードバンプ電極18を形成する。バンプ電極の形成方法として、ソルダーベーストバンプ法やめっき法あるいは蒸着法などを使用することもできる。

#### 【0072】

10

20

30

40

50

このようにして本実施の形態1における半導体チップを形成することができる。本実施の形態1によれば、第1孔7をシリコンよりなる半導体基板1を越えて層間絶縁膜2の途中まで形成することにより、第1孔7の底面とパッド3の間にある層間絶縁膜2の膜厚を薄くしている。このため、第1孔7の底面からパッド3に達する第2孔11を形成する際、層間絶縁膜2の膜厚が薄くなっているので、加工工程が容易となる。具体的には、第1孔7の底面からパッド3に達する第2孔11を層間絶縁膜2に形成する際、層間絶縁膜2を開口するレジストマスクの形成回数を低減することができる。このため、複数回のマスクの合わせずれにより層間絶縁膜2の加工不良を低減することができ、第1孔7および第2孔11を貫通空間とする複数の貫通電極17において、層間絶縁膜2の薄膜化により貫通電極17の均一加工が可能となる。

10

#### 【0073】

のことから、貫通電極17の信頼性を向上することができ、半導体装置の製造歩留まりを向上することができる。さらに、層間絶縁膜2の加工不良による第2孔11とパッド3との接続ばらつきを抑制することができるので、貫通電極17とパッド3との接続抵抗がばらつくことを抑制できる。

#### 【0074】

また、貫通電極17の形成工程において、加工ばらつきを低減することができるので、プロセスマージンが増加し、半導体装置の製造歩留まりが向上する。

#### 【0075】

さらに、大径の第1孔7をパッド3に達するように形成せずに第1孔7の孔径よりも小さい径の第2孔11を形成してパッド3と接続しているので、パッド3を支える層間絶縁膜2も多く残すことができ、パッド3の強度低下を抑制することができる。すなわち、パッド3上へスタッドバンプ電極18を形成する際の信頼性を向上することができる。

20

#### 【0076】

本実施の形態1では、第1孔7の底面からパッド3に達する第2孔11を形成する際、層間絶縁膜2の膜厚が薄くなっているので、加工工程が容易となる。このため、第2孔11の形成工程において製造歩留まりを向上できる利点が得られる。一方、第1孔7とパッド3間に存在する層間絶縁膜2の膜厚が薄くなることから、パッド3を支持する層間絶縁膜2の強度が低下することが懸念される。しかし、本実施の形態1のように層間絶縁膜2の膜厚を薄くしても、第2孔11の底面および側面に形成される導体膜15の膜厚、層間絶縁膜2と第1孔7の底部上に形成された絶縁膜8を合わせた膜厚、第2孔11の孔径が所定の関係を満たすことによってパッド3の強度低下を抑制でき、パッド3上に正常にスタッドバンプ電極18を形成できることについて説明する。

30

#### 【0077】

図26は、本実施の形態1における半導体チップを示す断面図であり、所定の部位の寸法を変数として表している。具体的には、第2孔11の底面および側面に形成されている導体膜15（めっき膜14とシード層12とを合わせた膜）の膜厚をa、第1孔7とパッド3間に存在する層間絶縁膜2の膜厚と第1孔7の底面上に形成されている絶縁膜8の膜厚とを合わせた膜（底部絶縁膜ということにする）の膜厚をbとしている。さらに、第2孔11の孔径をcとしている。

40

#### 【0078】

図27は、図26に示す変数a、b、cの関係を示すグラフである。図27において、横軸は全膜厚（a+b）に対する導体膜15の膜厚（a）を示している。また、縦軸（左側）は、全膜厚（a+b）に対する底部絶縁膜（層間絶縁膜2と絶縁膜8）の膜厚（b）を示しており、縦軸（右側）は、全膜厚（a+b）に対する第2孔11の孔径（c）を示している。図27に示すように、変数a、b、cの値によってパッド3上にスタッドバンプ電極18を正常に形成できる領域とパッド3上にスタッドバンプ電極18を正常に形成できない領域を含む4つの領域（領域I～領域IV）に分類することができる。なお、図27においてパッド3の膜厚は、デザインルールによって決定されるため、一定の膜厚として考慮している。

50

## 【0079】

まず、領域Iについて説明する。図28は変数a、b、cの関係が領域Iに含まれる場合の半導体チップの構成を示す図である。図28は、第2孔11の孔径cに対して導体膜15の膜厚aが充分厚く、かつ、底部絶縁膜の膜厚bがパッド3の強度を維持するのに充分であることを示している。したがって、領域Iに含まれる構成では、スタッドバンプ電極18をパッド3上に正常に形成できることがわかる。

## 【0080】

続いて、領域IIについて説明する。図29は変数a、b、cの関係が領域IIに含まれる場合の半導体チップの構成を示す図である。図29に示す半導体チップの構成では、底部絶縁膜の膜厚bがパッド3の強度を維持するために充分な膜厚となっているが、第2孔11の孔径cに対して導体膜15の膜厚aが薄くなっている。このため、パッド3上にスタッドバンプ電極18を押し付ける際、導体膜15が変形してスタッドバンプ電極18と導体膜15との電気的な接続が不良となってしまう。したがって、領域IIに含まれる構成では、スタッドバンプ電極18をパッド3上に正常に形成することができないことがわかる。

10

## 【0081】

次に、領域IIIについて説明する。図30は変数a、b、cの関係が領域IIIに含まれる場合の半導体チップの構成を示す図である。図30に示す半導体チップの構成では、第2孔11の孔径cに対して導体膜15の膜厚aが充分に厚くなっているが、底部絶縁膜の膜厚bが薄くなっている。このため、パッド3上にスタッドバンプ電極18を押し付ける際、底部絶縁膜によるパッド3の支持が充分でなく、底部絶縁膜を構成する層間絶縁膜2にクラック19が発生する。したがって、領域IIIに含まれる構成では、スタッドバンプ電極18をパッド3上に正常に形成することができないことがわかる。

20

## 【0082】

続いて、領域IVについて説明する。図31は変数a、b、cの関係が領域IVに含まれる場合の半導体チップの構成を示す図である。図31に示す半導体チップの構成では、第2孔11の孔径cに対して導体膜15の膜厚aが薄く、さらに、底部絶縁膜の膜厚bも薄くなっている。このため、パッド3上にスタッドバンプ電極18を押し付ける際、導体膜15が変形してスタッドバンプ電極18と導体膜15との電気的な接続が不良となってしまうとともに、底部絶縁膜によるパッド3の支持が充分でなく、底部絶縁膜を構成する層間絶縁膜2にクラック19が発生する。したがって、領域IVに含まれる構成では、スタッドバンプ電極18をパッド3上に正常に形成することができないことがわかる。

30

## 【0083】

以上のことから、パッド3上に正常にスタッドバンプ電極18を形成するには、変数a、b、cの関係が領域Iに含まれるようにする必要があることがわかる。このため、本実施の形態1では、第1孔7をシリコンよりなる半導体基板1を越えて層間絶縁膜2の途中まで形成することにより、第1孔7の底面とパッド3の間にある層間絶縁膜2の膜厚を薄くする構成をとる一方、変数a、b、cの関係が領域Iに含まれるようにそれぞれの部位の寸法を規定する。これにより、第2孔11の形成工程を容易にするとともに、パッド3の強度を充分保持してパッド3上に正常にスタッドバンプ電極18を形成することができる。具体的に、図27からわかるように、第2孔11の底面であるパッド3上に形成されている導電膜15の膜厚をaとし、第1孔7の底面とパッド3間に形成されている層間絶縁膜2の膜厚および第1孔7の底面上に形成されている絶縁膜8の膜厚とを合わせた膜厚をbとするとき、少なくとも $a / (a + b)$ の値が0.11以上であるように構成することによりパッド3の強度を充分確保することができる。

40

## 【0084】

ここで、本実施の形態1では、図26に示すように、第2孔11の底面および側面に導体膜15が形成され、かつ、第2孔11の内部に空洞が存在する構成について説明している。しかし、図32に示すように、導体膜15の膜厚を厚くして孔径の小さい第2孔11の内部を充填するように導体膜15を形成することができる。この場合、パッド3は層間

50

絶縁膜 2とともに第 2 孔 1 1 の内部に埋め込まれた導体膜 1 5によって支持されることになるので、さらに、パッド 3の強度低下を抑制することができる。このとき、第 2 孔 1 1よりも孔径の大きい第 1 孔 7 の内部には他の半導体チップに形成されているスタッドバンプ電極 1 8 を挿入するために空洞となっていることはもちろんである。

#### 【 0 0 8 5 】

##### ( 実施の形態 2 )

前記実施の形態 1 では、マイコンチップのように高集積回路を形成した半導体チップについて説明したが、本実施の形態 2 ではインターポーザチップのように再配線を行なうための半導体チップについて説明する。

#### 【 0 0 8 6 】

例えば、複数の半導体チップを 3 次元的に積層する場合、下に配置される半導体チップに形成された貫通電極内に、上に配置される他の半導体チップに形成されたスタッドバンプ電極を変形挿入することにより上下の半導体チップを電気的に接続する。このとき、上に配置される半導体チップと下に配置される半導体チップとはそれぞれ別々の集積回路が形成された異なる機能を有するものが多い。したがって、上下の半導体チップはそれぞれ異なるレイアウトパターンを有することになる。このことから、下に配置される半導体チップの貫通電極の位置と、上に配置される半導体チップのスタッドバンプ電極の位置が揃っているとは限らない。この場合、上下の半導体チップ間に挿入される半導体チップがインターポーザチップである。すなわち、インターポーザチップは、上に配置される半導体チップのスタッドバンプ電極の形成位置に合わせるように貫通電極が形成され、上に配置される半導体チップとインターポーザチップとを接続する。そして、インターポーザチップ内において、上述した貫通電極と接続する配線を形成し、この配線と接続するスタッドバンプ電極を下の半導体チップの貫通電極が形成されている位置に合わせるように形成する。これにより、インターポーザチップに形成されたスタッドバンプ電極と下の半導体チップに形成された貫通電極とを接続する。このようにして、上に配置される半導体チップに形成されているスタッドバンプ電極の配置位置と、下に配置される半導体チップに形成されている貫通電極の配置位置がずれている場合であっても、上下の半導体チップ間にインターポーザチップを挟むことにより上下の半導体チップを電気的に接続することができる。

#### 【 0 0 8 7 】

次にインターポーザチップの構成について図面を参照しながら説明する。本実施の形態 2 におけるインターポーザチップと、前記実施の形態 1 における半導体チップとはほぼ同様の構成をしている。図 3 3 は、本実施の形態 2 における半導体チップを示す平面図である。この図 3 3 は、半導体チップの一部を半導体基板 1 の第 2 面（裏面）1 b 側の上方から見ている図である。図 3 3 に示すように、半導体チップは矩形形状の半導体基板 1 から構成され、半導体基板 1 の第 2 面 1 b には複数の貫通電極 1 7 が形成されている。そして、複数の貫通電極 1 7 は、それぞれ、導体膜 1 5 よりなる配線に接続されており、これらの配線によって半導体基板 1 の第 2 面 1 b に配線パターンが形成されている。

#### 【 0 0 8 8 】

図 3 4 は図 3 3 の A - A 線で切断した断面を示す断面図である。図 3 4 に示すように本実施の形態 2 における半導体チップと、図 2 に示す前記実施の形態 1 における半導体チップの相違点は、本実施の形態 2 では、貫通電極 1 7 の形成位置とスタッドバンプ電極 1 8 の形成位置が相対する位置とは異なるようになっている点である。これは、上に配置される半導体チップに形成されているスタッドバンプ電極の配置位置と、下に配置される半導体チップに形成されている貫通電極の配置位置がずれている場合であっても、上下の半導体チップ間に本実施の形態 2 におけるインターポーザチップを挟むことにより上下の半導体チップを電気的に接続することができるようにしたものである。貫通電極 1 7 とスタッドバンプ電極 1 8 とはパッド 3 および配線によって電気的に接続されている。ただし、貫通電極 1 7 の形成位置とスタッドバンプ電極 1 8 の形成位置が等しい場合もある。

#### 【 0 0 8 9 】

10

20

30

40

50

さらに、マイコンチップのように高集積回路が形成された半導体チップとインターポーラチップとの相違点は、層間絶縁膜2の膜厚である。マイコンチップのように高集積回路が形成された半導体チップは、配線が多く層間絶縁膜2の膜厚が厚くなる。これに対し、本実施の形態2におけるインターポーラチップは、再配線を目的としているため、層間絶縁膜2の内部に形成されている配線が単層であり、層間絶縁膜2の膜厚は比較的薄くなる特徴がある。その他の構成は前記実施の形態1とほぼ同様である。

#### 【0090】

本実施の形態2におけるインターポーラチップは上記のように構成されており、以下にその製造方法について説明する。本実施の形態2における製造方法も前記実施の形態1と同様であり、主に特徴点について説明する。図3～図7に示すようにして半導体基板1の第2面1bから層間絶縁膜2に達する第1孔7を形成する。その後、図35に示すように、半導体基板1の第2面1bに形成されているレジスト膜6を除去する。ここで、本実施の形態2では、前記実施の形態1に比べて層間絶縁膜2の膜厚が薄いが、さらに第2孔の加工工程を容易にする観点から、例えば、図36に示すように、シリコンよりなる半導体基板1および半導体基板1に形成された第1孔7をマスクにして第1孔7の底面に露出する層間絶縁膜2を途中までエッティングしてもよい。すなわち、本実施の形態2でも前記実施の形態1と同様の工程を有するようにしてもよい。

10

#### 【0091】

一方、本実施の形態2においては、層間絶縁膜2の膜厚が充分に薄く、第2孔の加工工程でも問題がない程度であれば、図37に示すように、層間絶縁膜2のエッティングを行なわなくてもよい。

20

#### 【0092】

その後、図9から図24に示す工程を実施する。そして、図34に示すように、貫通電極17と相対する位置とは異なる位置にスタッドバンプ電極18を形成する。ただし、貫通電極17と相対する位置にスタッドバンプ電極18を形成する場合もある。このようにして、本実施の形態2におけるインターポーラチップを形成することができる。本実施の形態2によれば、層間絶縁膜2の膜厚が充分薄いので、シリコンよりなる半導体基板1に第1孔7を形成した後、この第1孔7の底面に露出する層間絶縁膜2を必ずしもエッティングする必要はない。ただし、第2孔11の加工を容易にする観点、つまり、1回のフォトリソグラフィ技術で第2孔11を形成できない程度の膜厚を層間絶縁膜が有している場合には、第1孔7の底面に露出する層間絶縁膜2を途中までエッティングすることにより、層間絶縁膜2の膜厚をさらに薄くすることが望ましい。以上のように、本願発明は、半導体基板1に形成される層間絶縁膜2の膜厚にしたがって柔軟に対応することができる。なお、本実施の形態2でも前記実施の形態1と同様の効果を得ることができる。

30

#### 【0093】

##### (実施の形態3)

前記実施の形態1では絶縁膜8を使用する例について説明しているが、本実施の形態3では絶縁膜8に代えて感光性絶縁膜を用いる例について説明する。以下に、本実施の形態3における半導体チップの製造方法について説明する。

40

#### 【0094】

図3から図7に示す工程を実施することにより、半導体基板1の第2面1bから層間絶縁膜2に達する第1孔7を形成する。そして、図38に示すように、レジスト膜6を除去した後、シリコンよりなる半導体基板1および半導体基板1に形成された第1孔7をマスクにして第1孔7の底面に露出する層間絶縁膜2を途中までエッティングする。

#### 【0095】

次に、図39に示すように、第1孔7内を含む半導体基板1の第2面1b上に、感光性絶縁膜8aを形成する。この感光性絶縁膜8aは、第1孔7の底面および側面と半導体基板1の第2面1bに沿ってこれらの面を覆うように形成される。感光性絶縁膜8aは、後述する貫通電極と半導体基板1とを絶縁する機能を有している。

#### 【0096】

50

続いて、図40に示すように、フォトリソグラフィ技術を使用することにより、感光性絶縁膜8aをパターニングする。パターニングは、第1孔7の底面に開口部10aを形成するように行なわれる。フォトリソグラフィ技術における露光装置としては、ステッパ装置やレーザ露光装置などが使用される。

#### 【0097】

その後、図41に示すように、開口部10aから露出する層間絶縁膜2をすべてエッチングすることにより除去する。これにより、第1孔7の底面に第1孔7の孔径よりも小さい径を有する第2孔11を形成することができる。この第2孔11の底面にはパッド3が露出する。

#### 【0098】

ここで、本実施の形態3では、図38で示すように第1孔7を層間絶縁膜2の途中まで形成することにより、第1孔7の底面とパッド3の間にある層間絶縁膜2の膜厚を薄くしている。このため、この第1孔7の底面からパッド3に達する第2孔11を形成する際、感光性絶縁膜8aのマスクを1回使用するだけでパッド3に達する第2孔11を形成することができる。つまり、第1孔7の底部とパッド3との間に残存する層間絶縁膜2の膜厚を、第2孔11を形成する際、マスクとして使用される感光性絶縁膜8aが消失する前に第2孔11を形成できる膜厚にすることができる。

#### 【0099】

その後、図17～図25に示す工程を実施することにより、本実施の形態3における半導体チップを製造することができる。

#### 【0100】

本実施の形態3の特徴は、感光性絶縁膜8aを使用した点にある。前記実施の形態1では、第1孔7の内部に絶縁膜8およびアルミニウム膜9を形成した後、アルミニウム膜9上にレジスト膜10を形成している。そして、レジスト膜10に開口部10aを形成した後、開口部10aから露出するアルミニウム膜9、絶縁膜8および層間絶縁膜2をエッチングすることにより、第1孔7の底面からパッド3まで達する第2孔11を形成している。ここで、絶縁膜8は、貫通電極17と半導体基板1とを絶縁する機能を有しており、レジスト膜10は、開口部10aを形成する機能を有している。そこで、本実施の形態3では、上述した絶縁膜8の機能とレジスト膜10の機能を併せ持つ膜として感光性絶縁膜8aを使用している。前記実施の形態1では、絶縁膜8とレジスト膜10とを形成する工程が必要となるが、本実施の形態3では、これらの工程を感光性絶縁膜8aの形成工程として置き換えることができる。すなわち、本実施の形態3によれば、半導体チップの製造工程を簡略化できる利点がある。感光性絶縁膜8aを使用することにより工程が簡略化できる利点は、本願発明の特徴の1つである第1孔7の底面とパッド3の間にある層間絶縁膜2の膜厚を薄くする工程と併用することで実現可能となる。

#### 【0101】

つまり、感光性絶縁膜8aはエッチング耐性が低いが、第1孔7の底面とパッド3の間にある層間絶縁膜2の膜厚を薄くしているので、感光性絶縁膜8aが消失する前に層間絶縁膜2に第2孔11を形成することができる。

#### 【0102】

感光性絶縁膜8aは、絶縁膜8の代わりになる膜であり、第2孔11を形成した後も半導体基板1上に残存させる必要がある。つまり、感光性絶縁膜8aをマスクにした層間絶縁膜2のエッチングで感光性絶縁膜8aが消失しないことが必要である。この点を考慮すると、本願発明の特徴の1つである第1孔7の底面とパッド3の間にある層間絶縁膜2の膜厚を薄くする工程を追加することで、感光性絶縁膜8aを使用する有用性が生まれる。例えば、工程を簡略化するために感光性絶縁膜8aを使用する場合、本願発明の特徴の1つである第1孔7の底面とパッド3の間にある層間絶縁膜2の膜厚を薄くする工程を実施しなければ、厚い層間絶縁膜2をエッチングすることになり、この厚い層間絶縁膜2をエッチングする途中でエッチング耐性が低い感光性絶縁膜8aが消失してしまい、感光性絶縁膜8aを使用する利点がなくなるのである。

10

20

30

40

50

## 【0103】

以上のことから、感光性絶縁膜8aを使用することにより生じる工程の簡略化という利点は、本願発明の特徴の1つである第1孔7の底面とパッド3の間にある層間絶縁膜2の膜厚を薄くする工程を実施することにより得られるのである。さらに感光性絶縁膜8aを使用する利点は、第2孔11を形成する際に、層間絶縁膜2だけをエッチングすればよい点にある。すなわち、前記実施の形態1の場合は、レジスト膜10の下層に存在する絶縁膜8と層間絶縁膜2を合わせた膜の分をエッチングする必要があるが、本実施の形態3では、感光性絶縁膜8a自体がマスクとなるので、第2孔11を形成する際、感光性絶縁膜8aの下層に形成されている層間絶縁膜2だけをエッチングすればよい。したがって、第2孔11を加工する際に除去する膜の膜厚が薄くなるので、第2孔11の加工工程がさらに容易になる。なお、本実施の形態3でも前記実施の形態1と同様の効果を得ることができる。10

## 【0104】

## (実施の形態4)

本実施の形態4では、例えば、前記実施の形態1～3で製造した半導体チップを3次元的に積層形成したS i P構造の半導体装置について説明する。

## 【0105】

図42は、本実施の形態4における半導体装置を示す断面図である。図42に示すように、例えば、マイコンチップから構成される半導体チップ20aとSDRAMから構成される半導体チップ20cを、再配線を行なうインターポーラチップとなる半導体チップ20bを介して3次元的に積層している。そして、積層した3個の半導体チップ20a～20cは配線基板21に搭載されている。20

## 【0106】

マイコンチップから構成される半導体チップ20aは、高集積回路が形成されている半導体チップであり、貫通電極17aとスタッダンドバンプ電極18aが形成されている。同様に、SDRAMから構成される半導体チップ20cは、高集積回路が形成されている半導体チップであり、貫通電極17cとスタッダンドバンプ電極18cが形成されている。一方、半導体チップ20bはインターポーラチップであり、貫通電極17bとスタッダンドバンプ電極18bが形成されている。そして、半導体チップ20aに形成されているスタッダンドバンプ電極18aと配線基板21に形成されている電極22とを電気的に接続するように、配線基板21上に半導体チップ20aが搭載されている。さらに、半導体チップ20a上には、半導体チップ20bが搭載されている。このとき、半導体チップ20aと半導体チップ20bの電気的な接続は、半導体チップ20aに形成されている貫通電極17aに、半導体チップ20bに形成されているスタッダンドバンプ電極18bを挿入することにより行なわれている。さらに、半導体チップ20b上には、半導体チップ20cが搭載されている。そして、半導体チップ20bと半導体チップ20cとの電気的な接続は、半導体チップ20bに形成されている貫通電極17bに、半導体チップ20cに形成されているスタッダンドバンプ電極18cを挿入することにより行なわれている。30

## 【0107】

配線基板21の半導体チップ20a～20cを搭載した面とは反対側の面には、半田バンプ電極23が形成されている。この半田バンプ電極23は配線基板の内部を介して電極22と電気的に接続されている。半田バンプ電極23は、半導体装置の外部との電気的接続を行なうための外部端子としての機能を有している。40

## 【0108】

さらに、配線基板21および半導体チップ20a～20cの隙間を埋め込むように封止用接着材24が形成されている。封止用接着材24は半導体装置の機械的強度を高めて、半導体装置の組み立て工程におけるハンドリング性を高めるとともに、半導体装置を外部環境から保護する機能を有している。

## 【0109】

本実施の形態4における半導体装置は上記のように構成されており、以下に、半導体チ50

ツップ20a～20cの積層方法について説明する。

**【0110】**

例えば、半導体基板として第1半導体ウェハを用い、第1半導体ウェハにある個々のチップ領域に対して前記実施の形態1で説明した処理を実施することにより第1半導体ウェハの個々のチップ領域に形成された第1パッドに電気的に接続する貫通電極17a(第1貫通電極)を形成する。その後、第1半導体ウェハを複数の半導体チップに個片化して半導体チップ20a(第1半導体チップ)を取得する。そして、半導体チップ20aにおいて、貫通電極17aと接続する側とは反対側の第1パッド上にスタッドバンプ電極18aを形成する。

**【0111】**

同様に、半導体基板として第2半導体ウェハを用い、第2半導体ウェハにある個々のチップ領域に対して前記実施の形態2で説明した処理を実施することにより第2半導体ウェハの個々のチップ領域に形成された第2パッドに電気的に接続する貫通電極17b(第2貫通電極)を形成する。その後、第2半導体ウェハを複数の半導体チップに個片化して半導体チップ20b(第2半導体チップ)を取得する。そして、半導体チップ20bにおいて、貫通電極17bと接続する側とは反対側の第2パッド上にスタッドバンプ電極18bを形成する。

**【0112】**

続いて、半導体チップ20a上に半導体チップ20bを積層して電気的に接続する。この工程は、半導体チップ20bに形成されているスタッドバンプ電極18bを半導体チップ20aに形成した貫通電極17aに圧接によって変形注入することにより行なわれる。このように半導体チップ20aおよび半導体チップ20bをそれぞれ形成した後、積層することにより半導体装置を形成することができる。なお、半導体チップ20b上に半導体チップ20cを積層する場合も同様である。

**【0113】**

次に、半導体チップ20a～20cを積層する別の方法について説明する。例えば、第1半導体ウェハにある個々のチップ領域に対して前記実施の形態1で説明した処理を実施することにより第1半導体ウェハの個々のチップ領域に形成された第1パッドに電気的に接続する貫通電極17aを形成した後、貫通電極17aと接続する側とは反対側の前記第1パッド上にスタッドバンプ電極18aを形成する。このように半導体ウェハの状態でスタッドバンプ電極18aを形成することもできる。

**【0114】**

同様に、第2半導体ウェハにある個々のチップ領域に対して前記実施の形態2で説明した処理を実施することにより第2半導体ウェハの個々のチップ領域に形成された第2パッドに電気的に接続する貫通電極17bを形成した後、貫通電極17bと接続する側とは反対側の第2パッド上にスタッドバンプ電極18bを形成する。

**【0115】**

その後、第1半導体ウェハ上に前記第2半導体ウェハを積層して電気的に接続する。この工程は、第2半導体ウェハに形成されているスタッドバンプ電極18bを第1半導体ウェハに形成した貫通電極17aに圧接によって変形注入することにより行なわれる。このように半導体ウェハの状態で積層することもできる。

**【0116】**

次に、第1半導体ウェハと第2半導体ウェハとを積層化状態で半導体チップに個片化する。これにより、半導体チップ20aと半導体チップ20bとの積層構造を得ることができる。なお、半導体チップ20b上に半導体チップ20cを積層する場合も同様である。

**【0117】**

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

**【0118】**

10

20

30

40

50

最後に、特許文献4（特開2005-93486号公報）と本願発明とを比較してみる。特許文献4と本願発明では、貫通電極を第1孔と第1孔よりも小径の第2孔により形成している点と、第1孔の底面に露出する層間絶縁膜をエッチングしている点が類似していると思われる。しかし、特許文献4では、貫通電極の内部を完全に導体膜で充填しているのに対し、本願発明では貫通電極の内部に空洞が形成されている点が相違する。この相違点は大きな相違点である。すなわち、本願発明では、貫通電極の内部にスタッドバンプ電極を変形注入することにより複数の半導体チップを積層する構造を採用している。このため、貫通電極の内部にはスタッドバンプ電極を注入する空間が必要なのである。したがって、貫通電極にスタッドバンプ電極を挿入する第1孔を形成している。このとき、貫通電極からパッドに達するように第1孔を形成することも可能である。しかし、孔径の大きな第1孔をパッドに達するように形成すると、パッドを支えている層間絶縁膜が除去されてパッドの強度低下が顕在化する。そこで、本願発明では、第1孔を半導体基板の途中まで形成し、この第1孔の底面からパッドに達する孔として第1孔よりも孔径の小さな第2孔を形成している。これにより、第2孔の周囲に層間絶縁膜を充分に残すことができ、パッドの強度低下を防止できるのである。このように貫通電極を第1孔と第2孔で形成する技術的思想は、貫通電極の内部が空洞であることから発生するパッド強度の低下という問題を解決するものとして効果がある。さらにパッド強度の低下の問題はパッド上にスタッドバンプ電極を形成するときに問題となる。すなわち、本願発明の構成は、パッド上にスタッドバンプ電極を形成する構成を前提とするものである。

## 【0119】

これに対し、特許文献4では、貫通電極を第1孔と第1孔よりも孔径の小さい第2孔により形成しているが、貫通電極の内部は導体膜で充填されている。したがって、パッドの強度は貫通電極の内部に充填されている導体膜で支持されるので、そもそもパッドの強度低下という問題は発生しない。さらに、パッド上にスタッドバンプ電極を形成する構成でもないのでパッド強度の問題はない。すなわち、貫通電極を第1孔と第1孔よりも孔径の小さい第2孔より形成しているが、その目的と効果について特許文献4には記載も示唆もない。特許文献4では、第1孔の側面に絶縁膜を形成しており、この後、第2孔を加工していることから、第1孔の側面に形成されている絶縁膜の膜厚分だけ第2孔の孔径が小さくなるに過ぎないと考えられる。すなわち、本願発明は、第1孔の側面に形成されている絶縁膜の膜厚に関係なく、意図的に第1孔の底面からパッドに達する孔として第1孔の孔径よりも小さな第2孔を形成しているのである。このことから、特許文献4には本願発明を容易に想到する動機付けとなる記載は存在していないと考えられる。

## 【0120】

統いて、本願発明の特徴は、第1孔の底面に露出する層間絶縁膜をエッチングして意図的に層間絶縁膜の膜厚を減少させるように制御する点にある。このように第1孔とパッド間に存在する層間絶縁膜の膜厚を減少するように制御することにより、層間絶縁膜をエッチングして形成される第2孔の加工工程を容易にして第2孔を形成する信頼性を向上することができる利点が得られる。

## 【0121】

これに対し、特許文献4では、第1孔の底面に露出する層間絶縁膜がエッチングされる点は類似するが、特許文献4では、第1孔を形成する際に使用するハードマスクを除去する際に付随的に第1孔の底面に露出する層間絶縁膜もエッチングされるものである。すなわち、特許文献4では、第1孔の底面に露出する層間絶縁膜を意図的にエッチングして膜厚を制御するという技術的思想は記載も示唆もされておらず、本願発明を容易に想到する動機付けとなる記載は存在しないと考えられる。

## 【0122】

以上のように、特許文献4には本願発明と一見類似する構成が開示されていると思われるが、詳細に検討すると、本願発明と特許文献4とはまったく異なる技術的思想であり、特許文献4には本願発明を容易に想到する動機付けとなる記載は存在しないことは明らかである。したがって、当業者といえども、特許文献4の記載から本願発明を容易に想到す

10

20

30

40

50

ることは困難であると考えられる。

【産業上の利用可能性】

【0123】

本発明は、半導体装置を製造する製造業に幅広く利用することができる。

【図面の簡単な説明】

【0124】

【図1】本発明の実施の形態1における半導体チップの一部を示す平面図である。

【図2】図1のA-A線で切断した断面を示す断面図である。

【図3】実施の形態1における半導体装置の製造工程を示す断面図である。

【図4】図3に続く半導体装置の製造工程を示す断面図である。 10

【図5】図4に続く半導体装置の製造工程を示す断面図である。

【図6】図5に続く半導体装置の製造工程を示す断面図である。

【図7】図6に続く半導体装置の製造工程を示す断面図である。

【図8】図7に続く半導体装置の製造工程を示す断面図である。

【図9】図8に続く半導体装置の製造工程を示す断面図である。

【図10】図9に続く半導体装置の製造工程を示す断面図である。

【図11】図10に続く半導体装置の製造工程を示す断面図である。

【図12】図11に続く半導体装置の製造工程を示す断面図である。

【図13】図12に続く半導体装置の製造工程を示す断面図である。 20

【図14】図13に続く半導体装置の製造工程を示す断面図である。

【図15】図14に続く半導体装置の製造工程を示す断面図である。

【図16】図15に続く半導体装置の製造工程を示す断面図である。

【図17】図16に続く半導体装置の製造工程を示す断面図である。

【図18】図17に続く半導体装置の製造工程を示す断面図である。

【図19】図18に続く半導体装置の製造工程を示す断面図である。

【図20】図19に続く半導体装置の製造工程を示す断面図である。

【図21】図20に続く半導体装置の製造工程を示す断面図である。

【図22】図21に続く半導体装置の製造工程を示す断面図である。

【図23】図22に続く半導体装置の製造工程を示す断面図である。

【図24】図23に続く半導体装置の製造工程を示す断面図である。 30

【図25】図24に続く半導体装置の製造工程を示す断面図である。

【図26】実施の形態1における半導体チップを示す断面図であり、所定の部位の寸法を変数として表している図である。

【図27】図26に示す寸法を用いた所定の関係を示すグラフである。

【図28】図27に示す領域Iに含まれる場合の半導体チップの構成を示す断面図である。

【図29】図27に示す領域IIに含まれる場合の半導体チップの構成を示す断面図である。

【図30】図27に示す領域IIIに含まれる場合の半導体チップの構成を示す断面図である。 40

【図31】図27に示す領域IVに含まれる場合の半導体チップの構成を示す断面図である。

【図32】実施の形態1の変形例における半導体装置を示す断面図である。

【図33】実施の形態2における半導体チップの一部を示す平面図である。

【図34】図33のA-A線で切断した断面を示す断面図である。

【図35】実施の形態2における半導体装置の製造工程を示す断面図である。

【図36】図35に続く半導体装置の製造工程を示す断面図である。

【図37】実施の形態2の変形例における半導体装置の製造工程を示す断面図である。

【図38】実施の形態3における半導体装置の製造工程を示す断面図である。

【図39】図38に続く半導体装置の製造工程を示す断面図である。 50

【図40】図39に続く半導体装置の製造工程を示す断面図である。

【図41】図40に続く半導体装置の製造工程を示す断面図である。

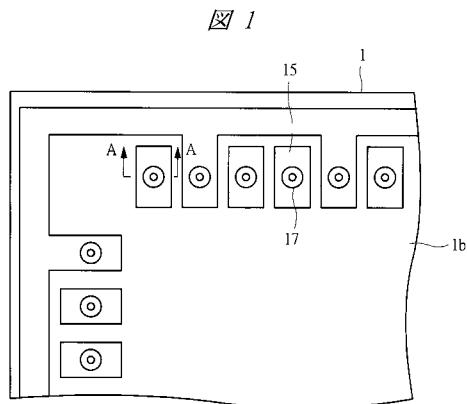
【図42】実施の形態4における半導体装置を示す断面図である。

【符号の説明】

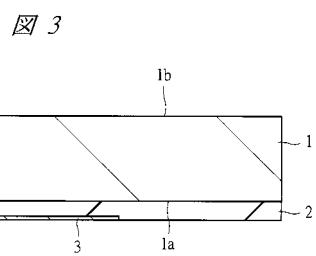
【0125】

1	半導体基板	
1 a	第1面	
1 b	第2面	
2	層間絶縁膜	
3	パッド	10
4	接着層	
5	支持基板	
6	レジスト膜	
6 a	開口部	
7	第1孔	
8	絶縁膜	
8 a	感光性絶縁膜	
9	アルミニウム膜	
10	レジスト膜	
10 a	開口部	20
11	第2孔	
12	シード層	
13	レジスト膜	
14	めっき膜	
15	導体膜	
16	レジスト膜	
17	貫通電極	
17 a	貫通電極	
17 b	貫通電極	
17 c	貫通電極	30
18	スタッドバンプ電極	
18 a	スタッドバンプ電極	
18 b	スタッドバンプ電極	
18 c	スタッドバンプ電極	
19	クラック	
20 a	半導体チップ	
20 b	半導体チップ	
20 c	半導体チップ	
21	配線基板	
22	電極	40
23	半田バンプ電極	
24	封止用接着材	

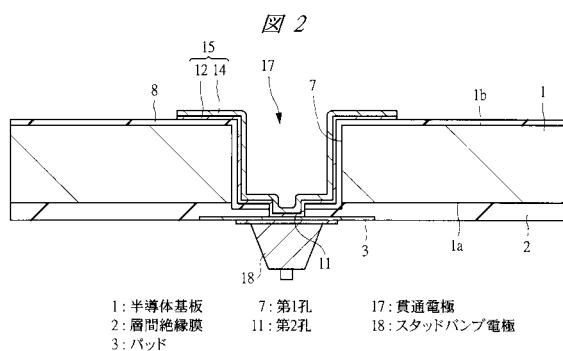
【図1】



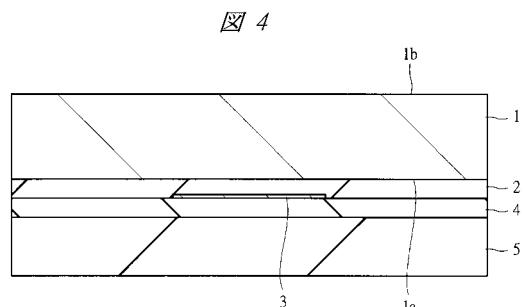
【図3】



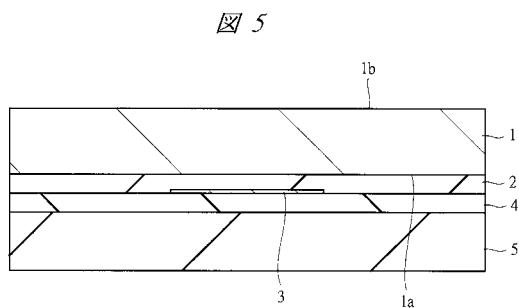
【図2】



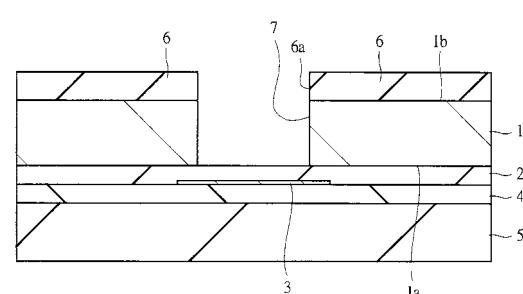
【図4】



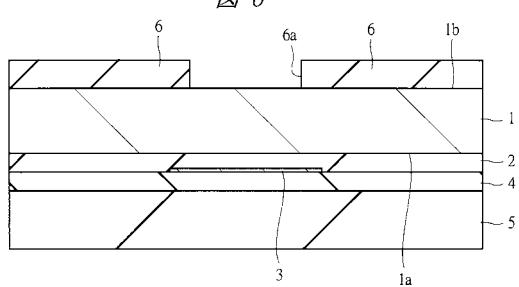
【図5】



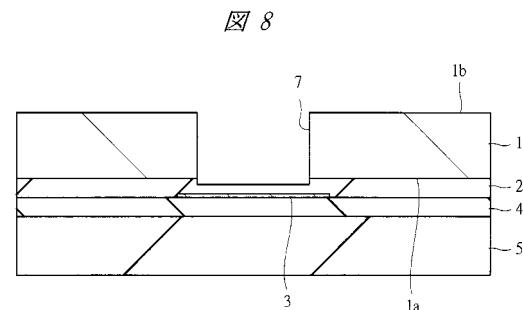
【図7】



【図6】

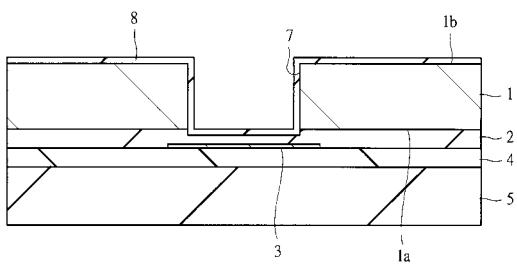


【図8】



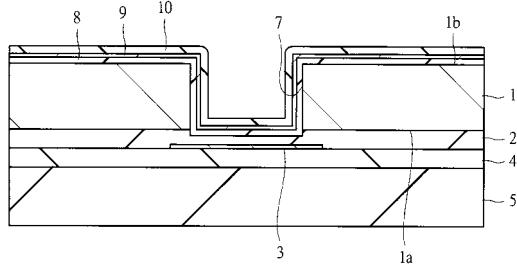
【図 9】

図 9



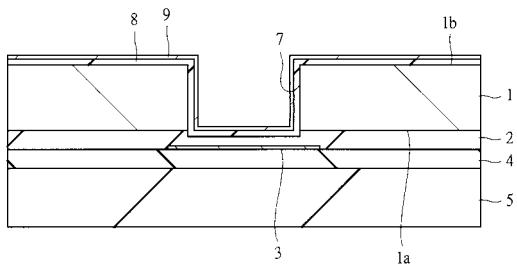
【図 11】

図 11



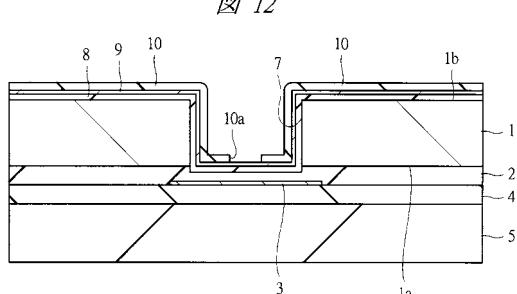
【図 10】

図 10



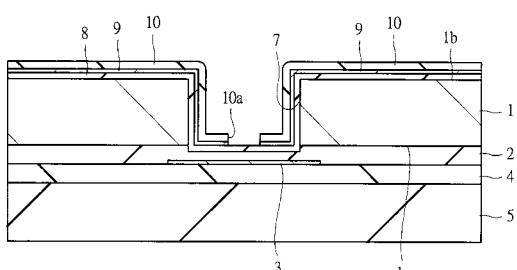
【図 12】

図 12



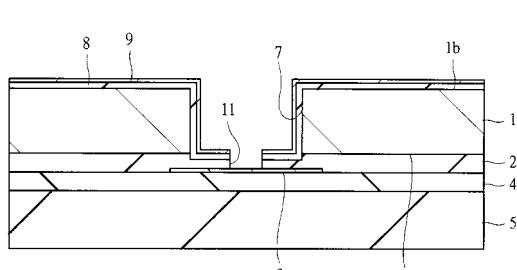
【図 13】

図 13



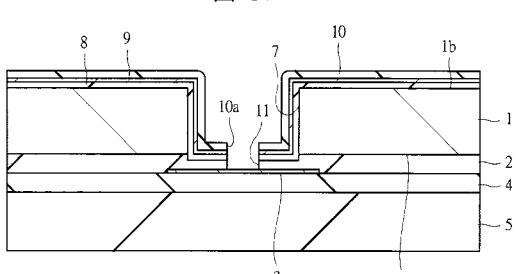
【図 15】

図 15



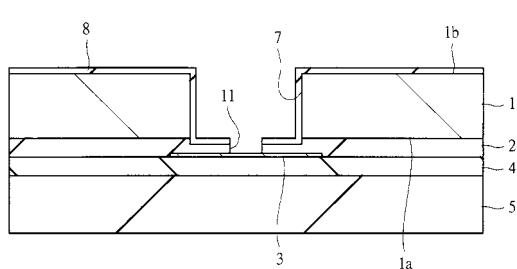
【図 14】

図 14

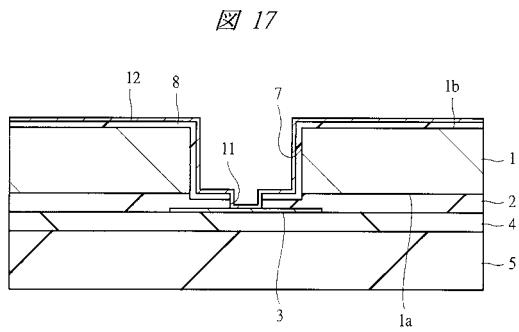


【図 16】

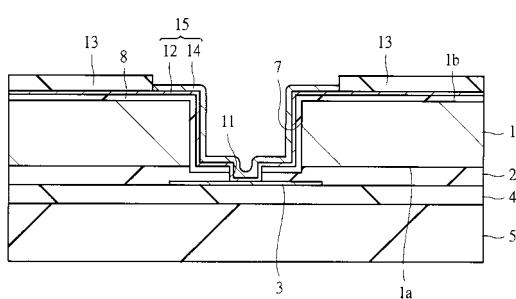
図 16



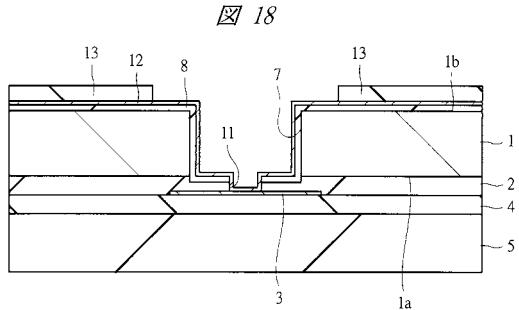
【図17】



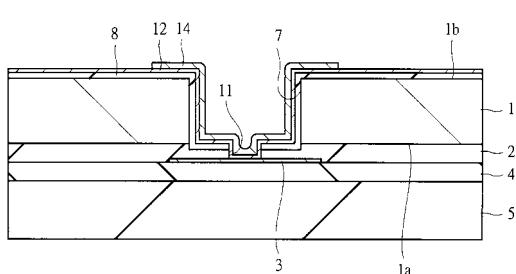
【図19】



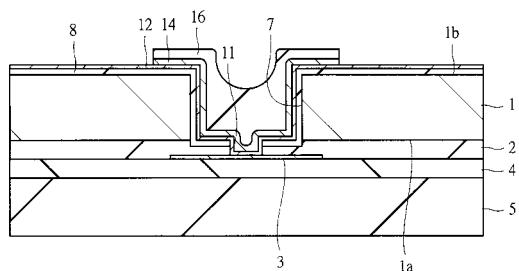
【図18】



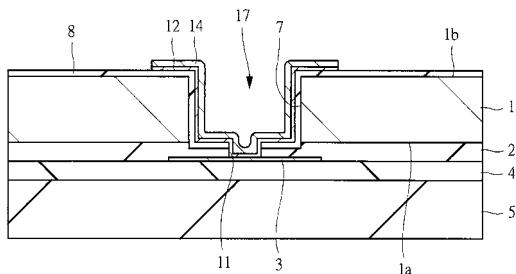
【図20】



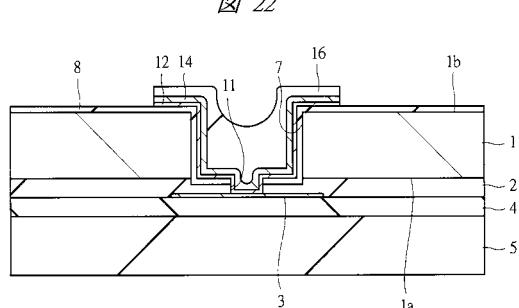
【図21】



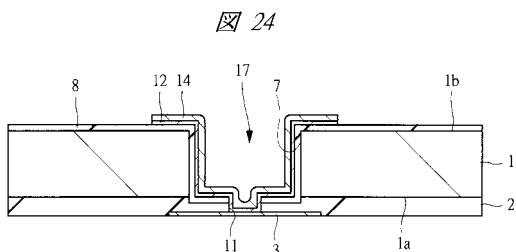
【図23】



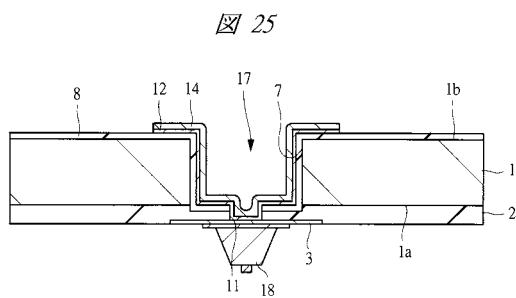
【図22】



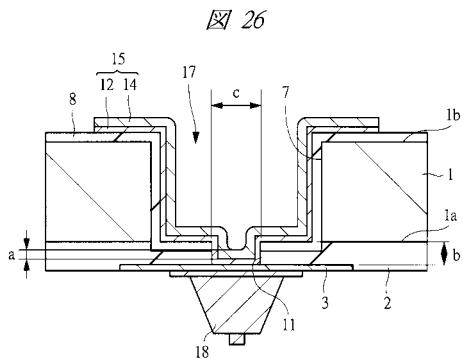
【図24】



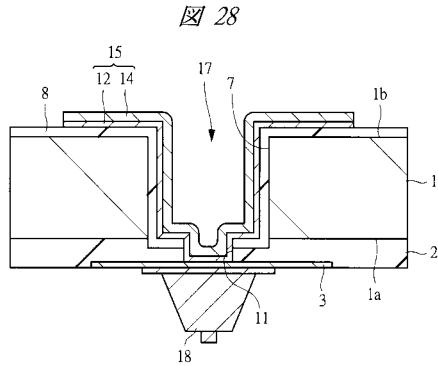
【図25】



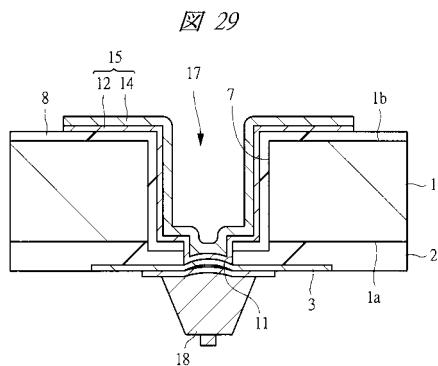
【図26】



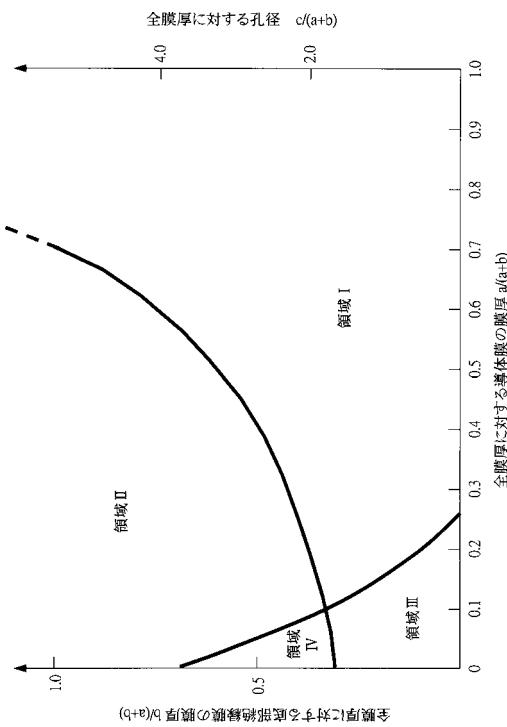
【図28】



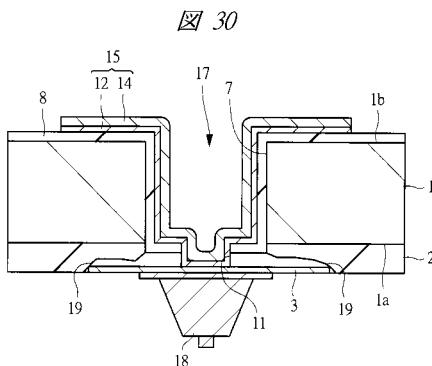
【図29】



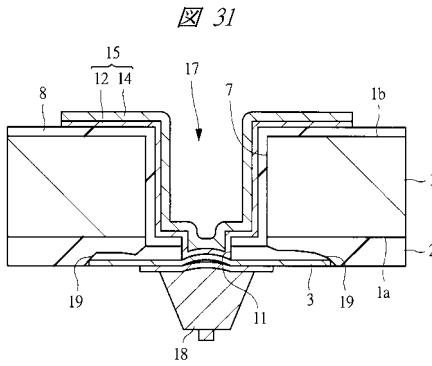
【図27】



【図30】

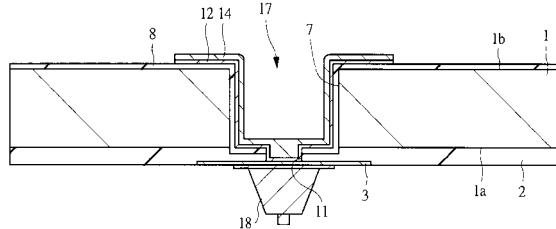


【図31】



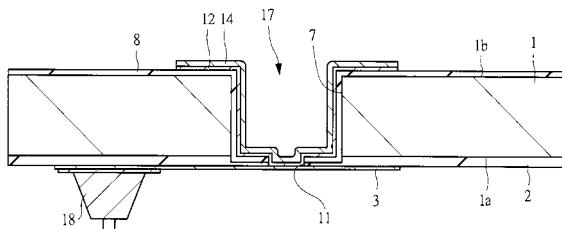
【図32】

図32



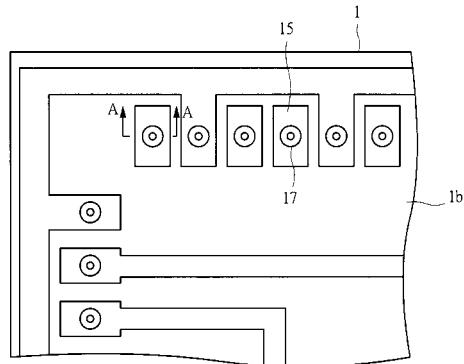
【図34】

図34



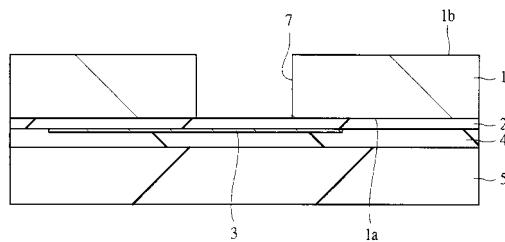
【図33】

図33



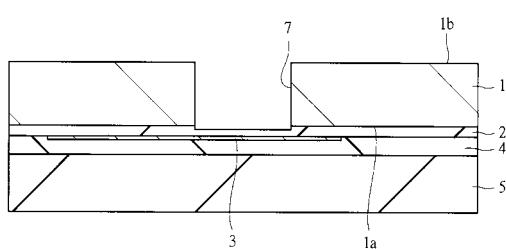
【図35】

図35



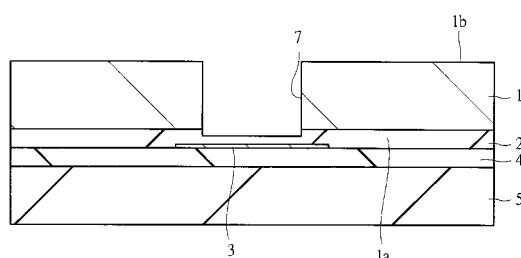
【図36】

図36



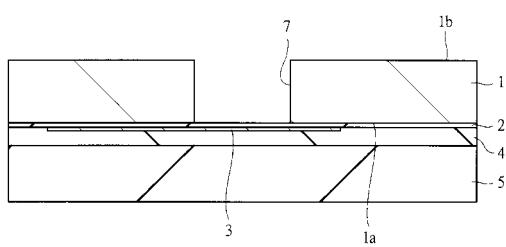
【図38】

図38



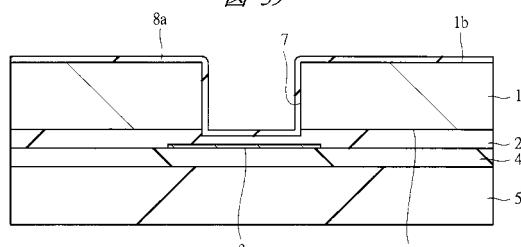
【図37】

図37

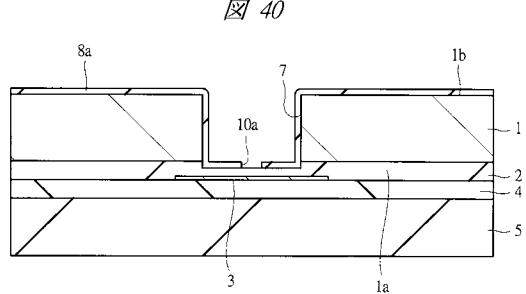


【図39】

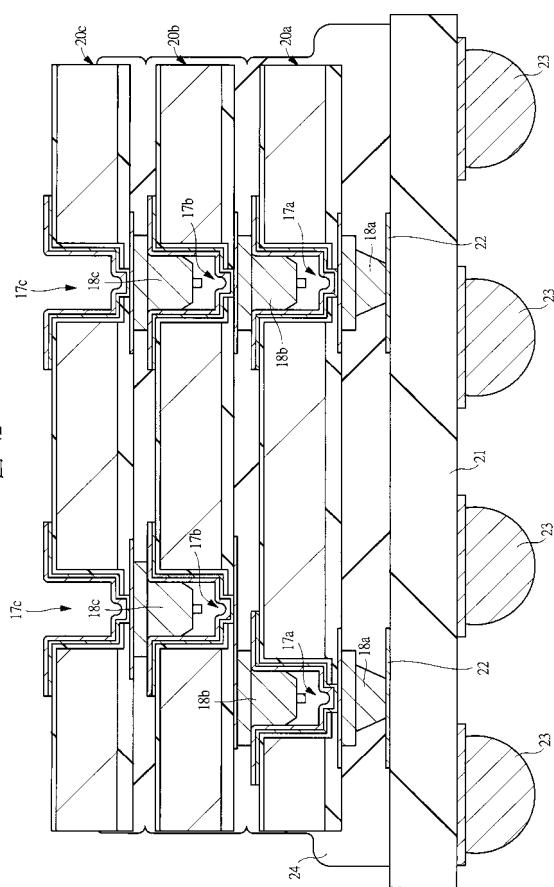
図39



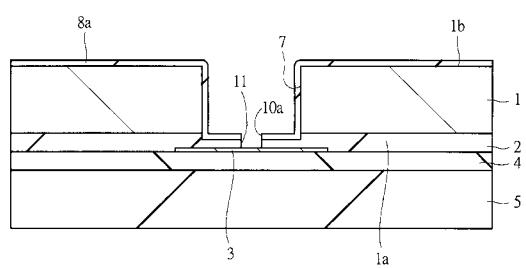
【図40】



【図42】



【図41】



【図41】

---

フロントページの続き

(72)発明者 内藤 孝洋

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

(72)発明者 赤沢 隆

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 宮本 靖史

(56)参考文献 特開2005-093486(JP,A)

特開2007-053149(JP,A)

特開2005-340389(JP,A)

特開2002-026241(JP,A)

特開平10-303198(JP,A)

特開2008-227335(JP,A)

特開2006-032695(JP,A)

特開2004-296894(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065

H01L 25/07

H01L 25/18