

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 1 月 25 日 (2007.1.25)

【公表番号】特表 2006-510225 (P2006-510225A)

【公表日】平成 18 年 3 月 23 日 (2006.3.23)

【年通号数】公開・登録公報 2006-012

【出願番号】特願 2004-560826 (P2004-560826)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

【F I】

H 0 1 L 27/04 A

H 0 1 L 27/08 1 0 2 A

H 0 1 L 27/04 H

【手続補正書】

【提出日】平成 18 年 11 月 30 日 (2006.11.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲート領域を有する偽装回路構造であって、

基板と、

前記基板に配置された第 1 の導電型の第 1 の活性領域と、

前記基板に配置された第 1 の導電型の第 2 の活性領域と、

前記ゲート領域下で前記基板内に配置され、前記第 1 の活性領域および前記第 2 の活性領域と物理的に接触している前記第 1 の導電型の第 1 のウェルとを含み、

前記第 1 のウェルが、前記回路に適正な電圧が印加されているか否かにかかわらず、前記第 1 の活性領域と第 2 の活性領域との間に電気経路を形成しており、前記第 1 のウェルが、前記第 1 および第 2 の活性領域よりも実質的に深いことを特徴とする偽装回路構造。

【請求項 2】

複数の第 2 の型のウェルをさらに含み、前記複数の第 2 の型のウェルの少なくとも 1 つが前記第 1 の活性領域と物理的に接触している、請求項 1 に記載の偽装回路構造。

【請求項 3】

前記複数のウェルの少なくとも 1 つが、第 1 の導電型と第 2 の導電型との最小の分離幅で前記第 1 のウェルから分離されている、請求項 2 に記載の偽装回路構造。

【請求項 4】

前記第 1 のウェルが、前記複数の第 2 の型のウェルよりも深い、請求項 2 に記載の偽装回路構造。

【請求項 5】

前記第 1 のウェルが、前記第 1 および第 2 の活性領域よりも深い、請求項 1 から 4 のいずれか 1 つに記載の偽装回路構造。

【請求項 6】

ゲート領域を有する基板と、

前記基板に配置された複数の第 1 の導電型の活性領域であって、その少なくとも 2 つが前記ゲート領域によって互いに分離されているところの活性領域と、

前記ゲート領域下で前記基板に配置されるとともに、前記複数の前記活性領域の前記少なくとも 2 つと物理的に接触している、前記第 1 の導電型の第 1 のウェルと、

前記複数の活性領域の前記少なくとも 2 つの下で部分的に配置され、前記第 1 のウェルから分離されている、複数の第 2 の型のウェルと

を含み、前記第 1 のウェルが、前記活性領域よりも実質的に深いことを特徴とする半導体回路。

【請求項 7】

第 1 の導電型の基板に、ゲート領域を有するとともに、少なくとも 2 つの第 2 の導電型の活性領域を有するデバイスを調製するステップと、

第 2 の導電型を有する第 1 のウェルを前記ゲート領域の下方に挿入するステップとを含む、回路を偽装する方法であって、

前記ゲート領域の下方における前記第 1 のウェルが、前記少なくとも 2 つの活性領域と物理的に接触し、前記ゲート領域の下方における前記第 1 のウェルが、前記ゲート領域に適正な電圧が印加されているか否かにかかわらず、前記少なくとも 2 つの活性領域の間に電気経路を形成しており、前記第 1 のウェルが、前記活性領域よりも実質的に深いことを特徴とする方法。

【請求項 8】

第 1 のウェルを前記ゲート領域の下方に挿入する前記ステップが、前記ゲート領域下の前記ウェルが前記少なくとも 2 つの活性領域よりも深くなるように、前記ゲート領域の下方に前記第 1 のウェルを打ち込むことを含む、請求項 7 に記載の方法。

【請求項 9】

第 1 の導電型と第 2 の導電型との最小の分離幅で前記第 1 のウェルから分離されている、第 1 の導電型を有する第 2 のウェルを、前記少なくとも 2 つの活性領域の少なくとも一部分の下方に挿入するステップをさらに含む、請求項 8 に記載の方法。

【請求項 10】

前記ゲート領域の下方における前記第 1 のウェルが前記第 2 のウェルよりも深い、請求項 9 に記載の方法。

【請求項 11】

従来のダブルウェル製造プロセスを変更して、従来の第 1 の導電型のウェルを第 2 の導電型のウェルで置き換えるステップを含む、C M O S 回路を形成する方法であって、前記 C M O S デバイスが複数の活性領域を含み、前記第 2 の導電型のウェルが前記複数の活性領域よりも実質的に深いことを特徴とする方法。

【請求項 12】

前記第 2 の導電型のウェルが前記複数の活性領域よりも深い、請求項 11 に記載の方法。

【請求項 13】

少なくとも 1 つの第 1 の導電型の追加ウェルを形成するステップをさらに含む、前記第 2 の導電型のウェルが前記少なくとも 1 つの追加ウェルよりも浅い、請求項 11 または 12 のいずれか 1 つに記載の方法。