

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年1月25日(2007.1.25)

【公表番号】特表2006-510225(P2006-510225A)

【公表日】平成18年3月23日(2006.3.23)

【年通号数】公開・登録公報2006-012

【出願番号】特願2004-560826(P2004-560826)

【国際特許分類】

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

H 01 L 21/8234 (2006.01)

H 01 L 27/088 (2006.01)

【F I】

H 01 L 27/04 A

H 01 L 27/08 102 A

H 01 L 27/04 H

【手続補正書】

【提出日】平成18年11月30日(2006.11.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ゲート領域を有する偽装回路構造であつて、
基板と、

前記基板に配置された第1の導電型の第1の活性領域と、

前記基板に配置された第1の導電型の第2の活性領域と、

前記ゲート領域下で前記基板内に配置され、前記第1の活性領域および前記第2の活性領域と物理的に接触している前記第1の導電型の第1のウェルとを含み、

前記第1のウェルが、前記回路に適正な電圧が印加されているか否かにかかわらず、前記第1の活性領域と第2の活性領域との間に電気経路を形成しており、前記第1のウェルが、前記第1および第2の活性領域よりも実質的に深いことを特徴とする偽装回路構造。

【請求項2】

複数の第2の型のウェルをさらに含み、前記複数の第2の型のウェルの少なくとも1つが前記第1の活性領域と物理的に接触している、請求項1に記載の偽装回路構造。

【請求項3】

前記複数のウェルの少なくとも1つが、第1の導電型と第2の導電型との最小の分離幅で前記第1のウェルから分離されている、請求項2に記載の偽装回路構造。

【請求項4】

前記第1のウェルが、前記複数の第2の型のウェルよりも深い、請求項2に記載の偽装回路構造。

【請求項5】

前記第1のウェルが、前記第1および第2の活性領域よりも深い、請求項1から4のいずれか1つに記載の偽装回路構造。

【請求項6】

ゲート領域を有する基板と、

前記基板に配置された複数の第1の導電型の活性領域であって、その少なくとも2つが前記ゲート領域によって互いに分離されているところの活性領域と、

前記ゲート領域下で前記基板に配置されるとともに、前記複数の前記活性領域の前記少なくとも2つと物理的に接觸している、前記第1の導電型の第1のウェルと、

前記複数の活性領域の前記少なくとも2つの下で部分的に配置され、前記第1のウェルから分離されている、複数の第2の型のウェルとを含み、前記第1のウェルが、前記活性領域よりも実質的に深いことを特徴とする半導体回路。

【請求項7】

第1の導電型の基板に、ゲート領域を有するとともに、少なくとも2つの第2の導電型の活性領域を有するデバイスを調製するステップと、

第2の導電型を有する第1のウェルを前記ゲート領域の下方に挿入するステップとを含む、回路を偽装する方法であって、

前記ゲート領域の下方における前記第1のウェルが、前記少なくとも2つの活性領域と物理的に接觸し、前記ゲート領域の下方における前記第1のウェルが、前記ゲート領域に適正な電圧が印加されているか否かにかかわらず、前記少なくとも2つの活性領域の間に電気経路を形成してあり、前記第1のウェルが、前記活性領域よりも実質的に深いことを特徴とする方法。

【請求項8】

第1のウェルを前記ゲート領域の下方に挿入する前記ステップが、前記ゲート領域下の前記ウェルが前記少なくとも2つの活性領域よりも深くなるように、前記ゲート領域の下方に前記第1のウェルを打ち込むことを含む、請求項7に記載の方法。

【請求項9】

第1の導電型と第2の導電型との最小の分離幅で前記第1のウェルから分離されている、第1の導電型を有する第2のウェルを、前記少なくとも2つの活性領域の少なくとも一部分の下方に挿入するステップをさらに含む、請求項8に記載の方法。

【請求項10】

前記ゲート領域の下方における前記第1のウェルが前記第2のウェルよりも深い、請求項9に記載の方法。

【請求項11】

従来のダブルウェル製造プロセスを変更して、従来の第1の導電型のウェルを第2の導電型のウェルで置き換えるステップを含む、CMOS回路を形成する方法であって、前記CMOSデバイスが複数の活性領域を含み、前記第2の導電型のウェルが前記複数の活性領域よりも実質的に深いことを特徴とする方法。

【請求項12】

前記第2の導電型のウェルが前記複数の活性領域よりも深い、請求項11に記載の方法。

【請求項13】

少なくとも1つの第1の導電型の追加ウェルを形成するステップをさらに含み、前記第2の導電型のウェルが前記少なくとも1つの追加ウェルよりも浅い、請求項11または12のいずれか1つに記載の方法。