



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년01월02일
(11) 등록번호 10-2747314
(24) 등록일자 2024년12월23일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01) G09G 3/20 (2006.01)
(52) CPC특허분류
G09G 3/32 (2013.01)
G09G 3/2092 (2013.01)
(21) 출원번호 10-2019-0110141
(22) 출원일자 2019년09월05일
심사청구일자 2022년08월26일
(65) 공개번호 10-2021-0029336
(43) 공개일자 2021년03월16일
(56) 선행기술조사문헌
US20100207968 A1*
US20170365211 A1*
KR1020070042484 A
US20150035733 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
박준현
경기도 용인시 기흥구 삼성로 1 (농서동)
구본용
경기도 용인시 기흥구 삼성로 1 (농서동)
(74) 대리인
오종환, 문용호

전체 청구항 수 : 총 18 항

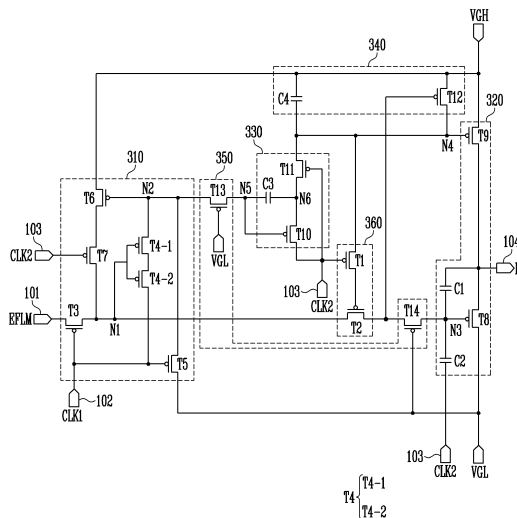
심사관 : 류지호

(54) 발명의 명칭 발광 구동부 및 이를 포함하는 표시 장치

(57) 요약

발광 구동부는 발광 제어 신호를 출력하는 복수의 스테이지들을 포함한다. 스테이지들 각각은, 제1 입력 단자, 제2 입력 단자, 및 제3 입력 단자로 공급되는 신호들에 응답하여 제1 노드 및 제2 노드의 전압들을 제어하는 입력부; 제3 노드의 전압 및 제4 노드의 전압에 응답하여 제1 전원의 전압 또는 제2 전원의 전압을 출력 단자로 공급하는 출력부; 제2 노드와 제4 노드를 전기적으로 연결하는 제5 노드에 접속되고, 제3 입력 단자로 공급되는 신호 및 제5 노드의 전압에 기초하여 제4 노드의 전압을 제어하는 제1 신호 처리부; 제3 노드의 전압에 응답하여 제4 노드의 전압을 제어하는 제2 신호 처리부; 입력부와 출력부 사이에 전기적으로 연결되며, 제1 노드 및 제2 노드의 전압 하강 전압 강하를 제한하는 제1 안정화부; 및 제4 노드의 전압에 응답하여 제3 노드와 제1 노드 사이의 전기적 접속을 제어하는 제2 안정화부를 포함한다.

대표도 - 도4



(52) CPC특허분류

G09G 2230/00 (2013.01)

G09G 2310/06 (2013.01)

G09G 2320/0252 (2013.01)

(72) 발명자

이유진

경기도 용인시 기흥구 삼성로 1 (농서동)

정경훈

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

발광 제어 신호를 출력하는 복수의 스테이지들을 포함하고, 상기 스테이지들 각각은,

제1 입력 단자, 제2 입력 단자, 및 제3 입력 단자로 공급되는 신호들에 응답하여 제1 노드 및 제2 노드의 전압들을 제어하는 입력부;

제3 노드의 전압 및 제4 노드의 전압에 응답하여 제1 전원의 전압 또는 제2 전원의 전압을 출력 단자로 공급하는 출력부;

상기 제2 노드와 상기 제4 노드를 전기적으로 연결하는 제5 노드에 접속되고, 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제5 노드의 전압에 기초하여 상기 제4 노드의 전압을 제어하는 제1 신호 처리부;

상기 제3 노드의 전압에 응답하여 상기 제4 노드의 전압을 제어하는 제2 신호 처리부;

상기 입력부와 상기 출력부 사이에 전기적으로 연결되며, 상기 제1 노드 및 상기 제2 노드의 전압 하강 전압 강하를 제한하는 제1 안정화부; 및

상기 제3 입력 단자로 공급되는 상기 신호에 응답하여 상기 제3 노드와 상기 제1 노드 사이의 전기적 접속을 제어하는 제2 안정화부를 포함하고,

상기 발광 제어 신호가 출력되는 동안, 상기 제2 안정화부는 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제4 노드의 전압에 응답하여, 상기 제1 노드와 상기 제3 노드 사이의 전기적 접속을 끊는 것을 특징으로 하는 발광 구동부.

청구항 2

제 1 항에 있어서, 상기 제2 안정화부는,

제1 전극이 상기 제4 노드에 연결되고, 게이트 전극이 상기 제3 입력 단자에 접속되는 제1 트랜지스터; 및

상기 제1 노드와 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제1 트랜지스터의 제2 전극에 접속되는 제2 트랜지스터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 3

삭제

청구항 4

제 2 항에 있어서, 상기 입력부는,

상기 제1 입력 단자와 상기 제1 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제3 트랜지스터;

상기 제2 입력 단자와 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 제4 트랜지스터;

상기 제1 전원과 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제5 트랜지스터; 및

상기 제2 전원과 상기 제1 노드 사이에 서로 직렬로 접속되는 제6 트랜지스터 및 제7 트랜지스터를 포함하고,

상기 제6 트랜지스터의 게이트 전극은 상기 제2 노드에 접속되고, 상기 제7 트랜지스터의 게이트 전극은 상기 제3 입력 단자에 접속되는 것을 특징으로 하는 발광 구동부.

청구항 5

제 4 항에 있어서, 상기 제4 트랜지스터는, 서로 직렬로 접속되는 복수의 서브-트랜지스터들을 포함하고, 상기 서브-트랜지스터들 각각은 상기 제1 노드에 공통으로 접속되는 게이트 전극을 포함하는 것을 특징으로 하는 발광 구동부.

청구항 6

제 2 항에 있어서, 상기 출력부는, 상기 제1 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제3 노드에 접속되는 제8 트랜지스터; 상기 제2 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제4 노드에 접속되는 제9 트랜지스터; 및 상기 출력 단자와 상기 제3 노드 사이에 접속되는 제1 커패시터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 7

제 6 항에 있어서, 상기 제8 트랜지스터의 턴 온 상태에서 상기 제2 트랜지스터가 턴 오프된 경우, 상기 제3 노드는 게이트 온 레벨의 전압을 유지하는 것을 특징으로 하는 발광 구동부.

청구항 8

제 6 항에 있어서, 상기 출력부는, 상기 제3 노드와 상기 제3 입력 단자 사이에 접속되는 제2 커패시터를 더 포함하는 것을 특징으로 하는 발광 구동부.

청구항 9

제 8 항에 있어서, 상기 제1 커패시터의 커패시턴스가 제2 커패시터의 커패시턴스의 2배 이상인 것을 특징으로 하는 발광 구동부.

청구항 10

제 2 항에 있어서, 상기 제1 신호 처리부는, 상기 제3 입력 단자와 제6 노드 사이에 접속되며, 게이트 전극이 상기 제6 노드에 접속되는 제10 트랜지스터; 상기 제6 노드와 상기 제4 노드 사이에 접속되며, 게이트 전극이 상기 제3 입력 단자에 접속되는 제11 트랜지스터; 및 상기 제5 노드와 상기 제6 노드 사이에 접속되는 제3 커패시터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 11

제 2 항에 있어서, 상기 제2 신호 처리부는, 상기 제2 전원과 상기 제4 노드 사이에 접속되고, 게이트 전극이 상기 제3 노드에 전기적으로 접속되는 제12 트랜지스터; 및 상기 제2 전원과 상기 제4 노드 사이에 접속되는 제4 커패시터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 12

제 2 항에 있어서, 상기 제1 안정화부는, 상기 제2 노드와 상기 제5 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제13 트랜지스터; 및 상기 제2 트랜지스터와 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제14 트랜지스터를 포함하는 것을 특징으로 하는 발광 구동부.

청구항 13

제 2 항에 있어서, 상기 입력부는,

상기 제1 입력 단자와 상기 제1 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제3 트랜지스터;

상기 제2 입력 단자와 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 제4 트랜지스터;

상기 제1 전원과 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제5 트랜지스터; 및

상기 제2 전원과 상기 제3 입력 단자 사이에 서로 직렬로 접속되는 제6 트랜지스터 및 제7 트랜지스터를 포함하고,

상기 제6 트랜지스터의 게이트 전극은 상기 제2 노드에 접속되고, 상기 제7 트랜지스터의 게이트 전극은 상기 제3 노드에 접속되는 것을 특징으로 하는 발광 구동부.

청구항 14

제 1 항에 있어서, 상기 출력부는 한 프레임 동안 적어도 2개의 게이트 오프 기간들을 갖는 상기 발광 제어 신호를 출력하는 것을 특징으로 하는 발광 구동부.

청구항 15

제 1 항에 있어서, 상기 제1 입력 단자는 스타트 펄스 또는 이전 스테이지의 출력 신호를 수신하는 것을 특징으로 하는 발광 구동부.

청구항 16

제 1 항에 있어서, 상기 제2 입력 단자는 제1 클럭 신호를 수신하고, 상기 제3 입력 단자는 제2 클럭 신호를 수신하며,

상기 제1 클럭 신호 및 상기 제2 클럭 신호는 동일한 주기를 가지고, 상기 제2 클럭 신호는 상기 제1 클럭 신호에서 반주기만큼 시프트된 신호인 것을 특징으로 하는 발광 구동부.

청구항 17

복수의 화소들을 포함하는 표시 패널;

주사 라인들을 통해 상기 화소들로 주사 신호를 공급하는 스캔 구동부;

데이터 라인들을 통해 상기 화소들로 데이터 신호를 공급하는 데이터 구동부; 및

발광 제어 라인들을 통해 상기 화소들로 발광 제어 신호를 공급하기 위해 복수의 스테이지들을 포함하는 발광 구동부를 포함하고,

상기 스테이지들 각각은,

제1 입력 단자, 제2 입력 단자, 및 제3 입력 단자로 공급되는 신호들에 응답하여 제1 노드 및 제2 노드의 전압을 제어하는 입력부;

제3 노드의 전압 및 제4 노드의 전압에 응답하여 제1 전원의 전압 또는 제2 전원의 전압을 출력 단자로 공급하는 출력부;

상기 제2 노드와 상기 제4 노드를 전기적으로 연결하는 제5 노드에 접속되고, 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제5 노드의 전압에 기초하여 상기 제4 노드의 전압들을 제어하는 제1 신호 처리부;

상기 제3 노드의 전압에 응답하여 상기 제4 노드의 전압을 제어하는 제2 신호 처리부;

상기 입력부와 상기 출력부 사이에 전기적으로 연결되며, 상기 제1 노드 및 상기 제2 노드의 전압 하강 전압 강하를 제한하는 제1 안정화부; 및

상기 제3 입력 단자로 공급되는 상기 신호에 응답하여 상기 제3 노드와 상기 제1 노드 사이의 전기적 접속을 제

어하는 제2 안정화부를 포함하고,

상기 발광 제어 신호가 출력되는 동안, 상기 제2 안정화부는 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제4 노드의 전압에 응답하여, 상기 제1 노드와 상기 제3 노드 사이의 전기적 접촉을 끊는 것을 특징으로 하는 표시 장치.

청구항 18

제 17 항에 있어서, 상기 제2 안정화부는,

제1 전극이 상기 제4 노드에 연결되고, 게이트 전극이 상기 제3 입력 단자에 접속되는 제1 트랜지스터; 및

상기 제1 노드와 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제1 트랜지스터의 제2 전극에 접속되는 제2 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 19

제 18 항에 있어서, 상기 출력부는,

상기 제1 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제3 노드에 접속되는 제3 트랜지스터;

상기 제2 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제4 노드에 접속되는 제4 트랜지스터;

상기 출력 단자와 상기 제3 노드 사이에 접속되는 제1 커패시터; 및

상기 출력 단자와 상기 제3 입력 단자 사이에 접속되는 제2 커패시터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 더욱 상세하게는 발광 제어 신호를 출력하는 발광 구동부 및 이를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0003] 표시 장치는 데이터 라인들로 데이터 신호를 공급하기 위한 데이터 구동부, 주사 라인들로 주사 신호를 공급하기 위한 주사 구동부, 발광 제어 라인으로 발광 제어 신호를 공급하기 위한 발광 구동부, 데이터 라인들, 주사 라인들 및 발광 제어 라인들과 접속되도록 위치되는 화소들을 구비한다.

[0004] 여기서, 화소들의 발광 시간은 발광 구동부로부터 공급되는 발광 제어 신호에 의하여 제어된다. 이를 위하여, 발광 구동부는 발광 제어 라인들 각각과 접속되는 스테이지를 구비한다. 스테이지는 복수의 클럭 신호들에 대응하여 발광 제어 신호를 생성한다.

[0005] 한편, 최근 연구되고 있는 표시 장치에서, 해상도 증가, 입체 영상 구현 등을 위해 영상 표시를 위한 빠른 구동 주파수가 요구된다. 빠른 구동 주파수에 의해 화소의 구동 트랜지스터의 문턱 전압을 보상하기 위한 시간 및 데이터 기입 시간이 부족할 수 있다. 따라서, 고속 구동에서 충분한 보상 시간 및/또는 데이터 기입 시간을 확보하기 위한 연구가 진행 중이다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 목적은 발광 제어 신호의 폴링 시간을 단축하며, 발광 제어 신호 출력 시 제1 노드와 제3 노드 사이의 전기적 접촉을 끊는 스테이지를 포함하는 발광 구동부를 제공하는 것이다.

[0008] 본 발명의 다른 목적은 상기 발광 구동부를 포함하는 표시 장치를 제공하는 것이다.

[0009] 다만, 본 발명의 목적은 상술한 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0011] 본 발명의 일 목적을 달성하기 위하여 본 발명의 실시예들에 따른 발광 구동부는, 발광 제어 신호를 출력하는 복수의 스테이지들을 포함하고, 상기 스테이지들 각각은, 제1 입력 단자, 제2 입력 단자, 및 제3 입력 단자로 공급되는 신호들에 응답하여 제1 노드 및 제2 노드의 전압들을 제어하는 입력부; 제3 노드의 전압 및 제4 노드의 전압에 응답하여 제1 전원의 전압 또는 제2 전원의 전압을 출력 단자로 공급하는 출력부; 상기 제2 노드와 상기 제4 노드를 전기적으로 연결하는 제5 노드에 접속되고, 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제5 노드의 전압에 기초하여 상기 제4 노드의 전압을 제어하는 제1 신호 처리부; 상기 제3 노드의 전압에 응답하여 상기 제4 노드의 전압을 제어하는 제2 신호 처리부; 상기 입력부와 상기 출력부 사이에 전기적으로 연결되며, 상기 제1 노드 및 상기 제2 노드의 전압 하강 전압 강하를 제한하는 제1 안정화부; 및 상기 제4 노드의 전압에 응답하여 상기 제3 노드와 상기 제1 노드 사이의 전기적 접속을 제어하는 제2 안정화부를 포함할 수 있다.

[0012] 일 실시예에 의하면, 상기 제2 안정화부는, 제1 전극이 상기 제4 노드에 연결되고, 게이트 전극이 상기 제3 입력 단자에 접속되는 제1 트랜지스터; 및 상기 제1 노드와 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제1 트랜지스터의 제2 전극에 접속되는 제2 트랜지스터를 포함할 수 있다.

[0013] 일 실시예에 의하면, 상기 발광 제어 신호가 게이트 온 레벨을 갖는 기간에서, 상기 제2 안정화부는 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제4 노드의 전압에 응답하여, 상기 제1 노드와 상기 제3 노드 사이의 전기적 접속을 끊을 수 있다.

[0014] 일 실시예에 의하면, 상기 입력부는, 상기 제1 입력 단자와 상기 제1 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제3 트랜지스터; 상기 제2 입력 단자와 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 제4 트랜지스터; 상기 제1 전원과 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제5 트랜지스터; 및 상기 제2 전원과 상기 제1 노드 사이에 서로 직렬로 접속되는 제6 트랜지스터 및 제7 트랜지스터를 포함할 수 있다. 상기 제6 트랜지스터의 게이트 전극은 상기 제2 노드에 접속되고, 상기 제7 트랜지스터의 게이트 전극은 상기 제3 입력 단자에 접속될 수 있다.

[0015] 일 실시예에 의하면, 상기 제4 트랜지스터는, 서로 직렬로 접속되는 복수의 서브-트랜지스터들을 포함하고, 상기 서브-트랜지스터들 각각은 상기 제1 노드에 공통으로 접속되는 게이트 전극을 포함할 수 있다.

[0016] 일 실시예에 의하면, 상기 출력부는, 상기 제1 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제3 노드에 접속되는 제8 트랜지스터; 상기 제2 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제4 노드에 접속되는 제9 트랜지스터; 및 상기 출력 단자와 상기 제3 노드 사이에 접속되는 제1 커패시터를 포함할 수 있다.

[0017] 일 실시예에 의하면, 상기 제8 트랜지스터의 턴 온 상태에서 상기 제2 트랜지스터가 턴 오프된 경우, 상기 제3 노드는 게이트 온 레벨의 전압을 유지할 수 있다.

[0018] 일 실시예에 의하면, 상기 출력부는, 상기 제3 노드와 상기 제3 입력 단자 사이에 접속되는 제2 커패시터를 더 포함할 수 있다.

[0019] 일 실시예에 의하면, 상기 제1 커패시터의 커패시턴스가 제2 커패시터의 커패시턴스의 2배 이상일 수 있다.

[0020] 일 실시예에 의하면, 상기 제1 신호 처리부는, 상기 제3 입력 단자와 제6 노드 사이에 접속되며, 게이트 전극이 상기 제6 노드에 접속되는 제10 트랜지스터; 상기 제6 노드와 상기 제4 노드 사이에 접속되며, 게이트 전극이 상기 제3 입력 단자에 접속되는 제11 트랜지스터; 및 상기 제5 노드와 상기 제6 노드 사이에 접속되는 제3 커패시터를 포함할 수 있다.

[0021] 일 실시예에 의하면, 상기 제2 신호 처리부는, 상기 제2 전원과 상기 제4 노드 사이에 접속되고, 게이트 전극이 상기 제3 노드에 전기적으로 접속되는 제12 트랜지스터; 및 상기 제2 전원과 상기 제4 노드 사이에 접속되는 제4 커패시터를 포함할 수 있다.

[0022] 일 실시예에 의하면, 상기 제1 안정화부는, 상기 제2 노드와 상기 제5 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제13 트랜지스터; 및 상기 제2 트랜지스터와 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제1 전원의 전압을 수신하는 제14 트랜지스터를 포함할 수 있다.

- [0023] 일 실시예에 의하면, 상기 입력부는, 상기 제1 입력 단자와 상기 제1 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제3 트랜지스터; 상기 제2 입력 단자와 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제1 노드에 접속되는 제4 트랜지스터; 상기 제1 전원과 상기 제2 노드 사이에 접속되며, 게이트 전극이 상기 제2 입력 단자에 접속되는 제5 트랜지스터; 및 상기 제2 전원과 상기 제3 입력 단자 사이에 서로 직렬로 접속되는 제6 트랜지스터 및 제7 트랜지스터를 포함할 수 있다. 상기 제6 트랜지스터의 게이트 전극은 상기 제2 노드에 접속되고, 상기 제7 트랜지스터의 게이트 전극은 상기 제3 노드에 접속될 수 있다.
- [0024] 일 실시예에 의하면, 상기 출력부는 한 프레임 동안 적어도 2개의 게이트 오프 기간들을 갖는 상기 발광 제어 신호를 출력할 수 있다.
- [0025] 일 실시예에 의하면, 상기 제1 입력 단자는 스타트 펄스 또는 이전 스테이지의 출력 신호를 수신할 수 있다.
- [0026] 일 실시예에 의하면, 상기 제2 입력 단자는 제1 클럭 신호를 수신하고, 상기 제3 입력 단자는 제2 클럭 신호를 수신할 수 있다. 상기 제1 클럭 신호 및 상기 제2 클럭 신호는 동일한 주기를 가지고, 상기 제2 클럭 신호는 상기 제1 클럭 신호에서 반주기만큼 시프트된 신호일 수 있다.
- [0027] 본 발명의 일 목적을 달성하기 위하여 본 발명의 실시예들에 따른 발광 구동부는, 복수의 화소들을 포함하는 표시 패널; 주사 라인들을 통해 상기 화소들로 주사 신호를 공급하는 스캔 구동부; 데이터 라인들을 통해 상기 화소들로 데이터 신호를 공급하는 데이터 구동부; 및 발광 제어 라인들을 통해 상기 화소들로 발광 제어 신호를 공급하기 위해 복수의 스테이지들을 포함하는 발광 구동부를 포함할 수 있다. 상기 스테이지들 각각은, 제1 입력 단자, 제2 입력 단자, 및 제3 입력 단자로 공급되는 신호들에 응답하여 제1 노드 및 제2 노드의 전압을 제어하는 입력부; 제3 노드의 전압 및 제4 노드의 전압에 응답하여 제1 전원의 전압 또는 제2 전원의 전압을 출력 단자로 공급하는 출력부; 상기 제2 노드와 상기 제4 노드를 전기적으로 연결하는 제5 노드에 접속되고, 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제5 노드의 전압에 기초하여 상기 제4 노드의 전압들을 제어하는 제1 신호 처리부; 상기 제3 노드의 전압에 응답하여 상기 제4 노드의 전압을 제어하는 제2 신호 처리부; 상기 입력부와 상기 출력부 사이에 전기적으로 연결되며, 상기 제1 노드 및 상기 제2 노드의 전압 하강 전압 강하를 제한하는 안정화부; 및 상기 제3 입력 단자로 공급되는 상기 신호에 응답하여 상기 제3 노드와 상기 제1 노드 사이의 전기적 접속을 제어하는 제2 안정화부를 포함할 수 있다.
- [0028] 일 실시예에 의하면, 상기 제2 안정화부는, 제1 전극이 상기 제4 노드에 연결되고, 게이트 전극이 상기 제3 입력 단자에 접속되는 제1 트랜지스터; 및 상기 제1 노드와 상기 제3 노드 사이에 접속되며, 게이트 전극이 상기 제1 트랜지스터의 제2 전극에 접속되는 제2 트랜지스터를 포함할 수 있다.
- [0029] 일 실시예에 의하면, 상기 출력부는, 상기 제1 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제3 노드에 접속되는 제3 트랜지스터; 상기 제2 전원과 상기 출력 단자 사이에 접속되며, 게이트 전극이 상기 제4 노드에 접속되는 제4 트랜지스터; 상기 출력 단자와 상기 제3 노드 사이에 접속되는 제1 커패시터; 및 상기 출력 단자와 상기 제3 입력 단자 사이에 접속되는 제2 커패시터를 포함할 수 있다.
- [0030] 일 실시예에 의하면, 상기 발광 제어 신호가 출력되는 동안, 상기 제2 안정화부는 상기 제3 입력 단자로 공급되는 상기 신호 및 상기 제4 노드의 전압에 응답하여, 상기 제1 노드와 상기 제3 노드 사이의 전기적 접속을 끊을 수 있다.

발명의 효과

- [0032] 본 발명의 실시예들에 따른 발광 구동부 및 이를 포함하는 표시 장치는 발광 제어 신호의 게이트 온 기간에 제1 노드와 제3 노드 사이의 전기적 접속을 끊는(노드 분리) 제2 안정화부를 구비하는 스테이지를 포함할 수 있다. 따라서, 발광 제어 신호의 게이트 온 기간에서 발광 제어 신호의 전압 레벨이 의도치 않게 상승되는 것(또는, 제8 트랜지스터(풀-다운 트랜지스터)의 턴-오프, 제8 트랜지스터의 게이트 전압의 상승)이 방지될 수 있다.
- [0033] 또한, 발광 구동부에 포함되는 스테이지는 제1 및 제2 커패시터들을 포함함으로써, 제8 트랜지스터의 오동작 없이 발광 제어 신호의 폴링 시간이 단축되며, 폴링 스텝이 제거될 수 있다. 따라서, 표시 장치의 고속 구동의 방식에서의 구동 신뢰성이 개선될 수 있다.
- [0034] 다만, 본 발명의 효과는 상술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.
- 도 2a는 도 1의 표시 장치에 포함되는 화소들의 일 예를 나타내는 회로도이다.
- 도 2b는 도 2a의 화소들에 공급되는 신호들을 설명하기 위한 회로도이다.
- 도 3a는 본 발명의 실시예들에 따른 발광 구동부를 나타내는 블록도이다.
- 도 3b는 도 3a의 발광 구동부에서 출력되는 발광 제어 신호들의 일 예를 나타내는 파형도이다.
- 도 4는 도 3a의 발광 구동부에 포함되는 스테이지의 일 예를 나타내는 회로도이다.
- 도 5는 도 4의 스테이지의 동작의 일 예를 나타내는 파형도이다.
- 도 6은 도 5의 파형도의 일부분을 확대한 파형도이다.
- 도 7a 및 도 7b는 도 2의 발광 구동부에 포함되는 스테이지의 일 예를 나타내는 회로도이다.
- 도 8은 도 2의 발광 구동부에 포함되는 스테이지의 일 예를 나타내는 회로도이다.
- 도 9는 도 8의 스테이지의 동작의 일 예를 나타내는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0038] 도 1은 본 발명의 실시예들에 따른 표시 장치를 나타내는 블록도이다.
- [0039] 도 1을 참조하면, 표시 장치(1)는 표시 패널(10), 주사 구동부(20, 또는 제1 게이트 구동부), 발광 구동부(30, 또는 제2 게이트 구동부), 데이터 구동부(40), 및 타이밍 제어부(50)를 포함할 수 있다.
- [0040] 표시 패널(10)은 영상을 표시한다. 표시 패널(10)은 복수의 주사 라인들(SL1 내지 SLn), 복수의 데이터 라인들(DL1 내지 DLm), 복수의 발광 제어 라인들(EL1 내지 ELn)을 포함한다. 또한, 표시 패널(10)은 주사 라인들(SL1 내지 SLn), 발광 제어 라인들(EL1 내지 ELn) 및 데이터 라인들(DL1 내지 DLm)에 연결되는 복수의 화소(P)들을 포함한다.
- [0041] 일 실시예에서, 주사 라인들(SL1 내지 SLn) 및 발광 제어 라인들(EL1 내지 ELn) 개수는 각각 n개일 수 있다. 데이터 라인들(DL1 내지 DLm)의 개수는 m개일 수 있다. n 및 m은 자연수이다. 이에 따라, 화소들(P)의 개수는 n X m개일 수 있다. 표시 패널(10)은 외부(예를 들어, 전원 공급부)로부터 제1 구동 전원(VDD) 및 제2 구동 전원(VSS)을 공급받을 수 있다.
- [0042] 타이밍 제어부(50)는 외부의 그래픽 기기와 같은 화상 소스로부터 입력 제어 신호 및 입력 영상 신호를 수신할 수 있다. 타이밍 제어부(50)는 입력 영상 신호에 기초하여 표시 패널(10)의 동작 조건에 맞는 영상 데이터(RGB)를 생성하여 데이터 구동부(40)에 제공한다. 타이밍 제어부(50)는 입력 제어 신호에 기초하여 주사 구동부(20)의 구동 타이밍을 제어하기 위한 제1 구동 제어 신호(SCS), 발광 구동부(30)의 구동 타이밍을 제어하기 위한 제2 구동 제어 신호(ECS), 및 데이터 구동부(40)의 구동 타이밍을 제어하기 위한 제3 구동 제어 신호(DCS)를 생성하여 각각 주사 구동부(20), 발광 구동부(30), 및 데이터 구동부(40)에 제공할 수 있다.
- [0043] 제1 구동 제어 신호(SCS)에는 주사 시작 신호(또는, 주사 스타트 펄스) 및 클럭 신호들이 포함될 수 있다. 주사 시작 신호는 주사 신호의 첫 번째 타이밍을 제어할 수 있다. 클럭 신호들은 주사 스타트 펄스를 쉬프트 시키기 위하여 사용된다.
- [0044] 제2 구동 제어 신호(ECS)에는 발광 제어 시작 신호(또는, 발광 제어 스타트 펄스) 및 클럭 신호들이 포함될 수 있다. 발광 제어 시작 신호는 발광 제어 신호의 첫 번째 타이밍을 제어할 수 있다. 클럭 신호들은 발광 제어 스타트 펄스를 쉬프트 시키기 위하여 사용된다.
- [0045] 제3 구동 제어 신호(DCS)에는 소스 스타트 펄스 및 클럭 신호들이 포함될 수 있다. 소스 스타트 펄스는 데이터의 샘플링 시작 시점을 제어할 수 있다. 클럭 신호들은 샘플링 동작을 제어하기 위하여 사용된다.
- [0046] 주사 구동부(20)는 타이밍 제어부(50)로부터 제1 구동 제어 신호(SCS)를 수신할 수 있다. 주사 구동부(20)는 제1 구동 제어 신호(SCS)에 응답하여 주사 라인들(SL1 내지 SLn)로 주사 신호를 공급할 수 있다.

- [0047] 발광 구동부(30)는 타이밍 제어부(50)로부터 제2 구동 제어 신호(ECS)를 수신할 수 있다. 발광 구동부(30)는 제2 구동 제어 신호(ECS)에 응답하여 발광 제어 라인들(EL1 내지 ELn)로 발광 제어 신호를 공급한다. 이와 같은 발광 제어 신호는 화소(P)들의 발광 시간을 제어할 수 있다.
- [0048] 데이터 구동부(40)는 타이밍 제어부(50)로부터 제3 구동 제어 신호(DCS)를 수신할 수 있다. 데이터 구동부(40)는 제3 구동 제어 신호(DCS)에 응답하여 데이터 라인들(DL1 내지 DLm)로 아날로그 형태의 데이터 신호(데이터 전압)를 공급할 수 있다. 데이터 라인들(DL1 내지 DLm)로 공급된 데이터 신호는 주사 신호에 의하여 선택된 화소(P)들로 공급된다.
- [0049] 도 2a는 도 1의 표시 장치에 포함되는 화소들의 일 예를 나타내는 회로도이고, 도 2b는 도 2a의 화소들에 공급되는 신호들을 설명하기 위한 회로도이다.
- [0050] 도 2a 및 도 2b에서는 설명의 편의를 위하여 제i 수평 라인(또는 제i 화소행)에 위치되며 제j 데이터 라인(DLj)과 접속된 화소(PXi) 및 제i+1 수평 라인(또는 제i+1 화소행)에 위치되며 제j 데이터 라인(DLj)과 접속된 화소(PXi+1)를 도시하기로 한다. (단, i, j는 자연수)
- [0051] 도 2a 및 도 2b를 참조하면, 화소들(PXi, PXi+1)은 각각 발광 소자(LD), 제1 내지 제7 트랜지스터들(M1 내지 M7), 제1 화소 커패시터(CP1), 및 제2 화소 커패시터(CP2)를 포함할 수 있다.
- [0052] 일 실시예에서, 제1 내지 제7 트랜지스터들(M1 내지 M7)은 모두 동일한 타입의 트랜지스터일 수 있다. 예를 들어, 제1 내지 제7 트랜지스터들(M1 내지 M7)은 피모스(P-channel metal oxide semiconductor; PMOS) 트랜지스터일 수 있다. 제1 내지 제7 트랜지스터들(M1 내지 M7)은 폴리실리콘 반도체로 형성되는 액티브층을 포함할 수 있다. 예를 들어, 제1 내지 제7 트랜지스터들(M1 내지 M7)의 액티브층은 LTPS(low temperature poly-silicon) 공정을 통해 형성될 수 있다. 다만, 이는 예시적인 것으로서, 제1 내지 제7 트랜지스터들(M1 내지 M7) 중 적어도 하나는 엔모스(N-channel metal oxide semiconductor; NMOS) 트랜지스터일 수 있다. 예를 들어, 엔모스 트랜지스터는 산화물 반도체로 형성되는 액티브층을 포함할 수 있다.
- [0053] 이하, 설명의 편의를 위해, 제i 수평 라인의 화소(PXi)를 중심으로 화소 구성 및 동작을 설명하기로 한다.
- [0054] 발광 소자(LD)의 제1 전극은 제1 트랜지스터(M1)의 제2 전극(예를 들어, 드레인 전극)에 전기적으로 접속되고, 발광 소자(LD)의 제2 전극은 제2 구동 전원(VSS)에 접속될 수 있다. 구체적으로, 발광 소자(LD)의 제1 전극은 제6 트랜지스터(M6)의 일 전극 및 제7 트랜지스터(M7)의 일 전극이 공통으로 접속되는 제4 화소 노드(PN4)에 접속될 수 있다.
- [0055] 발광 소자(LD)는 제1 트랜지스터(T1)로부터 공급되는 전류량(구동 전류)에 대응하여 소정 휘도의 빛을 생성할 수 있다. 일 실시예에서, 발광 소자(LD)는 유기 발광층을 포함하는 유기 발광 다이오드일 수 있다.
- [0056] 다른 실시예에서, 발광 소자(LD)는 무기 물질로 형성되는 무기 발광 소자일 수 있다. 또는 발광 소자(LD)는 복수의 무기 발광 소자들이 제2 구동 전원(VSS)과 제1 트랜지스터(M1)의 제2 전극 사이에 병렬 및/또는 직렬로 연결된 형태를 가질 수도 있다.
- [0057] 제1 트랜지스터(M1)는 제1 구동 전원(VDD)과 발광 소자(LD)의 제1 전극 사이에 전기적으로 결합될 수 있다. 제1 트랜지스터(M1)는 구동 전류를 생성하여 발광 소자(LD)에 제공할 수 있다. 제1 트랜지스터(M1)의 게이트 전극은 제1 화소 노드(PN1)에 결합될 수 있다. 제1 트랜지스터(M1)는 구동 트랜지스터로서 기능한다.
- [0058] 제1 화소 커패시터(CP1)는 제1 트랜지스터(M1)의 제2 전극에 대응하는 제2 화소 노드(PN2)와 제3 화소 노드(PN3) 사이에 결합될 수 있다. 제1 화소 커패시터(CP1)는 제2 화소 노드(PN2)와 제3 화소 노드(PN3) 사이의 전압 차를 저장할 수 있다.
- [0059] 제2 화소 커패시터(CP2)는 제1 구동 전원(VDD)과 제1 화소 노드(PN1) 사이에 결합될 수 있다. 제2 화소 커패시터(CP2)는 제1 구동 전원(VDD)과 제1 화소 노드(PN1) 사이의 전압 차를 저장할 수 있다.
- [0060] 한편, 화소의 데이터 신호가 기입되는 경우, 제1 화소 커패시터(CP1)와 제2 화소 커패시터(CP2) 사이의 전하 공유(charge sharing)에 의해 제1 화소 노드(PN1) 및 제2 화소 노드(PN2)는 제1 화소 커패시터(CP1)와 제2 화소 커패시터(CP2)의 커패시턴스의 비율에 따른 전압을 가질 수 있다.
- [0061] 제2 트랜지스터(M2)는 데이터 라인(DLj)과 제3 화소 노드(PN3) 사이에 결합될 수 있다. 제2 트랜지스터(M2)는 주사 신호를 수신하는 게이트 전극을 포함할 수 있다. 예를 들어, 제2 트랜지스터(M2)의 게이트 전극은 주사 라인(SLi)(즉, 제i 주사 라인)에 연결될 수 있다. 제2 트랜지스터(M2)는 주사 라인(SLi)으로 주사 신호가 공급될

때 턴-온되어, 데이터 라인(DLj)과 제3 노드(N3)를 전기적으로 접속시킬 수 있다.

- [0062] 제3 트랜지스터(M3)는 제1 트랜지스터(M1)의 게이트 전극에 대응하는 제1 화소 노드(PN1)와 제2 화소 노드(PN2, 예를 들어, 제1 트랜지스터(M1)의 드레인 전극) 사이에 결합될 수 있다. 제3 트랜지스터(M3)는 제1 제어 신호를 수신하는 게이트 전극을 포함할 수 있다.
- [0063] 제4 트랜지스터(M4)는 제1 구동 전원(VDD)과 제3 화소 노드(PN3) 사이에 결합될 수 있다. 제4 트랜지스터(M4)는 발광 제어 신호를 수신하는 게이트 전극을 포함할 수 있다.
- [0064] 제5 트랜지스터(M5)는 제1 구동 전원(VDD)과 제1 트랜지스터(M1)의 제1 전극 사이에 결합될 수 있다. 제5 트랜지스터(M5)는 발광 제어 신호를 수신하는 게이트 전극을 포함할 수 있다. 예를 들어, 제5 트랜지스터(M5)의 게이트 전극은 발광 제어 라인(ELi)에 연결될 수 있다.
- [0065] 제6 트랜지스터(M6)는 제1 트랜지스터(M1)의 제2 전극에 대응하는 제2 화소 노드(PN2)와 발광 소자(LD) 사이에 결합될 수 있다. 제6 트랜지스터(M6)는 이전 발광 제어 신호를 수신하는 게이트 전극을 포함할 수 있다. 예를 들어, 제6 트랜지스터(M6)의 게이트 전극은 이전 발광 제어 라인(ELi-k, 예를 들어, 제i-k 발광 제어 라인)에 연결될 수 있다.
- [0066] 제5 및 제6 트랜지스터들(M5, M6)이 모두 턴-온되는 경우, 발광 소자(LD)가 제1 화소 노드(PN1)의 전압에 대응하는 휘도로 발광할 수 있다. 일 실시예에서, 제5 트랜지스터(M5)가 턴-온되고 제6 트랜지스터(M6)가 턴-오프되는 경우, 제1 트랜지스터(M1)의 문턱 전압 보상이 수행되거나, 제1 트랜지스터(M1)에 온-바이어스가 인가될 수 있다.
- [0067] 제7 트랜지스터(M7)는 발광 소자(LD)와 초기화 전원(Vint) 사이에 결합될 수 있다. 제7 트랜지스터(M7)는 제어 신호를 수신하는 게이트 전극을 포함할 수 있다. 일 실시예에서, 제7 트랜지스터(M7)의 게이트 전극은 제어 라인(CLi)에 연결될 수 있다.
- [0068] 한편, 제2 트랜지스터(M2)가 턴-온되는 기간과 제4 및 제5 트랜지스터들(M4, M5)이 턴-온되는 기간은 중첩하지 않는다. 예를 들어, 제3 내지 제5 트랜지스터들(M3 내지 M5)이 턴-온되면, 제1 트랜지스터(M1)의 문턱 전압 보상이 수행되고, 제2 및 제3 트랜지스터들(M2, M3)이 턴-온되면, 데이터 기입이 수행될 수 있다. 따라서, 문턱 전압 보상 기간과 데이터 기입 기간이 서로 분리될 수 있다.
- [0069] 한편, 제i 화소(PXi) 및 제i+1 화소(PXi+1)는 실질적으로 동일한 화소 구조를 가질 수 있다.
- [0070] 제i 주사 라인(SLi)으로는 제i 주사 신호(Si)가 공급되고, 제i+1 주사 라인(SLi+1)으로는 제i+1 주사 신호(Si+1)가 공급될 수 있다. 제i+1 주사 신호(Si+1)는 제i 주사 신호(Si)가 1 수평주기(1H) 시프트(지연)된 주사 신호일 수 있다.
- [0071] 제i 발광 제어 라인(ELi) 및 제i+1 발광 제어 라인(ELi+1)으로는 제p(단, p는 자연수) 발광 제어 신호(Ep)가 공통으로 공급될 수 있다. 즉, 제i 화소(PXi) 및 제i+1 화소는 동일한 발광 제어 신호(Ep)에 의해 공통으로 제어될 수 있다. 따라서, 하나의 프레임 기간 동안 표시 패널에 공급되는 주사 신호의 개수보다 발광 제어 신호의 개수가 적을 수 있다.
- [0072] 예를 들어, 2개의 발광 제어 라인들에 하나의 발광 제어 신호가 공통으로 공급되는 경우, 발광 제어 신호의 개수는 주사 신호의 절반일 수 있다.
- [0073] 실시예에 따라, 제p 발광 제어 신호(Ep)는 제p-1 발광 제어 신호(Ep-1)가 2 수평주기(2H) 이상 시프트(지연)된 발광 제어 신호일 수 있다.
- [0074] 이와 마찬가지로, 제i-k 발광 제어 라인(ELi-k) 및 제i-k+1 발광 제어 라인(ELi-k+1)으로는 제p-q 발광 제어 신호(Ep-q)가 공통으로 공급될 수 있다. 또한, 제p 발광 제어 신호(Ep)는 제p-q 발광 제어 신호(Ep-q)가 q*2 수평주기(2qH) 이상 시프트된 발광 제어 신호일 수 있다.
- [0075] 제i 제어 라인(CLi) 및 제i+1 제어 라인(CLi+1)으로는 제p 제어 신호(Cp)가 공통으로 공급될 수 있다. 즉, 제i 화소(PXi) 및 제i+1 화소(PXi+1)는 동일한 제어 신호(Cp)에 의해 공통으로 제어될 수 있다.
- [0076] 예를 들어, 2개의 발광 제어 라인들에 하나의 발광 제어 신호가 공통으로 공급되는 경우, 발광 제어 신호의 개수는 주사 신호의 절반일 수 있다.
- [0077] 실시예에 따라, 제p 제어 신호(Cp)는 제p-1 제어 신호(Cp-1)가 2 수평주기(2H) 이상 시프트(지연)된 발광 제어

신호일 수 있다.

- [0078] 다시 말하면, 주사 라인은 화소행마다 제어되고, 발광 제어 라인 및 제어 라인은 기설정된 연속된 화소행들마다 공통으로 제어될 수 있다. 이에 따라, 60Hz를 초과하는 구동 주파수를 갖는 표시 장치(1000)의 고속 구동이 용이하게 구현될 수 있다.
- [0079] 이하, 설명의 편의를 위해, 제 i 발광 제어 라인(EL i)은 발광 제어 라인(EL i)으로, 제 p 발광 제어 신호(E p)는 발광 제어 신호(E p)로, 제 i 주사 라인(SL i)은 주사 라인(SL i)으로, 제 i 주사 신호(S i)는 주사 신호(S i)로, 제 i 제어 라인(CL i)은 제어 라인(CL i)으로, 제 p 제어 신호(C p)는 제어 신호(C p)로 혼용되어 설명될 수 있다.
- [0080] 또한, 제 i 화소(PX i)와 제 $i+1$ 화소(PX $i+1$)에 발광 제어 신호(E p), 이전 발광 제어 신호(E $p-q$), 및 제어 신호(C p)가 공통으로 공급될 수 있다.
- [0081] 일 실시예에서, 발광 제어 신호(E p)는 이전 발광 제어 신호(E $p-q$)가 약 6 수평주기(6H) 시프트된 스캔 신호일 수 있다. 또한, 이전 발광 제어 신호(E $p-q$)는 제 $i-6$ 화소행(즉, 제 $i-6$ 발광 제어 라인(EL $i-6$))에 공급되는 발광 제어 신호와 동일할 수 있다.
- [0082] 도 2b에 도시된 바와 같이, 발광 제어 신호(E p)는 한 프레임 기간 내에서 복수의 게이트 오프 기간(즉, 논리 하이 전압을 갖는 기간)을 가질 수 있다.
- [0083] 주사 신호(S n), 제어 신호(C p), 및 발광 제어 신호들(E p , E $p-q$)의 게이트 온 레벨은 로우 전압일 수 있다.
- [0084] 제1 기간(P1) 동안 발광 제어 신호(E p)는 게이트 온 레벨을 갖고, 이전 발광 제어 신호(E $p-q$)는 게이트 오프 레벨을 가질 수 있다. 이에 따라, 화소들(PX i , PX $i+1$)의 발광이 중단될 수 있다.
- [0085] 또한, 제1 기간(P1) 동안 제어 신호(C p)는 게이트 온 레벨을 갖는다. 이 경우, 제3 및 제7 트랜지스터들(M3, M7)이 턴-온되어 발광 소자(LD)의 애노드 전압이 초기화될 수 있다.
- [0086] 다만, 이는 예시적인 것으로서, 제1 기간(P1)에 제어 신호(C p)가 게이트 오프 레벨을 가질 수도 있다.
- [0087] 제2 기간(P2) 동안 발광 제어 신호(E p)는 게이트 오프 레벨을 갖고, 이전 발광 제어 신호(E $p-q$) 및 제어 신호(C p)는 게이트 온 레벨을 가질 수 있다. 제2 기간(P2)에서, 제1 트랜지스터(M1)의 게이트 전압과 드레인 전압(예를 들어, 제2 화소 노드(PN2)의 전압)은 초기화 전원(V int)의 전압에 상응할 수 있다.
- [0088] 또한, 제2 기간(P2)에 제5 트랜지스터(M5)가 턴-오프 상태이므로, 제1 트랜지스터(M1)의 소스 전극은 초기화 전원(V int)의 전압과 제1 트랜지스터(M1)의 문턱 전압의 합에 상응하는 전압을 가질 수 있다. 따라서, 제2 기간(P2)에 제1 트랜지스터(M1)는 오프-바이어스 상태를 가질 수 있다. 이에 따라, 상기 초기화 기간은 제1 트랜지스터(M1)에 대한 오프-바이어스 기간으로도 이해될 수 있다.
- [0089] 제3 기간(P3) 동안 발광 제어 신호(E p)는 게이트 온 레벨을 갖고, 이전 발광 제어 신호(E $p-q$)는 게이트 오프 레벨을 가질 수 있다. 이에 따라, 제4 및 제5 트랜지스터들(M4, M5)은 턴-온되고, 제6 트랜지스터(M6)는 턴-오프될 수 있다. 제3 트랜지스터(M3)는 턴-온 상태이므로, 제1 트랜지스터(M1)가 다이오드 연결 형태를 가질 수 있다. 제2 화소 커패시터(CP2)에는 제1 트랜지스터(M1)의 문턱 전압(V th)에 상응하는 전압이 저장될 수 있다. 즉, 제3 기간(P3)은 문턱 전압 보상 기간일 수 있다.
- [0090] 한편, 제3 기간(P3)에서, 문턱 전압 보상은 정전압원인 제1 구동 전원(VDD)의 전압에 의해 수행될 수 있다. 따라서, 화소행 및/또는 프레임에 따라 변할 수 있는 데이터 신호(데이터 전압)이 아닌 고정된 전압에 기초하여 문턱 전압 보상 동작이 수행될 수 있다.
- [0091] 제4 기간(P4) 및 제6 기간(P6)의 동작은 제2 기간(P2)의 동작과 실질적으로 동일할 수 있다.
- [0092] 제5 기간(P5) 및 제7 기간(P7)의 동작은 제3 기간(P3)의 동작과 실질적으로 동일할 수 있다.
- [0093] 이와 같이, 발광 제어 신호(E p)는 제1, 제3, 제5, 및 제7 기간들(P1, P3, P5, P7)에서 게이트 온 레벨을 갖고, 제2, 제4, 제6 기간들(P2, P4, P6)에서 게이트 오프 레벨을 가질 수 있다. 제1 내지 제7 기간들(P1 내지 P7)에서 이전 발광 제어 신호(E $p-q$)는 발광 제어 신호(E p)와 반대 파형을 가지고 화소들(PX i , PX $i+1$)에 공급될 수 있다. 따라서, 문턱 전압 보상 기간과 초기화 기간(예를 들어, 제2 초기화 기간)이 서로 교번하여 복수 회 반복될 수 있다. 따라서, 이전 프레임에서의 데이터 신호의 크기에 따른 제1 트랜지스터(M1)의 문턱 전압의 보상 편차가 제거될 수 있다. 또한, 제1 트랜지스터(M1)에 오프-바이어스가 주기적으로 인가됨으로써 제1 트랜지스터(M1)의 히스테리시스 특성이 개선될 수 있다.

- [0094] 주사 신호(Si)가 게이트 오프 레벨로부터 게이트 온 레벨로 천이되면, 제2 트랜지스터(T2)가 턴-온될 수 있다. 이에 따라, 데이터 신호(DV)가 제3 노드(N3)로 공급될 수 있다. 제8 기간(P8) 동안 주사 신호(Si)가 제i 화소(PXi)에 공급되어 데이터 신호(DV)가 제i 화소(PXi)에 기입될 수 있다. 즉, 제8 기간(P8)은 데이터 기입 기간일 수 있다.
- [0095] 일 실시예에서, 제8 기간(P8), 즉, 주사 신호(Si)의 길이(펄스 폭)는 1 수평주기(1H)일 수 있다. 또한, 제i+1 주사 라인(SLi+1)으로 제i+1 주사 신호(Si+1)가 순차적으로 공급되며, 제i+1 주사 신호(Si+1)에 응답하여 제i+1 화소(PXi+1)에 데이터 기입이 수행될 수 있다.
- [0096] 다만, 이는 예시적인 것으로서, 이전 발광 제어 신호(Ep-q) 및 발광 제어 신호(Ep)가 모두 게이트 오프 레벨을 갖는 기간 동안 더 많은 수의 주사 신호들이 공급될 수도 있다. 이 경우, 하나의 발광 제어 신호(Ep) 및 하나의 제어 신호(Cp)에 의해 3개 이상의 화소행들이 공통으로 제어될 수 있다.
- [0097] 이후, 제어 신호(Cp)가 게이트 오프 레벨로 천이되고, 이전 발광 제어 신호(Ep-q)가 게이트 온 레벨로 천이될 수 있다. 이에 따라, 제6 트랜지스터(M6)가 턴-온되고, 제3 및 제7 트랜지스터들(M3, M7)이 턴-오프될 수 있다.
- [0098] 일 실시예에서, 제1 내지 제8 기간들(P1 내지 P8)은 한 프레임 기간 중 화소(예를 들어, PXi 및 PXi+1)의 비발광 기간에 포함될 수 있다.
- [0099] 이후, 발광 제어 신호(Ep) 및 이전 발광 제어 신호(Ep-q)가 모두 게이트 온 레벨을 갖는 제9 기간(P9)은 화소들(PXi, PXi+1)의 발광 기간일 수 있다.
- [0100] 표시 장치(1)가 높은 구동 주파수 조건(예를 들어, 80Hz 이상의 주파수)에서 구동되는 경우, 화소에 포함되는 구동 트랜지스터의 문턱 전압을 보상하는 시간 및 데이터 기입 시간의 확보가 중요하다. 이에 따라, 도 2b와 같이, 하나의 프레임 기간 내에서 발광 제어 신호(Ep)의 게이트 온 기간과 게이트 오프 기간이 빠르게 반복될 수 있다.
- [0101] 한편, 기존의 발광 구동부에 포함되는 스테이지에서 출력되는 발광 제어 신호는 논리 하이 레벨(게이트 오프 레벨)로부터 논리 로우 레벨(게이트 오프 레벨)로 천이되는 폴링 시간(falling time)에 소정의 지연 기간이 포함된다. 즉, 발광 제어 신호(Ep)는 발광 구동부에 공급되는 클럭 신호들의 영향에 의해 논리 하이 레벨(게이트 오프 레벨)로부터 논리 로우 레벨(게이트 오프 레벨)로 빠르게 하강되지 못하며, 폴링 스텝을 갖는 형태의 과형이 출력된다.
- [0102] 화소(PXi, PXi+1)에 제공되는 발광 제어 신호의 이러한 폴링 시간의 지연에 의해 화소 내부의 트랜지스터들의 턴-온 및 턴-오프 동작이 부정확해진다. 따라서, 화소의 데이터 기입 시간 및/또는 문턱 전압 보상 시간이 줄어들게 되며, 영상 품질이 저하될 수 있다. 이에 따라, 빠르게 폴링되는 발광 제어 신호를 구현하기 위한 발광 구동부의 스테이지 구성이 필요하다.
- [0103] 또한, 발광 제어 신호(Ep)의 게이트 온 기간과 게이트 오프 기간의 반복 시, 게이트 온 기간에서 트랜지스터(예를 들어, 풀다운 트랜지스터)의 전류 누설에 의해 출력되는 신호가 의도치 않은 전압 레벨을 가질 수 있다. 이에 따라, 발광 제어 신호(Ep)의 게이트 온 기간에서 높은 수준의 풀다운 트랜지스터의 게이트-소스 전압을 유지하는 구동이 필요하다.
- [0104] 도 3a는 본 발명의 실시예들에 따른 발광 구동부를 나타내는 블록도이고, 도 3b는 도 3a의 발광 구동부에서 출력되는 발광 제어 신호들의 일 예를 나타내는 파형도이다.
- [0105] 도 3a 및 도 3b에서는 설명의 편의를 위해 4개의 스테이지들 및 이들로부터 출력되는 발광 제어 신호들을 도시하기로 한다.
- [0106] 도 1, 도 3a, 및 도 3b를 참조하면, 발광 구동부(30)는 복수의 스테이지들(ST1 내지 ST4)을 구비할 수 있다. 예를 들어, 제1 내지 제4 스테이지들(ST1 내지 ST4)은 소정의 발광 제어 라인들 각각에 접속되고, 클럭 신호들(CLK1, CLK2)에 대응하여 발광 제어 신호(E1 내지 E4)를 출력할 수 있다. 스테이지들(ST1 내지 ST4)은 실질적으로 동일한 회로로 구현될 수 있다.
- [0107] 일 실시예에서, 제1 내지 제4 스테이지들(ST1 내지 ST4)은 각각 적어도 하나의 발광 제어 라인에 연결될 수 있다. 예를 들어, 제1 스테이지(ST1)는 제1 및 제2 발광 제어 라인들(EL1, EL2)에 연결되어 제1 및 제2 발광 제어 라인들(EL1, EL2)에 제1 발광 제어 신호(E1)를 공급할 수 있다. 다만, 이는 예시적인 것으로서, 화소 구조 및 표시 장치(1)의 구동 방식에 따라 스테이지들(ST1 내지 ST4)과 발광 제어 라인들의 연결 관계가 다양하게 설정

될 수 있다.

- [0108] 스테이지들(ST1 내지 ST4) 각각은 제1 입력 단자(101), 제2 입력 단자(102), 제3 입력 단자(103) 및 출력 단자(104)를 구비할 수 있다.
- [0109] 제1 입력 단자(101)는 이전 스테이지의 출력 신호(즉, 발광 제어 신호) 또는 시작 신호(EFLM)를 수신할 수 있다. 일례로, 제1 스테이지(ST1)의 제1 입력 단자(101)는 시작 신호(EFLM)를 수신하고, 제2 스테이지(ST2)의 제1 입력 단자(101)는 제1 스테이지(ST1)에서 출력된 발광 제어 신호(예를 들어, 제1 발광 제어 신호(E1))를 수신할 수 있다.
- [0110] 일 실시예에서, 제j(단, j는 n보다 작은 자연수) 스테이지의 제2 입력 단자(102)는 제1 클럭 신호(CLK1)를 수신하고, 제3 입력 단자(103)는 제2 클럭 신호(CLK2)를 수신할 수 있다. 반면에, 제j+1 스테이지의 제2 입력 단자(102)는 제2 클럭 신호(CLK2)를 수신하고, 제3 입력 단자(103)는 제1 클럭 신호(CLK1)를 수신할 수 있다.
- [0111] 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 동일한 주기를 가지며 위상이 서로 중첩되지 않는다. 일례로, 제2 클럭 신호(CLK2)는 제1 클럭 신호(CLK1)에서 약 반주기만큼 쉬프트된 신호로 설정될 수 있다.
- [0112] 추가적으로, 스테이지들(ST1 내지 ST4)은 제1 전원(VGL)의 전압 및 제2 전원(VGH)의 전압을 공급받는다. 제1 전원(VGL)의 전압 및 제2 전원(VGH)의 전압은 직류 전압 레벨을 가질 수 있다. 제2 전원(VGH)의 전압은 제1 전원(VGL)의 전압보다 크게 설정될 수 있다.
- [0113] 제1 전원(VGL)의 전압은 게이트 온 레벨, 제2 전원(VGH)의 전압은 게이트 오프 레벨로 설정될 수 있다. 예를 들어, 화소(P) 및 발광 구동부(30)가 피모스(PMOS; P-channel metal oxide semiconductor) 트랜지스터들로 구성되는 경우, 제1 전원(VGL)의 전압(즉, 게이트 온 레벨)은 논리 로우 레벨에 대응하고, 제2 전원(VGH)의 전압(즉, 게이트 오프 레벨)은 논리 하이 레벨에 대응할 수 있다. 다만, 이는 예시적인 것으로서, 제1 전원(VGL)과 제2 전원(VGH)이 이에 한정되는 것은 아니다. 예를 들어, 제1 전원(VGL)의 전압과 제2 전원(VGH)의 전압은 트랜지스터의 종류, 표시 장치의 사용 환경 등에 따라 설정될 수 있다.
- [0114] 도 3b에 도시된 바와 같이, 제1 내지 제4 스테이지들(ST1 내지 ST4)은 각각 제1 내지 제4 발광 제어 신호들(E1 내지 E4)를 출력할 수 있다. 일 실시예에서, 한 프레임 기간 내에서, 시작 신호(EFLM)는 복수의 게이트 온 기간들 및 복수의 게이트 오프 기간들을 포함할 수 있다. 제1 스테이지(ST1)는 시작 신호(EFLM)에 응답하여 한 프레임 기간 동안 복수의 게이트 온 기간들 및 복수의 게이트 오프 기간들을 갖는 제1 발광 제어 신호(E1)를 출력할 수 있다. 제2 스테이지(ST2)는 제1 발광 제어 신호(E1)에 응답하여 제1 발광 제어 신호(E1)가 소정의 수평 주기로 시프트된 제2 발광 제어 신호(E2)를 출력할 수 있다. 이와 마찬가지로, 제3 및 제4 스테이지들(ST3, ST4)은 각각 제1 발광 제어 신호(E1)가 시프트된 제3 및 제4 발광 제어 신호들(E3, E4)을 출력할 수 있다.
- [0115] 도 4는 도 3a의 발광 구동부에 포함되는 스테이지의 일 예를 나타내는 회로도이다.
- [0116] 도 3a 및 도 4를 참조하면, 제1 스테이지(ST1)는 입력부(310), 출력부(320), 제1 신호 처리부(330), 제2 신호 처리부(340), 제1 안정화부(350), 및 제2 안정화부(360)를 포함할 수 있다.
- [0117] 도 4에서는 제2 입력 단자(102)로 제1 클럭 신호(CLK1)가 공급되고 제3 입력 단자(103)로 제2 클럭 신호(CLK2)가 공급되는 제1 스테이지(ST1, 즉, 홀수 번째 스테이지)를 중심으로 설명하기로 한다. 다만, 이는 예시적인 것으로서, 짝수 번째 스테이지에서는, 제2 입력 단자(102)로 제2 클럭 신호(CLK2)가 공급되고, 제3 입력 단자(103)로 제1 클럭 신호(CLK1)가 공급될 수 있다.
- [0118] 입력부(310)는 제1 입력 단자(101), 제2 입력 단자(102), 및 제3 입력 단자(103)로 공급되는 신호들(예를 들어, 시작 신호(EFLM), 제1 클럭 신호(CLK1), 및 제2 클럭 신호(CLK2))에 응답하여 제1 노드(N1) 및 제2 노드(N2)의 전압들을 제어할 수 있다. 일 실시예에서, 입력부(310)는 제3 내지 제7 트랜지스터들(T3 내지 T7)을 포함할 수 있다.
- [0119] 제3 트랜지스터(T3)는 제1 입력 단자(101)와 제1 노드(N1) 사이에 접속될 수 있다. 제3 트랜지스터(T3)는 제2 입력 단자(102)에 접속되는 게이트 전극을 포함할 수 있다. 제3 트랜지스터(T3)는 제1 클럭 신호(CLK1)가 게이트 온 레벨을 가질 때 턴-온되어 제1 입력 단자(101)와 제1 노드(N1)를 전기적으로 접속시킬 수 있다.
- [0120] 제4 트랜지스터(T4)는 제2 입력 단자(102)와 제2 노드(N2) 사이에 접속될 수 있다. 제4 트랜지스터(T4)는 제1 노드(N1)에 접속되는 게이트 전극을 포함할 수 있다. 제4 트랜지스터(T4)는 제1 노드(N1)의 전압에 기초하여 턴-온 또는 턴-오프될 수 있다.

- [0121] 일 실시예에서, 제4 트랜지스터(T4)는 서로 직렬로 연결된 복수의 서브-트랜지스터들(T4-1, T4-2)을 포함할 수 있다. 서브-트랜지스터들(T4-1, T4-2) 각각은 제1 노드(N1)에 공통적으로 접속되는 게이트 전극을 포함할 수 있다. 이에 따라, 제4 트랜지스터(T4)에 의한 전류 누설이 최소화될 수 있다.
- [0122] 제5 트랜지스터(T5)는 제1 전원(VGL)과 제2 노드(N2) 사이에 접속될 수 있다. 제5 트랜지스터(T5)의 게이트 전극은 제2 입력 단자(102)에 접속될 수 있다. 제5 트랜지스터(T5)는 제2 입력 단자(102)로 제1 클럭 신호(CLK1)가 공급될 때 턴-온되어 제2 노드(N2)로 제1 전원(VGL)의 전압을 공급할 수 있다.
- [0123] 제6 트랜지스터(T6)와 제7 트랜지스터(T7)는 제2 전원(VGH)과 제1 노드(N1) 사이에 서로 직렬로 접속될 수 있다. 제6 트랜지스터(T6)는 제2 노드(N2)에 접속되는 게이트 전극을 포함할 수 있다. 제6 트랜지스터(T6)는 제2 노드(N2)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다. 제7 트랜지스터(T7)는 제3 입력 단자(103)에 접속되는 게이트 전극을 포함할 수 있다. 제7 트랜지스터(T7)는 제2 클럭 신호(CLK2)의 게이트 온 레벨에 대응하여 턴-온될 수 있다.
- [0124] 예를 들어, 제2 노드(N2)의 전압이 게이트 온 레벨을 가질 때, 제7 트랜지스터(T7)는 제2 클럭 신호(CLK2)에 응답하여 제1 노드(N1)의 전압을 제2 전원(VGH)의 전압(즉, 게이트 오프 레벨)으로 변경 또는 유지시킬 수 있다.
- [0125] 출력부(320)는 제3 노드(N3)의 전압 및 제4 노드(N4)의 전압에 응답하여 제1 전원(VGL)의 전압 또는 제2 전원(VGH)의 전압을 출력 단자(104)로 공급할 수 있다. 제1 전원(VGL)의 전압은 제1 발광 제어 신호(E1, 이하, 발광 제어 신호라 함)의 게이트 온 전압 레벨에 대응하고, 제2 전원(VGH)의 전압은 발광 제어 신호(E1)의 게이트 오프 전압 레벨에 대응할 수 있다. 다만, 이는 예시적인 것으로서, 제1 전원(VGL)의 전압은 발광 제어 신호(E1)의 게이트 오프 전압 레벨에 대응하고, 제2 전원(VGH)의 전압은 발광 제어 신호(E1)의 게이트 온 전압 레벨에 대응할 수도 있다.
- [0126] 일 실시예에서, 출력부(320)는 제8 트랜지스터(T8), 제9 트랜지스터(T9), 제1 커패시터(C1)를 포함할 수 있다.
- [0127] 제8 트랜지스터(T8)는 제1 전원(VGL)과 출력 단자(104) 사이에 접속될 수 있다. 제8 트랜지스터(T8)의 게이트 전극은 제3 노드(N3)에 접속될 수 있다. 제8 트랜지스터(T8)는 제3 노드(N3)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다. 여기서, 제8 트랜지스터(T8)가 턴-온될 때 출력 단자(104)로 공급되는 제1 발광 제어 신호(E1)가 게이트 온 전압(또는 게이트 온 레벨)을 가지며, 화소(P)가 발광할 수 있다.
- [0128] 제9 트랜지스터(T9)는 제2 전원(VGH)과 출력 단자(104) 사이에 접속될 수 있다. 제9 트랜지스터(T9)의 게이트 전극은 제4 노드(N4)에 접속될 수 있다. 제9 트랜지스터(T9)는 제4 노드(N4)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다. 여기서, 제9 트랜지스터(T9)가 턴-온될 때 출력 단자(104)로 공급되는 제1 발광 제어 신호(E1)가 게이트 오프 레벨을 가지며, 화소(P)는 비발광 상태를 갖는다.
- [0129] 제1 커패시터(C1)는 출력 단자(104)와 제3 노드(N3) 사이에 접속될 수 있다. 제1 커패시터(C1)는 제8 트랜지스터(T10)의 턴-온 및 턴-오프에 대응하는 전압을 충전할 수 있다. 일 실시예에서, 제2 트랜지스터(T2)가 턴-오프된 경우(즉, 제1 노드(N1)와 제3 노드(N3) 사이의 전기적 접속이 끊어진 경우), 제1 커패시터(C1)에 저장된 전압에 대응하여 제8 트랜지스터(T8)가 턴-온 상태를 유지할 수 있다. 즉, 제1 커패시터(C1)에 저장된 전압에 의해 제3 노드(N3)는 게이트 온 레벨(예를 들어, 논리 로우 레벨)을 유지할 수 있다.
- [0130] 제1 커패시터(C1)는 발광 제어 신호(E1)의 폴링 속도를 개선할 수 있다. 즉, 발광 제어 신호(E1)가 게이트 오프 레벨로부터 게이트 온 레벨로 천이되는 경우, 출력 단자(104)의 전압에 의한 제1 커패시터(C1)의 커플링에 의해 발광 제어 신호(E1)는 게이트 오프 레벨로부터 게이트 온 레벨로 빠르게 천이되며, 폴링 시간이 감소될 수 있다.
- [0131] 일 실시예에서, 출력부(320)는 제2 커패시터(C2)를 더 포함할 수 있다. 제2 커패시터(C2)는 제3 노드(N3)와 제3 입력 단자(103) 사이에 접속될 수 있다. 제2 커패시터(C2)는 제3 입력 단자(103)에 공급되는 제2 클럭 신호(CLK2)에 대응하여 제3 노드(N3)의 전압을 제어할 수 있다.
- [0132] 제1 및 제2 커패시터들(C1, C2)의 커플링에 의해 제3 노드(N3)의 전압(즉, 제8 트랜지스터(T8)의 게이트 전압)이 더욱 하강할 수 있다. 따라서, 제8 트랜지스터(T8)의 턴 온 시, 제8 트랜지스터(T8)의 게이트-소스 전압(Vgs)이 증가되고, 발광 제어 신호(E1)의 누설이 최소화될 수 있다.
- [0133] 제2 커패시터(C2) 또한 제3 노드(N3)에 인가되는 전압을 충전할 수 있다. 예를 들어, 제2 커패시터(C2)와 제1 커패시터(C1)의 커패시턴스 비율에 따라 제2 커패시터(C2)에 충전되는 전압의 크기가 달라질 수 있다.

- [0134] 일 실시예에서, 제1 커패시터(C1)의 커패시턴스가 제2 커패시터(C2)의 커패시턴스보다 크게 설계될 수 있다. 예를 들어, 제1 커패시터(C1)의 커패시턴스가 제2 커패시터(C2)의 커패시턴스보다 클수록 발광 제어 신호(E1)의 폴링 시간이 짧아질 수 있다(즉, 슬루율이 증가됨). 이상적으로, 제2 커패시터(C2)가 없는 경우, 발광 제어 신호(E1)의 폴링 시간이 가장 짧을 수 있다. 다만, 트랜지스터들(예를 들어, 제8 트랜지스터(T8))의 제조 공정 상에서의 편차 및 열화에 따른 특성 변화를 고려한 마진을 설정할 필요가 있다.
- [0135] 이에 따라, 발광 제어 신호(E1)의 폴링 시간과 트랜지스터(예를 들어, 제8 트랜지스터(T8))의 특성 편차 모두 고려하여 제2 커패시터(C2)와 제1 커패시터(C1)의 비율이 결정될 수 있다. 일 실시예에서, 제1 커패시터(C1)의 커패시턴스가 제2 커패시터(C2)의 커패시턴스의 2배 이상일 수 있다. 예를 들어, 제1 커패시터(C1)의 커패시턴스와 제2 커패시터(C2)의 커패시턴스의 비율(예를 들어, C2/C1)은 약 0.2일 수 있다. 이에 따라, 제8 트랜지스터(T8)의 오동작 없이 발광 제어 신호(E1)의 폴링 시간이 최소화되며, 폴링 스텝이 제거될 수 있다.
- [0136] 제1 신호 처리부(330)는 제2 노드(N2)와 제4 노드(N4)를 전기적으로 연결하는 제5 노드(N5)에 접속될 수 있다. 제1 신호 처리부(330)는 제3 입력 단자(103)로 공급되는 제2 클럭 신호(CLK2) 및 제5 노드(N5)의 전압에 기초하여 제4 노드(N4)의 전압을 제어할 수 있다. 예를 들어, 제2 노드(N2)의 전압이 게이트 오프 레벨을 가질 때, 제1 신호 처리부(330)는 제4 노드(N4)의 전압이 안정적으로 게이트 오프 레벨을 갖도록 함으로써 제9 트랜지스터(T9)가 완전히 턴-오프되도록 할 수 있다.
- [0137] 일 실시예에서, 제1 신호 처리부(330)는 제10 트랜지스터(T10), 제11 트랜지스터(T11), 및 제3 커패시터(C3)를 포함할 수 있다.
- [0138] 제3 커패시터(C3)는 제5 노드(N5)와 제6 노드(N6) 사이에 접속될 수 있다.
- [0139] 제10 트랜지스터(T10)는 제3 입력 단자(103)와 제6 노드(N6) 사이에 접속될 수 있다. 제10 트랜지스터(T10)의 게이트 전극은 제5 노드(N5)에 접속될 수 있다. 제10 트랜지스터(T10)는 제5 노드(N5)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다.
- [0140] 제11 트랜지스터(T11)는 제6 노드(N6)와 제4 노드(N4) 사이에 접속될 수 있다. 제11 트랜지스터(T11)의 게이트 전극은 제3 입력 단자(103)에 접속될 수 있다. 제11 트랜지스터(T11)는 제3 입력 단자(103)로 공급되는 제2 클럭 신호(CLK2)의 게이트 온 레벨에 응답하여 턴-온될 수 있다. 이에 따라, 제3 커패시터의 일 단(즉, 제6 노드(N6))과 제4 노드(N4)가 전기적으로 접속될 수 있다. 이 때, 제10 및 제11 트랜지스터들(T10, T11)이 스위칭되더라도, 제5 노드(N5)(또는 제2 노드(N2))의 전압이 충전된 제3 커패시터(C3)에 의해 제4 노드(N4)의 전압이 큰 변동 없이 유지될 수 있다. 예를 들어, 제4 노드(N4)의 전압은 제3 입력 단자(103)에 공급되는 클럭 신호(예를 들어, 제2 클럭 신호(CLK2))에 응답하여 소정의 기간 동안 제2 노드(N2)와 실질적으로 동일한 전압 레벨을 가질 수 있다.
- [0141] 제2 신호 처리부(340)는 제3 노드(N3)의 전압에 응답하여 제4 노드(N4)의 전압을 제어할 수 있다. 예를 들어, 제3 노드(N3)가 게이트 온 전압(또는 게이트 온 레벨)을 가질 때, 제2 신호 처리부(340)는 제4 노드(N4)의 전압이 안정적으로 게이트 오프 레벨을 갖도록 함으로써 출력부(320)의 제9 트랜지스터(T9)가 완전히 턴-오프되도록 할 수 있다. 일 실시예에서, 제2 신호 처리부(340)는 제12 트랜지스터(T12) 및 제4 커패시터(C4)를 포함할 수 있다.
- [0142] 제12 트랜지스터(T12)는 제2 전원(VGH)과 제4 노드(N4) 사이에 접속될 수 있다. 제12 트랜지스터(T12)의 게이트 전극은 제3 노드(N3)에 접속될 수 있다. 제12 트랜지스터(T12)는 제3 노드(N3)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다.
- [0143] 제4 커패시터(C4)는 제2 전원(VGH)과 제4 노드(N4) 사이에 접속될 수 있다. 제4 커패시터(C4)는 제4 노드(N4)에 인가되는 전압을 충전하고, 제4 노드(N4)의 전압을 안정적으로 유지할 수 있다.
- [0144] 일례로, 제1 노드(N1)의 전압 및/또는 제3 노드(N3)의 전압에 의해 제8 트랜지스터(T8)가 턴-온되는 경우, 제12 트랜지스터(M12)가 턴-온 되어 제4 노드(N4)에 제2 전원(VGH)의 전압이 공급될 수 있다.
- [0145] 제1 안정화부(350)는 입력부(310)와 출력부(320) 사이에 전기적으로 연결될 수 있다. 제1 안정화부(350)는 제1 노드(N1)와 제3 노드(N3) 사이의 전압 강하 및 제2 노드(N2)와 제4 노드(N4) 사이의 전압 강하를 제한할 수 있다. 일 실시예에서, 제1 안정화부(350)는 제5 노드(N5)의 전압을 제2 전원(VGH)의 전압보다 떨어뜨려 제2 노드(N2)와 제4 노드(N4) 사이의 전압 강하를 제한할 수 있다.

- [0146] 일 실시예에서, 제1 안정화부(350)는 제13 트랜지스터(T13) 및 제14 트랜지스터(T14)를 포함할 수 있다.
- [0147] 제14 트랜지스터(T14)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속될 수 있다. 특히, 제14 트랜지스터(T14)는 제2 트랜지스터(T2)의 일 전극과 제3 노드(N3) 사이에 접속될 수 있다. 이 때, 제2 트랜지스터(T2)의 타 전극은 제1 노드(N1)에 접속될 수 있다.
- [0148] 제14 트랜지스터(T14)의 게이트 전극은 제1 전원(VGL)에 접속될 수 있다. 따라서, 제14 트랜지스터(T14)는 항상 턴-온 상태를 가질 수 있다. 제14 트랜지스터(T14)는 제1 노드(N1)와 제3 노드(N3) 사이에서의 라인 전압 강하 등을 방지할 수 있다. 따라서, 발광 제어 신호(E1)의 게이트 온 전압(로직 로우 레벨)이 안정적으로 출력될 수 있다.
- [0149] 제13 트랜지스터(T13)는 제2 노드(N2)와 제5 노드(N5) 사이에 접속될 수 있다. 제13 트랜지스터(T13)의 게이트 전극은 제1 전원(VGL)에 접속될 수 있다. 이에 따라, 제13 트랜지스터(T13)는 항상 턴-온 상태를 가질 수 있다. 제13 트랜지스터(T13)는 제2 노드(N2)와 제5 노드(N5)(내지 제4 노드(N4)) 사이에서의 라인 전압 강하 등을 방지할 수 있다.
- [0150] 제2 안정화부(360)는 제3 입력 단자(103)로 공급되는 제2 클럭 신호(CLK2)에 응답하여 제3 노드(N3)와 제1 노드(N1) 사이의 전기적 접속을 제어할 수 있다. 일 실시예에서, 제2 안정화부(360)는, 제3 입력 단자(103)로 공급되는 제2 클럭 신호(CLK2) 및 제4 노드(N4)의 전압에 응답하여, 제1 노드(N1)와 제3 노드(N3) 사이의 전기적 접속을 끊을 수 있다. 예를 들어, 일 실시예에서, 제2 안정화부(360)는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 포함할 수 있다.
- [0151] 제1 트랜지스터(T1)는 제4 노드(N4)와 제2 트랜지스터(T2)의 게이트 전극 사이에 접속될 수 있다. 예를 들어, 제1 트랜지스터(T1)의 제1 전극은 제4 노드(N4)에 접속되고, 제1 트랜지스터(T1)의 제2 전극은 제2 트랜지스터(T2)의 게이트 전극에 접속될 수 있다.
- [0152] 일 실시예에서, 제1 트랜지스터(T1)는 제3 입력 단자(103)에 접속되는 게이트 전극을 포함할 수 있다. 제1 트랜지스터(T1)는 제2 클럭 신호(CLK2)에 응답하여 제4 노드(N4)의 전압을 제2 트랜지스터(T2)의 게이트 전극에 공급할 수 있다.
- [0153] 제2 트랜지스터(T2)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속될 수 있다. 예를 들어, 제2 트랜지스터(T2)는 제1 노드(N1)와 제14 트랜지스터(T14) 사이에 접속될 수 있다. 제2 트랜지스터(T2)는 제1 트랜지스터(T1)의 제2 전극에 접속되는 게이트 전극을 포함할 수 있다. 제2 트랜지스터(T2)는 제1 트랜지스터(T1)로부터 공급되는 전압에 응답하여 턴-온될 수 있다.
- [0154] 발광 제어 신호(E1)가 게이트 온 레벨(논리 로우 레벨)을 갖는 기간(즉, 제8 트랜지스터(T8)가 턴-온된 상태)에서, 제2 안정화부(360)는 제1 노드(N1)와 제3 노드(N3) 사이의 전기적 접속을 끊을 수 있다. 즉, 게이트 오프 레벨을 갖는 제4 노드(N4)의 전압에 기초하여 제2 트랜지스터(T2)가 턴-온됨으로써, 제1 노드(N1)와 제3 노드(N3) 사이의 전기적 접속이 끊어질 수 있다. 이 때, 제3 노드(N3)로 다른 신호가 공급되지 않으므로, 제3 노드(N3)와 제1 노드(N1)가 다시 전기적으로 접속되기 전까지 제3 노드(N3)의 전압은 게이트 온 전압으로부터 크게 변동되지 않는다. 따라서, 제8 트랜지스터(T8)는 턴-온 상태를 유지할 수 있다.
- [0155] 이에 따라, 발광 제어 신호(E1)가 게이트 온 레벨로 출력되는 기간에서, 제3 트랜지스터(T3)의 턴-온에 의한 시작 신호(EFLM, 또는, 이전 스테이지의 출력 신호)의 게이트 오프 레벨(논리 하이 레벨)이 제14 트랜지스터(T14)를 통해 제3 노드(N3)로 공급되는 것이 방지될 수 있다.
- [0156] 따라서, 신호(E1)가 게이트 온 레벨을 갖는 기간에서, 제8 트랜지스터(T8)가 제1 입력 단자(101)로 공급되는 신호에 응답하여 의도치 않게 턴-오프되는 현상이 방지될 수 있다.
- [0157] 이에 따라, 스테이지(ST1)는 하나의 프레임 기간 동안 복수의 게이트 온 기간들 및 게이트 오프 기간들을 갖는 발광 제어 신호(E1)의 파형을 안정적으로 출력할 수 있다.
- [0158] 도 5는 도 4의 스테이지의 동작의 일 예를 나타내는 파형도이다.
- [0159] 도 4 및 도 5를 참조하면, 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 서로 다른 타이밍에 공급된다. 예를 들어, 제2 클럭 신호(CLK2)는 제1 클럭 신호(CLK1)에서 반주기(예를 들어, 1 수평주기(1H))만큼 쉬프트된 신호로 설정된다.
- [0160] 시작 신호(EFLM)의 게이트 온 레벨(논리 하이 레벨 또는 하이 전압)은 제1 전원(VGL)의 전압에 대응하고, 시작

신호(EFLM)의 게이트 오프 레벨(논리 로우 레벨 또는 로우 전압)은 제2 전원(VGH)의 전압에 대응할 수 있다. 일 실시예에서, 도 5의 시작 신호(EFLM)는 도 2b 또는 도 3b를 참조하여 설명된 발광 제어 신호의 출력을 위한 파형을 가질 수 있다. 즉, 하나의 프레임 기간 동안 시작 신호(EFLM) 및 발광 제어 신호(E1)는 복수의 게이트 온 기간들 및 게이트 오프 기간들을 포함할 수 있다.

- [0161] 클럭 신호들(CLK1, CLK2)이 공급될 때 제2 입력 단자(102) 및 제3 입력 단자(103)로 각각 제1 전원(VGL)의 전압이 공급되고, 클럭 신호들(CLK1, CLK2)이 공급되지 않을 때 제2 입력 단자(102) 및 제3 입력 단자(103)로 제2 전원(VGH)의 전압이 공급될 수 있다.
- [0162] 제1 시점(t1)에, 제3 입력 단자(103)로 제2 클럭 신호(CLK2)가 공급되고, 시작 신호(EFLM)의 공급이 중단(즉, 시작 신호(EFLM)의 게이트 오프 레벨이 공급됨)될 수 있다. 이 때, 제1 트랜지스터(T1) 및 제11 트랜지스터(T11)가 턴-오프 상태에서부터 턴-온 상태로 변경된다. 따라서, 제1 내지 제6 노드(N1 내지 N6)의 전압들은 이전 상태를 유지할 수 있다.
- [0163] 제1 시점(t1)에서 게이트 오프 레벨(하이 전압)의 제4 노드(N4)의 전압에 의해 제2 트랜지스터(T2)는 턴-오프되고, 제1 노드(N1)와 제3 노드(N3)의 전기적 연결이 끊어질 수 있다. 제1 노드(N1)와 제3 노드(N3) 사이의 전기적 연결이 끊어지면, 제3 노드(N3)의 전압은 이전 상태의 전압 레벨을 유지할 수 있다. 제2 커패시터(C2)의 일단에 공급되는 제2 클럭 신호(CLK2)의 변경에 의한 제2 커패시터(C2)의 커플링에 의해 제3 노드(N3)의 전압이 미세하게 하강될 수 있다. 따라서, 제8 트랜지스터(T8)는 안정적으로 턴-온 상태를 유지할 수 있다.
- [0164] 제2 시점(t2)에 제2 입력 단자(102)로 제1 클럭 신호(CLK1)가 공급될 수 있다. 이에 따라, 제3 트랜지스터(T3) 및 제5 트랜지스터(T5)가 턴-온될 수 있다. 이 때, 제2 클럭 신호(CLK2)의 공급은 중단된다.
- [0165] 제3 트랜지스터(T3)가 턴-온되면 제1 입력 단자(101)로 게이트 오프 레벨의 전압이 공급될 수 있다. 다만, 제2 트랜지스터(T2)가 턴-오프 상태를 가지므로, 게이트 오프 레벨의 전압이 제3 노드(N3)로 전달되지 않는다. 즉, 제1 노드(N1)와 제3 노드(N3)가 전기적으로 분리(또는, 개방(opened))된 상태가 유지된다. 이 때, 제3 노드(N3)의 전압은 이전 상태의 전압 레벨을 유지할 수 있다. 예를 들어, 제3 노드(N3)는 제1 및 제2 커패시터들(C1, C2) 및 기생 커패시터들에 의해 이전 상태의 전압 레벨을 큰 변화 없이 유지할 수 있다. 이에 따라, 제8 트랜지스터(T8)는 턴-온 상태를 유지하며, 발광 제어 신호(E1)는 게이트 온 레벨로 출력될 수 있다.
- [0166] 제5 트랜지스터(T5)가 턴-온되면, 제2 노드(N2)로 게이트 온 레벨의 전압이 전달될 수 있다. 여기서, 제5 노드(N5)의 전압에 의해 제10 트랜지스터(T10)가 턴-온되고, 게이트 오프 레벨의 제2 클럭 신호(CLK2)가 제6 노드(N6)로 전달될 수 있다. 제6 노드(N6)가 게이트 오프 레벨의 전압을 가지므로, 제3 커패시터(C3)의 커플링에 의해 제5 노드(N5)의 전압은 제1 로우 레벨(L)로 변할 수 있다.
- [0167] 한편, 제2 시점(t2)에서 턴-온 상태의 제12 트랜지스터(T12)에 의해 제4 노드(N4)로 제2 전원(VGH)의 전압이 공급될 수 있다. 그러면, 제4 노드(N4)는 게이트 오프 레벨의 전압을 유지하고, 제9 트랜지스터(T9)는 턴-오프 상태를 유지할 수 있다. 제4 커패시터(C4)에는 제9 트랜지스터(T9)를 턴-오프할 수 있는 전압이 충전될 수 있다.
- [0168] 또한 제2 시점(t2)에서, 게이트 오프 레벨의 제1 클럭 신호(CLK1)에 의해 제11 트랜지스터(T11)가 턴-오프 상태이므로, 제4 노드(N4)는 제5 노드(N5)의 전압 및 제6 노드(N6)의 전압과 무관하게 제2 전원(VGH)의 전압을 가질 수 있다.
- [0169] 제3 시점(t3)에 제3 입력 단자(103)으로 제2 클럭 신호(CLK2)가 공급될 수 있다. 이에 따라, 제1 트랜지스터(T1), 제7 트랜지스터(T7), 및 제11 트랜지스터(T11)가 턴-온될 수 있다.
- [0170] 이 때, 제1 클럭 신호(CLK1) 및 시작 신호(EFLM)는 게이트 오프 레벨을 갖는다. 따라서, 제3 내지 제5 트랜지스터들(T3, T4, T5)는 턴-오프 상태를 갖는다.
- [0171] 또한, 제3 시점(t3)에서 턴-온 상태를 유지하는 제10 트랜지스터(T10)에 의해 제6 노드(N6)에 제2 클럭 신호(CLK2)의 게이트 온 전압이 공급될 수 있다. 이에 따라, 제5 노드(N5)의 전위가 제3 커패시터(C3)의 커플링에 의해 제2 로우 레벨(2L)로 변할 수 있다.
- [0172] 한편, 제3 시점(t3)에서 게이트 온 레벨의 제2 노드(N2)의 전압에 응답하여 제6 트랜지스터(T6)가 턴-온 상태를 유지할 수 있다. 따라서, 제2 클럭 신호(CLK2)에 응답하여 턴-온된 제7 트랜지스터(T7)에 의해 제2 전원(VGH)이 제1 노드(N1)에 공급될 수 있다. 이에 따라, 제1 노드(N1)는 게이트 오프 레벨의 전압을 가질 수 있다.
- [0173] 일 실시예에서, 턴-온된 제11 트랜지스터(T11)에 의해 제6 노드(N6)의 전압이 제4 노드(N4)로 전달되고, 제4 노

드(N4)는 게이트 온 레벨의 전압을 가질 수 있다. 따라서, 제9 트랜지스터(T9)가 턴-온되어 발광 제어 신호(E1)가 게이트 오프 레벨로 변할 수 있다. 또한, 제4 노드(N4)의 전압에 의해 제2 트랜지스터(T2)가 턴-온될 수 있다.

- [0174] 제2 트랜지스터(T2)가 턴-온되면, 제1 노드(N1)의 전압이 제3 노드(N3)로 전달될 수 있다. 따라서, 제3 노드(N3)는 게이트 오프 레벨의 전압을 가지며, 제8 트랜지스터(T8)가 턴-오프될 수 있다. 따라서, 제3 시점(t3)에 발광 제어 신호(E1)는 게이트 오프 레벨을 가질 수 있다.
- [0175] 즉, 시작 신호(EFLM)가 게이트 오프 레벨로 천이된 후, 제2 클럭 신호(CLK2)의 폴링 시점(즉, 제3 시점(t3))에 동기하여 발광 제어 신호(E1)가 게이트 오프 레벨로 천이될 수 있다.
- [0176] 게이트 온 레벨의 발광 제어 신호(E1)가 출력되는 기간(즉, 제3 시점(t3) 전까지의 기간)은 노드 분리 기간(NSP)으로 정의될 수 있다. 노드 분리 기간(NSP)에는 제2 트랜지스터(T2)가 턴-오프되므로, 제1 노드(N1)와 제3 노드(N3)가 전기적으로 분리된다. 따라서, 노드 분리 기간(NSP)에 시작 신호(EFLM)의 게이트 오프 레벨이 제3 노드(N3)로 전달되는 것이 방지될 수 있다. 이에 따라, 제3 시점(t3) 전에 발광 제어 신호(E1)의 전압 레벨이 의도치 않게 상승되는 것이 방지될 수 있다.
- [0177] 이후, 제4 시점(t4)에 제2 클럭 신호(CLK2)의 공급이 중단될 수 있다. 즉, 게이트 온 레벨의 제2 클럭 신호(CLK2)가 게이트 오프 레벨로 천이될 수 있다. 이에 따라, 제1 트랜지스터(T1), 제7 트랜지스터(T7), 및 제11 트랜지스터(T11)가 턴-오프될 수 있다.
- [0178] 이 때, 턴-온 상태의 제10 트랜지스터(T10)에 의해 제6 노드(N6)에 게이트 오프 레벨의 제2 클럭 신호(CLK2)가 공급되고, 제6 노드(N6)의 전압이 게이트 오프 레벨로 상승된다. 제3 커패시터(C3)의 커플링에 의해 제5 노드(N5)의 전압이 제1 로우 레벨(L)로 상승될 수 있다.
- [0179] 이후, 게이트 오프 레벨의 시작 신호(EFLM)가 공급되는 상태에서 제5 시점(t5)까지 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)의 공급이 교번적으로 반복되며, 이에 응답하여 제5 및 제6 노드들(N5, N6)의 전압 레벨들이 변경될 수 있다. 그러나, 상기 기간에서 제6 노드(N6)의 전압이 게이트 오프 레벨을 가질 때, 제1 트랜지스터(T11)가 턴-오프되므로, 제4 노드(N4)는 게이트 온 레벨을 유지할 수 있다.
- [0180] 또한, 제5 및 제6 노드들(N5, N6)의 전압 이외의 노드들에서는 전압 레벨의 천이가 발생되지 않으므로, 발광 제어 신호(E1)는 게이트 오프 레벨을 유지한다.
- [0181] 제5 시점(t5)에 시작 신호(EFLM)가 게이트 온 레벨로 천이된다. 제5 시점(t5)에서 제1 클럭 신호(CLK1)는 게이트 오프 레벨을 가지므로, 제3 트랜지스터(T3)는 턴-오프 상태이다. 따라서, 제5 시점(t5)에서 시작 신호(EFLM)의 파형 변화는 스테이지(ST1)의 동작 및 발광 제어 신호(E1)의 출력에 영향을 주지 않는다.
- [0182] 한편, 제5 시점(t5)에 제4 노드(N4)는 게이트 온 레벨을 갖고, 제1 트랜지스터(T1)가 턴-온되므로, 제2 트랜지스터(T2)가 턴-온될 수 있다.
- [0183] 이 후, 제6 시점(t6) 전에 제2 클럭 신호(CLK2)의 공급이 중단되어 제1 트랜지스터(T1)가 턴-오프될 수 있다. 따라서, 제2 트랜지스터(T2)의 게이트 전극과 제1 트랜지스터(T1) 사이의 전기적 연결이 끊어질 수 있다. 다만, 제2 트랜지스터(T2)의 게이트 전극에 연결되는 기생 커패시터에 의해, 이후 제1 트랜지스터(T1)의 턴-온에 의한 전압 제4 노드(N4)의 전압이 제2 트랜지스터(T2)의 게이트 전극으로 공급되기 전까지 제2 트랜지스터(T2)는 턴-온 상태를 유지할 수 있다.
- [0184] 다시 말하면, 제2 트랜지스터(T2)의 온/오프 상태는 제4 노드(N4)의 전압에 의해 결정되며, 제2 클럭 신호(CLK2)에 의해 제1 트랜지스터(T1)가 턴-온될 때 변경될 수 있다.
- [0185] 제6 시점(t6)에 제1 클럭 신호(CLK1) 및 시작 신호(EFLM)가 공급될 수 있다. 즉, 제1 클럭 신호(CLK1)가 게이트 오프 레벨로부터 게이트 온 레벨로 천이되고, 제3 트랜지스터(T3) 및 제5 트랜지스터(T5)가 턴-온될 수 있다. 또한, 제6 시점(t6)에 제1 트랜지스터(T1)는 턴-오프 상태를 가지므로, 제2 트랜지스터(T2)는 턴-온 상태를 유지할 수 있다.
- [0186] 제3 트랜지스터(T3)가 턴-온되면 제1 입력 단자(I01)를 통해 제1 노드(N1)로 게이트 온 레벨의 전압(즉, 시작 신호(EFLM))이 공급될 수 있다. 따라서, 제4 트랜지스터(T4)가 턴-온되고, 제4 및 제5 트랜지스터들(T4, T5)을 통해 게이트 온 레벨의 전압이 제2 노드(N2)에 공급될 수 있다.
- [0187] 제2 트랜지스터(T2)는 턴-온 상태를 유지하므로, 제1 노드(N1)와 제3 노드(N3)가 전기적으로 연결될 수 있다.

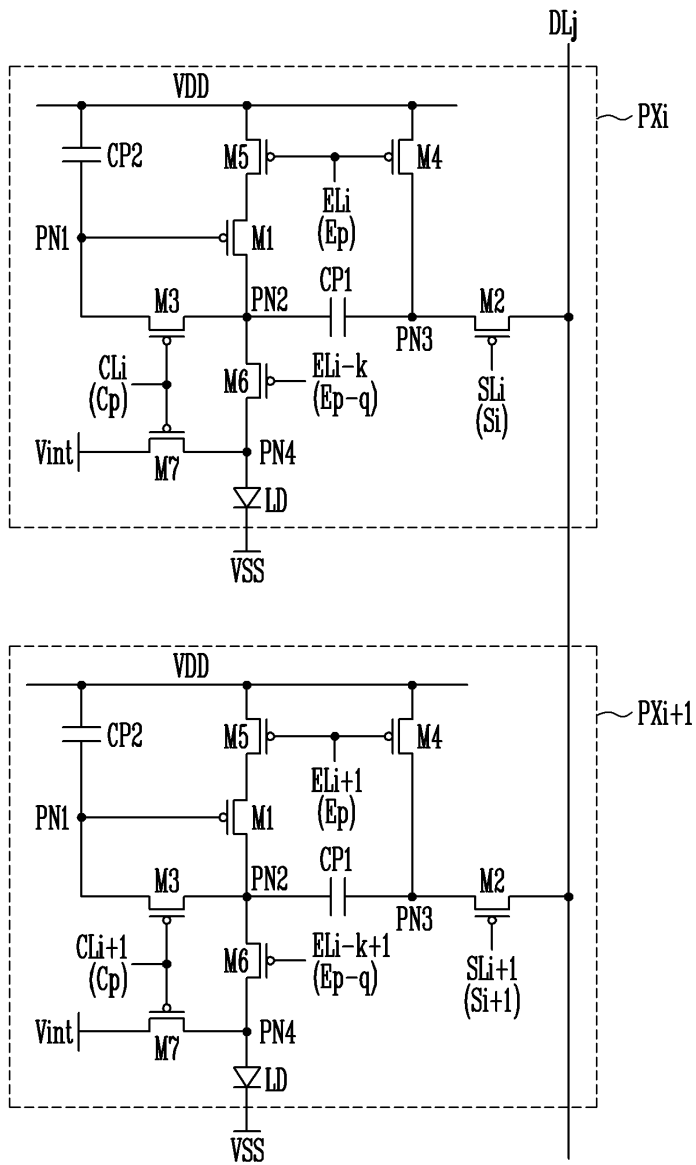
따라서, 제3 노드(N3)에 게이트 온 레벨의 전압이 공급될 수 있다.

- [0188] 게이트 온 레벨의 제3 노드(N3)의 전압에 의해 제12 트랜지스터(T12)가 턴-온되고, 제4 노드(N4)에 제2 전원(VGH)의 전압이 공급될 수 있다. 제4 노드(N4)의 전압에 응답하여 제9 트랜지스터(T9)가 턴-오프될 수 있다.
- [0189] 또한, 제6 시점(t6)에 게이트 온 레벨의 제3 노드(N3)의 전압에 응답하여 제8 트랜지스터(T8)가 턴-온될 수 있다. 제8 트랜지스터(T8)가 턴-온되면, 제2 전원(VGL)의 전압이 출력 단자(104)로 공급된다. 제2 전원(VGL)의 전압이 출력 단자(104)로 공급되면, 발광 제어 신호(E1)는 게이트 오프 레벨로 출력될 수 있다.
- [0190] 즉, 시작 신호(EFLM)가 게이트 온 레벨로 천이된 후, 제1 클럭 신호(CLK1)의 폴링 시점(즉, 제6 시점(t6))에 동기하여 발광 제어 신호(E1)가 게이트 온 레벨로 천이될 수 있다.
- [0191] 한편, 발광 제어 신호(E1)가 게이트 오프 레벨로 변하는 경우, 제1 커패시터(C1)의 커플링(또는, 부스팅)에 의해 제3 노드(N3)의 전압이 제1 노드(N1)의 전압보다 큰 폭으로 떨어질 수 있다. 따라서, 발광 제어 신호(E1)는 게이트 오프 레벨로부터 게이트 온 레벨로 빠르게 천이되며, 발광 제어 신호(E1)의 폴링 시간이 단축될 수 있다. 이에 따라, 발광 제어 신호(E1)의 폴링과 다시 라이징되는 시점 사이의 기간이 충분히 확보됨으로써 고속 구동 방식에서의 도 2b와 같은 화소 구동의 신뢰성이 향상될 수 있다.
- [0192] 한편, 발광 제어 신호(E1)의 폴링 시간과 트랜지스터(예를 들어, 제8 트랜지스터(T8))의 특성 편차 모두 고려하여 제2 커패시터(C2)와 제1 커패시터(C1)의 비율이 결정될 수 있다. 이에 따라, 제8 트랜지스터(T8)의 오동작 없이 발광 제어 신호(E1)의 폴링 시간이 최소화되며, 폴링 스텝이 제거 또는 최소화될 수 있다.
- [0193] 이후, 제2 클럭 신호(CLK2)가 공급되면, 제1 트랜지스터(T1)가 턴-온될 수 있다. 제1 트랜지스터(T1)의 턴-온에 의해 제2 트랜지스터(T2)의 게이트 전극으로 제4 노드(N4)의 게이트 오프 레벨의 전압이 공급되면, 제2 트랜지스터(T2)가 턴-오프될 수 있다. 따라서, 제1 노드(N1)와 제3 노드(N3) 사이의 전기적 접촉이 끊어질 수 있다. 이에 따라, 제1 커패시터(C1)와 제2 커패시터(C2)에 저장된 전압에 의해 제8 트랜지스터(T8)의 게이트 전극으로 충분한 낮은 게이트 온 레벨의 전압이 공급되고, 발광 제어 신호(E1)가 안정적으로 공급될 수 있다.
- [0194] 한편, 제2 클럭 신호(CLK2)의 공급에 의해 제4 노드(N4)의 전압이 게이트 온 레벨로 변하는 시점(제7 시점(t7))까지, 제2 트랜지스터(T2)의 턴-오프에 의한 제1 노드(N1)와 제3 노드(N3) 사이의 전기적 단선(open) 상태가 유지될 수 있다. 즉, 발광 제어 신호(E1)가 출력되는 제6 시점(t6)부터 제7 시점(t7)까지의 기간은 노드 분리 기간(NSP)일 수 있다.
- [0195] 이후, 시작 신호(EFLM)가 게이트 오프 레벨로 변화하면 제1 시점(t1) 내지 제6 시점(t6)의 동작이 반복될 수 있다.
- [0196] 도 6은 도 4의 파형도의 일부분을 확대한 파형도이다.
- [0197] 도 4 내지 도 6를 참조하면, 발광 제어 신호의 폴링 시간이 감소될 수 있다.
- [0198] 시작 신호(EFLM)가 게이트 오프 레벨(예를 들어, 하이 전압)로부터 게이트 온 레벨(예를 들어, 로우 전압)으로 변화된 후, 발광 제어 신호(E1)는 제1 클럭 신호(CLK1)의 게이트 온 레벨에 응답하여 하강될 수 있다. 일 실시 예에서, 발광 제어 신호(E1)의 폴링 시간(또는, 폴링 속도)는 제1 커패시터(C1)와 제2 커패시터(C2)의 커패시턴스 비율에 따라 제어될 수 있다.
- [0199] 예를 들어, 제2 커패시터(C2)가 존재하지 않거나, 제2 커패시터(C2)의 커패시턴스가 제1 커패시터(C1)의 커패시턴스에 비해 매우 작은 경우, 발광 제어 신호(E1)는 폴링 스텝 없이 빠르게 하강될 수 있다(도 6에 EW1으로 표시됨). 제2 커패시터(C2)의 커패시턴스가 증가할수록 발광 제어 신호(E1)의 폴링 시간이 증가(도 6에 EW2로 표시됨)되고, 슬루율이 감소될 수 있다.
- [0200] 다만, 트랜지스터들(예를 들어, 제8 트랜지스터(T8))의 제조 공정 상에서의 편차 및 열화에 따른 특성 변화를 고려한 마진을 설정을 위해, 제1 커패시터(C1)와 제2 커패시터(C2)의 비율이 조절될 수 있다.
- [0201] 도 7a 및 도 7b는 도 2의 발광 구동부에 포함되는 스테이지의 일 예를 나타내는 회로도이다.
- [0202] 도 7a 및 도 7b에서는 도 4를 참조하여 설명한 구성 요소들에 대해 동일한 참조 부호들을 사용하며, 이러한 구성 요소들에 대한 중복되는 설명은 생략하기로 한다. 또한, 도 7a 및 도 7b의 스테이지는 제2 신호 처리부의 제12 트랜지스터의 구성을 제외하면, 도 4의 스테이지와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [0203] 도 7a 및 도 7b를 참조하면, 제1 스테이지는 입력부(310), 출력부(320), 제1 신호 처리부(330), 제2 신호 처리

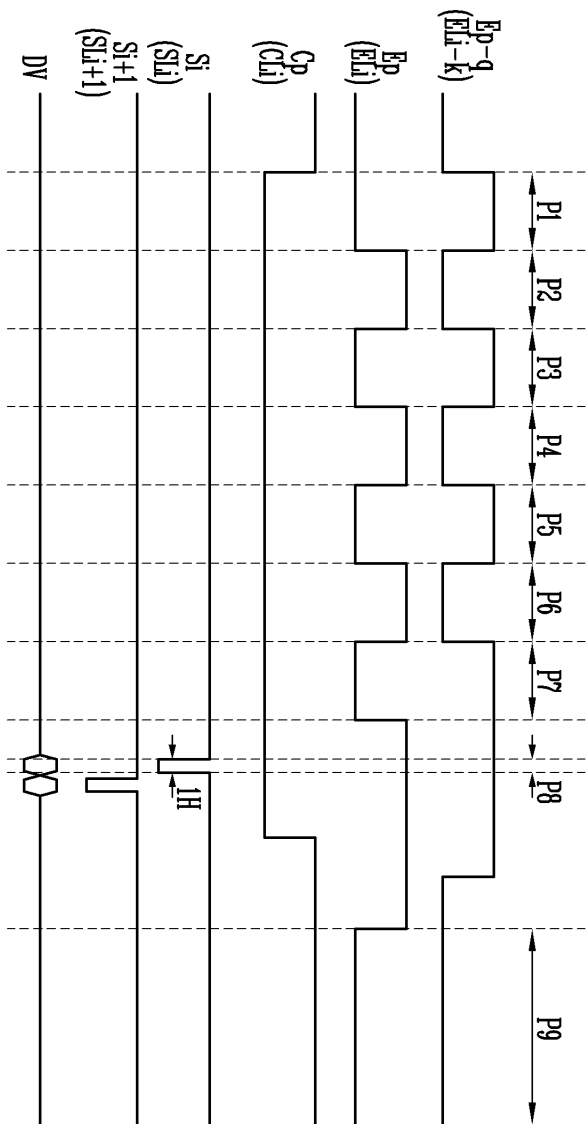
부(341, 342), 제1 안정화부(350), 및 제2 안정화부(360)를 포함할 수 있다.

- [0204] 제2 신호 처리부(341, 342)는 제3 노드(N3)의 전압에 응답하여 제4 노드(N4)에 제2 전원(VGH)의 전압을 공급할 수 있다. 제2 신호 처리부(341, 342)는 제4 커패시터(C4) 및 제12 트랜지스터(T12)를 포함할 수 있다.
- [0205] 일 실시예에서, 도 7a에 도시된 바와 같이, 제12 트랜지스터(T12)의 게이트 전극은 제3 트랜지스터(T3)와 제2 트랜지스터(T2) 사이에 접속될 수 있다. 다른 실시예에서, 도 7b에 도시된 바와 같이, 제12 트랜지스터(T12)의 게이트 전극은 제14 트랜지스터(T14)와 제8 트랜지스터(T8)의 게이트 전극 사이에 접속될 수 있다.
- [0206] 도 7a 및 도 7b의 스테이지들은 도 4의 스테이지와 실질적으로 동일한 동작을 할 수 있다. 따라서, 발광 구동부 및 이를 포함하는 표시 장치의 설계 조건 및 레이아웃에 따라 도 4, 도 7a, 도 7b의 회로 구성이 선택적으로 적용될 수 있다.
- [0207] 도 8은 도 2의 발광 구동부에 포함되는 스테이지의 일 예를 나타내는 회로도이고, 도 9는 도 8의 스테이지의 동작의 일 예를 나타내는 파형도이다.
- [0208] 도 8 및 도 9에서는 도 4 및 도 5를 참조하여 설명한 구성 요소들에 대해 동일한 참조 부호들을 사용하며, 이러한 구성 요소들에 대한 중복되는 설명은 생략하기로 한다. 또한, 도 8의 스테이지는 제7 트랜지스터 및 제2 커패시터의 구성을 제외하면, 도 4의 스테이지와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [0209] 도 8 및 도 9를 참조하면, 제1 스테이지는 입력부(311), 출력부(321), 제1 신호 처리부(330), 제2 신호 처리부(341, 342), 제1 안정화부(350), 및 제2 안정화부(360)를 포함할 수 있다.
- [0210] 입력부(311)는 제1 입력 단자(101), 제2 입력 단자(102), 및 제3 입력 단자(103)로 공급되는 신호들(예를 들어, 시작 신호(EFLM), 제1 클럭 신호(CLK1), 및 제2 클럭 신호(CLK2))에 응답하여 제2 노드(N2) 및 제3 노드(N3)의 전압들을 제어할 수 있다. 일 실시예에서, 입력부(311)는 제3 내지 제7 트랜지스터들(T3 내지 T7)을 포함할 수 있다.
- [0211] 제6 트랜지스터(T6)와 제7 트랜지스터(T7)는 제2 전원(VGH)과 제3 입력 단자(103) 사이에 서로 직렬로 접속될 수 있다. 제6 트랜지스터(T6)는 제2 노드(N2)에 접속되는 게이트 전극을 포함할 수 있다. 제6 트랜지스터(T6)는 제2 노드(N2)의 전압에 응답하여 턴-온 또는 턴-오프될 수 있다. 제7 트랜지스터(T7)는 제3 노드(N3)에 접속되는 게이트 전극을 포함할 수 있다. 제7 트랜지스터(T7)는 제3 노드(N3)의 전압에 대응하여 턴-온될 수 있다.
- [0212] 입력부(311)는 제2 커패시터(C2)를 더 포함할 수 있다. 제2 커패시터(C2)의 일 전극은 제6 트랜지스터(T6)와 제7 트랜지스터(T7) 사이에 접속되고, 제2 커패시터(C2)의 타 전극은 제3 노드(N3)에 접속될 수 있다.
- [0213] 제3 노드(N3)가 게이트 온 레벨을 가지면서 제2 노드(N2)가 게이트 오프 레벨을 갖는 경우, 제1 커패시터(C1)와 제2 커패시터(C2)의 연결 관계는 도 4, 도 7a, 및 도 7b의 제1 및 제2 커패시터들(C1, C2)의 연결 관계와 실질적으로 동일하다. 따라서, 제1 커패시터(C1)와 제2 커패시터(C2)의 커패시턴스 비율에 따라 발광 제어 신호(E1)의 폴링 시간 및 슬루율이 조절될 수 있다.
- [0214] 한편, 게이트 오프 레벨의 시작 신호(EFLM)가 공급된 후, 제1 클럭 신호(CLK1)가 공급되면 제2 노드(N2)에 게이트 온 레벨이 공급된다.
- [0215] 이 후, 제1 클럭 신호(CLK1)가 다시 공급되는 시점(즉, 도 9에 tt1으로 도시됨)에 제3 트랜지스터(T3)의 턴-온에 의해 제1 및 제3 노드들(N1, N3)로 게이트 오프 레벨의 시작 신호(EFLM)가 공급될 수 있다. 도 9의 발광 제어 신호(E1)는 도 5의 발광 제어 신호(E1)보다 클럭 신호들(CLK1, CLK2)의 약 반 주기 늦게 출력될 수 있다. 따라서, 발광 제어 신호(E1)의 게이트 오프 기간이 줄어들 수 있다. 그러나, 발광 제어 신호(E1)의 게이트 오프 기간은 3 수평주기(3H) 이상의 긴 시간을 가지므로, 이러한 게이트 오프 기간의 감소가 화소 구동에 불리한 영향을 주지는 않는다.
- [0216] 이와 같이, 고속 구동을 수행하기 위한 스테이지 회로 구성은 다양하게 설계될 수 있다.
- [0217] 상술한 바와 같이, 본 발명의 실시예들에 따른 발광 구동부 및 이를 포함하는 표시 장치는 발광 제어 신호(E1)의 게이트 온 기간에 제1 노드(N1)와 제3 노드(N3) 사이의 전기적 접속을 끊는(노드 분리) 제2 안정화부(360)를 구비하는 스테이지를 포함함으로써, 발광 제어 신호(E1)의 게이트 온 기간에서 발광 제어 신호(E1)의 전압 레벨이 의도치 않게 상승되는 것(또는, 제8 트랜지스터(T8)의 턴-오프, 제8 트랜지스터(T8)의 게이트 전압의 상승)이 방지될 수 있다.

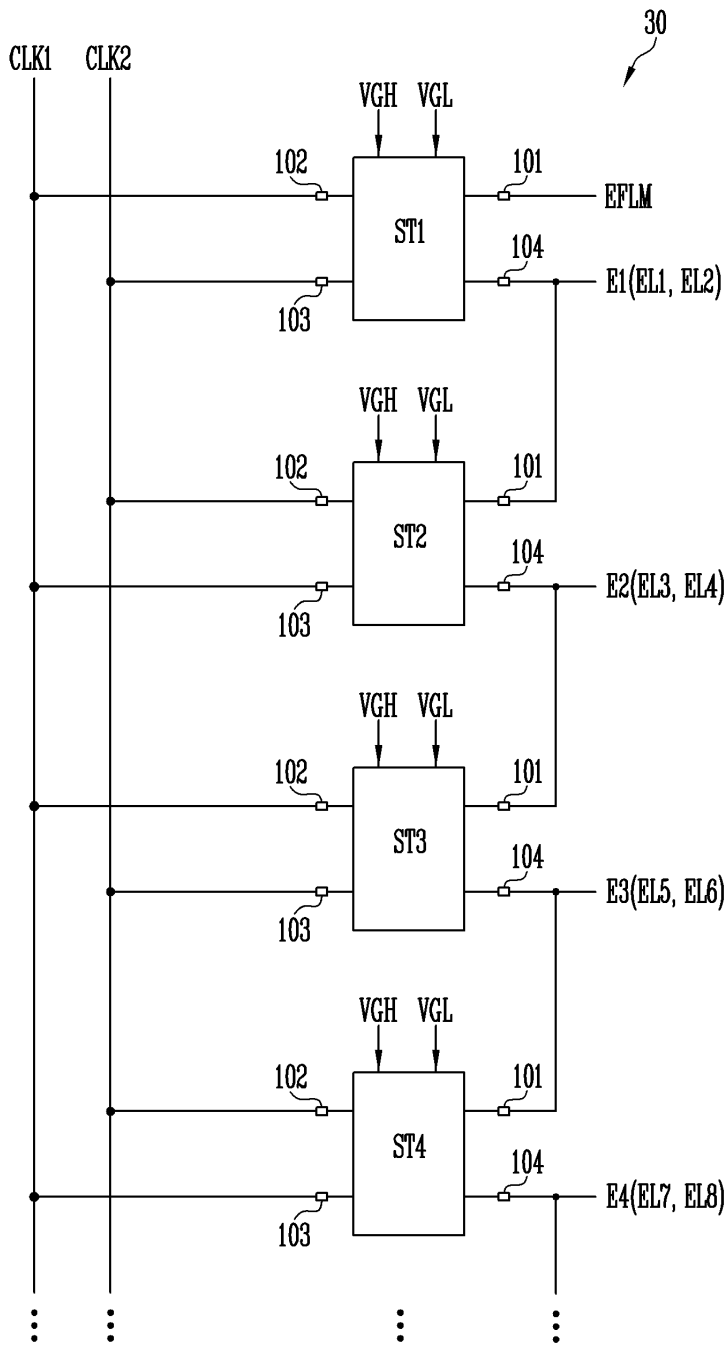
도면2a



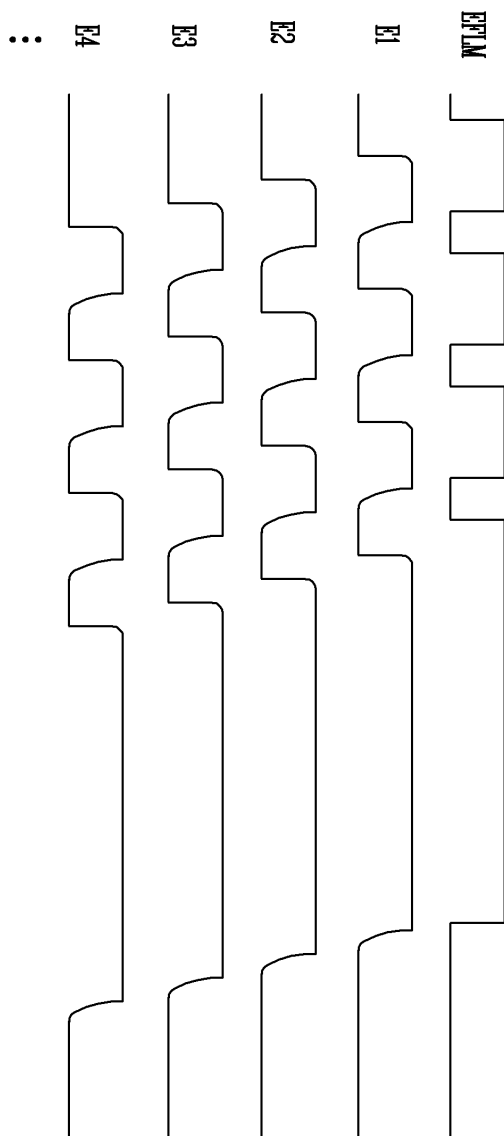
도면2b



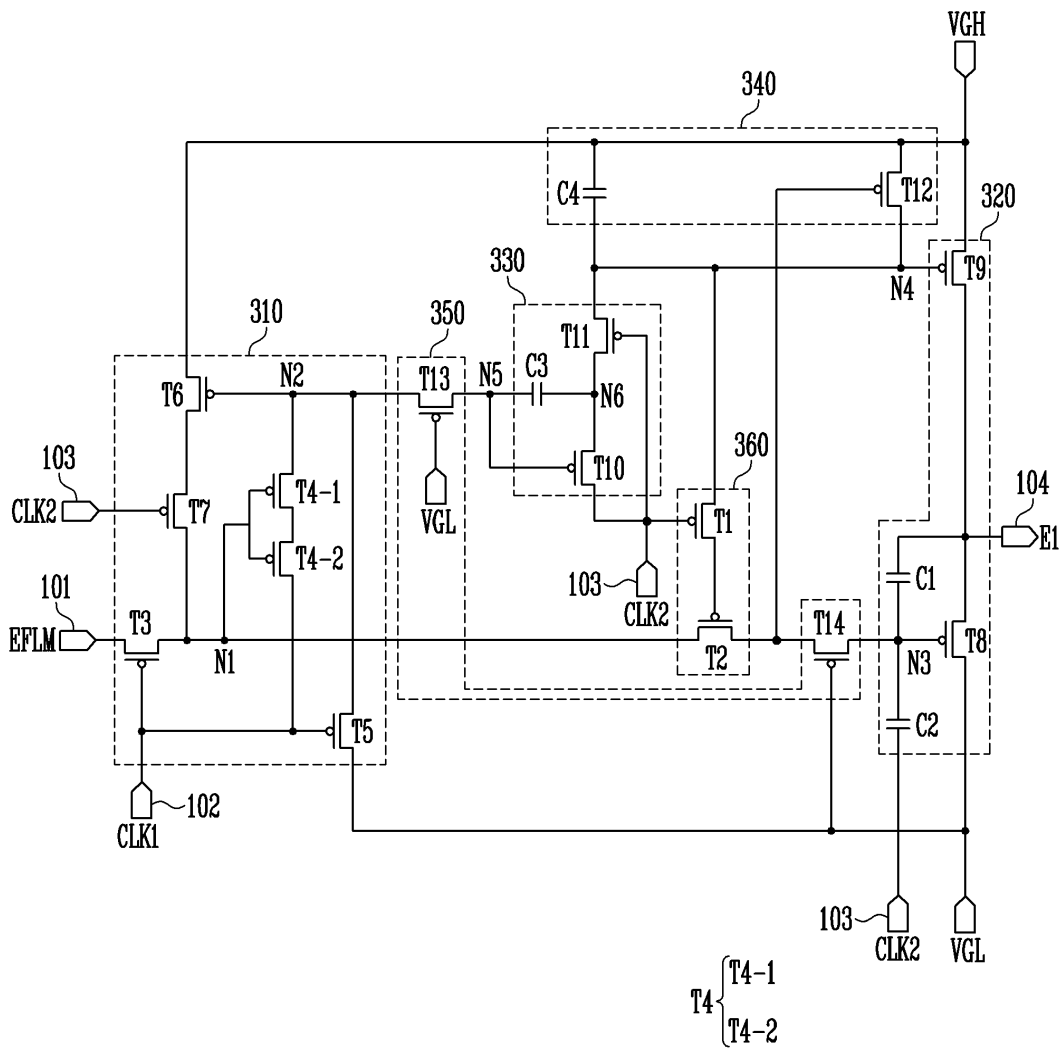
도면3a



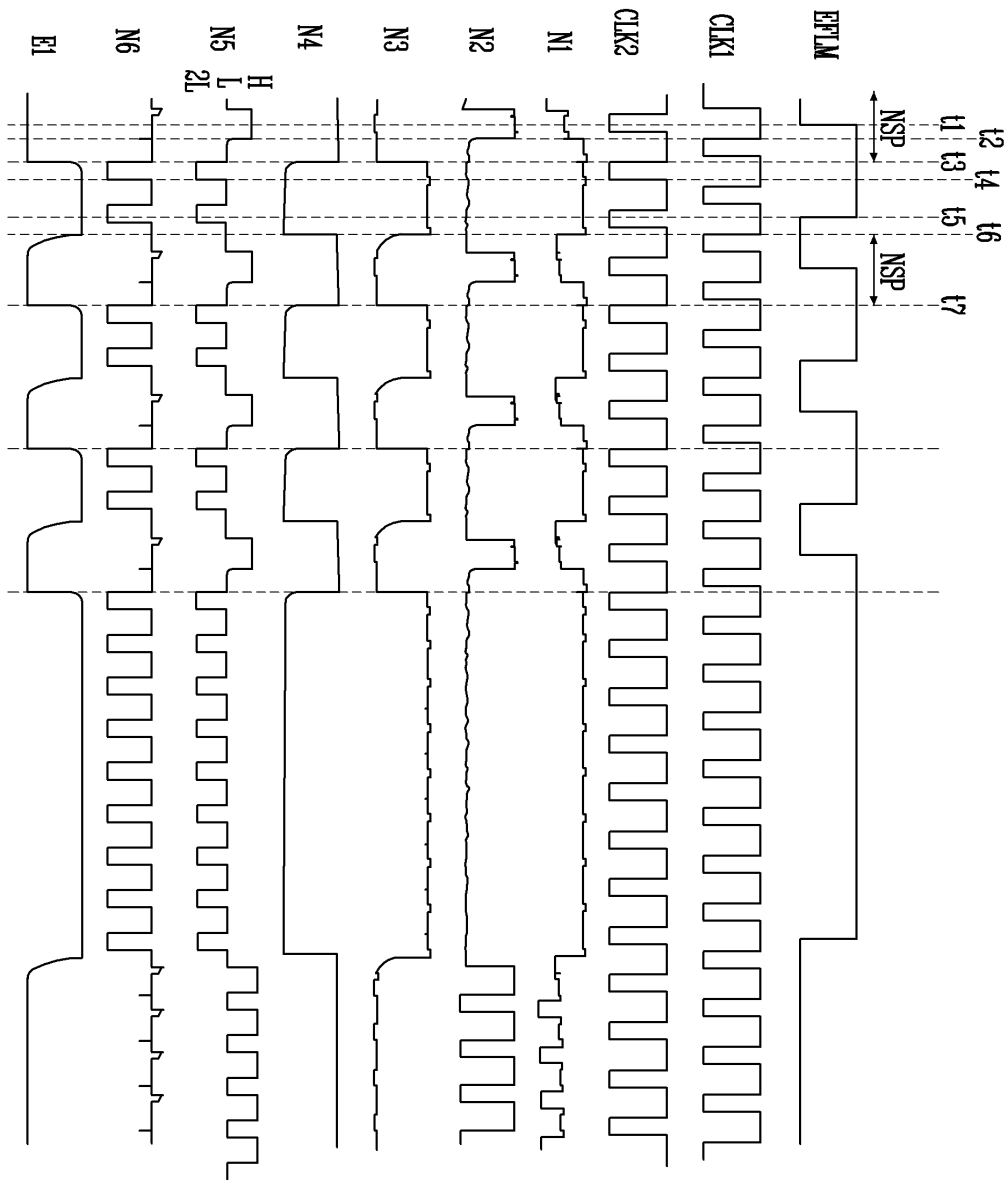
도면3b



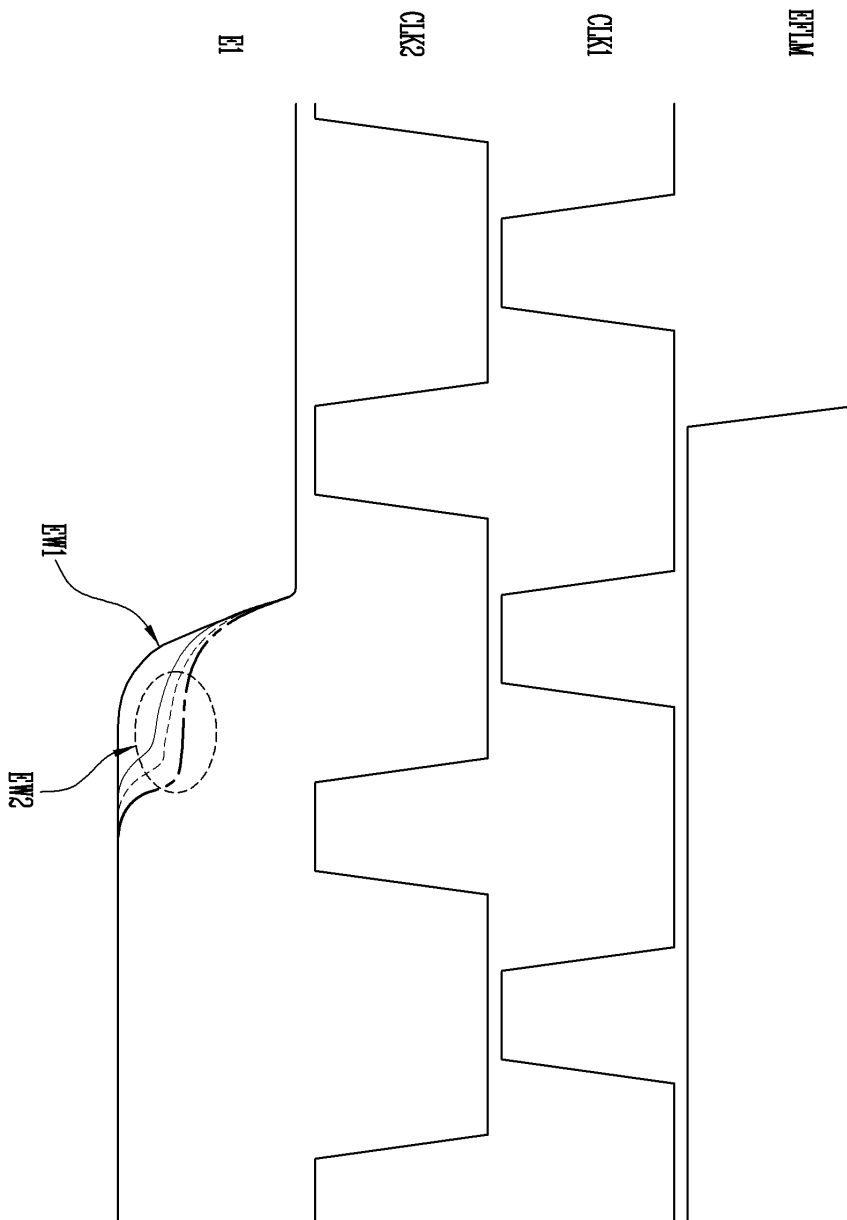
도면4



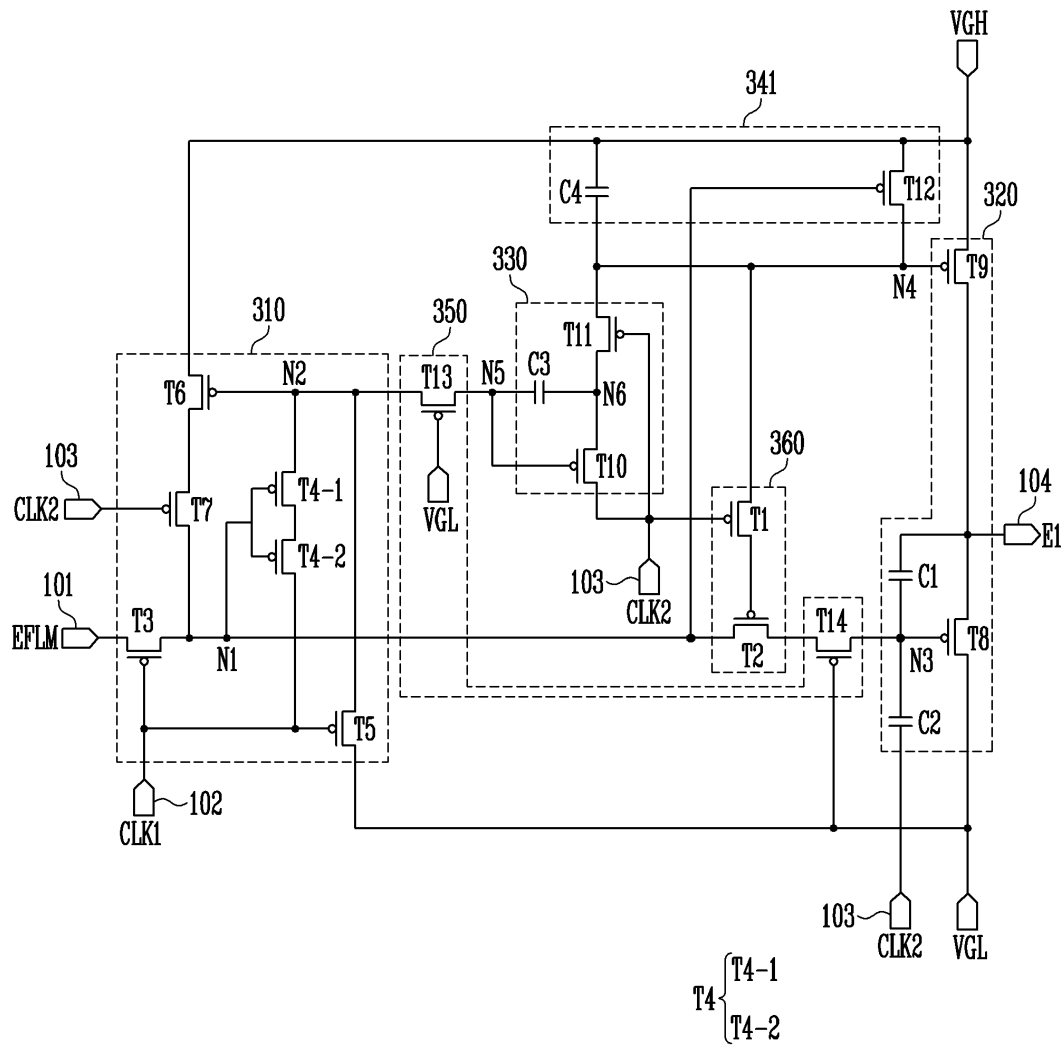
도면5



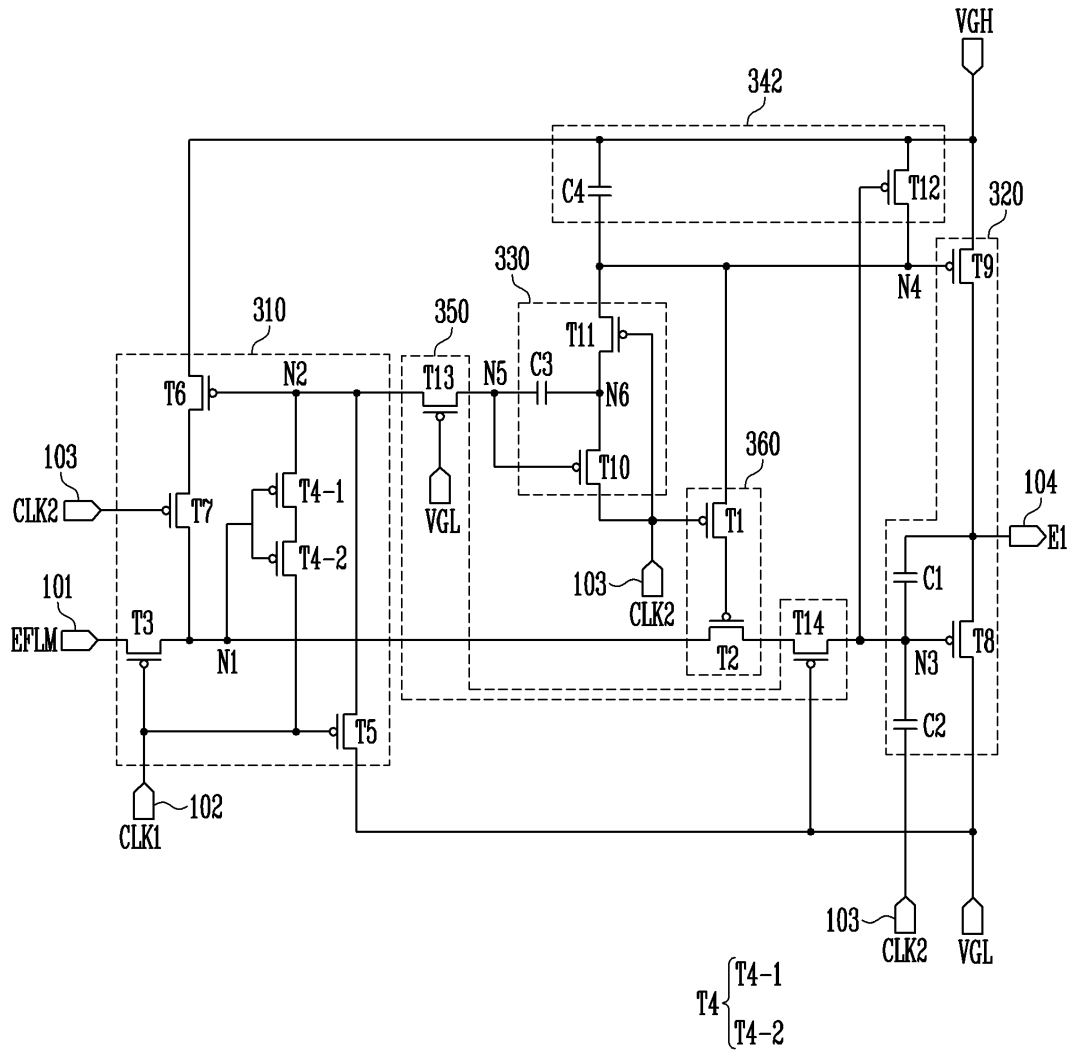
도면6



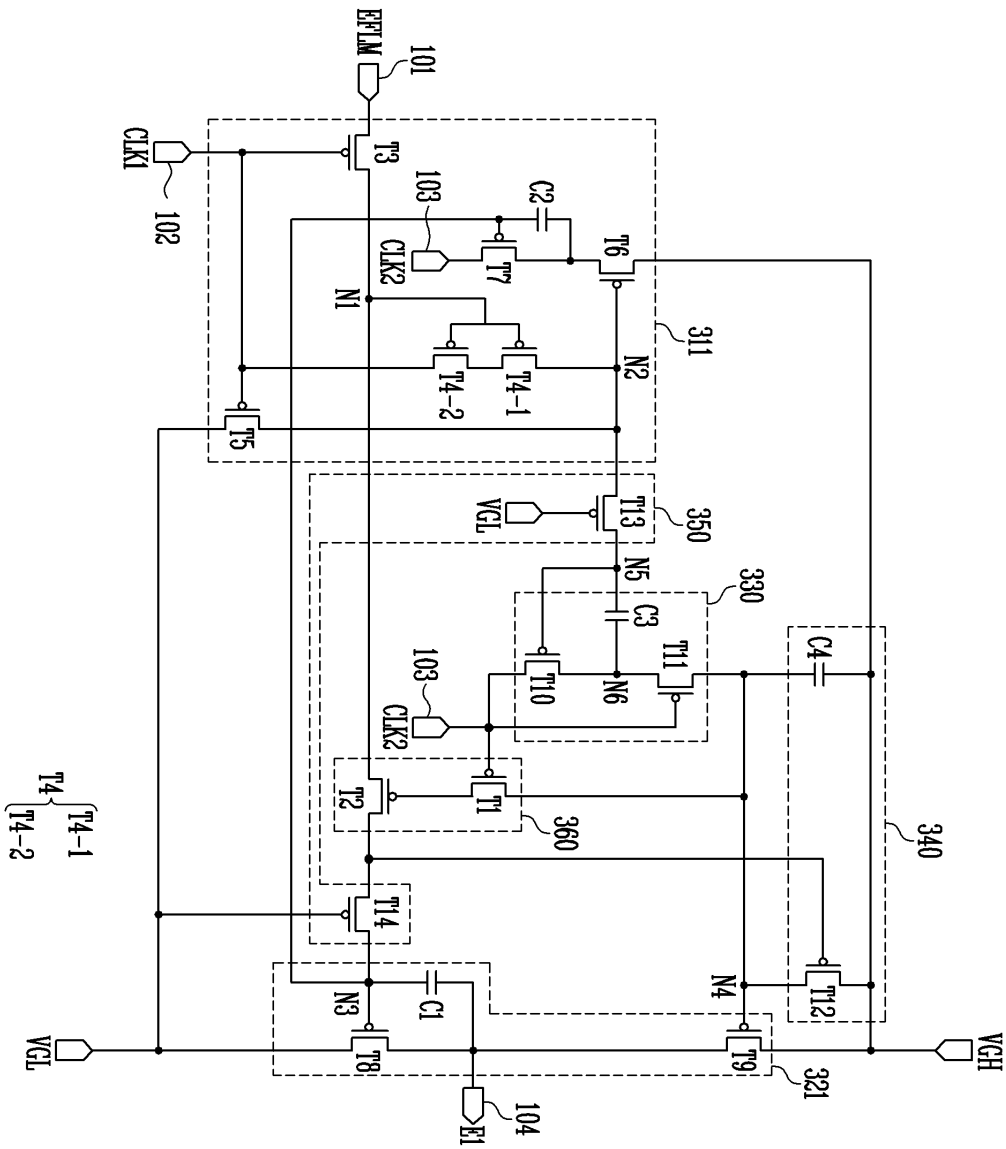
도면7a



도면7b



도면8



도면9

