



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0010578
(43) 공개일자 2009년01월30일

(51) Int. Cl.⁹

H03L 7/08 (2006.01)

(21) 출원번호 10-2007-0073813

(22) 출원일자 2007년07월24일

심사청구일자 2007년07월24일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김철우

서울 성북구 길음동 1283 길음뉴타운 605-1301호

정인화

서울 성북구 안암동 5가 103-34번지 201호

신지민

서울 강남구 역삼1동 812-9 301호

(74) 대리인

전중학

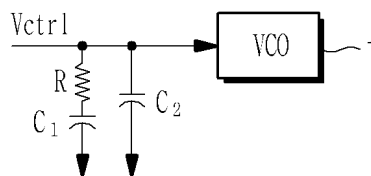
전체 청구항 수 : 총 10 항

(54) 광대역 위상 고정 루프 장치

(57) 요약

본 발명은 수동 소자 없이 넓은 주파수 범위에서 항상 같은 대역비를 가지는 광대역 위상 고정 루프 장치에 관한 것으로, 이를 위하여 루프필터를 능동소자로 구성하고, 내부 전압 제어 발진기 출력과 외부 기준 클럭을 근거로 자동적으로 내부 전압제어 발진기의 이득 모드를 조절할 수 있도록 하는 수단을 부가함으로써, 별도의 외부 제어 신호 없이도 입력되는 외부 기준 클럭에 따라 일정한 대역비를 가지면서 넓은 동작 주파수 범위를 가질 수 있는 효과가 있다.

대표도 - 도1



특허청구의 범위

청구항 1

복수의 지연셀들로 이루어지며 복수의 이득 곡선에 따른 동작 모드를 가지는 전압 제어 발진기와;

외부 기준 클럭과 상기 전압 제어 발진기의 출력을 근거로 상기 전압 제어 발진기에 대한 조정 전압을 생성하여 상기 전압 제어 발진기에 제공하는 위상 고정 루프 수단과;

상기 전압 제어 발진기의 출력과 상기 외부 기준 클럭을 근거로 상기 전압 제어 발진기의 동작 모드를 결정하는 신호를 제공하는 커스코드 생성부를 포함하는 것을 특징으로 하는 광대역 위상 고정 루프 장치.

청구항 2

제 1항에 있어서, 상기 위상 고정 루프 수단은 MOS 커패시터와 이를 증폭하는 증폭 수단으로 이루어진 능동 루프 필터를 더 포함하는 것을 특징으로 하는 광대역 위상 고정 루프 장치.

청구항 3

제 1항에 있어서, 상기 능동 루프 필터는 한쌍의 저항비를 통해 증폭도가 결정되는 제 1증폭기 및 입력 DC 전류를 방지하기 위해 상기 제 1연산 증폭기의 출력을 다시 증폭하는 제 2증폭기로 이루어진 증폭 수단에 병렬 연결된 MOS 커패시터를 포함하는 것을 특징으로 하는 광대역 위상 고정 루프 장치.

청구항 4

제 1항에 있어서, 상기 능동 루프 필터는

MOS 트랜지스터와;

제 1입력단이 상기 MOS 트랜지스터의 게이트와 연결되고, 제 2입력단이 제 1저항을 통해 접지되며, 상기 제 2입력단과 출력 사이에 제 2저항이 연결된 반전 연산 증폭기와;

상기 제 1연산 증폭기의 출력과 입력이 연결되고 그 출력은 상기 MOS 커패시터의 소스 및 드레인과 연결된 버퍼 증폭기로 이루어진 것을 특징으로 하는 광대역 위상 고정 루프 장치.

청구항 5

제 1항에 있어서, 상기 능동 루프 필터의 MOS 커패시터는 상기 전압 제어 발진기의 지연셀의 출력 커패시턴스에 비례한 넓이를 가지는 것을 특징으로 하는 광대역 위상 고정 루프 장치.

청구항 6

제 1항에 있어서, 상기 전압제어 발진기의 지연셀은

상기 조정 전압에 의해 지연값이 미세제어되는 수단과;

상기 커스코드 생성부의 복수 출력에 따라 온 오프되어 지연값이 이산적으로 변화되는 커스 제어 수단과;

저주파 동작을 위한 래치 수단을 포함하여 이루어지는 것을 특징으로 하는 광대역 위상 고정 루프 장치.

청구항 7

제 1항에 있어서, 상기 위상 고정 루프 수단은

외부 기준 클럭과 상기 전압 제어 발진기 출력에 대한 위상차를 복수 신호로 출력하는 위상-주파수 검출기와;

상기 위상 주파수 검출기의 출력들을 전하펌프를 통해 누적하여 제어 전압을 생성하는 수단과;

상기 제어 전압을 버퍼링하여 상기 조정 전압을 발생시킴과 아울러 상기 전하펌프와 전압 제어 발진기에 대한 바이어스 전압을 제공하는 바이어스 회로부를 포함하는 것을 특징으로 하는 광대역 위상 고정 루프 장치.

청구항 8

제 7항에 있어서, 상기 전하펌프에 제공되는 바이어스 전압은 상기 전압 제어 발진기의 지연 셀 전류에 비례하

는 것을 특징으로 하는 광대역 위상 고정 루프 장치.

청구항 9

제 1항에 있어서, 상기 커스 코드 생성부는 초기 전압 인가시 상기 전압 제어 발진기를 가장 낮은 이득 모드로 동작시키는 제어 신호를 제공하고, 상기 전압 제어 발진기의 출력과 상기 외부 기준 클럭을 비교하여 외부 기준 클럭이 더 빠를 경우 상기 전압 제어 발진기의 이득 모드를 상향 조정하는 제어 신호를 제공하는 과정을 상기 전압 제어 발진기의 출력이 상기 외부 기준 클럭보다 빠를 때까지 반복하는 것을 특징으로 하는 광대역 위상 고정 루프 장치.

청구항 10

제 1항에 있어서, 상기 커스 코드 생성부는

상기 전압 제어 발진기 출력을 지연시키는 복수의 제 1지연단과;

상기 외부 기준 클럭을 지연시키는 복수의 제 2지연단과;

상기 제 1지연단의 출력에 따른 상기 전압 제어 발진기의 출력 하강 모서리 위치를 검출하여 상기 전압 제어 발진기의 주기를 파악하는 식별기와;

상기 식별기의 출력과 상기 제 2지연단의 출력에 따른 외부 기준 클럭의 위상을 비교하여 상기 전압 제어 발진기 출력과 외부 기준 클럭의 선후를 파악하여 상기 전압 제어 발진기의 출력을 제어하는 신호를 출력하는 논리부를 포함하는 것을 특징으로 하는 광대역 위상 고정 루프 장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 광대역 위상 고정 루프 장치에 관한 것으로, 특히 수동 소자 없이 넓은 주파수 범위에서 항상 같은 대역비를 가지는 광대역 위상 고정 루프 장치에 관한 것이다.

배경 기술

- <2> 기존 광대역 위상 고정 루프의 경우, 넓은 주파수 범위를 조절하기 위해서 외부에서 추가적으로 제공되는 커스 코드를 이용하여 전압 제어 발진기를 조절하는 구성이 이용되었다. 하지만, 이러한 경우 커스 코드를 외부에서 인가해 주어야 하기 때문에 인터페이스와 같은 추가 구성이 필요하며, 외부에서 커스 코드를 제어해야 하는 부담이 발생한다. 특히, 발진 전압이 고정되지 않고 변화되는 경우에는 해당 변화를 고려하여 커스 코드를 제공해 주기 위한 수단이 필요하였다.
- <3> 또한, 정확한 전압 제어 발진기의 제어를 위한 제어 신호를 안정적으로 유지하기 위해서 상기 전압 제어 발진기 앞단에 위치하는 루프 필터는 루프 과정 속에서 고조파(harmonic)와 잡음들과 같은 불필요한 신호를 걸러내는 역할을 수행하는데, 주로 2차 혹은 3차 필터로 이루어진다. 도 1은 간단한 2차 저역통과 필터 형태를 가진 루프 필터의 구성 예로서, 도시한 바와 같이 저항(R) 및 커패시터(C1, C2)와 같은 고정된 수동 소자를 이용하여 구성하기 때문에 그 구성 면적이 커지며, 넓은 주파수 범위에서 일정한 필터 특성을 가지기 어렵다.
- <4> 미국 공개특허 US 6,441,660호 "고속 광대역 위상 고정 루프(HIGH SPEED, WIDE BANDWIDTH PHASE LOCKED LOOP)"에서는 이러한 문제점을 해결하기 위해서 미세 조정이 가능한 구조를 제안하고 이를 통해 광대역을 실현하고 있으나, 그로 인해 지터 특성이 좋지 않아 해당 위상 고정 루프를 고속 통신을 위한 용도로 적용하기 어려운 한계점이 있으며, 수동 소자로 이루어진 루프 필터를 사용하였기 때문에 광대역 전반에서 일정한 특성을 가지기 어렵고 많은 면적을 차지하게 되어 결과적으로 비용이 증가하게 된다.

발명의 내용

해결하고자 하는 과제

- <5> 본 발명 실시예들의 목적은 광대역 주파수 범위에서 위상 고정 루프가 안정적으로 동작하여 정확한 시간대에 클

력 신호가 생성되어 분배할 수 있도록 함과 아울러 공급 전압선에서 들어올 수 있는 잡음을 효과적으로 최소화하여 클럭 신호의 지터성분을 줄이도록 한 광대역 위상 고정 루프 장치를 제공하는 것이다.

<6> 본 발명 실시예들의 다른 목적은 광대역 주파수 범위에서 항상 최적의 성능을 유지하기 위해서 위상 고정 루프의 루프 대역이 동작 주파수에 적응적으로 변화하도록 함과 아울러 루프필터를 능동소자로 구성하여 회로의 면적을 최소화하도록 한 광대역 위상 고정 루프 장치를 제공하는 것이다.

<7> 본 발명 실시예들의 또 다른 목적은 별도의 외부 제어 신호 없이도 입력되는 외부 기준 클럭에 따라 일정한 대역비를 가지면서 넓은 동작 주파수 범위를 가질 수 있도록 한 광대역 위상 고정 루프 장치를 제공하는 것이다.

과제 해결수단

<8> 상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 광대역 위상 고정 루프 장치는 복수의 지연 셀들로 이루어지며 복수의 이득 곡선에 따른 동작 모드를 가지는 전압 제어 발진기와, 외부 기준 클럭과 상기 전압 제어 발진기의 출력을 근거로 상기 전압 제어 발진기에 대한 조정 전압을 생성하여 상기 전압 제어 발진기에 제공하는 위상 고정 루프 수단과, 상기 전압 제어 발진기의 출력과 상기 외부 기준 클럭을 근거로 상기 전압 제어 발진기의 동작 모드를 결정하는 신호를 제공하는 커스코드 생성부를 포함한다.

<9> 상기 위상 고정 루프 수단은 MOS 커패시터와 이를 증폭하는 증폭 수단으로 이루어진 능동 루프 필터를 더 포함한다.

<10> 상기 능동 루프 필터의 MOS 커패시터는 상기 전압 제어 발진기의 지연셀의 출력 커패시턴스에 비례한 넓이를 가지는 것이 바람직하다.

<11> 상기 위상 고정 루프 수단은 외부 기준 클럭과 상기 전압 제어 발진기 출력에 대한 위상차를 복수 신호로 출력하는 위상-주파수 검출기와, 상기 위상 주파수 검출기의 출력들을 전하펌프를 통해 누적하여 제어 전압을 생성하는 수단과, 상기 제어 전압을 버퍼링하여 상기 조정 전압을 발생시킴과 아울러 상기 전하펌프와 전압 제어 발진기에 대한 바이어스 전압을 제공하는 바이어스 회로부를 포함하여 이루어진다.

<12> 상기 커스 코드 생성부는 초기 전압 인가시 상기 전압 제어 발진기를 가장 낮은 이득 모드로 동작시키는 제어 신호를 제공하고, 상기 전압 제어 발진기의 출력과 상기 외부 기준 클럭을 비교하여 외부 기준 클럭이 더 빠를 경우 상기 전압 제어 발진기의 이득 모드를 상향 조정하는 제어 신호를 제공하는 과정을 상기 전압 제어 발진기의 출력이 상기 외부 기준 클럭보다 빠를 때까지 반복하는 방식으로 동작하도록 구성한다.

효과

<13> 본 발명의 실시예에 따른 광대역 위상 고정 루프 장치는 광대역 주파수 범위에서 위상 고정 루프가 안정적으로 동작하여 정확한 시간대에 클럭 신호가 생성되어 분배할 수 있도록 함과 아울러 공급 전압선에서 들어올 수 있는 잡음을 효과적으로 최소화하여 클럭 신호의 지터성분을 줄일 수 있는 효과가 있다.

<14> 본 발명의 실시예에 따른 광대역 위상 고정 루프 장치는 광대역 주파수 범위에서 항상 최적의 성능을 유지하기 위해서 위상 고정 루프의 루프 대역이 동작 주파수에 적응적으로 변화하도록 함과 아울러 루프필터를 능동소자로 구성하여 회로의 면적을 최소화할 수 있는 효과가 있다.

<15> 본 발명의 실시예에 따른 광대역 위상 고정 루프 장치는 내부 전압 제어 발진기 출력과 외부 기준 클럭을 근거로 자동적으로 내부 전압제어 발진기의 이득 모드를 조절할 수 있도록 하는 수단을 부가함으로써, 별도의 외부 제어 신호 없이도 입력되는 외부 기준 클럭에 따라 일정한 대역비를 가지면서 넓은 동작 주파수 범위를 가질 수 있도록 한 광대역 위상 고정 루프 장치를 제공하는 것이다.

발명의 실시를 위한 구체적인 내용

<16> 상기한 바와 같은 본 발명을 첨부된 도면들과 실시예들을 통해 상세히 설명하도록 한다.

<17> 도 2는 본 발명 일 실시예에 따른 광대역 위상 고정 루프를 나타낸 블록도로서, 도시된 바와 같이 외부 기준 클럭(REF)와 전압 제어 발진기(70)의 출력을 근거로 UP 신호와 DN 신호를 생성하는 위상-주파수 검출기(PFD)(10)와, 상기 위상 주파수 검출기(10)의 출력이 각각 두 개의 전하펌프(CP1, CP2)(30, 40)에 연결되어 실제 전압 제어 발진기(70)를 제어하는 기반이 되는 제어 전압(VCTRL)과 상황에 따라 가변되는 기준 전압(V_{FF})을 생성한다. 도시된 루프필터(Loop Filter)(80)는 상기 제어 전압(V_{CTRL})을 안정적으로 유지하기 위해 제 2전하펌프(CP2)(4

0)의 출력에 연결되며, 커스 코드 생성부(Coarse Code Generator)(20)는 상기 전압 제어 발진기(70)의 출력과 외부 기준 클럭(REF)을 근거로 상기 전압 제어 발진기(70)에서 선택 가능한 이득 모드 중 하나를 지정하도록 하는 제어 신호를 자동적으로 생성하여 상기 전압 제어 발진기(70)가 외부 기준 클럭(REF) 속도에 대응할 수 있도록 한다.

<18> 상기와 같은 구성의 기본적인 동작 과정을 설명하도록 한다.

<19> 먼저, 회로에 전원이 인가되면 전압 제어 발진기(70) 내부의 개시회로(startup circuit)에 의해 커스 코드 생성부(20)가 동작을 시작하게 된다. 상기 커스 코드 생성부(20)는 전압 제어 발진기(70)의 조정 전압(V_{FINE})을 0으로 리셋시켜 전압 제어 발진기(70)가 최대의 주파수로 발진하게 하고 그때의 주파수를 기준 클럭(REF)의 주파수와 비교한다. 커스 코드는 상기 전압 제어 발진기(70)의 이득을 가변할 수 있는 모드의 수에 따라 결정되는데, 여기서는 상기 전압 제어 발진기(70)가 3개의 모드를 가지도록 설계되었다고 가정하면 상기 커스 코드는 2비트가 사용될 수 있다. 상기 전압 제어 발진기(70)의 이득 모드에 관해서는 상기 전압 제어 발진기(70)의 내부 구성을 설명하면서 상세히 설명할 것이다.

<20> 2비트의 커스 코드는 상기 커스 코드 생성부(20)가 동작을 시작할 때, 00으로 리셋이 되어있는 상태이기 때문에, 기준 클럭(REF)의 주파수가 전압 제어 발진기(70)의 최대 주파수보다 빠른 경우만을 검사하여 기준 클럭의 주파수가 더 빠른 경우 커스 코드를 하나씩 증가시키는 형태로 동작한다.

<21> 커스 코드가 정해진 후에는 위상-주파수 검출기(10), 전하펌프(30, 40), 루프필터(80), 전압 제어 발진기(70)로 구성되는 일반적인 위상 고정 루프의 미세 동작을 통해 기준 클럭(REF)에 동기 된 클럭을 생성한다. 출력 클럭은 상기 전압 제어 발진기의 스테이지 수에 따른 다중 위상을 가지기 때문에 클럭 복원회로 등의 주변 회로와 연결하여 클럭 속도를 스테이지의 수로 곱한 속도로 데이터를 처리할 수 있다. 도시된 예에서는 14 스테이지 전압 제어 발진기(70)를 예로 든 것으로 14개의 상이한 위상을 가지는 동일한 주파수의 출력이 제공된다.

<22> 도 3은 바이어스 회로(90)를 도시한 것으로, 실질적으로 개시회로부는 전압제어 발진기(70)에 속해 있으며, 그 다음 단의 증폭기(50')와 후속 미러 부분(60')은 각각 도 2의 증폭기(50)와 제어 전압(V_{CTRL})을 버퍼링하는 미러부(60)에 대응되는 부분이며, 이러한 각 회로 부분들에 대해 바이어스 전압(VB)을 제공하기 위한 것이다.

<23> 즉, 상기 회로와 같은 구성을 통해서 내부적으로 발생되는 바이어스 전압(VB)을 전압 제어 발진기(70)와 전하펌프(30,40) 및 전압 제어 발진기(70)에 구성된 전류 소스에 제공한다. 바이어스 전압(VB)은 위상 고정 루프 회로가 잡음 때문에 공급 전압이 변할 때 최적으로 동작할 수 있도록 동적으로 변화하면서 각 세부 회로에 바이어스를 제공한다. 바이어스 회로가 하는 다른 한 가지 역할은 전하펌프와 루프필터를 거쳐 발생된 컨트롤 전압(V_{CTRL})을 버퍼링시킨 조정 전압(V_{FINE})을 발생시켜 전압 제어 발진기(70)에 제공하는 것으로, 바이어스 회로 내부의 증폭기가 제어 전압(V_{CTRL})을 쫓아가는 조정 전압(V_{FINE})을 출력으로 내보낸다. 이를 통해서 공급 전압(VDD) 라인에 발생하는 잡음이 V_{CTRL} 에 영향을 미쳐 오동작을 하는 것을 미연에 방지하여 전압 제어 발진기가 안정적인 클럭을 출력으로 내보내어 위상 고정 루프가 락(lock) 되어 잡음으로 인해 쉽게 락(lock)이 풀리는 현상을 줄일 수 있다.

<24> 상기 바이어스 전압(VB)을 발생시키기 위한 개시 회로는 그 가운데의 NMOS 트랜지스터가 항상 바이어스 회로를 켜지도록 하는 역할을 하고, 위아래에 다이오드 연결된 NMOS와 PMOS가 항상 포화영역의 전류를 발생시키도록 하는 역할을 한다. 또한 전하 펌프 전류가 각 동작 주파수에서 최적의 값을 가지게 하기 위하여 전하 펌프의 바이어스 전압도 도 4에 도시한 구성에서 생성된다. 전하 펌프의 바이어스 전압은 전압 제어 발진기(70)를 구성하는 지연 셀의 전류에 비례하는 전하 펌프 전류를 유도하도록 발생된다.

<25> 도 4는 복수의 지연셀(71)을 포함하는 전압 제어 발진기(70)와 이를 제어하기 위한 신호원들인 커스 코드(CC<0:1>)와 조정 전압(V_{FINE}) 및 바이어스 전압(VB)의 연결 구성을 보인 것이다.

<26> 각 지연 셀(71)의 출력 커패시턴스를 C_{EFF} , 저항을 R_{EFF} 라고 할 때, 각 지연 셀(71)의 지연은 다음과 같다.

수학식 1

$$t = R_{EFF} \cdot C_{EFF} = \frac{1}{g_m} \cdot C_{EFF}$$

<27>

<28> 출력 전압이 V_{CTRL} 일 때 대칭 부하(Symmetric Load)에 흐르는 전류는 각 지연 셀의 바이어스 전류(2ID)와 일치한다. 이를 기반으로 PMOS의 전달 컨덕턴스를 계산하면 다음의 수학적 식 2와 같다.

수학적 식 2

<29>
$$g_m = k \cdot (V_{CTRL} - V_T) = \sqrt{2 \cdot k \cdot I_D}$$

<30> 수학적 식 2를 수학적 식 1식에 대입하면 각 지연 셀의 지연은 다음의 수학적 식 3과 같다.

수학적 식 3

<31>
$$t = \frac{C_{EFF}}{k \cdot (V_{CTRL} - V_T)}$$

<32> 각 지연 셀(71)의 지연이 구해졌으므로 전압 제어 발진기(70)의 동작 주파수를 구할 수 있고 그 식을 컨트롤 전압으로 미분하면 전압 제어 발진기(70)의 이득을 구할 수 있다. 그 과정이 수학적 식 4에 나타나 있다. 여기서 n은 지연 셀의 개수이고, C_B 는 지연 셀 전체의 커패시턴스이다.

수학적 식 4

<33>
$$K_V = \left| \frac{dF}{dV_{CTRL}} \right| = \left| \frac{d}{dV_{CTRL}} \left(\frac{1}{2 \cdot n \cdot t} \right) \right| = \left| \frac{d}{dV_{CTRL}} \left(\frac{k \cdot (V_{CTRL} - V_T)}{C_B} \right) \right| = \left| \frac{d}{dV_{CTRL}} \left(\frac{\sqrt{2 \cdot k \cdot I_D}}{C_B} \right) \right|$$

$$= \frac{k}{C_B}$$

<34> 감쇠 지수와 루프 대역을 수식으로 나타내면 다음의 수학적 식 5 및 6과 같다.

수학적 식 5

<35>
$$\zeta = \frac{1}{2} \sqrt{\frac{1}{N} \cdot I_{CP} \cdot K_V \cdot R^2 \cdot C_1}$$

수학적 식 6

<36>
$$\omega_N = \frac{2 \cdot \zeta}{R \cdot C_1}$$

<37> 전하펌프의 전류는 지연 셀의 바이어스 전류(2ID)에 비례하도록 하고, 루프필터(80)의 저항은 지연 셀의 대칭 부하에 비례하도록 함으로써 감쇠 지수와 대역비를 일정하게 할 수 있다. 즉, 다음의 수학적 식 7과 8을 얻을 수 있다.

수학적 식 7

<38>
$$I_{CP} = x \cdot (2 \cdot I_D)$$

수학적 식 8

<39>
$$R = \frac{y}{2 \cdot g_m} = \frac{y}{\sqrt{8 \cdot k \cdot I_D}}$$

<40> 전하펌프의 전류(ICP)는 지연 셀의 바이어스 전류보다 x배 크도록 하고, 루프필터의 저항을 지연 셀의 대칭 부하보다 y배 크도록 설계하는 것이다. 식 (7)과 (8)을 (5)와 (6)에 대입하면 다음과 같은 결과를 얻을 수 있다.

$$\zeta = \frac{\gamma}{4} \cdot \sqrt{\frac{x}{N}} \cdot \sqrt{\frac{C_1}{C_B}} \quad (9)$$

$$\frac{\omega_N}{\omega_{REF}} = \frac{1}{2\pi \cdot F_{REF}} \cdot \frac{2 \cdot \zeta}{R \cdot C_1} = \frac{\sqrt{x \cdot N}}{2\pi} \cdot \sqrt{\frac{C_B}{C_1}} \quad (10)$$

식 (9)와 (10)에서 확인할 수 있듯 감쇠 지수와 대역비는 루프필터(80)의 커패시턴스와 지연 셀(71)의 커패시턴스의 비율에 의존하는 것을 알 수 있다. 두 파라미터 모두 동작주파수의 함수가 아니므로 위상 고정 루프가 동작하는 범위에서는 항상 같은 값을 유지한다.

도 5는 상기 전압 제어 발진기(70)의 각 지연 셀(71)의 회로 구성의 예를 보인 것이다. 여기서, 각 지연 셀은 기본적으로 미세 조정을 하기 위한 부분과 커스 조정을 하기 위한 2개의 스위치, 그리고 10MHz까지 아주 낮은 주파수에서 동작할 수 있도록 간단한 래치를 덧붙여 설계하였다. 이 경우 해당 회로는 커스 코드에 따라 3종류의 상이한 이득 곡선에 따라 동작하게 되며, 필요한 경우 이러한 스위치들을 더 부가하는 것으로 더 많은 종류의 상이한 이득 곡선에 따라 동작하도록 할 수 있고, 그에 따라 커스 코드의 코드 비트도 결정될 수 있다.

만일, 미세 조정만을 통해서 광대역 위상 고정 루프를 구성하고자 한다면 높은 전압 제어 발진기 이득을 적용하는 것으로 구현할 수도 있으나, 전압 제어 발진기(70)의 이득이 높으면 외부 잡음에 매우 민감하게 반응하여 지터 특성을 떨어뜨린다는 단점이 있다. 따라서, 여기서는 광대역 특성과 저지터 특성을 모두 포함할 수 있도록 커스 코드 제어를 사용하는 전압 제어 발진기(70)의 구조를 사용하여 3가지 이득 모드를 먼저 결정한 후 미세 조정을 수행하도록 구성하였으므로 원하는 목적을 달성할 수 있게 된다.

커스 코드 CC<0>과 CC<1>이 모두 0인 경우 3개의 이득 곡선 중 가장 아래 곡선 상에서 전압 제어 발진기는 미세 조정을 하게 된다. CC<0>이 1인 경우 각 지연 셀의 바이어스 회로가 이산적인 양만큼 증가하므로 그에 비례적으로 지연 셀의 지연이 감소하고, 전압 제어 발진기의 동작 주파수는 증가하게 된다. CC<1>까지 다 1이 되면 가장 높은 영역의 이득 곡선에서 주파수가 조절되게 된다.

각 지연 셀의 조정 전압(V_{FINE})은 대칭 부하를 조절하는 역할을 한다. 각 단의 출력노드에서의 커패시턴스와 대칭 부하 값이 각 단의 지연시간 결정하므로, 조정 전압(V_{FINE})은 전압 제어 발진기의 동작주파수를 제어하는 역할을 하는 전압이라고 할 수 있다. 조정 전압(V_{FINE})이 증가하면 전류가 감소하여 지연 시간은 증가하게 된다. 이러한 방식으로 조정 전압(V_{FINE})은 지연 셀의 지연 시간, 즉 발진 주파수를 조절하게 되고 조정 전압(V_{FINE})과 전압 제어 발진기(70)의 동작 주파수는 반비례관계에 있다.

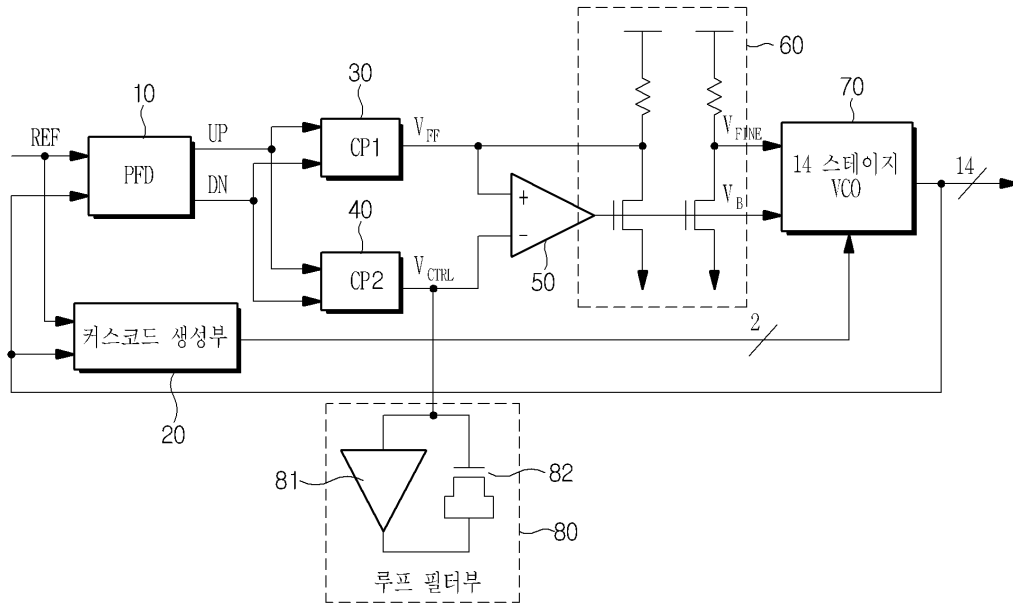
도 6에 증폭기를 사용한 능동 루프필터의 기본적인 구성도를 나타내었다.

도시된 루프필터(80)는 MOS 커패시터(82)를 사용함으로써 매우 작은 면적을 차지하면서도 공정상 변화에도 커패시턴스의 비율이 항상 일정하도록 하였다. 다만, 루프필터(80)의 커패시턴스와 지연 셀의 출력 커패시턴스는 비례관계에 있어야 하므로 지연 셀의 출력 커패시턴스를 모델링하여 그에 비례한 넓이의 NMOS 커패시터(82)를 사용하였다.

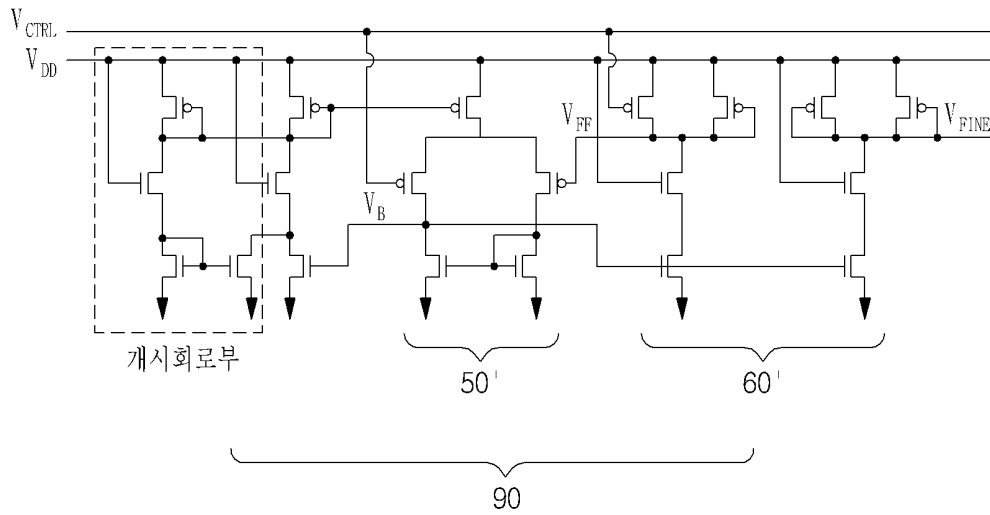
MOS 커패시터(82)는 수동 커패시터에 비해 그 값이 아주 작으므로 증폭기(81)를 사용하여 커패시턴스가 실제 값보다 더 큰 것처럼 동작하도록 하였다. 밀러(Miller) 효과로 MOS 커패시터(82)는 증폭기(81)의 이득(A_v)배만큼 큰 값을 가진 것처럼 동작하게 된다. 여기서 쓰인 증폭기(81)는 총 두 개의 단으로 이루어져 있다. 첫 번째 단의 저항 비로 이득이 결정된다. 첫 번째 단은 반전 증폭기(A1)이고 두 번째 단은 이득이 1인 비반전 증폭기(A2)이다. 이렇게 두 개의 단으로 구성할 경우 증폭기 입력에 DC 입력 전류가 없도록 구성할 수 있어 DC상태에서 증폭기의 입력전압이 흔들릴 수도 있는 상황을 방지할 수 있다. 증폭기의 입력전압은 전압 제어 발진기(70)로 입력되는 컨트롤 전압이므로 DC상태에서 안정된 값을 가져야 한다. 이러한 이유로 첫 번째 단을 반전 증폭기(A1)로 원하는 이득을 만족시키고 두 번째 증폭기(A2)를 사용하여 입력에 DC 전류가 흐르는 것을 방지하였다. 따라서, MOS 커패시터(82)는 (1+R1/R2)배 큰 커패시터 역할을 하게 된다.

도 7은 커스 코드 생성부(100)의 전체 블록도를 나타낸다. 앞에서 간략히 설명한 바와 같이 시작회로에 의해 초기화되어 현재 커스 코드에서의 최대 주파수로 발진하는 전압 제어 발진기의 클럭 신호와 기준 클럭 신호를 입력받아 이를 반전기로 구성된 지연단 및 D-플립플롭단(120)에 인가한다. 지연단에 연결된 D-플립플롭 단은 지연

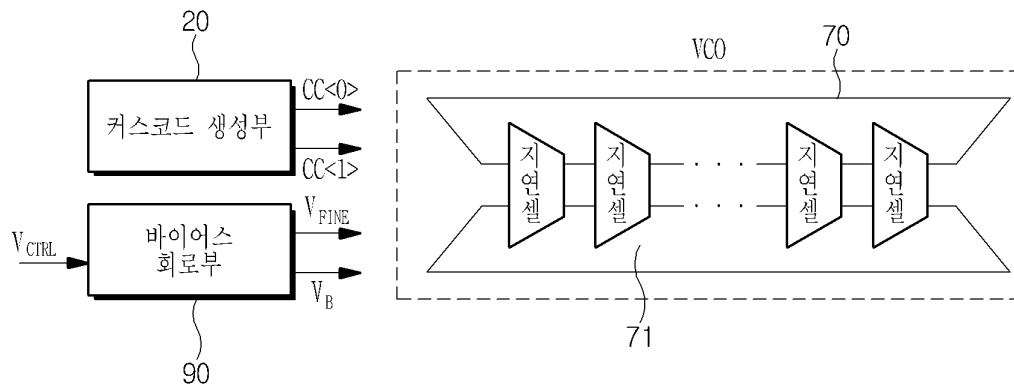
도면2



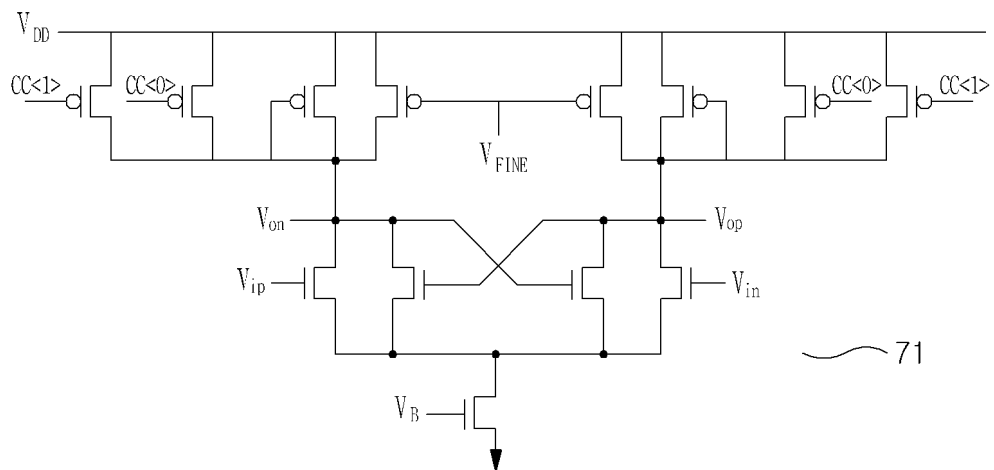
도면3



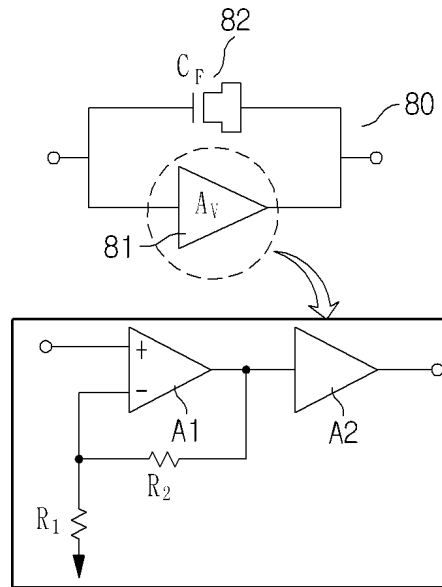
도면4



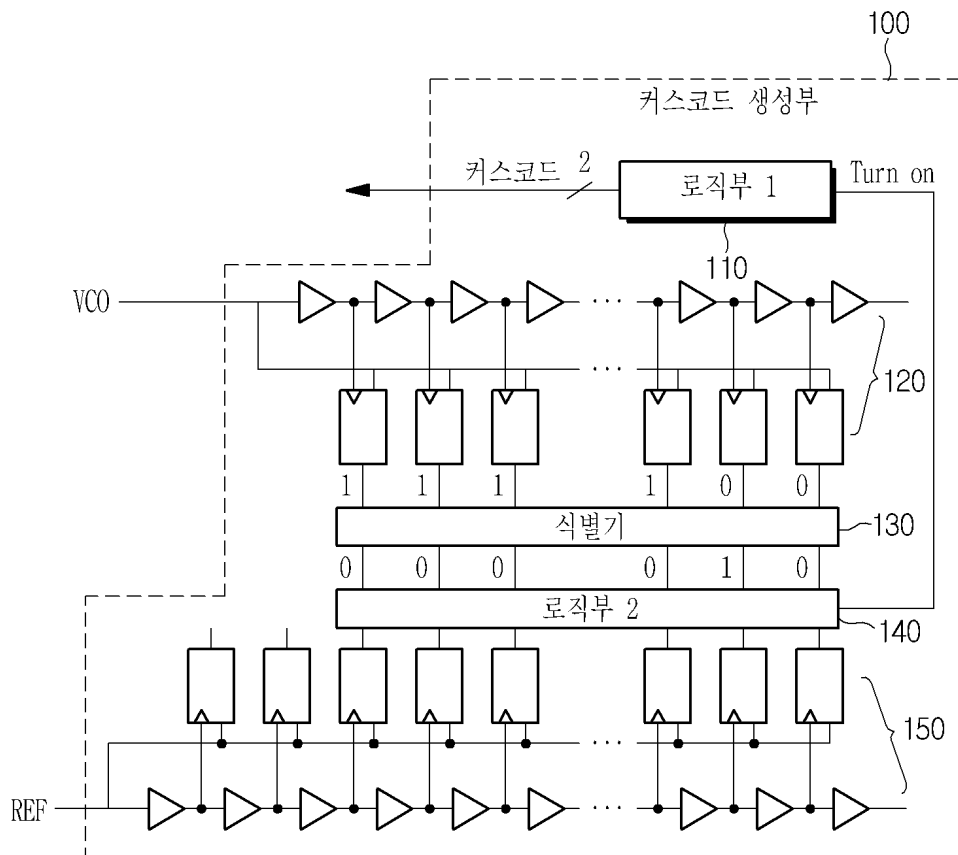
도면5



도면6



도면7



도면8

