



등록특허 10-2344594



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년12월29일
(11) 등록번호 10-2344594
(24) 등록일자 2021년12월24일

- (51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G06F 3/041* (2006.01)
G09G 3/3208 (2016.01) *G09G 3/36* (2006.01)
- (52) CPC특허분류
G09G 3/20 (2013.01)
G06F 3/0416 (2021.08)
- (21) 출원번호 10-2017-0040415
(22) 출원일자 2017년03월30일
심사청구일자 2020년03월18일
- (65) 공개번호 10-2017-0114941
(43) 공개일자 2017년10월16일
(30) 우선권주장
JP-P-2016-074956 2016년04월04일 일본(JP)
JP-P-2016-087359 2016년04월25일 일본(JP)

(56) 선행기술조사문현
KR1020010015091 A*
(뒷면에 계속)

전체 청구항 수 : 총 10 항

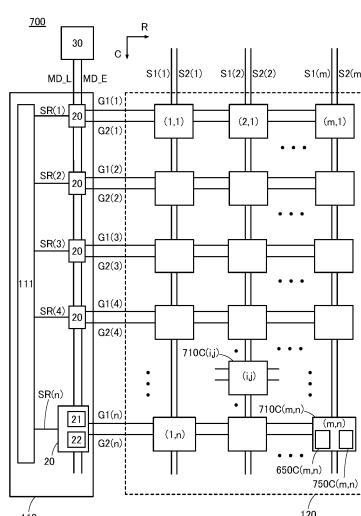
심사관 : 신영교

(54) 발명의 명칭 표시 장치, 표시 모듈, 및 전자 기기

(57) 요 약

본 발명은 표시의 품질을 향상시키고 소비전력을 저감시키는 것이다.

게이트 드라이버와, 표시부와, 선택 신호 출력 회로를 갖는 표시 장치이며, 표시부는 복수의 화소 회로와, 복수의 제 1 주사선을 갖고, 화소 회로는 제 1 표시 소자를 갖고, 게이트 드라이버는 복수의 제 1 주사선과 전기적으로 접속되고, 제 1 주사선은 복수의 화소 회로와 전기적으로 접속되고, 제 1 주사선은 제 1 주사 신호가 공급되는 기능을 갖고, 선택 신호 출력 회로는 제 1 선택 신호를 출력하는 기능을 갖고, 제 1 선택 신호는 선택된 제 1 주사선에 제 1 주사 신호를 공급하는 기능을 갖고, 제 1 표시 소자는 제 1 주사 신호에 의하여 표시가 개신되는 기능을 갖고, 표시부는 복수의 화소 회로에서 상이한 개신 빈도로 개신되는 제 1 표시 소자에 의하여 표시되는 것을 특징으로 하는 표시 장치.

대 표 도 - 도1

(52) CPC특허분류

G09G 3/3208 (2013.01)
G09G 3/3648 (2013.01)
G09G 2230/00 (2013.01)
G09G 2310/0286 (2013.01)
G09G 2330/021 (2013.01)

(56) 선행기술조사문현

KR1020040074658 A*
KR1020110125273 A*
KR1020150057954 A*
US20110157254 A1*
*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

표시 장치에 있어서,
케이트 드라이버;
제 1 영역 및 제 2 영역을 포함하는 표시부; 및
선택 신호 출력 회로를 포함하고,
상기 제 1 영역 및 상기 제 2 영역은 서로 전기적으로 접속되는 화소 회로 및 주사선을 각각 포함하고,
상기 화소 회로는 표시 소자를 포함하고,
상기 케이트 드라이버는 상기 주사선과 전기적으로 접속되고,
상기 주사선은 제 1 주사 신호가 공급되고,
상기 선택 신호 출력 회로는 상기 제 1 주사 신호가 공급되는 주사선을 선택하는 제 1 선택 신호를 출력하고,
상기 제 1 선택 신호는 상기 선택한 주사선에 상기 제 1 주사 신호를 공급하고,
상기 표시 소자는 상기 제 1 주사 신호에 의하여 표시를 생성하고,
상기 제 1 영역은 1 프레임 동안 전체적으로 생성되고,
상기 제 2 영역은 1 프레임 동안 부분적으로 생성되고,
상기 제 1 영역 내의 상기 표시 소자의 표시가 생성되는 빈도는 상기 제 2 영역 내의 상기 표시 소자의 표시가 생성되는 빈도와 다른, 표시 장치.

청구항 2

제 1 항에 있어서,
상기 표시 소자는 액정 소자 및 자발광 소자 중 한쪽을 포함하는, 표시 장치.

청구항 3

표시 장치에 있어서,
시프트 레지스터 회로 및 선택 회로를 포함하는 케이트 드라이버;
화소 회로, 제 1 주사선, 및 제 2 주사선을 포함하는 표시부; 및
선택 신호 출력 회로를 포함하고,
상기 화소 회로는 제 1 표시 소자 및 제 2 표시 소자를 포함하고,
상기 제 1 주사선은 제 1 주사 신호가 공급되고,
상기 제 2 주사선은 제 2 주사 신호가 공급되고,
상기 시프트 레지스터 회로는 출력 신호를 출력하고,
상기 선택 신호 출력 회로는 제 1 선택 신호 및 제 2 선택 신호를 출력하고,
상기 선택 회로는 상기 출력 신호, 상기 제 1 선택 신호, 및 상기 제 2 선택 신호에 기초하여 상기 제 1 주사 신호 및 상기 제 2 주사 신호를 생성하고,

상기 제 1 표시 소자는 1 프레임 동안 전체적으로 생성되고,

상기 제 2 표시 소자는 1 프레임 동안 부분적으로 생성되는, 표시 장치.

청구항 4

제 3 항에 있어서,

상기 표시부는 제 1 계조 신호가 공급되는 제 1 신호선 및 제 2 계조 신호가 공급되는 제 2 신호선을 포함하고,

상기 제 1 주사 신호의 전압 진폭은 상기 제 1 계조 신호의 전압 진폭보다 크고,

상기 선택 회로는 상기 출력 신호 및 상기 제 2 선택 신호에 기초하여 상기 제 2 주사 신호를 생성하고,

상기 제 2 주사 신호의 전압 진폭은 상기 제 2 계조 신호의 전압 진폭보다 크고,

상기 제 1 주사 신호는 상기 제 2 주사 신호와 다른 전압 진폭을 갖는, 표시 장치.

청구항 5

제 3 항에 있어서,

상기 선택 신호 출력 회로는 상기 제 1 선택 신호와 상기 제 2 선택 신호 사이에서 출력을 전환하는, 표시 장치.

청구항 6

표시 장치에 있어서,

신호선;

제 1 주사선 및 제 2 주사선; 및

제 1 회로 및 제 2 회로를 포함하는 화소 회로를 포함하고,

상기 신호선은 상기 제 1 회로에 제 1 계조 신호를 공급하고 상기 제 2 회로에 제 2 계조 신호를 공급하고,

상기 제 1 회로는 제 1 계조를 나타내는 제 1 표시 소자를 포함하고,

상기 제 2 회로는 제 2 계조를 나타내는 제 2 표시 소자를 포함하고,

상기 제 1 표시 소자는 1 프레임 동안 전체적으로 생성되고,

상기 제 2 표시 소자는 1 프레임 동안 부분적으로 생성되고,

상기 제 1 주사선은 제 1 전압 및 상기 제 1 전압보다 작은 제 2 전압을 출력하고,

상기 제 2 주사선은 제 3 전압 및 상기 제 3 전압보다 작은 제 4 전압을 출력하고,

상기 제 1 계조 신호에 의하여 생성되는 제 1 최대 전압은 상기 제 1 전압보다 작고,

상기 제 1 계조 신호에 의하여 생성되는 제 1 최소 전압은 상기 제 2 전압보다 크고,

상기 제 2 계조 신호에 의하여 생성되는 제 2 최대 전압은 상기 제 3 전압보다 작고,

상기 제 2 계조 신호에 의하여 생성되는 제 2 최소 전압은 상기 제 4 전압보다 크고,

상기 제 1 최대 전압은 상기 제 2 최대 전압보다 크고,

상기 제 1 최소 전압은 상기 제 2 최소 전압보다 작은, 표시 장치.

청구항 7

제 6 항에 있어서,

상기 표시 장치는 제 1 전원선을 더 포함하고,

상기 제 1 회로는 제 1 트랜지스터 및 제 1 용량 소자를 더 포함하고,

상기 제 2 회로는 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터를 더 포함하고,

상기 제 1 표시 소자는 제 1 화소 전극 및 제 1 대향 전극을 포함하고,

상기 제 2 표시 소자는 제 2 화소 전극 및 제 2 대향 전극을 포함하고,

상기 신호선은 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 용량 소자의 한쪽 전극 및 상기 제 1 화소 전극에 전기적으로 접속되고,

상기 제 1 용량 소자의 다른 쪽 전극은 상기 제 1 전원선에 전기적으로 접속되고,

상기 제 1 주사선은 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 신호선은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 화소 전극 및 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 주사선은 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 전원선은 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터를 통하여 상기 제 1 용량 소자의 상기 한쪽 전극에 상기 제 1 계조 신호를 공급하는 기간에, 상기 제 1 전원선에 공급된 전압을 상기 제 4 트랜지스터를 통하여 상기 제 2 화소 전극에 공급하는, 표시 장치.

청구항 8

제 3 항 또는 제 6 항에 있어서,

상기 제 1 표시 소자는 액정 소자를 포함하고,

상기 제 2 표시 소자는 자발광 소자를 포함하는, 표시 장치.

청구항 9

표시 모듈에 있어서,

제 1 항, 제 3 항, 또는 제 6 항 중 어느 한 항에 따른 표시 장치; 및

터치 센서를 포함하는, 표시 모듈.

청구항 10

전자 기기에 있어서,

제 9 항에 따른 표시 모듈;

조작 키; 및

배터리를 포함하는, 전자 기기.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 표시 장치, 표시 모듈, 및 전자 기기에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상기 기술 분야에 한정되지 않는다. 본 명세서 등에 기재되는 발명의 일 형태의 기술분야는 물건, 방법, 또는, 제조 방법에 관한 것이다. 또는, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다.

배경기술

[0003] 스마트폰, 태블릿 등의 모바일 기기가 보급되고 있다. 모바일 기기에는, 옥외 환경이나 실내 환경 등 이용하는 환경의 밝기에 적합한 표시를 수행하는 것이 요구되고 있다.

[0004] 자연광이나 실내 조명광 등 밝기가 충분한 광이 있는 환경에서는 반사광을 이용한 표시를 수행하고, 충분한 밝기를 얻기 어려운 환경에서는 발광 소자를 이용한 표시를 수행하는 표시 장치가 개시(開示)되고 있다.

[0005] 예를 들어 특허문헌 1 내지 특허문헌 3에서는, 액정 소자를 제어하는 화소 회로와 발광 소자를 제어하는 화소 회로가 하나의 화소에 제공되는 하이브리드(복합형) 표시 장치가 기재되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 미국 특허 출원 공개 제2003/0107688호 명세서

(특허문헌 0002) 국제 공개 제2007/041150호 공보

(특허문헌 0003) 일본 특개 제2008-225381호 공보

발명의 내용

해결하려는 과제

[0007] 외광을 이용하여 표시를 수행하는 방법으로서 반사형 액정 표시 장치가 있다. 반사형 액정 표시 장치는 백 라이트가 불필요하므로 소비전력이 낮지만, 밝은 외광이 얻어지지 않는 장소에서는 양호한 표시를 수행할 수 없다. EL(Electroluminescence) 소자는 자발광 소자이므로, 발광 표시 장치는 어두운 장소에서 양호한 표시를 수행할 수 있는 한편, 밝은 장소에서는 시인성이 저하된다. 특허문헌 1 내지 3에 기재되는 하이브리드 표시

장치는 반사형 액정 표시 장치와 발광 표시 장치의 특징이 살려져 있고, 사용되는 장소의 밝기에 의존하지 않고 사용할 수 있다.

[0008] 액정 소자와 발광 소자는 광학적 응답 속도가 다르다. 그러므로, 표시 내용에 따른 원하는 표시 품질을 얻는 것이 어려웠다. 또한 계조 신호가 순차적으로 생성되므로 소비전력의 저감을 도모하는 것이 어려웠다.

[0009] 상기 문제를 감안하여, 본 발명의 일 형태는 표시 장치를 구동하기 위한 신규 회로에 의하여, 표시 내용에 따라 화소 회로를 선택하는 방법이 최적화된 신규 표시 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 표시 내용에 따라 표시 소자의 계조 신호가 생성됨으로써 표시 품질이 향상되는 표시 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 표시 내용에 따라 표시 소자의 계조 신호가 생성됨으로써 소비전력이 저감된 신규 구성의 표시 장치 등을 제공하는 것을 과제 중 하나로 한다.

[0010] 또한, 본 발명의 일 형태의 과제는 상술한 과제에 한정되지 않는다. 상술한 과제는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 다른 과제는 이하에서 기재하는 본 항목에서 언급하지 않은 과제이다. 본 항목에서 언급하지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등에서의 기재로부터 도출할 수 있으며, 이들 기재로부터 적절히 추출할 수 있다. 또한, 본 발명의 일 형태는 상술한 과제 및/또는 다른 과제 중 적어도 하나의 과제를 해결한다.

과제의 해결 수단

[0011] 본 발명의 일 형태는 게이트 드라이버와, 표시부와, 선택 신호 출력 회로를 갖는 표시 장치이며, 표시부는 제 1 영역과 제 2 영역을 갖고, 제 1 영역 및 제 2 영역은 각각 화소 회로 및 주사선을 갖고, 화소 회로는 표시 소자를 갖고, 게이트 드라이버는 주사선과 전기적으로 접속되고, 주사선은 화소 회로와 전기적으로 접속되고, 주사선은 제 1 주사 신호가 공급되는 기능을 갖고, 선택 신호 출력 회로는 제 1 주사 신호가 공급되는 주사선을 선택하는 제 1 선택 신호를 출력하는 기능을 갖고, 제 1 선택 신호는 선택된 주사선에 제 1 주사 신호를 공급하는 기능을 갖고, 표시 소자는 제 1 주사 신호에 의하여 표시가 생성되는 기능을 갖고, 제 1 영역은 1 프레임 동안 전체적으로 생성되는 기능을 갖고, 제 2 영역은 1 프레임 동안 부분적으로 생성되는 기능을 갖고, 제 1 영역에 포함되는 표시 소자의 표시가 생성되는 빈도는 제 2 영역에 포함되는 표시 소자와 다른 것을 특징으로 하는 표시 장치이다.

[0012] 본 발명의 일 형태에 있어서, 표시 소자가 액정 소자를 갖는 것을 특징으로 하는 표시 장치가 바람직하다.

[0013] 본 발명의 일 형태에 있어서, 표시 소자가 자발광 소자를 갖는 것을 특징으로 하는 표시 장치가 바람직하다.

[0014] 본 발명의 일 형태는 게이트 드라이버와, 표시부와, 선택 신호 출력 회로를 갖는 표시 장치이며, 표시부는 화소 회로와, 제 1 주사선과, 제 2 주사선을 갖고, 화소 회로는 제 1 표시 소자 및 제 2 표시 소자를 갖고, 제 1 주사선은 제 1 주사 신호가 공급되는 기능을 갖고, 제 2 주사선은 제 2 주사 신호가 공급되는 기능을 갖고, 게이트 드라이버는 시프트 레지스터 회로 및 선택 회로를 갖고, 시프트 레지스터 회로는 출력 신호를 출력하는 기능을 갖고, 선택 신호 출력 회로는 제 1 선택 신호 및 제 2 선택 신호를 출력하는 기능을 갖고, 선택 회로는 출력 신호, 제 1 선택 신호, 및 제 2 선택 신호에 기초하여 제 1 주사 신호 및 제 2 주사 신호를 생성하는 기능을 갖고, 제 1 표시 소자는 1 프레임 동안 전체적으로 생성되는 기능을 갖고, 제 2 표시 소자는 1 프레임 동안 부분적으로 생성되는 기능을 갖는 표시 장치이다.

[0015] 본 발명의 일 형태에 있어서, 표시부는 제 1 신호선과 제 2 신호선을 갖고, 제 1 신호선은 제 1 계조 신호가 공급되는 기능을 갖고, 제 2 신호선은 제 2 계조 신호가 공급되는 기능을 갖고, 제 1 주사 신호의 전압 진폭은 제 1 계조 신호의 전압 진폭보다 크고, 선택 회로는 출력 신호 및 제 2 선택 신호에 기초하여 제 2 주사 신호를 생성하고, 제 2 주사 신호의 전압 진폭은 제 2 계조 신호의 전압 진폭보다 크고, 제 1 주사 신호는 제 2 주사 신호와 다른 전압 진폭을 갖는 표시 장치가 바람직하다.

[0016] 본 발명의 일 형태에 있어서, 선택 신호 출력 회로는 제 1 선택 신호와 제 2 선택 신호를 전환하여 출력하는 기능을 갖는 표시 장치가 바람직하다.

[0017] 본 발명의 일 형태는 신호선과, 제 1 주사선과, 제 2 주사선과, 화소 회로를 갖는 표시 장치이며, 화소 회로는 제 1 회로와 제 2 회로를 갖고, 제 1 회로는 제 1 표시 소자를 갖고, 제 2 회로는 제 2 표시 소자를 갖고, 신호선은 제 1 회로에 제 1 계조 신호를 공급하는 기능을 갖고, 신호선은 제 2 회로에 제 2 계조 신호를 공

급하는 기능을 갖고, 제 1 표시 소자는 제 1 계조를 나타내는 기능을 갖고, 제 2 표시 소자는 제 2 계조를 나타내는 기능을 갖고, 제 1 표시 소자는 1 프레임 동안 전체적으로 갱신되는 기능을 갖고, 제 2 표시 소자는 1 프레임 동안 부분적으로 갱신되는 기능을 갖고, 제 1 주사선은 제 1 전압 및 제 1 전압보다 작은 제 2 전압을 출력하는 기능을 갖고, 제 2 주사선은 제 3 전압 및 제 3 전압보다 작은 제 4 전압을 출력하는 기능을 갖고, 제 1 계조 신호에 의하여 생성된 최대 전압은 제 1 전압보다 작은 전압이고, 제 1 계조 신호에 의하여 생성된 최소 전압은 제 2 전압보다 큰 전압이고, 제 2 계조 신호에 의하여 생성된 최대 전압은 제 3 전압보다 작은 전압이고, 제 2 계조 신호에 의하여 생성된 최소 전압은 제 4 전압보다 큰 전압이고, 제 1 계조 신호에 의하여 생성된 최대 전압은 제 2 계조 신호에 의하여 생성된 최소 전압보다 작은 전압이다.

[0018] 본 발명의 일 형태에 있어서, 신호선과, 제 1 전원선과, 화소 회로를 갖는 표시 장치이며, 제 1 회로는 제 1 표시 소자와, 제 1 트랜지스터와, 제 1 용량 소자를 갖고, 제 2 회로는 제 2 표시 소자와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 4 트랜지스터를 갖고, 제 1 표시 소자는 제 1 화소 전극과 제 1 대향 전극을 갖고, 제 2 표시 소자는 제 2 화소 전극과 제 2 대향 전극을 갖고, 신호선은 제 1 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 화소 전극에 전기적으로 접속되고, 제 1 용량 소자의 다른 쪽 전극은 제 1 전원선에 전기적으로 접속되고, 제 1 주사선은 제 1 트랜지스터의 게이트에 전기적으로 접속되고, 신호선은 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 트랜지스터의 게이트에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 화소 전극에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 2 주사선은 제 2 트랜지스터의 게이트에 전기적으로 접속되고, 제 4 트랜지스터를 통하여 제 1 용량 소자의 한쪽 전극에 제 1 계조 신호를 공급하는 기간에, 제 1 전원선에 인가되는 전압을 제 4 트랜지스터를 통하여 제 2 화소 전극에 인가하는 기능을 갖는 표시 장치가 바람직하다.

[0019] 상기 일 형태에 있어서, 제 1 표시 소자는 액정 소자를 갖고, 제 2 표시 소자는 자발광 소자를 가지면 바람직하다.

[0020] 본 발명의 일 형태에 있어서, 화소 회로는 트랜지스터를 갖고, 트랜지스터는 채널 형성 영역에 산화물 반도체를 갖는 표시 장치가 바람직하다.

발명의 효과

[0021] 본 발명의 일 형태는 표시 장치를 구동하기 위한 신규 회로에 의하여 표시 내용에 따라 화소 회로를 선택하는 방법이 최적화된 신규 표시 장치 등을 제공할 수 있다. 또는, 본 발명의 일 형태는 표시 내용에 따라 표시 소자의 계조 신호가 갱신됨으로써 표시 품질이 향상되는 표시 장치 등을 제공할 수 있다. 또는, 본 발명의 일 형태는 표시 내용에 따라 표시 소자의 계조 신호가 갱신됨으로써 소비전력이 저감된 신규 구성의 표시 장치 등을 제공할 수 있다.

[0022] 또한, 본 발명의 일 형태의 효과는 상술한 효과에 한정되지 않는다. 상술한 효과는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 다른 효과는 이하에서 기재하는 본 항목에서 언급하지 않은 효과이다. 본 항목에서 언급하지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등에서의 기재로부터 도출할 수 있으며, 이를 기재로부터 적절히 추출할 수 있다. 또한, 본 발명의 일 형태는 상술한 효과 및/또는 다른 효과 중 적어도 하나의 효과를 갖는다. 따라서, 본 발명의 일 형태는 경우에 따라 상술한 효과를 갖지 않는 경우도 있다.

도면의 간단한 설명

[0023] 도 1은 표시 장치의 구성을 설명하기 위한 도면.

도 2는 화소의 구성을 설명하기 위한 도면.

도 3은 화소의 구성을 설명하기 위한 도면.

도 4의 (A)는 선택 회로의 블록도이고, (B)는 (A)의 선택 회로의 타이밍 차트.

도 5의 (A)는 도 1의 표시 장치의 타이밍 차트이고, (B)는 동작을 설명하기 위한 도면.

도 6의 (A)는 도 1의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 7은 표시 장치의 구성을 설명하기 위한 도면.

도 8의 (A)는 도 7의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 9의 (A)는 도 7의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 10은 표시 장치의 구성을 설명하기 위한 도면.

도 11의 (A)는 도 10의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 12의 (A)는 도 10의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 13의 (A)는 도 10의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 14의 (A) 내지 (D)는 표시예를 설명하기 위한 도면.

도 15는 화소의 구성을 설명하기 위한 도면.

도 16은 표시 장치의 구성을 설명하기 위한 도면.

도 17의 (A)는 도 16의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 18의 (A)는 화소의 구성을 설명하기 위한 도면이고 (B)는 (A)의 화소의 타이밍 차트이고, (C)는 신호의 전압 관계를 설명하기 위한 도면.

도 19는 화소의 구성을 설명하기 위한 도면.

도 20은 표시 장치의 구성을 설명하기 위한 도면.

도 21의 (A)는 도 20의 표시 장치의 타이밍 차트이고, (B)는 동작을 설명하기 위한 도면.

도 22는 표시 장치의 구성을 설명하기 위한 도면.

도 23의 (A)는 도 22의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 24의 (A)는 도 22의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 25의 (A)는 도 22의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 26의 (A)는 도 22의 표시 장치의 타이밍 차트이고 (B)는 동작을 설명하기 위한 도면.

도 27은 실시형태에 따른 표시 패널의 구성을 설명하기 위한 도면.

도 28은 실시형태에 따른 화소의 구성을 설명하기 위한 도면.

도 29는 실시형태에 따른 표시 패널의 구성을 설명하기 위한 도면.

도 30은 실시형태에 따른 화소 회로의 개구부를 설명하기 위한 도면.

도 31은 실시형태에 따른 표시 패널의 구성을 설명하기 위한 도면.

도 32의 (A)는 전자 부품의 제작 방법예를 나타낸 흐름도이고, (B)는 반도체 웨이퍼의 상면도이고, (C)는 (B)의 부분 확대도이고, (D)는 칩의 구성예를 도시한 모식도이고, (E)는 전자 부품의 구성예를 도시한 사시 모식도.

도 33은 OS 트랜지스터의 구성예를 도시한 상면도 및 단면도.

도 34는 OS 트랜지스터의 구성예를 도시한 상면도 및 단면도.

도 35는 에너지 밴드 구조의 모식도.

도 36은 표시 모듈의 예를 도시한 도면.

도 37은 터치 패널의 구성예를 도시한 모식도.

도 38은 전자 기기 및 조명 장치의 일례를 도시한 도면.

도 39는 전자 기기의 일례를 도시한 도면.

도 40은 전자 기기의 일례를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0024]

이하, 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 다양한 형태로 실시할 수 있고, 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하의 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.

[0025]

또한, 도면에 있어서, 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다. 또한, 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다.

[0026]

또한, 본 명세서에서 사용하는 "제 1", "제 2", "제 3"이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수적으로 한정하는 것이 아니라는 것을 부기한다.

[0027]

또한, 본 명세서에서, "위에", "아래에" 등의 배치를 나타내는 용어는 구성들의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있다. 또한, 구성들의 위치 관계는, 각 구성의 위치를 묘사하는 방향에 따라 적절히 달라진다. 따라서, 명세서에서 설명한 용어에 한정되지 않고, 상황에 따라서 적절히 바꿔 말할 수 있다.

[0028]

또한, 본 명세서 등에서 트랜지스터란, 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 갖는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 가지고 있어, 채널 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있다. 또한, 본 명세서 등에 있어서, 채널 영역이란, 전류가 주로 흐르는 영역을 말한다.

[0029]

또한, 소스나 드레인의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에는 서로 바꾸는 경우가 있다. 이 때문에, 본 명세서 등에서는, 소스나 드레인이라는 용어는 서로 바꾸어 사용할 수 있는 것으로 한다.

[0030]

또한, 본 명세서 등에서, "전기적으로 접속"에는, "어떠한 전기적 작용을 갖는 것"을 통해 접속되어 있는 경우가 포함된다. 여기서, "어떠한 전기적 작용을 갖는 것"은 접속 대상간에서 전기 신호의 주고 받음을 가능하게 하는 것이면 특별한 제한을 받지 않는다. 예를 들어, "어떠한 전기적 작용을 갖는 것"에는 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인더터, 커패시터, 이 외 각종 기능을 갖는 소자 등이 포함된다.

[0031]

또한, 본 명세서 등에서, "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.

[0032]

또한, 본 명세서 등에서, "막"이라는 용어와 "층"이라는 용어는 서로 바꿀 수 있다. 예를 들어, "도전 층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.

[0033]

또한, 본 명세서 등에서 오프 전류란, 특별한 설명이 없는 한, 트랜지스터가 오프 상태("비도통 상태"나 "차단 상태"라고도 함)일 때의 드레인 전류를 말한다. 오프 상태란, 특별한 설명이 없는 한, n채널형 트랜지스터의 경우에는 게이트와 소스 사이의 전압 V_{GS} 가 문턱 전압 V_{TH} 보다 낮은 상태, p채널형 트랜지스터의 경우에는 게이트와 소스 사이의 전압 V_{GS} 가 문턱 전압 V_{TH} 보다 높은 상태를 말한다. 예를 들어, n채널형 트랜지스터의 오프 전류란, 게이트와 소스 사이의 전압 V_{GS} 가 문턱 전압 V_{TH} 보다 낮은 상태일 때의 드레인 전류를 말하는 경우가 있다.

[0034]

트랜지스터의 오프 전류는 V_{GS} 에 의존하는 경우가 있다. 따라서, 트랜지스터의 오프 전류가 I 이하이 다라는 것은 트랜지스터의 오프 전류가 I 이하가 되는 V_{GS} 의 값이 존재하는 것을 말하는 경우가 있다. 트랜지스터의 오프 전류란, V_{GS} 가 소정의 값을 가질 때의 오프 상태, V_{GS} 가 소정의 범위 내의 값을 가질 때의 오프 상태, 또는 V_{GS} 가 충분히 저감된 오프 전류가 얻어지는 값을 가질 때의 오프 상태 등에서의 오프 전류를 가리키는

경우가 있다.

[0035] 일례로서, 문턱 전압 V_{th} 가 0.5V이고, V_{gs} 가 0.5V일 때의 드레인 전류가 1×10^{-9} A이고, V_{gs} 가 0.1V일 때의 드레인 전류가 1×10^{-13} A이고, V_{gs} 가 -0.5V일 때의 드레인 전류가 1×10^{-19} A이고, V_{gs} 가 -0.8V일 때의 드레인 전류가 1×10^{-22} A인 n채널형 트랜지스터를 상정한다. 상기 트랜지스터의 드레인 전류는 V_{gs} 가 -0.5V일 때, 또는 V_{gs} 가 -0.5V 내지 -0.8V의 범위일 때 1×10^{-19} A 이하이기 때문에, 상기 트랜지스터의 오프 전류는 1×10^{-19} A 이하이 다라고 하는 경우가 있다. 상기 트랜지스터의 드레인 전류가 1×10^{-22} A 이하가 되는 V_{gs} 가 존재하기 때문에, 상기 트랜지스터의 오프 전류는 1×10^{-22} A 이하이다라고 하는 경우가 있다.

[0036] 또한, 본 명세서 등에서는, 채널 폭(W)을 갖는 트랜지스터의 오프 전류를, 채널 폭(W)당 전류값으로 나타내는 경우가 있다. 또한, 소정의 채널 폭(예를 들어 $1 \mu\text{m}$)당 전류값으로 나타내는 경우가 있다. 후자의 경우, 오프 전류의 단위는 전류/길이의 차원을 갖는 단위(예를 들어 $\text{A}/\mu\text{m}$)로 나타내어지는 경우가 있다.

[0037] 트랜지스터의 오프 전류는 온도에 의존하는 경우가 있다. 본 명세서에서 오프 전류란, 특별한 설명이 없는 한, 실온, 60°C, 85°C, 95°C, 또는 125°C일 때의 오프 전류를 말하는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 온도일 때, 또는 상기 트랜지스터가 포함되는 반도체 장치 등이 사용되는 온도(예를 들어 5°C 내지 35°C 중 어느 하나의 온도)일 때의 오프 전류를 나타내는 경우가 있다. 트랜지스터의 오프 전류가 I 이하이다란, 실온, 60°C, 85°C, 95°C, 125°C, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 온도, 또는, 상기 트랜지스터가 포함되는 반도체 장치 등이 사용되는 온도(예를 들어, 5°C 내지 35°C 중 어느 하나의 온도)에 있어서의 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 가리키는 경우가 있다.

[0038] 트랜지스터의 오프 전류는 드레인과 소스 사이의 전압 V_{ds} 에 의존하는 경우가 있다. 본 명세서에 있어서, 오프 전류는 특별한 설명이 없는 한, V_{ds} 가 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V일 때의 오프 전류를 나타내는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 V_{ds} 일 때, 또는 상기 트랜지스터가 포함되는 반도체 장치 등에서 사용되는 V_{ds} 일 때의 오프 전류를 나타내는 경우가 있다. 트랜지스터의 오프 전류가 I 이하이다라는 것은 V_{ds} 가 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 20V, 상기 트랜지스터가 포함되는 반도체 장치 등의 신뢰성이 보증되는 V_{ds} , 또는 상기 트랜지스터가 포함되는 반도체 장치 등에서 사용되는 V_{ds} 일 때의 트랜지스터의 오프 전류가 I 이하가 되는 V_{gs} 의 값이 존재하는 것을 가리키는 경우가 있다.

[0039] 상기 오프 전류의 설명에 있어서, 드레인을 소스로 바꿔 읽어도 좋다. 즉, 오프 전류란, 트랜지스터가 오프 상태일 때 소스를 흐르는 전류를 말하는 경우도 있다.

[0040] 또한, 본 명세서 등에서는 오프 전류와 같은 의미로 누설 전류라고 기재하는 경우가 있다. 또한, 본 명세서 등에서, 오프 전류란, 예를 들어 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 말하는 경우가 있다.

[0041] (실시형태 1)

[0042] 본 실시형태에서는 게이트 드라이버가 갖는 선택 회로가, 제 1 표시 소자를 갖는 화소 회로 또는 제 2 표시 소자를 갖는 화소 회로를 선택하는 주사 신호를 생성하는 기능을 갖는 표시 장치에 대하여, 도 1 내지 도 6을 사용하여 설명한다.

[0043] 도 1은 표시 장치(700)의 구성을 도시한 블록도이다. 표시 장치(700)는 게이트 드라이버(110), 선택 신호 출력 회로(30), 및 표시부(120)를 갖는다. 게이트 드라이버(110)는 시프트 레지스터 회로(111) 및 선택 회로(20)를 갖는다. 선택 회로(20)는 판정 회로(21) 및 판정 회로(22)를 갖는다. 표시부(120)는 화소 회로(710C(1,1)) 내지 (710C(m,n))를 갖는다. 화소 회로(710C(m,n))는 제 1 표시 소자를 갖는 화소 회로(750C(m,n)) 및 제 2 표시 소자를 갖는 화소 회로(650C(m,n))를 갖는다. m 및 n은 1 이상의 정수(整數)이다.

[0044] 본 실시형태에서 설명하는 표시부(120)는 화소 회로(710C(1,1)) 내지 (710C(m,n))와, 제 1 주사선(G1)과, 제 2 주사선(G2)과, 제 1 신호선(S1)과, 제 2 신호선(S2)을 갖는다.

[0045] 도 2에 화소 회로(710C)의 구성을 도시하였다. 도 1의 표시 장치(700)에서의 표시부(120)의 화소 중 하나를 화소 회로(710C(i,j))로서 설명한다. 또한, i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수

이다.

[0046] 화소 회로(710C(i,j))는 화소 회로(750C(i,j))를 갖고 화소 회로(750C(i,j))는 제 1 표시 소자(750(i,j))를 갖는다. 제 1 표시 소자(750(i,j))는 일례로서 잔상(burn-in)을 방지하기 위하여 교류 구동되는 액정 소자인 것이 바람직하다.

[0047] 화소 회로(710C(i,j))는 화소 회로(650C(i,j))를 갖고, 화소 회로(650C(i,j))는 제 2 표시 소자(650(i,j))를 갖는다. 제 2 표시 소자(650(i,j))는 일례로서 직류 구동되는 발광 소자인 것이 바람직하다.

[0048] 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))는 계조를 나타낼 수 있는 최소 단위이고, 계조는 전압 또는 전류인 계조 신호로 제어된다.

[0049] 화소 회로(750C(i,j))는 트랜지스터(SW1), 용량 소자(C1), 및 제 1 표시 소자(750(i,j))를 갖는다.

[0050] 화소 회로(750C(i,j))의 트랜지스터(SW1)의 게이트는 제 1 주사선(G1(j))과 전기적으로 접속된다. 트랜지스터(SW1)의 소스 및 드레인 중 한쪽은 제 1 신호선(S1(i))과 전기적으로 접속된다.

[0051] 트랜지스터(SW1)의 소스 및 드레인 중 다른 쪽은 용량 소자(C1)의 한쪽의 전극 및 제 1 표시 소자(750(i,j))의 한쪽의 전극과 전기적으로 접속된다. 용량 소자(C1)의 다른 쪽의 전극에는 CSCOM 단자를 통하여 용량 소자(C1)의 기준 전압이 인가된다. 제 1 표시 소자(750(i,j))의 다른 쪽의 전극에는 VCOM 단자를 통하여 코면 전압이 인가된다.

[0052] 화소 회로(650C(i,j))는 트랜지스터(SW2), 트랜지스터(M), 용량 소자(C2), 및 제 2 표시 소자(650(i,j))를 갖는다.

[0053] 화소 회로(650C(i,j))의 트랜지스터(SW2)의 게이트는 제 2 주사선(G2(j))과 전기적으로 접속된다. 트랜지스터(SW2)의 소스 및 드레인 중 한쪽은 제 2 신호선(S2(i))과 전기적으로 접속된다.

[0054] 트랜지스터(SW2)의 소스 및 드레인 중 다른 쪽은 용량 소자(C2)의 한쪽의 전극 및 트랜지스터(M)의 게이트와 전기적으로 접속된다. 트랜지스터(M)의 드레인에는 ANO 단자를 통하여 애노드 전압이 인가된다. 트랜지스터(M)의 드레인에는 용량 소자(C2)의 다른 쪽의 전극이 접속된다. 트랜지스터(M)의 소스에는 제 2 표시 소자(650(i,j))의 한쪽의 전극이 접속된다. 제 2 표시 소자(650(i,j))의 다른 쪽의 전극에는 VCath 단자를 통하여 캐소드 전압이 인가된다. 용량 소자(C2)의 다른 쪽 전극이 트랜지스터(M)의 드레인과 전기적으로 접속된 예를 제시하였지만, 소스와 전기적으로 접속되어도 좋고, 다른 전압이 인가되는 단자와 전기적으로 접속되어도 좋다.

[0055] 또한, 본 발명의 일 형태는 도 2의 화소 회로(710C(i,j))의 회로 구성에 한정되지 않는다. 도 2와 다른 화소 회로(710C(i,j))의 회로 구성의 일례에 대하여 도 3의 (A) 내지 (C)에 도시하였다.

[0056] 도 3의 (A) 내지 (C)는 트랜지스터가 백 게이트를 갖는 화소를 도시한 것이다. 트랜지스터 이외의 구성에 대해서는 도 2에 도시된 회로와 마찬가지이다.

[0057] 도 2와 다른 점에 대하여 기재한다. 도 3의 (A)에서는 화소 회로(710C(i,j))가 갖는 트랜지스터는 백 게이트를 갖는 트랜지스터를 도시하였다. 트랜지스터(SW1_1)의 게이트는 트랜지스터(SW1_1)의 백 게이트와 접속된다. 트랜지스터(SW2_1) 및 트랜지스터(M_1)의 게이트도 마찬가지로 백 게이트와 전기적으로 접속된다. 트랜지스터(SW1_1)의 게이트 전압과 같은 전압이, 트랜지스터(SW1_1)의 백 게이트에 인가된다. 트랜지스터(SW2_1) 및 트랜지스터(M_1)도 마찬가지이다.

[0058] 도 3의 (B)는 도 3의 (A)와 다른 점에 대하여 기재한다. 도 3의 (B)의 트랜지스터(M_2)는 백 게이트가 트랜지스터(M_2)의 소스와 접속된다. 트랜지스터(M_2)의 소스 전압과 같은 전압이 트랜지스터(M_2)의 백 게이트에 인가된다.

[0059] 도 3의 (C)는 도 3의 (A)와 다른 점에 대하여 기재한다. 도 3의 (C)의 트랜지스터(M_3)의 백 게이트는 BGL 단자에 접속된다. 백 게이트의 전압을 BGL 단자로부터 인가할 수 있다.

[0060] 또한 본 발명의 일 형태는 도 3의 화소 회로(710C(i,j))의 회로 구성에 한정되지 않는다. 다른 단자를 백 게이트와 전기적으로 접속할 수도 있고, 접속의 방법을 조합할 수도 있다.

[0061] 트랜지스터는 게이트 전극(제 1 게이트 전극) 및 백 게이트 전극(제 2 게이트 전극)의 전계에 의하여, 채널 영역이 형성되는 산화물 반도체막을 전기적으로 둘러싸는 트랜지스터의 디바이스 구조로 할 수 있다. 이

와 같은 디바이스 구조를 surrounded channel(s-channel) 구조라고 부른다.

[0062] 도 4의 (A)에 선택 회로(20)의 구성을 도시하였다. 선택 회로(20)는 판정 회로(21) 및 판정 회로(22)를 갖는다. 판정 회로(21) 및 판정 회로(22)는 입력 신호의 조건을 판정하는 회로(25)와, 버퍼 회로(26)를 갖는다.

[0063] 회로(25)의 입력 단자 중 한쪽에는 선택 회로(20)를 선택하기 위한 시프트 레지스터 회로(111)의 출력 신호 SR가 입력된다. 판정 회로(21) 내의 회로(25)의 입력 단자 중 다른 쪽에는 선택 신호 출력 회로(30)의 선택 신호 MD_L이 입력된다. 판정 회로(22)의 회로(25)의 입력 단자 중 다른 쪽에는 선택 신호 출력 회로(30)의 선택 신호 MD_E가 입력된다.

[0064] 도 4의 (B)에 선택 회로(20)가 갖는 판정 회로(21)의 동작을 타이밍 차트 F21로 나타내었다. 시프트 레지스터 회로(111)의 출력 신호 SR 및 선택 신호 MD_L이 High일 때 제 1 주사선(G1)에 High의 신호를 출력한다. 그 이외의 입력 조건에서는, 제 1 주사선(G1)에 Low의 신호가 출력된다.

[0065] 도 4의 (B)에 선택 회로(20)가 갖는 판정 회로(22)의 동작을 타이밍 차트 F22로 나타내었다. 시프트 레지스터 회로(111)의 출력 신호 SR 및 선택 신호 MD_E가 High일 때 제 2 주사선(G2)에 High의 신호를 출력한다. 그 이외의 입력 조건에서는 제 2 주사선(G2)에 Low의 신호가 출력된다.

[0066] 판정 회로(21)의 버퍼 회로(26)는 제 1 표시 소자(750)의 계조 신호의 전압 진폭보다 큰 전압 진폭의 신호를 제 1 주사선(G1)에 출력한다.

[0067] 판정 회로(22)의 버퍼 회로(26)는 제 2 표시 소자(650)의 계조 신호의 전압 진폭보다 큰 전압 진폭의 신호를 제 2 주사선(G2)에 출력한다.

[0068] 제 1 표시 소자(750)의 계조 신호의 전압 진폭과 제 2 표시 소자(650)의 계조 신호의 전압 진폭이 다르므로 제 1 주사선(G1)과 제 2 주사선(G2)은 출력 전압의 진폭이 다르다.

[0069] 또한 본 발명의 일 형태는 도 4의 (B)의 동작 조건을 만족시키면 좋고, 도 4의 (A)의 선택 회로(20)의 회로 구성에 한정되지 않는다.

[0070] 도 5의 (A)는 도 1의 표시 장치(700)의 동작에 대하여 타이밍 차트를 나타낸 것이다. 도 1의 게이트 드라이버(110)에서, 시프트 레지스터 회로(111)로부터 출력 신호 SR(1) 내지 SR(n)이 순차적으로 출력된다.

[0071] 제 1 주사선(G1(j))에 출력하는 주사 신호는, 시프트 레지스터 회로(111)의 출력 신호 SR(j) 및 선택 신호 출력 회로(30)의 선택 신호 MD_L을 이용하여, 선택 회로(20)의 판정 회로(21)에 의하여 생성된다.

[0072] 제 2 주사선(G2(j))에 출력하는 주사 신호는, 시프트 레지스터 회로(111)의 출력 신호 SR(j) 및 선택 신호 출력 회로(30)의 선택 신호 MD_E를 이용하여, 선택 회로(20)의 판정 회로(22)에 의하여 생성된다.

[0073] 도 5의 (A)에 나타낸 타이밍 차트를 사용하여, 출력 신호 SR(1)이 High인 기간에서의 시프트 레지스터 회로(111)의 동작에 대하여 설명한다.

[0074] 출력 신호 SR(1)이 High인 기간 중 선택 신호 MD_L이 High일 때에 제 1 주사선(G1(1))의 주사 신호가 High가 됨으로써, 계조 신호를 화소 회로(750C(i,1))와 전기적으로 접속된 제 1 신호선(S1(1)) 내지 (S1(m))에 의하여 화소 회로(750C(i,1))에 기록할 수 있다.

[0075] 출력 신호 SR(1)이 High인 기간 중 선택 신호 MD_E가 High일 때에 제 2 주사선(G2(1))의 주사 신호가 High가 됨으로써, 계조 신호를 화소 회로(650C(i,1))와 전기적으로 접속된 제 2 신호선(S2(1)) 내지 (S2(m))에 의하여 화소 회로(650C(i,1))에 기록할 수 있다.

[0076] 도 5의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 화소 회로(750C(i,j))에 의하여 표시된 영역을 액정 표시 영역(121)으로 하고, 화소 회로(650C(i,j))에 의하여 표시된 영역을 밸诳 표시 영역(122)으로 한다.

[0077] 도 5의 (B)는 출력 신호 SR(j), 선택 신호 MD_L, 선택 신호 MD_E, 및 선택 회로(20)에 의하여, 제 1 주사선(G1(j))에 주사 신호가 출력됨으로써 액정 표시 영역(121)의 표시 내용이 갱신된다. 또한 제 2 주사선(G2(j))에 주사 신호가 출력됨으로써 밸诳 표시 영역(122)의 표시 내용이 갱신된다. 따라서, 표시가 갱신되는 순서는 도 5의 (A)의 타이밍 차트와 대응한다.

[0078] 일례로서, 도 1의 시프트 레지스터 회로(111)의 출력 신호 SR(1)이 High일 때에 대하여 설명한다. 선

택 신호 MD_L이 High일 때, 선택 회로(20)에 의하여 제 1 주사선(G1(1))에 공급되는 주사 신호가 High가 된다. 표시 내용은 화소 회로(750C(1,1)) 내지 화소 회로(750C(m,1))에 공급된 계조 신호에 의하여 생성된다.

[0079] 출력 신호 SR(1)이 High일 때 선택 신호 MD_E가 High가 된다. 선택 신호 MD_E가 High일 때 선택 회로(20)에 의하여 제 2 주사선(G2(1))에 공급되는 주사 신호가 High가 된다. 표시 내용은 화소 회로(650C(1,1)) 내지 화소 회로(650C(m,1))에 공급된 계조 신호에 의하여 생성된다.

[0080] 도 5의 (A)에서는 출력 신호 SR(1)이 High인 기간에, 선택 신호 MD_L이 먼저 High가 되고, 다음에 선택 신호 MD_E가 High가 된다. 도 5의 (B)에서는 선택 신호 MD_L이 High인 기간에 액정 표시 영역(121)의 표시가 먼저 생성된다. 다음에, 선택 신호 MD_E가 High인 기간에 발광 표시 영역(122)의 표시가 생성된다.

[0081] 제 1 주사선(G1(1)) 및 제 2 주사선(G2(1))의 선택은 시프트 레지스터 회로(111) 및 선택 회로(20)를 갖는 게이트 드라이버에 의하여 제어할 수 있다.

[0082] 도 1의 예에서는, 선택 신호 MD_L 및 선택 신호 MD_E의 신호를 사용하기 때문에, 판정 회로(21) 및 판정 회로(22)는 n채널형 트랜지스터를 갖는다. 판정 회로(21) 및 판정 회로(22)는 상보형 MOS 스위치(CMOS 스위치, 아날로그 스위치)로 구성하는 것도 가능하다. 상보형 MOS 스위치로 구성함으로써, 선택 조건을 정논리 및 부논리로 판정할 수 있게 되어, 선택 신호 수를 저감시킬 수 있다.

[0083] 도 6의 (A)에 나타낸 타이밍 차트를 사용하여, 도 1의 표시 장치(700)를 도 5의 (A)와 다른 타이밍에서 동작시킨다. 출력 신호 SR(1)이 High인 기간에서의, 시프트 레지스터 회로(111)의 동작에 대하여 설명한다.

[0084] 출력 신호 SR(1)이 High인 기간 중 선택 신호 MD_L이 High일 때에 제 1 주사선(G1(1))의 주사 신호가 High가 됨으로써, 계조 신호를 제 1 신호선(S1(1)) 내지 (S1(m))에 의하여 화소 회로(750C(i,1))에 기록할 수 있다.

[0085] 출력 신호 SR(1)이 High인 기간 중 선택 신호 MD_E가 High일 때에 제 2 주사선(G2(1))의 주사 신호가 High가 됨으로써, 계조 신호를 제 2 신호선(S2(1)) 내지 (S2(m)))에 의하여 화소 회로(650C(i,1))에 기록할 수 있다.

[0086] 도 6의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 출력 신호 SR(j), 선택 신호 MD_L, 및 선택 신호 MD_E에 의하여, 제 1 주사선(G1(j))의 주사 신호가 High가 됨으로써 액정 표시 영역(121)의 표시 내용이 생성된다. 또한 제 2 주사선(G2(j))의 주사 신호가 High가 됨으로써 발광 표시 영역(122)의 표시 내용이 생성된다. 따라서 표시가 생성되는 순서는 도 6의 (A)의 타이밍 차트와 대응한다.

[0087] 일례로서, 도 1의 시프트 레지스터 회로(111)의 출력 신호 SR(1)이 High일 때에 대하여 설명한다. 선택 신호 MD_L이 High일 때에, 선택 회로(20)에 의하여 제 1 주사선(G1(1))에 공급되는 주사 신호가 High가 된다. 표시 내용은 화소 회로(750C(1,1)) 내지 화소 회로(750C(m,1))에 공급된 계조 신호에 의하여 생성된다.

[0088] 출력 신호 SR(1)이 High일 때 선택 신호 MD_E가 High가 된다. 선택 신호 MD_E가 High일 때, 선택 회로(20)에 의하여 제 2 주사선(G2(1))에 공급되는 주사 신호가 High가 된다. 표시 내용은 화소 회로(650C(1,1)) 내지 화소 회로(650C(m,1))에 공급된 계조 신호에 의하여 생성된다.

[0089] 도 6의 (A)는 도 5의 (A)와 달리, 출력 신호 SR(1)이 High인 기간에 선택 신호 MD_L 및 선택 신호 MD_E가 동시에 High가 된다. 도 6의 (B)에서는 선택 신호 MD_L 및 선택 신호 MD_E가 동시에 High이므로, 액정 표시 영역(121)의 표시와 발광 표시 영역(122)의 표시가 동시에 생성된다.

[0090] 도 5의 (A)에서 화소 회로(710C(i,j))의 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))는 다른 타이밍에서 계조 신호가 생성되는 한편, 도 6의 (A)에서 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))는 시프트 레지스터 회로(111)의 출력 신호 SR(j)와 같은 기간에 제 1 주사선(G1(j))의 주사 신호 및 제 2 주사선(G2(j))의 주사 신호가 High가 되어 계조 신호가 생성된다. 도 6의 (A)는 도 5의 (A)에 비하여 긴 기록 시간을 확보할 수 있다.

[0091] 화소 회로(750C(i,j))의 트랜지스터(SW1)의 게이트와 전기적으로 접속되는 제 1 주사선(G1(j)), 및 화소 회로(650C(i,j))의 트랜지스터(SW2)의 게이트와 전기적으로 접속되는 제 2 주사선(G2(j))의 선택은 시프트 레지스터 회로(111) 및 선택 회로(20)를 갖는 게이트 드라이버로 제어할 수 있다.

[0092] 이상, 본 실시형태에서 제시한 구성, 방법, 구동 타이밍은 다른 실시형태에서 제시하는 구성, 방법, 구동 타이밍과 적절히 조합하여 사용할 수 있다.

[0093] (실시형태 2)

[0094] 본 실시형태에서는 화소 회로(710C)를 갖는 고정세(高精細)한 표시를 수행하는 표시 장치에 있어서, 게이트 드라이버를 홀수 행 및 짹수 행으로 구성을 나누어 제어하는 방법에 대하여 도 7 내지 도 9를 사용하여 설명한다.

[0095] 도 7은 표시 장치(701)의 구성을 도시한 블록도이다. 도 1과 다른 점은, 게이트 드라이버(110)의 구성이 도 7에서 홀수 행의 주사선을 제어하는 게이트 드라이버(110A)와 짹수 행의 주사선을 제어하는 게이트 드라이버(110B)로 나누어져 있는 점이다.

[0096] 도 7의 표시 장치(701)가 갖는 게이트 드라이버(110A) 및 게이트 드라이버(110B)가 각각 갖는 시프트 레지스터 회로(111A) 및 시프트 레지스터 회로(111B)는 도 1의 게이트 드라이버(110)가 갖는 시프트 레지스터 회로(111)의 출력 신호 SR와 다른 타이밍의 출력 신호 SR_{ODD} 및 SR_{EVEN}을 생성한다.

[0097] 도 7의 표시 장치(701)는 게이트 드라이버를 홀수 행 제어 및 짹수 행 제어로 구성을 나눔으로써, 게이트 드라이버의 단수가 절반이 되고, 회로의 면적도 절반이 된다. 제 1 주사선(G1)의 주사 신호 및 제 2 주사선(G2)의 주사 신호를 구동하는 선택 회로(20)의 버퍼 회로(26)를 크게 할 수 있어, 전류 공급 능력을 향상시킬 수 있다.

[0098] 도 8의 (A)에서는 도 7의 표시 장치(701)의 동작에 대하여 타이밍 차트를 나타내었다. 도 8의 (A)에 나타낸 타이밍 차트에서는 도 5의 (A)에 나타낸 타이밍 차트와 마찬가지로 선택 신호 MD_L 및 선택 신호 MD_E를 입력한다. 이에 의하여, 도 5의 (A)에 나타낸 타이밍 차트와 같은 타이밍에서 제 1 주사선(G1(1)) 내지 (G1(n)), 제 2 주사선(G2(1)) 내지 (G2(n))에 전압이 인가된다.

[0099] 도 8의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 도 5의 (B)와 달리, 도 7의 시프트 레지스터 회로(111A)의 출력 신호 SR_{ODD}(1) 내지 SR_{ODD}(n/2), 시프트 레지스터 회로(111B)의 출력 신호 SR_{EVEN}(1) 내지 SR_{EVEN}(n/2), 선택 신호 MD_L, 및 선택 신호 MD_E에 의하여, 제 1 주사선(G1(1)) 내지 (G1(n))의 주사 신호가 High가 됨으로써 액정 표시 영역(121)의 표시 내용이 갱신되고, 또한 제 2 주사선(G2(1)) 내지 (G2(n))의 주사 신호가 High가 됨으로써 발광 표시 영역(122)의 표시 내용이 갱신된다. 따라서, 표시가 갱신되는 순서는 도 8의 (A)의 타이밍 차트와 대응한다.

[0100] 일례로서, 도 7의 시프트 레지스터 회로(111A)의 출력 신호 SR_{ODD}(1)이 High일 때에 대하여 설명한다. 선택 신호 MD_L이 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(1))의 주사 신호가 High가 된다. 화소 회로(750C(1,1)) 내지 (750C(m,1))에 공급된 계조 신호에 의하여 표시 내용이 갱신된다.

[0101] 시프트 레지스터 회로(111A)의 출력 신호 SR_{ODD}(1)이 High이며 선택 신호 MD_E가 High일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(1))의 주사 신호가 High가 된다. 화소 회로(650C(1,1)) 내지 (650C(m,1))에 공급된 계조 신호에 의하여 표시 내용이 갱신된다.

[0102] 도 8의 (A)에서는 시프트 레지스터 회로(111A)의 출력 신호 SR_{ODD}(1)이 High인 기간에, 선택 신호 MD_L이 먼저 High가 되고, 다음에 선택 신호 MD_E가 High가 된다. 도 8의 (B)에서는 선택 신호 MD_L이 High인 기간에, 액정 표시 영역(121)의 표시가 먼저 갱신된다. 다음에, 선택 신호 MD_E가 High인 기간에 발광 표시 영역(122)의 표시가 갱신된다.

[0103] 도 9의 (A)에서는 도 7의 표시 장치(701)의 동작에 대하여 타이밍 차트를 나타내었다. 도 9의 (A)에 나타낸 타이밍 차트에서는 도 6의 (A)에 나타낸 타이밍 차트와 마찬가지로 선택 신호 MD_L 및 선택 신호 MD_E를 입력한다. 이에 의하여, 도 6의 (A)에 나타낸 타이밍 차트와 같은 타이밍에서 제 1 주사선(G1(1)) 내지 (G1(n)) 및 제 2 주사선(G2(1)) 내지 (G2(n))에 전압이 인가된다.

[0104] 도 9의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 도 7의 시프트 레지스터 회로(111A)의 출력 신호 SR_{ODD}(1) 내지 SR_{ODD}(n/2), 시프트 레지스터 회로(111B)의 출력 신호 SR_{EVEN}(1) 내지 SR_{EVEN}(n/2), 선택 신호 MD_L, 및 선택 신호 MD_E에 의하여 제 1 주사선(G1(1)) 내지 (G1(n))의 주사 신호가 High가 됨으로써 액정 표시 영역(121)의 표시 내용이 갱신된다. 또한 제 2 주사선(G2(1)) 내지 (G2(n))의 주사 신호가 High가 됨으로써 발광 표시 영역(122)의 표시 내용이 갱신된다. 따라서 표시가 갱신되는 순서는 도 9의 (A)의 타이밍 차트와 대응한다.

- [0105] 일례로서, 도 7의 게이트 드라이버(110A)가 갖는 시프트 레지스터 회로(111A)의 출력 신호 $SR_{ODD}(1)$ 이 High일 때에 대하여 설명한다. 선택 신호 MD_L 이 High일 때에, 선택 회로(20)에 의하여 제 1 주사선(G1(1))에 공급되는 주사 신호가 High가 된다. 표시 내용은 화소 회로(750C(1,1)) 내지 (750C(m,1))에 공급된 계조 신호에 의하여 갱신된다.
- [0106] 시프트 레지스터 회로(111A)의 출력 신호 $SR_{ODD}(1)$ 이 High일 때, 선택 신호 MD_E 가 High가 된다. 선택 신호 MD_E 가 High일 때에, 선택 회로(20)에 의하여 제 2 주사선(G2(1))에 공급되는 주사 신호가 High가 된다. 표시 내용은 화소 회로(650C(1,1)) 내지 (650C(m,1))에 공급된 계조 신호에 의하여 갱신된다.
- [0107] 도 9의 (A)는 도 8의 (A)와 달리, 시프트 레지스터 회로(111A)의 출력 신호 $SR_{ODD}(1)$ 이 High인 기간에, 선택 신호 MD_L 및 선택 신호 MD_E 가 동시에 High가 된다. 도 9의 (B)에서는 선택 신호 MD_L 및 선택 신호 MD_E 가 동시에 High이므로, 액정 표시 영역(121)의 표시와 발광 표시 영역(122)의 표시가 동시에 갱신된다.
- [0108] 화소 회로(750C(i,j))의 트랜지스터(SW1)의 게이트와 전기적으로 접속되는 제 1 주사선(G1(j)) 또는 화소 회로(650C(i,j))의 트랜지스터(SW2)의 게이트와 전기적으로 접속되는 제 2 주사선(G2(j))의 선택은 시프트 레지스터 회로(111A) 또는 시프트 레지스터 회로(111B), 및 선택 회로(20)를 갖는 게이트 드라이버로 제어할 수 있다.
- [0109] 도 7의 표시 장치(701)와 같이 홀수 행을 제어하는 게이트 드라이버(110A) 및 짹수 행을 제어하는 게이트 드라이버(110B)로 나눈 구조에서도 선택 신호 MD_L 및 선택 신호 MD_E 를 제어함으로써, 도 1의 표시 장치(700)와 같은 타이밍에서 동작시킬 수 있다. 전류 공급 능력이 향상됨으로써, 화소 회로(710C)를 갖는 고정세한 표시를 수행하는 표시 장치를 구동할 수 있다.
- [0110] 이상, 본 실시형태에서 제시한 구성, 방법, 구동 타이밍은 다른 실시형태에서 제시하는 구성, 방법, 구동 타이밍과 적절히 조합하여 사용할 수 있다.
- [0111] (실시형태 3)
- [0112] 본 실시형태에서는 고정세한 표시를 수행하는 표시 장치에 있어서, 액정 표시 영역(121) 및 발광 표시 영역(122)을 다른 갱신 빈도로 제어하는 게이트 드라이버의 구동 방법에 대하여 도 10 내지 도 14를 사용하여 설명한다.
- [0113] 도 10은 표시 장치(702)의 구성을 도시한 블록도이다. 도 1과 다른 점은, 게이트 드라이버(110)의 구성이 도 10에서는 액정 표시 영역(121)의 주사선을 제어하는 게이트 드라이버(110C)와 발광 표시 영역(122)의 주사선을 제어하는 게이트 드라이버(110D)로 나누어져 있는 점이다. 또한, 선택 회로(20)의 출력 신호는 홀수 행의 주사선과 짹수 행의 주사선에 출력된다.
- [0114] 도 10에 도시된 표시 장치(702)의 게이트 드라이버(110C)는 액정 표시 영역(121)의 주사선을, 게이트 드라이버(110D)는 발광 표시 영역(122)의 주사선을 독립적으로 선택 제어할 수 있다.
- [0115] 도 11의 (A)는 도 10의 표시 장치(702)의 동작에 대하여 타이밍 차트를 나타낸 것이다. 일례로서, 게이트 드라이버(110C)가 갖는 시프트 레지스터 회로(111C)의 출력 신호 $SRL(1)$, 및 게이트 드라이버(110D)가 갖는 시프트 레지스터 회로(111D)의 출력 신호 $SRE(1)$ 이 High인 기간에 대하여, 타이밍 차트를 참조하여 동작을 설명한다.
- [0116] 시프트 레지스터 회로(111C)의 출력 신호 $SRL(1)$ 이 High인 기간 중 선택 신호 MD_L_{ODD} 가 High일 때에 제 1 주사선(G1(1))의 주사 신호가 High가 됨으로써, 계조 신호를 제 1 신호선(S1(1)) 내지 (S1(m))에 의하여 화소 회로(750C(i,1))에 기록할 수 있다.
- [0117] 시프트 레지스터 회로(111C)의 출력 신호 $SRL(1)$ 이 High인 기간 중 선택 신호 MD_L_{EVEN} 이 High일 때에 제 1 주사선(G1(2))의 주사 신호가 High가 됨으로써, 계조 신호를 제 1 신호선(S1(1)) 내지 (S1(m))에 의하여 화소 회로(750C(i,2))에 기록할 수 있다.
- [0118] 시프트 레지스터 회로(111D)의 출력 신호 $SRE(1)$ 이 High인 기간 중 선택 신호 MD_E_{ODD} 가 High일 때에 제 2 주사선(G2(1))의 주사 신호가 High가 됨으로써, 계조 신호를 제 2 신호선(S2(1)) 내지 (S2(m))에 의하여 화소 회로(650C(i,1))에 기록할 수 있다.

[0119] 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)이 High인 기간 중 선택 신호 MD_E EVEN이 High일 때에 제 2 주사선(G2(2))의 주사 신호가 High가 됨으로써, 계조 신호를 제 2 신호선(S2(1)) 내지 (S2(m))에 의하여 화소 회로(650C(i,2))에 기록할 수 있다.

[0120] 도 11의 (B)는 액정 표시 영역(121)과 발광 표시 영역(122)의 구동 상태를 모식적으로 도시한 것이다. 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 내지 SRL(n/2)과, 선택 신호 MD_L ODD와 MD_L EVEN과, 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 내지 SRE(n/2)와, 선택 신호 MD_E ODD와 MD_E EVEN에 의하여, 액정 표시 영역(121) 및 발광 표시 영역(122)의 표시 내용이 갱신되는 순서를 나타내고 있다.

[0121] 도 11의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 내지 SRL(n/2)와, 선택 신호 MD_L ODD와, 선택 신호 MD_L EVEN에 의하여 제 1 주사선(G1(1)) 내지 (G1(n))에 출력되는 주사 신호가 High일 때, 액정 표시 영역(121)의 표시 내용이 갱신되고, 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 내지 SRE(n/2)와, 선택 신호 MD_E ODD와, 선택 신호 MD_E EVEN에 의하여 제 2 주사선(G2(1)) 내지 (G2(n))에 출력되는 주사 신호가 High일 때 발광 표시 영역(122)의 표시 내용이 갱신된다. 따라서, 표시가 갱신되는 순서는 도 11의 (A)의 타이밍 차트와 대응한다.

[0122] 일례로서, 도 10의 시프트 레지스터 회로(111C)의 출력 신호 SRL(1)이 High일 때에 대하여 설명한다. 선택 신호 MD_L ODD가 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(1))의 주사 신호가 High가 되고, 화소 회로(750C(1,1)) 내지 (750C(m,1))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다. 또한 선택 신호 MD_L EVEN이 High일 때에, 선택 회로(20)에 의하여 제 1 주사선(G1(2))의 주사 신호가 High가 되고, 화소 회로(750C(1,2)) 내지 (750C(m,2))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.

[0123] 마찬가지로, 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)이 High일 때에 대하여 설명한다. 선택 신호 MD_E ODD가 High일 때에, 선택 회로(20)에 의하여 제 2 주사선(G2(1))의 주사 신호가 High가 되고, 화소 회로(650C(1,1)) 내지 (650C(m,1))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다. 또한 선택 신호 MD_E EVEN이 High일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(2))의 주사 신호가 High가 되고, 화소 회로(650C(1,2)) 내지 (650C(m,2))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.

[0124] 도 11의 (A)에서는, 도 10의 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 및 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)이 High인 기간에 선택 신호 MD_L ODD 및 MD_E ODD가 동시에 High가 된다. 도 11의 (B)에서는 선택 신호 MD_L ODD 및 MD_E ODD가 동시에 High이므로, 액정 표시 영역(121)의 표시와 발광 표시 영역(122)의 표시가 동시에 갱신되는 것을 제시한다.

[0125] 표시 장치(702)에 있어서, 액정 표시 영역(121) 또는 발광 표시 영역(122)을 독립하여 제어하기 위하여 게이트 드라이버의 구성을 나누었다. 또한 홀수 행과 짝수 행을 선택 회로(20)로 제어하는 구성으로 하였다. 또한 선택 신호 MD_L ODD, MD_L EVEN, 선택 신호 MD_E ODD, 및 MD_E EVEN의 구동 타이밍에 따라, 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))에 접속되는 주사선을 선택 제어할 수 있다.

[0126] 도 12의 (A)에서는 도 10의 표시 장치(702)의 동작에 대하여 도 11의 (A)와 다른 타이밍 차트를 나타낸다. 여기서는 액정 표시 영역(121)의 표시와 발광 표시 영역(122)의 표시가 다른 타이밍에서 갱신되는 예를 제시한다. 즉, 액정 표시 영역(121)의 표시와 발광 표시 영역(122)의 표시의 갱신 빈도가 다른 예를 제시한다. 제 1 프레임 F1, 제 2 프레임 F2를 사용하여 설명한다. 시프트 레지스터 회로(111C)의 출력 신호 SRL(1)과 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)이 High인 기간에 대하여, 타이밍 차트를 참조하여 동작을 설명한다.

[0127] 일례로서, 제 1 프레임 F1에서 게이트 드라이버(110C)와 게이트 드라이버(110D)는 같은 타이밍에서 동작하므로, 시프트 레지스터 회로(111C)의 출력 신호 SRL(1)과 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)은 같은 타이밍에서 출력된다.

[0128] 시프트 레지스터 회로(111C)의 출력 신호 SRL(1)과 선택 신호 MD_L ODD가 High인 기간에는, 판정 회로(21)에 의하여 제 1 주사선(G1(1))에 출력되는 주사 신호는 High이다. 제 1 주사선(G1(1))의 주사 신호가 High일 때 제 1 표시 소자(750(i,1))를 갖는 화소 회로(750C(i,1))의 계조 신호가 갱신된다.

- [0129] 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 및 선택 신호 MD_L_{EVEN} 이 High인 기간에는, 판정 회로(22)에 의하여 제 1 주사선(G1(2))에 출력되는 주사 신호가 High이다. 제 1 주사선(G1(2))의 주사 신호가 High일 때 화소 회로(750C(i,2))의 계조 신호가 갱신된다.
- [0130] 선택 신호 MD_E_{ODD} 가 Low인 기간에는, 판정 회로(21)에 의하여, 출력 신호 SRE(1)의 상태에 의존하지 않고 제 2 주사선(G2(1))의 주사 신호의 출력이 Low가 된다. 선택 신호 MD_E_{EVEN} 이 Low인 기간에는, 판정 회로(21)에 의하여, 출력 신호 SRE(1)의 상태에 의존하지 않고 제 2 주사선(G2(1))의 주사 신호의 출력이 Low가 된다.
- [0131] 일례로서, 제 2 프레임 F2에서, 게이트 드라이버(110C)와 게이트 드라이버(110D)는 같은 타이밍에서 동작하므로, 시프트 레지스터 회로(111C)의 출력 신호 SRL(1)과 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)은 같은 타이밍에서 출력된다.
- [0132] 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)과 선택 신호 MD_E_{ODD} 가 High인 기간에는 판정 회로(21)에 의하여 제 2 주사선(G2(1))에 출력되는 주사 신호는 High이다. 제 2 주사선(G2(1))의 주사 신호가 High일 때 화소 회로(650C(i,1))의 계조 신호가 갱신된다.
- [0133] 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 및 선택 신호 MD_E_{EVEN} 이 High인 기간에는 판정 회로(22)에 의하여 제 2 주사선(G2(2))에 출력되는 주사 신호는 High이다. 제 2 주사선(G2(2))의 주사 신호가 High일 때, 제 2 표시 소자(650(i,2))를 갖는 화소 회로(650C(i,2))의 계조 신호만 갱신된다.
- [0134] 선택 신호 MD_L_{ODD} 가 Low인 기간에는 판정 회로(21)에 의하여, 출력 신호 SRL(1)의 상태에 의존하지 않고 제 1 주사선(G1(1))의 주사 신호의 출력이 Low가 된다. 선택 신호 MD_L_{EVEN} 이 Low인 기간에는 판정 회로(21)에 의하여, 출력 신호 SRL(1)의 상태에 의존하지 않고 제 1 주사선(G1(1))의 주사 신호의 출력이 Low가 된다.
- [0135] 도 12의 (B)에는 제 1 프레임 F1과 제 2 프레임 F2의 타이밍에서 구동하였을 때의, 액정 표시 영역(121)과 발광 표시 영역(122)의 구동 상태를 모식적으로 도시하였다.
- [0136] 제 1 프레임 F1에서 액정 표시 영역(121)은 표시 내용이 갱신되고 발광 표시 영역(122)은 표시 내용이 갱신되지 않는다. 제 2 프레임 F2에서 액정 표시 영역(121)은 표시 내용이 갱신되지 않지만, 발광 표시 영역(122)은 표시 내용이 갱신된다.
- [0137] 도 12의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 내지 SRL(n/2)와, 선택 신호 MD_L_{ODD} 와, 선택 신호 MD_L_{EVEN} 에 의하여 제 1 주사선(G1(1)) 내지 (G1(n))의 주사 신호가 High가 됨으로써 액정 표시 영역(121)의 표시 내용이 갱신되고 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 내지 SRE(n/2)와, 선택 신호 MD_E_{ODD} 와, 선택 신호 MD_E_{EVEN} 에 의하여, 제 2 주사선(G2(1)) 내지 (G2(n))의 주사 신호가 High가 됨으로써 발광 표시 영역(122)의 표시 내용이 갱신된다. 따라서, 표시가 갱신되는 순서는 도 12의 (A)의 타이밍 차트와 대응한다.
- [0138] 제 1 프레임 F1에서 액정 표시 영역(121)은 표시 내용이 갱신되고 발광 표시 영역(122)은 표시 내용이 갱신되지 않는다.
- [0139] 일례로서, 시프트 레지스터 회로(111C)의 출력 신호 SRL(1)이 High일 때에 대하여 설명한다. 선택 신호 MD_L_{ODD} 가 High일 때, 선택 회로(20)에 의하여 제 1 주사선(G1(1))의 주사 신호가 High가 되고, 화소 회로(750C(1,1)) 내지 (750C(m,1))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다. 또한 선택 신호 MD_L_{EVEN} 이 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(2))의 주사 신호가 High가 되고, 화소 회로(750C(1,2)) 내지 (750C(m,2))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.
- [0140] 마찬가지로, 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)이 High일 때에 대하여 설명한다. 선택 신호 MD_E_{ODD} 가 Low일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(1))의 주사 신호가 Low가 되고, 화소 회로(650C(1,1)) 내지 (650C(m,1))의 표시 내용은 갱신되지 않은 것을 가리킨다. 또한 선택 신호 MD_E_{EVEN} 이 Low일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(2))의 주사 신호가 Low가 된다. 화소 회로(650C(1,2)) 내지 (650C(m,2))의 표시 내용이 갱신되지 않은 것을 가리킨다.

- [0141] 제 2 프레임 F2에서 액정 표시 영역(121)은 표시 내용이 갱신되지 않지만, 발광 표시 영역(122)은 표시 내용이 갱신된다.
- [0142] 일례로서, 시프트 레지스터 회로(111C)의 출력 신호 SRL(1)이 High일 때에 대하여 설명한다. 선택 신호 MD_L_{ODD}가 Low일 때에, 선택 회로(20)에 의하여 제 1 주사선(G1(1))의 주사 신호가 Low가 되고, 화소 회로(750C(1,1)) 내지 (750C(m,1))의 표시 내용은 갱신되지 않은 것을 가리킨다. 또한 선택 신호 MD_L_{EVEN}이 Low일 때 선택 회로(20)에 의하여 제 1 주사선(G1(2))의 주사 신호가 Low가 된다. 화소 회로(750C(1,2)) 내지 (750C(m,2))의 표시 내용은 갱신되지 않은 것을 가리킨다.
- [0143] 마찬가지로, 도 10의 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)이 High일 때에 대하여 설명한다. 선택 신호 MD_E_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(1))의 주사 신호가 High가 되고, 화소 회로(650C(1,1)) 내지 (650C(m,1))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다. 또한 선택 신호 MD_E_{EVEN}이 High일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(2))의 주사 신호가 High가 되고, 화소 회로(650C(1,2)) 내지 (650C(m,2))가 계조 신호에 의하여 표시 내용이 갱신되는 것을 가리킨다.
- [0144] 도 12의 (A)의 제 1 프레임 F1에서는 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 또는 출력 신호 SRL(2)가 High인 기간 중 선택 신호 MD_L_{ODD} 또는 선택 신호 MD_L_{EVEN}이 High일 때에 액정 표시 영역(121)의 표시가 갱신된다. 제 2 프레임 F2에서는 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 또는 출력 신호 SRE(2)가 High인 기간 중 선택 신호 MD_E_{ODD} 또는 선택 신호 MD_E_{EVEN}이 High일 때 발광 표시 영역(122)의 표시가 갱신된다.
- [0145] 도 12의 (A)에서는 선택 신호에 의한 주사선의 선택 제어에 의하여, 액정 표시 영역(121) 또는 발광 표시 영역(122)을 프레임 단위로 정지시키는 예를 제시하였지만, 마찬가지로 프레임 단위로 시프트 레지스터 회로를 정지시켜도 같은 효과를 얻을 수 있다.
- [0146] 또한, 화소 회로(750C(i, j))에서 정지 화상을 재생하고 화소 회로(650C(i, j))에서 동영상을 재생할 때에, 정지 화상의 경우는 동영상의 경우에 비하여 표시 내용의 갱신 빈도를 낮추고 구동을 수행하는 등, 표시 내용에 따라 최적의 구동을 선택할 수 있다.
- [0147] 또한, 화소 회로(750C(i, j)) 및 화소 회로(650C(i, j))를 갖는 고정세한 표시부(120)에 있어서, 최적의 구동을 수행하는 것에 의하여, 소비전력을 저감시킬 수 있다.
- [0148] 또한 본 발명의 일 형태는 선택 회로(20)에서 짹수 행과 홀수 행을 선택 제어할 수 있도록 예시하였지만, 선택 회로에서 선택할 수 있는 행의 수는 2 이상의 정수이어도 좋다.
- [0149] 도 13의 (A)에서는 도 10의 표시 장치(702)의 동작에 대하여, 도 12의 (A)와 다른 타이밍 차트를 나타내었다. 여기서는 표시 장치에 있어서, 제 1 표시 영역과 제 2 표시 영역을 갖고, 제 1 표시 영역에 포함되는 표시 소자의 표시의 갱신 빈도가 제 2 표시 영역에 포함되는 표시 소자와 다른 예를 제시한다. 구체적으로는, 액정 표시 영역(121) 및 발광 표시 영역(122) 중 한쪽은 전체 면에 있어서 표시가 순차적으로 갱신되지만, 다른 쪽은 부분적으로 표시가 갱신되는 예를 제시한다. 일례로서 제 3 프레임 F3을 사용하여 설명한다. 시프트 레지스터 회로(111C) 및 시프트 레지스터 회로(111D)의 제 j 행을 중심으로 전후 1행의 동작을 타이밍 차트로 나타내었다.
- [0150] 일례로서, 시프트 레지스터 회로(111C)의 출력 신호 SRL(j-1), SRL(j), 및 SRL(j+1)과, 시프트 레지스터 회로(111D)의 출력 신호 SRE(j-1), SRE(j), 및 SRE(j+1)이 High인 기간에 대하여, 타이밍 차트를 참조하여 동작을 설명한다.
- [0151] 제 3 프레임 F3에서는 게이트 드라이버(110C)와 게이트 드라이버(110D)는 같은 타이밍에서 동작한다. 시프트 레지스터 회로(111C)의 출력 신호 SRL(j)와 시프트 레지스터 회로(111D)의 출력 신호 SRE(j)는 같은 타이밍에서 출력된다.
- [0152] 도 10의 시프트 레지스터 회로(111C)가 출력 신호 SRL(j-1)을 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_L_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(K-2))의 주사 신호가 High가 되고, 화소 회로(750C(1,K-2)) 내지 (750C(m,K-2))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다. 또한 선택 신호 MD_L_{EVEN}이 High일 때 선택 회로(20)에 의하여 제 1 주사선(G1(K-1))의 주사 신호가 High가

되고, 화소 회로(750C(1,K-1)) 내지 (750C(m,K-1))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.

[0153] 도 10의 시프트 레지스터 회로(111D)가 출력 신호 SRE(j-1)을 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_E_{ODD}가 Low일 때는 선택 회로(20)에 의하여 제 2 주사선(G2(K-2))과 제 2 주사선(G2(K-1))의 주사 신호가 Low가 되고, 이는 화소 회로(650C(1,K-2)) 내지 (650C(m,K-2))의 표시 내용이 갱신되지 않은 것을 가리킨다. 또한 화소 회로(650C(1,K-1)) 내지 (650C(m,K-1))의 표시 내용이 갱신되지 않은 것을 가리킨다.

[0154] 도 10의 시프트 레지스터 회로(111C)가 출력 신호 SRL(j)를 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_L_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(K))의 주사 신호가 High가 되고, 화소 회로(750C(1,K)) 내지 (750C(m,K))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다. 또한, 선택 신호 MD_L_{EVEN}이 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(K+1))의 주사 신호가 High가 되고, 화소 회로(750C(1,K+1)) 내지 (750C(m,K+1))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.

[0155] 도 10의 시프트 레지스터 회로(111D)가 출력 신호 SRE(j)를 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_E_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(K))의 주사 신호가 High가 되고, 화소 회로(650C(1,K)) 내지 (650C(m,K))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다. 또한, 선택 신호 MD_E_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(K+1))의 주사 신호가 High가 되고, 화소 회로(650C(1,K+1)) 내지 (650C(m,K+1))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.

[0156] 도 10의 시프트 레지스터 회로(111C)가 출력 신호 SRL(j+1)을 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_L_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(K+2))의 주사 신호가 High가 되고, 화소 회로(750C(1,K+2)) 내지 (750C(m,K+2))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다. 또한, 선택 신호 MD_L_{EVEN}이 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(K+3))의 주사 신호가 High가 되고, 화소 회로(750C(1,K+3)) 내지 (750C(m,K+3))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.

[0157] 도 10의 시프트 레지스터 회로(111D)가 출력 신호 SRE(j+1)을 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_E_{ODD}가 Low일 때는 선택 회로(20)에 의하여 제 2 주사선(G2(K+2))과 제 2 주사선(G2(K+1))의 주사 신호가 Low가 되고, 이는 화소 회로(650C(1,K+2)) 내지 (650C(m,K+2))의 표시 내용이 갱신되지 않은 것을 가리킨다. 또한 화소 회로(650C(1,K+3)) 내지 (650C(m,K+3))의 표시 내용이 갱신되지 않은 것을 가리킨다.

[0158] 제 3 프레임 F3에서는 액정 표시 영역(121)의 표시 내용이 순차적으로 갱신되지만, 발광 표시 영역(122)은 출력 신호 SRE(j)에 따라 표시 내용만 갱신된다.

[0159] 도 13의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 내지 SRL(n/2)와, 선택 신호 MD_L_{ODD}와, 선택 신호 MD_L_{EVEN}에 의하여 제 1 주사선(G1(1)) 내지 (G1(n))의 주사 신호가 High가 됨으로써 액정 표시 영역(121)의 표시 내용이 갱신되고, 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 내지 SRE(n/2)와, 선택 신호 MD_E_{ODD}와, 선택 신호 MD_E_{EVEN}에 의하여 제 2 주사선(G2(1)) 내지 (G2(n))의 주사 신호가 High가 됨으로써 발광 표시 영역(122)의 표시 내용이 갱신된다. 따라서, 표시가 갱신되는 순서는 도 13의 (A)의 타이밍 차트와 대응한다.

[0160] 도 13의 (B)에서는 선택 신호에 의하여, 특정의 표시 영역만 표시 내용을 갱신할 수 있다.

[0161] 일례로서, 화소 회로(750C(i,j))에서는 모든 액정 표시 영역(121)에 정지 화상을 표시하고, 화소 회로(650C(i,j))에서는 특정의 발광 표시 영역(122A)에서만 동영상을 재생할 수 있다. 정지 화상을 표시할 때는 동영상을 표시할 때와 비교하여 표시 내용의 갱신 빈도를 낮추고 구동을 수행하는 등, 표시 내용에 맞춘 최적의 구동을 선택할 수 있다.

[0162] 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))를 갖는 고정세한 표시부(120)에 있어서 최적의 구동을 수행하여, 표시 내용의 갱신 빈도를 최적화시킴으로써 소비전력을 저감시킬 수 있다.

[0163] 또한 본 발명의 일 형태는 선택 회로(20)에 의하여 짹수 행과 홀수 행을 선택 제어할 수 있도록 제시하

였지만, 선택 회로에 의하여 선택할 수 있는 행의 수는 2 이상의 정수이어도 좋다.

[0164] 도 14의 (A) 내지 (D)에는, 도 1, 도 7, 도 10에 도시된 회로에서 가능한 동작 패턴의 일례를 도시하였다.

[0165] 도 14의 (B)는 액정 표시 영역(121)과 발광 표시 영역(122)을 교대로 1행씩 간격을 두고 표시를 간신히 수 있다. 액정 표시 영역(121) 및 발광 표시 영역(122) 중 어느 쪽만 표시를 간신히 여도 좋다. 높은 계조를 갖고 화소 크기의 정제도가 높은 표시 장치의 경우, 더 긴 기록 시간을 확보함으로써 표시의 품위를 높일 수 있다.

[0166] 도 14의 (C)는 액정 표시 영역(121)과 발광 표시 영역(122)의 표시 내용을 4 프레임에 1회만 간신히 수 있다. 표시 내용의 간신히 빈도를 낮추어 소비전력을 더 저감시킬 수 있다.

[0167] 도 14의 (D)는 도 14의 (C)의 동작에, 발광 표시 영역(122)의 특정의 영역의 표시 내용을 간신히 하는 동작을 조합한 구조이다. 정지 화상을 표시하는 액정 표시 영역(121)에서는 표시 내용의 간신히 빈도를 낮추어 소비전력을 저감시키고, 특정의 영역에서는 동영상 표시에 적합한 표시 내용의 간신히를 할 수 있다. 동영상 재생을 수행하는 특정의 영역은 도 14의 (B)의 구동 패턴을 조합함으로써 소비전력을 더 억제할 수 있다.

[0168] 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))를 갖는 고정세한 표시부에서는, 선택 신호 MD_L_{ODD}, 선택 신호 MD_L_{EVEN}, 선택 신호 MD_E_{ODD}, 선택 신호 MD_E_{EVEN}, 및 선택 회로(20)에 의하여, 주사선의 구동의 타이밍을 제어할 수 있다. 또한 표시 내용에 따라 최적의 간신히 빈도를 제어할 수 있다. 또한, 도 14의 (A) 내지 (D)에 도시된 바와 같이, 액정 표시 영역(121) 및 발광 표시 영역(122)의 특정의 영역에서의 표시 내용의 간신히를 주사선의 선택 제어에 의하여 자유로이 제어할 수 있다.

[0169] 이상, 본 실시형태에서 제시한 구성, 방법, 구동 타이밍은 다른 실시형태에서 제시하는 구성, 방법, 구동 타이밍과 적절히 조합하여 사용할 수 있다.

[0170] (실시형태 4)

[0171] 본 실시형태에서는 제 1 표시 소자를 갖는 화소 회로 및 제 2 표시 소자를 갖는 화소 회로에 전기적으로 접속되는 신호선을 통하여 계조 신호가 공급되는 표시 장치에 대하여 도 15 내지 도 19를 사용하여 설명한다.

[0172] 도 15에, 화소 회로(720C)의 구조예를 도시하였다. 도 16의 표시 장치(700)의 표시부(120) 중의 화소의 하나를 화소 회로(720C(i,j))로서 설명한다. 표시부(120)는 열 방향으로 n개(n은 1 이상의 정수), 행 방향으로 m개(m은 1 이상의 정수), 합계 mxn개의 화소가 매트릭스상으로 배치된다. 또한, i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수이다.

[0173] 화소 회로(720C(i,j))는 화소 회로(750C(i,j))를 갖고 화소 회로(750C(i,j))는 제 1 표시 소자(750(i,j))를 갖는다. 제 1 표시 소자(750(i,j))는 일례로서 잔상을 방지하기 위하여 교류 구동되는 액정 소자가 바람직하다.

[0174] 화소 회로(720C(i,j))는 화소 회로(650C(i,j))를 갖고 화소 회로(650C(i,j))는 제 2 표시 소자(650(i,j))를 갖는다. 제 2 표시 소자(650(i,j))는 일례로서 직류 구동되는 발광 소자가 바람직하다.

[0175] 화소 회로(750C(i,j))의 트랜지스터(SW1)의 게이트는 제 1 주사선(G1(j))과 전기적으로 접속된다. 트랜지스터(SW1)의 소스 및 드레인 중 한쪽은 신호선(S1(i))과 전기적으로 접속된다.

[0176] 신호선(S1(i))으로부터 공급되는 제 1 계조 신호로 제 1 화소 전극과 제 1 대향 전극과의 사이에 생성된 전압에 의하여, 제 1 표시 소자(750(i,j))의 계조가 제어된다.

[0177] 화소 회로(650C(i,j))의 트랜지스터(SW2)의 게이트는 제 2 주사선(G2(j))과 전기적으로 접속된다. 트랜지스터(SW2)의 소스 및 드레인 중 한쪽은 신호선(S1(i))과 전기적으로 접속된다.

[0178] 신호선(S1(i))으로부터 공급되는 제 2 계조 신호에 의하여 제어되는 트랜지스터(M)에 의하여 구동 전류가 제어된다. 제 2 표시 소자(650(i,j))에 흐르는 구동 전류에 의하여 제 2 표시 소자(650(i,j))의 계조가 제어된다.

[0179] 도 16은 표시 장치(700)의 구조를 도시한 블록도이다. 표시 장치(700)는 게이트 드라이버(110), 선택 신호 출력 회로(30), 및 표시부(120)를 갖는다. 게이트 드라이버(110)는 시프트 레지스터 회로(111) 및 선택

회로(20)를 갖는다. 선택 회로(20)는 판정 회로(21) 및 판정 회로(22)를 갖는다. 표시부(120)는 화소 회로(720C(1,1)) 내지 화소 회로(720C(m,n))를 갖는다. 화소 회로(720C(m,n))는 화소 회로(750C(m,n)) 및 화소 회로(650C(m,n))를 갖는다.

[0180] 본 실시형태에서 설명하는 표시부(120)는 화소 회로(720C(1,1)) 내지 화소 회로(720C(m,n))와, 제 1 주사선(G1(1)) 내지 (G1(n))과, 제 2 주사선(G2(1)) 내지 (G2(n))과, 신호선(S1(1)) 내지 (S1(m))을 갖는다.

[0181] 선택 회로(20)는 도 4와 마찬가지이므로 설명을 생략한다.

[0182] 도 17의 (A)는 도 16의 표시 장치(700)의 동작에 대하여 타이밍 차트를 나타낸 것이다. 도 16의 게이트 드라이버(110)는 시프트 레지스터 회로(111)로부터 출력 신호 SR(1) 내지 SR(n)이 순차적으로 출력된다.

[0183] 화소 회로(750C(i,j))와 전기적으로 접속되는 제 1 주사선(G1(j))에 출력하는 주사 신호는, 시프트 레지스터 회로(111)의 출력 신호 SR(j) 및 선택 신호 출력 회로(30)의 선택 신호 MD_L을 이용하여, 선택 회로(20)의 판정 회로(21)에 의하여 생성된다.

[0184] 화소 회로(650C(i,j))와 전기적으로 접속되는 제 2 주사선(G2(j))에 출력되는 주사 신호는, 시프트 레지스터 회로(111)의 출력 신호 SR(j) 및 선택 신호 출력 회로(30)의 선택 신호 MD_E를 이용하여, 선택 회로(20)의 판정 회로(22)에 의하여 생성된다.

[0185] 일례로서, 도 17의 (A)에 나타낸 타이밍 차트를 사용하여, 출력 신호 SR(1)이 High인 기간에서의 게이트 드라이버(110)의 동작에 대하여 설명한다.

[0186] 시프트 레지스터 회로(111)의 출력 신호 SR(1)이 High인 기간 중 선택 신호 MD_L이 High일 때에 제 1 주사선(G1(1))의 주사 신호가 High가 됨으로써, 계조 신호를 화소 회로(750C(i,1))와 전기적으로 접속된 신호선 (S1(1)) 내지 (S1(m))에 의하여 화소 회로(750C(i,1))에 기록할 수 있다.

[0187] 시프트 레지스터 회로(111)의 출력 신호 SR(1)이 High인 기간 중 선택 신호 MD_E가 High일 때에 제 2 주사선(G2(1))의 주사 신호가 High가 됨으로써, 계조 신호를 화소 회로(650C(i,1))와 전기적으로 접속된 신호선 (S1(1)) 내지 (S1(m))에 의하여 화소 회로(650C(i,1))에 기록할 수 있다.

[0188] 도 17의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 화소 회로(750C(i,j))에 의하여 표시된 영역을 액정 표시 영역(121)으로 하고, 화소 회로(650C(i,j))에 의하여 표시된 영역을 발광 표시 영역(122)으로 한다.

[0189] 도 16의 시프트 레지스터 회로(111)의 출력 신호 SR(j), 선택 신호 MD_L, 선택 신호 MD_E, 및 선택 회로(20)에 의하여 제 1 주사선(G1(j))에 주사 신호를 출력함으로써, 액정 표시 영역(121)의 표시 내용이 갱신되고, 또한 제 2 주사선(G2(j))에 주사 신호를 출력함으로써 발광 표시 영역(122)의 표시 내용이 갱신된다. 따라서, 표시가 갱신되는 순서는 도 17의 (A)의 타이밍 차트와 대응한다.

[0190] 도 17의 (B)는 출력 신호 SR(1)이 High인 기간에 대하여 설명한다. 선택 신호 MD_L이 High인 기간에, 선택 회로(20)에 의하여 제 1 주사선(G1(1))의 주사 신호가 High가 된다. 따라서, 화소 회로(750C(1,1)) 내지 화소 회로(750C(m,1))의 표시 내용은 계조 신호에 의하여 갱신된다.

[0191] 출력 신호 SR(1)이 High인 기간이며 선택 신호 MD_E가 High인 기간에 선택 회로(20)에 의하여 제 2 주사선(G2(1))의 주사 신호가 High가 된다. 따라서, 화소 회로(650C(1,1)) 내지 화소 회로(650C(m,1))의 표시 내용은 계조 신호에 의하여 갱신된다.

[0192] 도 17의 (A)에서는 출력 신호 SR(1)이 High인 기간에, 선택 신호 MD_L이 먼저 High가 되고, 이어서 선택 신호 MD_E가 High가 된다. 도 17의 (B)에서는 선택 신호 MD_L이 High인 기간에 액정 표시 영역(121)의 표시가 먼저 갱신된다. 다음에, 선택 신호 MD_E가 High인 기간에 발광 표시 영역(122)의 표시가 갱신된다.

[0193] 도 16에 도시된 회로에서, 제 1 주사선(G1)과 제 2 주사선(G2)의 주사 신호가 다른 타이밍에서 High가 됨으로써, 신호선에 공급되는 제 1 계조 신호와 제 2 계조 신호는 서로 영향을 미치지 않는다.

[0194] 화소 회로(750C(i,1))의 트랜지스터(SW1)의 게이트와 전기적으로 접속되는 제 1 주사선(G1(1)), 및 화소 회로(650C(i,1))의 트랜지스터(SW2)의 게이트와 전기적으로 접속되는 제 2 주사선(G2(1))의 선택은 시프트 레지스터 회로(111) 및 선택 회로(20)를 갖는 게이트 드라이버(110)에 의하여 제어할 수 있다.

[0195] 신호선(S1(i))에는, 화소 회로(750C(i,1))의 계조 신호와 화소 회로(650C(i,1))의 계조 신호를 공급할

수 있다.

[0196] 도 15에 도시된 화소 회로(720C(i,j))에서 화소 회로(650C(i,j))가 갖는 제 2 표시 소자(650(i,j))의 저항 성분에 편차가 있으면, 이에 따라 트랜지스터(M)의 드레인과 소스 사이의 전압에 편차가 발생된다. 트랜지스터(M)의 드레인은 애노드 전압으로 고정되고, 제 2 표시 소자(650(i,j))의 대향 전극은 캐소드 전압으로 고정되므로, 트랜지스터(M)의 소스 전압에 편차가 발생된다. 트랜지스터(M)의 소스 전압에 편차가 발생되면, 트랜지스터(M)의 소스와 게이트 사이에 인가되는 전압에 편차가 발생되므로, 구동 전류에 편차가 발생되어, 계조가 정확히 제어되지 않는다.

[0197] 표시 소자(650(i,j))를 정확한 계조로 제어하기 위해서는, 트랜지스터(M)의 소스 전압을 기준으로 하여, 제 2 계조 신호에 의하여 생성된 전압을 트랜지스터(M)의 게이트에 공급할 필요가 있다.

[0198] 도 18의 (A) 내지 도 18의 (C)를 사용하여, 화소 회로(650C(i,j))가 갖는 제 2 표시 소자(650(i,j))의 저항 성분의 편차의 영향을 받지 않고 구동 전류를 제어하는 동작에 대하여 설명한다. 도 18의 (A)가 도 15와 다른 점에 대하여 기재한다. 도 18의 (A)에서는 화소 회로(650C(i,j))가 트랜지스터(SW3)를 갖는다.

[0199] 트랜지스터(SW3)의 소스 및 드레인 중 한쪽은 트랜지스터(M)의 소스와 전기적으로 접속된다. 트랜지스터(SW3)의 소스 및 드레인 중 다른 쪽은 CSCOM 단자에 전기적으로 접속된다. 트랜지스터(SW3)의 게이트에는 제 3 주사선(G3(j))이 전기적으로 접속된다.

[0200] 제 3 주사선은 시프트 레지스터 회로(111)의 출력 신호 SR가 제 3 주사 신호로서 공급된다.

[0201] 도 18의 (B)를 사용하여, 화소 회로(650C(i,j))가 갖는 제 2 표시 소자(650(i,j))의 저항 성분의 편차의 영향을 받지 않고 구동 전류를 제어하는 동작에 대하여 타이밍 차트를 사용하여 설명한다. 제 1 주사 신호가 High인 기간에, 제 3 주사선(G3)에는 시프트 레지스터 회로(111)의 출력 신호 SR(j)가 제 3 주사 신호로서 공급된다. 트랜지스터(SW3)의 게이트가 High가 됨으로써, 코먼 전압이 CSCOM 단자를 통하여 트랜지스터(M)의 소스에 인가된다.

[0202] 트랜지스터(M)의 소스와 제 2 화소 전극은 전기적으로 접속되므로, 제 2 화소 전극과 제 2 대향 전극 사이에는 제 2 표시 소자(650(i,j))를 통하여 전류가 흐른다. 제 2 표시 소자(650(i,j))의 발광에 기여하지 않는 크기의 전류가 되도록, 제 2 표시 소자(650(i,j))의 전기 특성으로부터 코먼 전압을 결정하는 것이 바람직하다.

[0203] 출력 신호 SR(j)가 High인 기간에, 트랜지스터(M)의 소스에 코먼 전압이 인가된다. 화소 회로(750C(i,j))가 갖는 제 1 표시 소자(750(i,j))의 계조가 제 1 계조 신호에 의하여 변화되는 기간에, 화소 회로(650C(i,j))의 제 2 표시 소자(650(i,j))는 발광에 필요한 전류가 공급되지 않기 때문에 소등하고 있다.

[0204] 제 2 주사 신호가 High가 되고, 화소 회로(650C(i,j))에 계조 신호를 기록하는 기간에도 트랜지스터(M)의 소스는 코먼 전압으로 고정된다. 그러므로 화소 회로(650C(i,j))에는 코먼 전압을 기준으로 한 계조 신호가 정확히 공급된다.

[0205] 도 18의 (C)에 도 18의 (A)의 신호의 전압 관계를 도시하였다. 우선, 주사 신호에 대하여 설명한다. 제 1 주사 신호가 High인 기간에 인가되는 높은 전압을 G1_H로 하고, Low인 기간에 공급되는 낮은 전압을 G1_L로 한다. 제 2 주사 신호가 High인 기간에 공급되는 높은 전압을 G2_H로 하고, Low인 기간에 공급되는 낮은 전압을 G2_L로 한다. 일례로서 G1_H와 G2_H 및 G1_L과 G2_L의 전압이 다른 예를 도시하였지만, 각각 같은 전압으로 하면 전원 수를 줄일 수 있으므로 회로 규모를 작게 할 수 있다.

[0206] 계조 신호에 대하여 설명한다. 일례로서 제 1 표시 소자(750(i,j))가 반전 구동을 수행하는 액정 소자에 대하여 제시한다. 제 1 화소 전극과 제 1 대향 전극의 양쪽 모두가 코먼 전압인 경우에 표시가 흑색의 계조를 나타낼 때, 제 1 계조 신호로부터 생성되는 가장 큰 전압을 750_H1로 하고, 반전 구동 시의 제 1 계조 신호로부터 생성되는 가장 작은 전압을 750_H2로 한다. 750_L은 코먼 전압으로 한다. 제 2 계조 신호로부터 생성되는 가장 큰 전압을 650_H로 하고, 제 2 계조 신호로부터 생성되는 가장 작은 전압을 650_L로 한다.

[0207] 도 18의 (C)에서는 650_L을 750_L과 같은 코먼 전압으로 하였으나, 650_L로서는 캐소드 단자에 흐르는 전류가 제 2 표시 소자(650(i,j))의 발광에 기여하지 않는 크기의 전압이 인가되는 것이 바람직하다. 제 2 표시 소자(650(i,j))의 전기 특성으로부터 650_L에 인가되는 코먼 전압이 측정되는 것이 바람직하다.

[0208] 도 18의 (C)에 도시하지 않았던 신호의 전압에 대하여 설명한다. ANO 단자에 인가되는 애노드 전압으

로서는 650_H보다 큰 전압이 인가되고, VCath 단자에 인가되는 캐소드 전압으로서는 650_L보다 작은 전압이 인가된다.

[0209] 도 18의 (A)에 도시된 회로에서는, 화소 회로(650C(i,j))가 갖는 제 2 표시 소자(650(i,j))의 저항 성분의 편차의 영향을 받지 않도록 구동 전류를 제어하는 회로를 추가하지 않아도, 화소 회로(750C(i,j))가 갖는 용량 소자(C1)의 기준 전압인 코먼 전압을 이용함으로써, 신규 배선을 추가하지 않고, 표시 품질을 개선할 수 있다.

[0210] 도 18의 (A)에 도시된 회로에서는, 화소 회로(650C(i,j))가 갖는 제 2 표시 소자(650(i,j))의 저항 성분의 편차의 영향을 받지 않도록 구동 전류를 제어하는 회로를 추가하지 않아도, 제 1 주사선(G1)과 제 2 주사선(G2)의 주사 신호가 다른 타이밍에서 High가 됨으로써, 신호선에 공급되는 제 1 계조 신호와 제 2 계조 신호는 서로 영향을 미치지 않는다.

[0211] 또한, 본 발명의 일 형태는 도 15의 화소 회로(720C(i,j))의 회로 구성에 한정되지 않는다. 도 15와 다른 화소 회로(720C(i,j))가 갖는, 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))의 회로 구성의 일례에 대하여 도 19에 도시하였다.

[0212] 도 19에서의 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))가 도 3의 (C)와 다른 점에 대하여 기재한다. 도 19의 트랜지스터(SW1_2)의 백 게이트와 트랜지스터(SW2_2)의 백 게이트는 BGL1 단자와 접속된다. 백 게이트의 전압은 BGL1 단자로부터 인가할 수 있다. BGL1 단자에 인가하는 전압은, BGL 단자에 인가하는 전압과 같아도 좋고 달라도 좋다.

[0213] 또한, 본 발명의 일 형태는 도 19의 화소 회로(720C(i,j))의 회로 구성에 한정되지 않는다. 다른 단자를 백 게이트와 전기적으로 접속할 수도 있고, 접속의 방법을 조합할 수도 있다.

[0214] 이상, 본 실시형태에서 제시한 구성, 방법, 구동 타이밍은 다른 실시형태에서 제시하는 구성, 방법, 구동 타이밍과 적절히 조합하여 사용할 수 있다.

[0215] (실시형태 5)

[0216] 본 실시형태에서는 화소 회로(720C)를 갖는 고정세한 표시를 수행하는 표시 장치에 있어서, 게이트 드라이버를 홀수 행 및 짹수 행으로 구성한 나누어 제어하는 방법에 대하여 도 20 및 도 21을 사용하여 설명한다.

[0217] 도 20은 표시 장치(701)의 구성을 도시한 블록도이다. 도 20에서는 게이트 드라이버(110)의 구성을 홀수 행의 주사선을 제어하는 게이트 드라이버(110A)와 짹수 행의 주사선을 제어하는 게이트 드라이버(110B)로 나눈 점이 도 16과 다르다.

[0218] 도 20의 표시 장치(701)가 갖는 시프트 레지스터 회로(111A) 및 시프트 레지스터 회로(111B)는 도 16의 시프트 레지스터 회로(111)의 출력 신호 SR와 다른 타이밍의 출력 신호 SR_{ODD} 및 SR_{EVEN}을 생성한다.

[0219] 도 20의 표시 장치(701)는, 게이트 드라이버를 홀수 행 제어 및 짹수 행 제어로 구성을 나눔으로써 게이트 드라이버의 단수가 절반이 되고 회로의 면적도 절반이 된다. 제 1 주사선(G1)의 주사 신호 및 제 2 주사선(G2)의 주사 신호를 구동하는 선택 회로(20)의 버퍼 회로(26)를 크게 할 수 있고, 전류 공급 능력을 향상시킬 수 있다. 도 20에 도시된 n은 정수이고, 또한 2 이상의 짹수로 한다.

[0220] 도 21의 (A)는 도 20의 표시 장치(701)의 동작에 대하여 타이밍 차트를 나타낸 것이다. 도 21의 (A)에 나타낸 타이밍 차트에서는 도 17의 (A)에 나타낸 타이밍 차트와 마찬가지로 선택 신호 MD_L 및 선택 신호 MD_E를 입력한다. 따라서, 도 17의 (A)에 나타낸 타이밍 차트와 같은 타이밍에서 제 1 주사선(G1(1)) 내지 (G1(n)), 제 2 주사선(G2(1)) 내지 (G2(n))에 전압이 인가된다.

[0221] 도 21의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 도 17의 (B)와 달리, 도 20의 게이트 드라이버(110A)가 갖는 시프트 레지스터 회로(111A)의 출력 신호 SR_{ODD}(1) 내지 SR_{ODD}(n/2), 게이트 드라이버(110B)가 갖는 시프트 레지스터 회로(111B)의 출력 신호 SR_{EVEN}(1) 내지 SR_{EVEN}(n/2), 선택 신호 MD_L, 및 선택 신호 MD_E에 의하여, 제 1 주사선(G1(1)) 내지 (G1(n))의 주사 신호가 High가 됨으로써, 액정 표시 영역(121)의 표시 내용이 생성된다. 또한 제 2 주사선(G2(1)) 내지 (G2(n))의 주사 신호가 High가 됨으로써, 발광 표시 영역(122)의 표시 내용이 생성된다. 따라서, 표시가 생성되는 순서는 도 21의 (A)의 타이밍 차트와 대응 한다.

- [0222] 일례로서, 도 20의 시프트 레지스터 회로(111A)의 출력 신호 $SR_{ODD}(1)$ 이 High인 기간에 대하여 설명한다. 선택 신호 MD_L 이 High인 기간에, 선택 회로(20)에 의하여 제 1 주사선(G1(1))의 주사 신호가 High가 된다. 화소 회로(750C(i,1)) 내지 (750C(m,1))가 계조 신호에 의하여 표시 내용이 갱신되는 것을 가리킨다.
- [0223] 도 20의 시프트 레지스터 회로(111A)의 출력 신호 $SR_{ODD}(1)$ 이 High이며 선택 신호 MD_E 가 High인 기간에, 선택 회로(20)에 의하여 제 2 주사선(G2(1))의 주사 신호가 High가 된다. 화소 회로(650C(1,1)) 내지 화소 회로(650C(m,1))가 계조 신호에 의하여 표시 내용이 갱신되는 것을 가리킨다.
- [0224] 도 21의 (A)에서는 게이트 드라이버(110A)가 갖는 시프트 레지스터 회로(111A)의 출력 신호 $SR_{ODD}(1)$ 이 High인 기간에, 선택 신호 MD_L 이 먼저 High가 되고, 이어서 선택 신호 MD_E 가 High가 된다. 도 21의 (B)에서는 선택 신호 MD_L 이 High인 기간에, 액정 표시 영역(121)의 표시가 먼저 갱신되는 것을 가리킨다. 다음에, 선택 신호 MD_E 가 High인 기간에 발광 표시 영역(122)의 표시가 갱신되는 것을 가리킨다.
- [0225] 제 1 주사선(G1(j)) 또는 제 2 주사선(G2(j))의 선택은 시프트 레지스터 회로(111A) 및 선택 회로(20)를 갖는 게이트 드라이버(110A)로 제어할 수 있다.
- [0226] 도 20의 표시 장치(701)는 홀수 행을 제어하는 게이트 드라이버(110A) 및 짹수 행을 제어하는 게이트 드라이버(110B)로 나뉜 구성에서도, 선택 신호 출력 회로(30)에 의하여 선택 신호 MD_L 및 선택 신호 MD_E 를 제어함으로써, 도 16의 표시 장치(700)와 같은 타이밍에서 동작시킬 수 있다.
- [0227] 화소 회로(720C)는, 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))의 신호선(S1(j))을 공유함으로써, 더 고정세한 표시를 수행하는 표시 장치를 구동할 수 있다. 또한 베틀 회로를 크게 함으로써, 전류 공급 능력이 향상되므로, 4K나 8K 등의 큰 해상도 및 표시 영역을 갖는 표시 장치를 구동할 수 있다.
- [0228] 도 20에 도시된 회로에서는 제 1 주사선(G1)과 제 2 주사선(G2)의 주사 신호가 다른 타이밍에서 High가 됨으로써, 신호선에 공급되는 제 1 계조 신호와 제 2 계조 신호는 서로 영향을 미치지 않는다.
- [0229] 이상, 본 실시형태에서 제시한 구성, 방법, 구동 타이밍은 다른 실시형태에서 제시하는 구성, 방법, 구동 타이밍과 적절히 조합하여 사용할 수 있다.
- [0230] (실시형태 6)
- [0231] 본 실시형태에서는 화소 회로(720C)를 갖는 고정세한 표시를 수행하는 표시 장치에 있어서, 액정 표시 영역(121) 및 발광 표시 영역(122)을 다른 갱신 빈도로 제어하는 게이트 드라이버의 구동 방법에 대하여 도 22 내지 도 26을 사용하여 설명한다.
- [0232] 도 22는 표시 장치(702)의 구성을 도시한 블록도이다. 도 22에서는 게이트 드라이버(110)의 구성을, 액정 표시 영역(121)의 주사선을 제어하는 게이트 드라이버(110C)와, 발광 표시 영역(122)의 주사선을 제어하는 게이트 드라이버(110D)로 나눈 점이 도 16과 다르다. 또한, 선택 회로(20)의 출력 신호는 홀수 행의 주사선에 전기적으로 접속된다.
- [0233] 도 22에 도시된 표시 장치(702)의 게이트 드라이버(110C)는 액정 표시 영역(121)의 주사선을, 게이트 드라이버(110D)는 발광 표시 영역(122)의 주사선을 독립적으로 선택 제어할 수 있다. 도 22에 도시된 n은 정수이고, 또한 2 이상의 짹수로 한다.
- [0234] 도 23의 (A)는 도 22의 표시 장치(702)의 동작에 대하여 타이밍 차트를 나타낸 것이다. 일례로서, 시프트 레지스터 회로(111C)의 출력 신호 $SRL(1)$ 및 시프트 레지스터 회로(111D)의 출력 신호 $SRE(1)$ 이 High인 기간에 대하여, 타이밍 차트를 참조하여 동작을 설명한다.
- [0235] 도 22의 시프트 레지스터 회로(111C)의 출력 신호 $SRL(1)$ 이 High인 기간 중 선택 신호 MD_L_{ODD} 가 High일 때에 제 1 주사선(G1(1))의 주사 신호가 High가 됨으로써, 계조 신호를 신호선(S1(1)) 내지 (S1(m))에 의하여 화소 회로(750C(i,1))에 기록할 수 있다.
- [0236] 도 22의 시프트 레지스터 회로(111C)의 출력 신호 $SRL(1)$ 이 High인 기간 중 선택 신호 MD_L_{EVEN} 이 High일 때에 제 1 주사선(G1(2))의 주사 신호가 High가 됨으로써, 계조 신호를 신호선(S1(1)) 내지 (S1(m))에 의하여 화소 회로(750C(i,2))에 기록할 수 있다.
- [0237] 도 22의 시프트 레지스터 회로(111D)의 출력 신호 $SRE(1)$ 이 High인 기간 중 선택 신호 MD_E_{ODD} 가 High일

때에 제 2 주사선(G2(1))의 주사 신호가 High가 됨으로써, 계조 신호를 신호선(S1(1)) 내지 (S1(m))에 의하여 화소 회로(650C(i,1))에 기록할 수 있다.

[0238] 도 22의 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)이 High인 기간 중 선택 신호 MD_E_{EVEN}이 High 일 때에 제 2 주사선(G2(2))의 주사 신호가 High가 됨으로써, 계조 신호를 신호선(S1(1)) 내지 (S1(m))에 의하여 화소 회로(650C(i,2))에 기록할 수 있다.

[0239] 도 23의 (B)는 액정 표시 영역(121) 및 발광 표시 영역(122)의 구동 상태를 모식적으로 도시한 것이다. 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 내지 SRL(n/2)과, 선택 신호 MD_L_{ODD}와 MD_L_{EVEN}은 게이트 드라이버(110D)가 갖는 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 내지 SRE(n/2)와, 선택 신호 MD_E_{ODD}와 MD_E_{EVEN}에 의하여, 액정 표시 영역(121) 및 발광 표시 영역(122)의 표시 내용이 갱신되는 순서를 나타내고 있다.

[0240] 도 23의 (B)는 표시부(120)의 표시 내용의 갱신 상태를 모식적으로 도시한 것이다. 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 내지 SRL(n/2)과, 선택 신호 MD_L_{ODD}와, 선택 신호 MD_L_{EVEN}에 의하여 제 1 주사선(G1(1)) 내지 (G1(n))에 출력되는 주사 신호가 High일 때 액정 표시 영역(121)의 표시 내용이 갱신되고, 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 내지 SRE(n/2)와, 선택 신호 MD_E_{ODD}와, 선택 신호 MD_E_{EVEN}에 의하여 제 2 주사선(G2(1)) 내지 (G2(n))에 출력되는 주사 신호가 High일 때 발광 표시 영역(122)의 표시 내용이 갱신된다. 따라서, 표시가 갱신되는 순서는 도 23의 (A)의 타이밍 차트와 대응한다.

[0241] 일례로서, 도 22의 시프트 레지스터 회로(111C)의 출력 신호 SRL(1)이 High일 때에 대하여 설명한다. 선택 신호 MD_L_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(1))의 주사 신호가 High가 되고, 화소 회로(750C(1,1)) 내지 화소 회로(750C(m,1))가 계조 신호에 의하여 표시 내용이 갱신되는 것을 가리킨다. 또한 선택 신호 MD_L_{EVEN}이 High일 때에, 선택 회로(20)에 의하여 제 1 주사선(G1(2))의 주사 신호가 High가 된다. 화소 회로(750C(1,2)) 내지 화소 회로(750C(m,2))가 계조 신호에 의하여 표시 내용이 갱신되는 것을 가리킨다.

[0242] 마찬가지로, 도 22의 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)이 High일 때에 대하여 설명한다. 선택 신호 MD_E_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(1))의 주사 신호가 High가 되고, 화소 회로(650C(1,1)) 내지 화소 회로(650C(m,1))가 계조 신호에 의하여 표시 내용이 갱신되는 것을 가리킨다. 또한 선택 신호 MD_E_{EVEN}이 High일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(2))의 주사 신호가 High가 된다. 화소 회로(650C(1,2)) 내지 화소 회로(650C(m,2))가 계조 신호에 의하여 표시 내용이 갱신되는 것을 가리킨다.

[0243] 도 22에 나타낸 회로에서는 제 1 주사선(G1)과 제 2 주사선(G2)의 주사 신호가 다른 타이밍에서 High가 됨으로써, 신호선(S1)에 공급되는 제 1 계조 신호와, 제 2 계조 신호는 서로 영향을 미치지 않는 것을 제시한다.

[0244] 표시 장치(702)의 게이트 드라이버의 구성은 액정 표시 영역(121) 또는 발광 표시 영역(122)을 독립하여 제어하기 위하여 나누었다. 또한 홀수 행과 짝수 행을 선택 회로(20)로 제어하는 구성으로 하였다. 또한 선택 신호 MD_L_{ODD}, 선택 신호 MD_L_{EVEN}, 선택 신호 MD_E_{ODD}, 및 선택 신호 MD_E_{EVEN}의 구동 타이밍에 따라, 화소 회로(750C(i,j))와 화소 회로(650C(i,j))에 접속되는 주사선을 선택 제어할 수 있다.

[0245] 도 24의 (A) 및 도 25의 (A)는 도 22의 표시 장치(702)의 동작에 대하여 도 23의 (A)와 다른 타이밍 차트를 나타낸 것이다. 여기에서는 액정 표시 영역(121)의 표시와 발광 표시 영역(122)의 표시가 다른 타이밍에서 갱신되는 예를 제시한다. 즉, 액정 표시 영역(121)의 표시와 발광 표시 영역(122)의 표시의 갱신 빈도가 다른 예를 제시한다. 도 24의 (A)에서는 시프트 레지스터 회로(111C)의 출력 신호 SRL(1), 및 게이트 드라이버(110D)가 갖는 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)이 각각 High인 기간에 대하여 타이밍 차트를 참조하여 동작을 설명한다.

[0246] 시프트 레지스터 회로(111C)의 출력 신호 SRL(1)과 선택 신호 MD_L_{ODD}가 High인 기간에는 판정 회로(21)에 의하여 제 1 주사선(G1(1))의 주사 신호에 High를 출력한다. 제 1 주사선(G1(1))의 주사 신호가 High인 기간에 화소 회로(750C(i,1))의 계조 신호가 갱신된다.

[0247] 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 및 선택 신호 MD_L_{EVEN}이 High인 기간에, 판정 회로

(22)에 의하여 제 1 주사선(G1(2))의 주사 신호에 High가 출력된다. 제 1 주사선(G1(2))의 주사 신호가 High일 때, 화소 회로(750C(i,2))의 계조 신호가 갱신된다.

[0248] 선택 신호 MD_E_{ODD}가 Low인 기간에는, 출력 신호 SRE(1)의 상태에 의존하지 않고 판정 회로(21)에 의하여 제 2 주사선(G2(1))의 주사 신호의 출력이 Low가 된다. 선택 신호 MD_E_{EVEN}이 Low인 기간에는 출력 신호 SRE(1)의 상태에 의존하지 않고 판정 회로(21)에 의하여 제 2 주사선(G2(1))의 주사 신호의 출력이 Low가 된다.

[0249] 도 24의 (B)에서는 액정 표시 영역(121)과 발광 표시 영역(122)의 구동 상태를 모식적으로 도시하였다.

[0250] 도 24의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 내지 SRL(n/2)와, 선택 신호 MD_L_{ODD}와, 선택 신호 MD_L_{EVEN}에 의하여 제 1 주사선(G1(1)) 내지 (G1(n))의 주사 신호가 High가 됨으로써 액정 표시 영역(121)의 표시 내용이 갱신된다.

[0251] 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 내지 SRE(n/2)와, 선택 신호 MD_E_{ODD}와, 선택 신호 MD_E_{EVEN}에 의하여 제 2 주사선(G2(1)) 내지 (G2(n))의 주사 신호가 Low가 됨으로써 발광 표시 영역(122)의 표시 내용은 갱신되지 않는다.

[0252] 도 24의 (B)에서는 액정 표시 영역(121)은 표시 내용이 갱신되고, 발광 표시 영역(122)은 표시 내용이 갱신되지 않기 때문에, 도 24의 (A)의 타이밍 차트와 대응한다.

[0253] 도 25의 (A)에서는 시프트 레지스터 회로(111C)의 출력 신호 SRL(1)과 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)이 High인 기간에 대하여 타이밍 차트를 참조하여 동작을 설명한다.

[0254] 일례로서, 시프트 레지스터 회로(111D)의 출력 신호 SRE(1)과 선택 신호 MD_E_{ODD}가 High인 기간에서, 판정 회로(21)에 의하여 제 2 주사선(G2(1))에 출력되는 주사 신호는 High이다. 제 2 주사선(G2(1))의 주사 신호가 High일 때에 화소 회로(650C(i,1))의 계조 신호가 갱신된다.

[0255] 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 및 선택 신호 MD_E_{EVEN}이 High인 기간에는 판정 회로(22)에 의하여 제 2 주사선(G2(2))에 출력되는 주사 신호는 High이다. 제 2 주사선(G2(2))의 주사 신호가 High일 때, 화소 회로(650C(i,2))의 계조 신호만 갱신된다.

[0256] 선택 신호 MD_L_{ODD}가 Low인 기간에는 출력 신호 SRL(1)의 상태에 의존하지 않고 판정 회로(21)에 의하여 제 1 주사선(G1(1))의 주사 신호의 출력이 Low가 된다. 선택 신호 MD_L_{EVEN}이 Low인 기간에는 출력 신호 SRL(1)의 상태에 의존하지 않고 판정 회로(21)에 의하여 제 1 주사선(G1(1))의 주사 신호의 출력이 Low가 된다.

[0257] 도 25의 (B)에서는 액정 표시 영역(121)과 발광 표시 영역(122)의 구동 상태를 모식적으로 도시하였다.

[0258] 도 25의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 내지 SRL(n/2)와, 선택 신호 MD_L_{ODD}와, 선택 신호 MD_L_{EVEN}에 의하여 제 1 주사선(G1(1)) 내지 제 1 주사선(G1(n))의 주사 신호는 Low가 됨으로써 액정 표시 영역(121)의 표시 내용이 갱신되지 않는다.

[0259] 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 내지 SRE(n/2)와, 선택 신호 MD_E_{ODD}와, 선택 신호 MD_E_{EVEN}에 의하여, 제 2 주사선(G2(j))의 주사 신호가 High가 됨으로써 발광 표시 영역(122)의 표시 내용이 갱신된다.

[0260] 도 25의 (B)에서는 발광 표시 영역(122)은 표시 내용이 갱신되고, 액정 표시 영역(121)은 표시 내용이 갱신되지 않기 때문에, 도 25의 (A)의 타이밍 차트와 대응한다.

[0261] 도 24의 (A)에서는 시프트 레지스터 회로(111C)의 출력 신호 SRL(1) 또는 출력 신호 SRL(2)가 High인 기간 중 선택 신호 MD_L_{ODD} 또는 MD_L_{EVEN}이 High일 때에 액정 표시 영역(121)의 표시가 갱신된다.

[0262] 도 25의 (A)에서는 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 또는 출력 신호 SRE(2)가 High인 기간 중 선택 신호 MD_E_{ODD} 또는 선택 신호 MD_E_{EVEN}이 High일 때에 발광 표시 영역(122)의 표시가 갱신된다.

[0263] 도 24의 (A) 및 도 25의 (A)에서는 선택 신호에 의한 주사선의 선택 제어에 의하여, 액정 표시 영역(121) 또는 발광 표시 영역(122)을 프레임 단위로 정지시키는 예를 제시하였지만, 마찬가지로 프레임 단위로 시

프트 레지스터 회로를 정지시켜도 같은 효과를 얻을 수 있다.

[0264] 또한, 화소 회로(750C(i,j))에서 정지 화상을 재생하고 화소 회로(650C(i,j))에서 동영상을 재생할 때에, 정지 화상의 경우는 동영상의 경우에 비하여 표시 내용의 갱신 빈도를 낮추고 구동을 수행하는 등, 표시 내용에 따라 최적의 구동을 선택할 수 있다.

[0265] 또한 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))를 갖는 고정세한 표시부(120)에 있어서, 최적의 구동을 수행함으로써 소비전력을 저감시킬 수 있다.

[0266] 또한, 본 발명의 일 형태는, 선택 회로(20)에서 짹수 행과 홀수 행을 선택 제어할 수 있도록 제시하였지만, 선택 회로에서 선택할 수 있는 행의 수는 2 이상의 정수이어도 좋다.

[0267] 도 26의 (A)는 도 22의 표시 장치(702)의 동작에 대하여 도 24의 (A)와 다른 타이밍 차트를 나타낸 것이다. 여기에서는 표시 장치에 있어서, 제 1 표시 영역과 제 2 표시 영역을 갖고, 제 1 표시 영역에 포함되는 표시 소자의 표시의 갱신 빈도는 제 2 표시 영역에 포함되는 표시 소자와 다른 예를 제시한다. 구체적으로는, 액정 표시 영역(121) 및 발광 표시 영역(122) 중 한쪽은 전체면에 있어서 표시가 순차적으로 갱신되지만, 다른 쪽은 부분적으로 표시가 갱신되는 예를 제시한다. 시프트 레지스터 회로(111C) 및 시프트 레지스터 회로(111D)의 제 10 행을 중심으로 하여 이 전후의 동작을 타이밍 차트로 나타내었다.

[0268] 일례로서, 도 26에서는 제 1 주사선(G1(7)) 내지 (G1(12))과 제 2 주사선(G2(7)) 내지 (G2(12))의 동작에 대하여 설명한다.

[0269] 시프트 레지스터 회로(111C)의 출력 신호 SRL(4), SRL(5), 및 SRL(6)과, 시프트 레지스터 회로(111D)의 출력 신호 SRE(4), SRE(5), 및 SRE(6)이 High인 기간에 대하여 타이밍 차트를 참조하여 동작을 나타낸다.

[0270] 도 22의 시프트 레지스터 회로(111C)가 출력 신호 SRL(4)를 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_L_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(7))의 주사 신호가 High가 되고, 이는 화소 회로(750C(1,7)) 내지 화소 회로(750C(m,7))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다. 또한 선택 신호 MD_L_{EVEN}이 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(8))의 주사 신호가 High가 되고, 화소 회로(750C(1,8)) 내지 화소 회로(750C(m,8))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.

[0271] 도 22의 시프트 레지스터 회로(111D)가 출력 신호 SRE(4)를 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_E_{ODD} 및 MD_E_{EVEN}이 Low일 때는 선택 회로(20)에 의하여 제 2 주사선(G2(7))의 주사 신호가 Low가 되고, 이는 화소 회로(650C(1,7)) 내지 화소 회로(650C(m,7))의 표시 내용이 갱신되지 않은 것을 가리킨다. 또한 선택 회로(20)에 의하여 제 2 주사선(G2(8))의 주사 신호가 Low가 되고, 이는 화소 회로(650C(1,8)) 내지 화소 회로(650C(m,8))의 표시 내용이 갱신되지 않은 것을 가리킨다.

[0272] 도 22의 시프트 레지스터 회로(111C)가 출력 신호 SRL(5)를 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_L_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(9))의 주사 신호가 High가 되고, 화소 회로(750C(1,9)) 내지 화소 회로(750C(m,9))가 계조 신호에 의하여 표시 내용이 갱신되는 것을 가리킨다. 또한 선택 신호 MD_L_{EVEN}이 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(10))의 주사 신호가 High가 되고, 화소 회로(750C(1,10)) 내지 화소 회로(750C(m,10))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.

[0273] 도 22의 시프트 레지스터 회로(111D)가 출력 신호 SRE(5)를 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_E_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(9))의 주사 신호가 High가 되고, 화소 회로(650C(1,9)) 내지 화소 회로(650C(m,9))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다. 또한, 선택 신호 MD_E_{EVEN}이 High일 때에 선택 회로(20)에 의하여 제 2 주사선(G2(10))의 주사 신호가 High가 되고, 화소 회로(650C(1,10)) 내지 화소 회로(650C(m,10))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.

[0274] 도 22의 시프트 레지스터 회로(111C)가 출력 신호 SRL(6)을 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_L_{ODD}가 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(11))의 주사 신호가 High가 되고, 화소 회로(750C(1,11)) 내지 화소 회로(750C(m,11))의 표시 내용이 계조 신호에 의하여 갱신되는 것을

가리킨다. 또한, 선택 신호 MD_L_{EVEN} 이 High일 때에 선택 회로(20)에 의하여 제 1 주사선(G1(12))의 주사 신호가 High가 되고, 화소 회로(750C(1,12)) 내지 화소 회로(750C(m,12))의 표시 내용이 계조 신호에 의하여 갱신되는 것을 가리킨다.

[0275] 도 22의 시프트 레지스터 회로(111D)가 출력 신호 SRE(6)을 선택 회로(20)에 공급하였을 때의 동작을 설명한다. 선택 신호 MD_E_{ODD} 및 MD_E_{EVEN} 이 Low일 때에는 선택 회로(20)에 의하여 제 2 주사선(G2(11))의 주사 신호가 Low가 되고, 이는 화소 회로(650C(1,11)) 내지 (650C(m,11))의 표시 내용이 갱신되지 않은 것을 가리킨다. 또한 선택 회로(20)에 의하여 제 2 주사선(G2(12))의 주사 신호가 Low가 되고, 이는 화소 회로(650C(1,12)) 내지 (650C(m,12))의 표시 내용이 갱신되지 않은 것을 가리킨다.

[0276] 도 26의 (B)에서 액정 표시 영역(121)은 표시 내용이 순차적으로 갱신되지만, 발광 표시 영역(122)은 출력 신호 SRE(5)의 표시 내용만 갱신된다.

[0277] 도 26의 (B)는 표시부(120)의 구동 상태를 모식적으로 도시한 것이다. 출력 신호 SRL(1) 내지 SRL(n/2)와, 선택 신호 MD_L_{ODD} 와, 선택 신호 MD_L_{EVEN} 에 의하여 제 1 주사선(G1(1)) 내지 제 1 주사선(G1(n))의 주사 신호가 High가 됨으로써 액정 표시 영역(121)의 표시 내용이 갱신되고, 시프트 레지스터 회로(111D)의 출력 신호 SRE(1) 내지 SRE(n/2)와, 선택 신호 MD_E_{ODD} 와, 선택 신호 MD_E_{EVEN} 에 의하여 제 2 주사선(G2(1)) 내지 제 1 주사선(G2(n))의 주사 신호가 High가 됨으로써 발광 표시 영역(122)의 표시 내용이 갱신된다. 따라서, 표시가 갱신되는 순서는 도 26의 (A)의 타이밍 차트와 대응한다.

[0278] 도 26의 (B)에서는 선택 신호에 의하여, 특정의 표시 영역만 표시 내용을 갱신할 수 있다.

[0279] 일례로서, 화소 회로(750C(i,j))에서는 액정 표시 영역(121) 전체에 정지 화상을 표시하고, 화소 회로(650C(i,j))에서는 특정의 발광 표시 영역(122A)에만 동영상을 재생할 수 있다. 정지 화상을 표시할 때는 동영상 표시할 때에 비하여 표시 내용의 갱신 빈도를 낮추고 구동을 수행하는 등, 표시 내용에 맞춰 최적의 구동을 선택할 수 있다.

[0280] 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))를 갖는 고정세한 표시부(120)에 있어서, 최적의 구동을 수행함으로써, 표시 내용의 갱신 빈도를 최적화함으로써 소비전력을 저감시킬 수 있다.

[0281] 도 22에서 도시한 회로에서는 제 1 주사선(G1)과 제 2 주사선(G2)의 주사 신호가 다른 타이밍에서 High가 됨으로써, 신호선에 공급되는 제 1 계조 신호와 제 2 계조 신호는 서로 영향을 미치지 않는다.

[0282] 또한, 본 발명의 일 형태는 선택 회로(20)로 짹수 행과 홀수 행을 선택 제어할 수 있도록 제시하였지만, 선택 회로로 선택할 수 있는 행의 수는 2 이상의 정수이어도 좋다.

[0283] 도 14의 (A) 내지 (D)에서는, 도 16, 도 20, 및 도 22에 도시된 회로에서 가능한 표시 패턴의 일례를 도시하였다. 또한, p는 1 이상의 정수이고, 도 14에서는 p+1 프레임 내지 p+4 프레임까지의 표시 패턴의 갱신 상태를 도시하였다.

[0284] 화소 회로(750C(i,j)) 및 화소 회로(650C(i,j))를 갖는 고정세한 표시부에 있어서, 선택 신호 MD_L_{ODD} , 선택 신호 MD_L_{EVEN} , 선택 신호 MD_E_{ODD} , 선택 신호 MD_E_{EVEN} , 및 선택 회로(20)에 의하여 주사선의 구동의 타이밍을 제어할 수 있다. 또한 표시 내용에 따라 최적의 갱신 빈도를 제어할 수 있다. 또한 도 14의 (A) 내지 (D)에 도시된 바와 같이, 액정 표시 영역(121) 및 발광 표시 영역(122)의 특정의 영역에서의 표시 내용의 갱신을, 주사선의 선택 제어에 의하여 자유로이 제어할 수 있다.

[0285] 이상, 본 실시형태에서 제시한 구성, 방법, 구동 타이밍은 다른 실시형태에서 제시하는 구성, 방법, 구동 타이밍과 적절히 조합하여 사용할 수 있다.

[0286] (실시형태 7)

[0287] 본 실시형태에서는 본 발명의 일 형태의 표시 장치(700)의 구성에 대하여 도 27 내지 도 31을 참조하면서 설명한다.

[0288] 도 27은 본 발명의 일 형태의 표시 장치(700)의 구성을 설명한 도면이다. 도 27의 (A)는 본 발명의 일 형태의 표시 장치(700)의 상면도이다. 도 27의 (B-1)은 도 27의 (A)의 표시 장치(700)가 갖는 화소 회로(710C(i,j))의 일부를 설명한 하면도이고, 도 27의 (B-2)는 도 27의 (B-1)에 도시된 일부의 구성을 생략하여 설

명한 하면도이다.

[0289] 또한, 도 28의 (A-1)은 도 27의 (A)의 표시 장치(700)가 갖는 화소 회로(710C(i,j))의 일부를 설명한 하면도이고, 도 28의 (A-2)는 도 28의 (A-1)에 도시된 일부의 구성을 생략하여 설명한 하면도이다. 도 28의 (B-1)은 도 28의 (A-1)과 다른 개구 위치에 대하여 도시한 하면도이다. 도 28의 (B-2)는 도 28의 (B-1)에 도시된 일부의 구성을 생략하여 설명한 하면도이다.

[0290] 도 29는 본 발명의 일 형태의 표시 장치(700)의 구성을 설명한 도면이다. 도 29의 (A)는 도 27의 (A)의 절단선 X1-X2, X3-X4, X5-X6, X7-X8, X9-X10, X11-X12에서의 단면도이다. 도 29의 (B)는 표시 장치(700)의 일부의 구성을 설명한 단면도이고, 도 29의 (C)는 표시 장치(700)의 다른 일부의 구성을 설명한 단면도이다.

[0291] 도 30의 (A-1) 및 (A-2)는 본 발명의 일 형태의 표시 장치(700)에 사용할 수 있는 개구부(751H)의 배치를 설명한 모식도이다.

[0292] <표시 장치의 구성 예 1.>

[0293] 본 실시형태에서 설명한 표시 장치(700)는 신호선(S1(i))과 화소 회로(710C(i,j))를 갖는다(도 28의 (A-1) 및 (A-2) 참조).

[0294] 화소 회로(710C(i,j))는 신호선(S1(i))과 전기적으로 접속된다.

[0295] 화소 회로(710C(i,j))는 화소 회로(750C(i,j))와 화소 회로(650C(i,j))를 갖고, 화소 회로(750C(i,j))가 갖는 표시 소자(750(i,j))와, 제 1 도전막과, 제 2 도전막과, 제 2 절연막(601C)과, 화소 회로(650C(i,j))가 갖는 표시 소자(650(i,j))를 갖는다(도 29의 (A) 참조).

[0296] 제 1 도전막은 표시 소자(750(i,j))와 전기적으로 접속된다(도 29의 (A) 참조). 예를 들어, 제 1 도전막을 표시 소자(750(i,j))의 제 1 전극(751(i,j))에 사용할 수 있다.

[0297] 제 2 도전막은 제 1 도전막과 중첩되는 영역을 갖는다. 예를 들어, 제 2 도전막을 트랜지스터(SW1)에 사용할 수 있는 트랜지스터의 소스 또는 드레인으로서 기능하는 도전막(612B)에 사용할 수 있다.

[0298] 제 2 절연막(601C)은 제 2 도전막과 제 1 도전막 사이에 끼워지는 영역을 갖는다.

[0299] 화소 회로(710C(i,j))는 제 2 도전막과 전기적으로 접속된다. 예를 들어, 제 2 도전막을 소스 또는 드레인으로서 기능하는 도전막(612B)에 사용한 트랜지스터를 화소 회로(710C(i,j))의 트랜지스터(SW1)에 사용할 수 있다(도 29의 (A) 및 도 2 참조).

[0300] 제 2 절연막(601C)은 개구부(691A)를 갖는다(도 29의 (A) 참조).

[0301] 제 2 도전막은 개구부(691A)에 있어서 제 1 도전막과 전기적으로 접속된다. 예를 들어, 도전막(612B)은 제 1 전극(751(i,j))과 전기적으로 접속된다.

[0302] 화소 회로(710C(i,j))는 신호선(S1(i))과 전기적으로 접속된다(도 2 참조). 또한, 도전막(612A)은 신호선(S1(i))과 전기적으로 접속된다(도 29의 (A) 및 도 2 참조).

[0303] 제 1 전극(751(i,j))은 제 2 절연막(601C)에 매립된 측단부를 갖는다.

[0304] 또한, 본 실시형태에서 설명하는 표시 장치(700)의 화소 회로(710C(i,j))는 트랜지스터(SW1)를 갖는다. 트랜지스터(SW1)는 산화물 반도체를 포함한다.

[0305] 또한, 본 실시형태에서 설명하는 표시 장치(700)의 표시 소자(650(i,j))는 표시 소자(750(i,j))가 표시를 수행하는 방향과 동일의 방향으로 표시를 수행하는 기능을 갖는다. 예를 들어, 외광을 반사하는 강도를 제어하여 표시 소자(750(i,j))가 표시를 수행하는 방향을 파선의 화살표로 도면 중에 도시하였다. 또한, 표시 소자(650(i,j))가 표시를 수행하는 방향을 실선의 화살표로 도면 중에 도시하였다(도 29의 (A) 참조).

[0306] 또한, 본 실시형태에서 설명하는 표시 장치(700)의 표시 소자(650(i,j))는 표시 소자(750(i,j))가 표시를 수행하는 영역으로 둘러싸인 영역에 표시를 수행하는 기능을 갖는다(도 30의 (A-1) 또는 (A-2) 참조). 또한, 표시 소자(750(i,j))는 제 1 전극(751(i,j))과 중첩되는 영역에 표시를 수행하고, 표시 소자(650(i,j))는 개구부(751H)와 중첩되는 영역에 표시를 수행한다.

[0307] 또한, 본 실시형태에서 설명하는 표시 장치(700)의 표시 소자(750(i,j))는 입사하는 광을 반사하는 기능을 갖는 반사막과, 반사하는 광의 강함을 제어하는 기능을 갖는다. 그리고, 반사막은 개구부(751H)를

갖는다. 또한, 예를 들어, 표시 소자(750(i,j))의 반사막에, 제 1 도전막 또는 제 1 전극(751(i,j)) 등을 사용할 수 있다.

[0308] 또한, 표시 소자(650(i,j))는 개구부(751H)를 향하여 광을 사출하는 기능을 갖는다.

[0309] 또한, 본 실시형태에서 설명하는 표시 장치(700)는 화소 회로(710C(i,j))와, 일군의 화소 회로(710C(i,1)) 내지 (710C(i,n))와, 다른 일군의 화소 회로(710C(1,j)) 내지 화소 회로(710C(m,j))와, 제 1 주사선(G1(j))을 갖는다(도 1 참조). 또한, i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수이고, m 및 n은 1 이상의 정수이다.

[0310] 또한, 본 실시형태에서 설명하는 표시 장치(700)는 제 2 주사선(G2(j))과, 배선(CSCOM)과, 배선(ANO)을 갖는다.

[0311] 일군의 화소 회로(710C(i,1)) 내지 화소 회로(710C(i,n))는 화소 회로(710C(i,j))를 포함하고, 행 방향과 교차되는 열 방향(도면 중 화살표 C로 나타낸 방향)으로 배설(配設)된다.

[0312] 또한, 다른 일군의 화소 회로(710C(1,j)) 내지 (710C(m,j))는 화소 회로(710C(i,j))를 포함하고, 행 방향(도면 중에 화살표 R로 나타낸 방향)으로 배설된다.

[0313] 제 1 주사선(G1(j))은 행 방향으로 배설되는 다른 일군의 화소 회로(710C(1,j)) 내지 화소 회로(710C(m,j))와 전기적으로 접속된다.

[0314] 열 방향으로 배설되는 일군의 화소 회로(710C(i,1)) 내지 (710C(i,n))는 신호선(S1(i))과 전기적으로 접속된다.

[0315] 예를 들어, 도 30의 (A-1) 및 (A-2)에 도시된 바와 같이, 화소 내에 제공되는 개구부의 위치는 인접하는 화소간에서 상이한 것이 바람직하다. 여기서 말하는 인접하는 화소란, 행 방향 및 열 방향 중 어느 하나 또는 행 방향 및 열 방향의 양쪽을 포함하는 것으로 한다. 또한, 예를 들어, 제 1 전극(751(i,j))을 반사막에 사용할 수 있다.

[0316] 도 30의 (B-1) 내지 (B-3)은 본 발명의 일 형태의 표시 장치(700)에 사용할 수 있는 개구부(751H)의 배치예를 도시한 모식도이다.

[0317] 도 30의 (B-1)은 도 28의 (B-1)에서 하면도를 도시한 것이지만, 도 28의 (A-1)과 비교하면 CSCOM의 배선 수를 줄일 수 있고 고정세화에 대응한 표시 장치를 제공할 수 있다.

[0318] 도 30의 (B-2) 및 도 30의 (B-3)에서는 3개의 화소 회로가 갖는 각 제 2 표시 소자의 개구부 중심을 선으로 연결한 거리를 도 30의 (A-1) 또는 도 30의 (B-1)에 도시된 배치보다 크게 하여, 제 2 표시 소자와 같은 작은 개구로 한 경우에도 색을 구성하는 3개의 화소의 표시 면적을 크게 함으로써 색의 표시 품질을 개선할 수 있다.

[0319] 상술한 본 발명의 일 형태의 표시 장치(700)는 표시 소자(750), 표시 소자(750)와 전기적으로 접속되는 제 1 도전막, 제 1 도전막과 중첩되는 영역을 갖는 제 2 도전막, 제 2 도전막과 제 1 도전막 사이에 끼워지는 영역을 갖는 절연막, 제 2 도전막과 전기적으로 접속되는 화소 회로, 및 화소 회로와 전기적으로 접속되는 표시 소자(650)를 포함하고, 제 2 절연막은 개구부를 갖고, 제 2 도전막은 제 1 도전막과 개구부에서 전기적으로 접속된다.

[0320] 이로써, 예를 들어, 동일한 공정에 의하여 형성할 수 있는 화소 회로를 사용함으로써, 표시 소자(750) 및 표시 소자(750)와 다른 방법으로 표시를 수행하는 표시 소자(650)를 구동할 수 있다. 그 결과, 편리성 또는 신뢰성이 우수한 신규 표시 장치를 제공할 수 있다.

[0321] 또한, 본 실시형태에서 설명하는 표시 장치(700)는 단자(619B) 및 도전막(611B)을 갖는다(도 29의 (A) 참조).

[0322] 제 2 절연막(601C)은 단자(619B)와 도전막(611B) 사이에 끼워지는 영역을 구비한다. 또한, 제 2 절연막(601C)은 개구부(691B)를 구비한다.

[0323] 단자(619B)는 개구부(691B)에서 도전막(611B)과 전기적으로 접속된다. 또한, 도전막(611B)은 화소 회로(710C(i,j))와 전기적으로 접속된다. 또한, 예를 들어, 제 1 전극(751(i,j)) 또는 제 1 도전막을 반사막에 사용하는 경우, 단자(619B)의 접점으로서 기능하는 면은 표시 소자(750(i,j))에서 제 1 전극(751(i,j)) 중 광이

입사하는 면과 같은 방향을 향한다.

[0324] 이로써, 단자를 통하여, 전력 또는 신호를 화소 회로에 공급할 수 있다. 결과적으로, 편리성 또는 신뢰성이 우수한 신규 표시 장치를 제공할 수 있다.

[0325] 또한, 본 실시형태에서 설명하는 표시 장치(700)의 표시 소자(750(i,j))는 액정 재료를 포함하는 층(753), 제 1 전극(751(i,j)), 및 제 2 전극(752)을 갖는다. 또한, 제 2 전극(752)은 제 1 전극(751(i,j))과의 사이에 액정 재료의 배향을 제어하는 전계가 형성되도록 배치된다.

[0326] 또한, 본 실시형태에서 설명하는 표시 장치(700)는 배향막(AF1) 및 배향막(AF2)을 갖는다. 배향막(AF2)은 배향막(AF1)과의 사이에 액정 재료를 포함하는 층(753)을 개재(介在)하도록 배치된다.

[0327] 또한, 본 실시형태에서 설명하는 표시 장치(700)의 표시 소자(650(i,j))는 제 3 전극(651(i,j)), 제 4 전극(652), 및 발광성 유기 화합물을 포함하는 층(653(i))을 갖는다.

[0328] 제 4 전극(652)은 제 3 전극(651(i,j))과 중첩되는 영역을 갖는다. 발광성 유기 화합물을 포함하는 층(653(i))은 제 3 전극(651)과 제 4 전극(652) 사이에 배설된다. 그리고, 제 3 전극(651(i,j))은 접속부(622)에서 트랜지스터(M)와 전기적으로 접속된다.

[0329] 또한, 본 실시형태에서 설명하는 표시 장치(700)의 화소 회로(710C(i,j))는 착색막(CF1), 차광막(BM), 절연막(771), 및 기능막(770P)을 갖는다.

[0330] 착색막(CF1)은 표시 소자(750(i,j))와 중첩되는 영역을 갖는다. 차광막(BM)은 표시 소자(750(i,j))와 중첩되는 영역에 개구부를 갖는다.

[0331] 절연막(771)은 착색막(CF1)과 액정 재료를 포함하는 층(753) 사이 또는 차광막(BM)과 액정 재료를 포함하는 층(753) 사이에 배설된다. 이로써, 착색막(CF1)의 두께에 따른 요철을 평坦하게 할 수 있다. 또는, 차광막(BM) 또는 착색막(CF1) 등으로부터 액정 재료를 포함하는 층(753)으로의 불순물의 확산을 억제할 수 있다.

[0332] 기능막(770P)은 표시 소자(750(i,j))와 중첩되는 영역을 갖는다. 기능막(770P)은 표시 소자(750(i,j))와의 사이에 기판(770)을 끼우도록 배설된다.

[0333] 또한, 본 실시형태에서 설명하는 표시 장치(700)는 기판(670), 기판(770), 기능층(620)을 갖는다.

[0334] 기판(770)은 기판(670)과 중첩되는 영역을 갖는다. 기능층(620)은 기판(670)과 기판(770) 사이에 배설된다.

[0335] 기능층(620)은 화소 회로(710C(i,j)), 표시 소자(650(i,j)), 절연막(621), 및 절연막(628)을 포함한다. 또한, 기능층(620)은 절연막(616) 및 절연막(618)을 포함한다.

[0336] 절연막(621)은 표시 소자(750(i,j))와 표시 소자(650(i,j)) 사이에 배설된다.

[0337] 절연막(628)은 절연막(621)과 기판(670) 사이에 배설되며, 표시 소자(650(i,j))와 중첩되는 영역에 개구부를 갖는다. 제 3 전극(651(i,j))의 주연을 따라 형성되는 절연막(628)은, 제 3 전극(651(i,j))과 제 4 전극 사이의 단락(短絡)을 방지할 수 있다.

[0338] 절연막(618)은 절연막(621)과 표시 소자(750(i,j)) 사이에 배설되는 영역을 갖고, 절연막(616)은 절연막(618)과 표시 소자(750(i,j)) 사이에 배설되는 영역을 갖는다.

[0339] 또한, 본 실시형태에서 설명하는 표시 장치(700)는 접합층(605), 밀봉재(705), 및 구조체(KB1)를 갖는다.

[0340] 접합층(605)은 기능층(620)과 기판(670) 사이에 배설되고, 기능층(620)과 기판(670)을 접합하는 기능을 갖는다.

[0341] 밀봉재(705)는 기능층(620)과 기판(770) 사이에 배설되고, 기능층(620)과 기판(770)을 접합하는 기능을 갖는다.

[0342] 구조체(KB1)는 기능층(620)과 기판(770) 사이에 소정의 간격을 제공하는 기능을 갖는다.

[0343] 또한, 본 실시형태에서 설명하는 표시 장치(700)는 단자(619C), 도전막(611C), 및 도전체(CP)를 갖는다.

- [0344] 제 2 절연막(601C)은 단자(619C)와 도전막(611C) 사이에 끼워지는 영역을 갖는다. 또한, 제 2 절연막(601C)은 개구부(691C)를 갖는다.
- [0345] 단자(619C)는 개구부(691C)에서 도전막(611C)과 전기적으로 접속된다. 또한, 도전막(611C)은 화소 회로(710C(i,j))와 전기적으로 접속된다.
- [0346] 도전체(CP)는 단자(619C)와 제 2 전극(752) 사이에 끼워지고, 단자(619C)와 제 2 전극(752)을 전기적으로 접속시킨다. 예를 들어, 도전성의 입자를 도전체(CP)에 사용할 수 있다.
- [0347] 또한, 본 실시형태에서 설명하는 표시 장치(700)는 구동 회로(GD)와 구동 회로(SD)를 갖는다(도 27의 (A) 참조).
- [0348] 구동 회로(GD)는 제 1 주사선(G1(j))과 전기적으로 접속된다. 구동 회로(GD)는 예를 들어, 트랜지스터(MD)를 갖는다. 구체적으로는, 화소 회로(710C(i,j))에 포함되는 트랜지스터와 동일한 공정에서 형성할 수 있는 반도체막을 포함하는 트랜지스터를 트랜지스터(MD)에 사용할 수 있다(도 29의 (A) 및 (C) 참조).
- [0349] 구동 회로(SD)는 신호선(S1(i))과 전기적으로 접속된다. 구동 회로(SD)는 예를 들어 단자(619B) 또는 단자(619C)와 동일한 공정에서 형성할 수 있는 단자에 전기적으로 접속되고, 그 단자에는 도전 재료가 사용된다.
- [0350] 이하에 표시 장치를 구성하는 각 요소에 대하여 설명한다. 또한, 이들 구성을 명확하게 분리할 수 없고, 하나의 구성이 다른 구성을 겸하는 경우나 다른 구성의 일부를 포함하는 경우가 있다.
- [0351] 예를 들어, 제 1 도전막을 제 1 전극(751(i,j))에 사용할 수 있다. 또한, 제 1 도전막을 반사막에 사용할 수 있다.
- [0352] 또한, 제 2 도전막을 트랜지스터의 소스 또는 드레인의 기능을 갖는 도전막(612B)에 사용할 수 있다.
- [0353] <<구성 예 1.>>
- [0354] 본 발명의 일 형태의 표시 장치(700)는 기판(670), 기판(770), 구조체(KB1), 밀봉재(705), 또는 접합층(605)을 갖는다.
- [0355] 또한, 본 발명의 일 형태의 표시 장치(700)는 기능층(620), 절연막(621), 및 절연막(628)을 갖는다.
- [0356] 또한, 본 발명의 일 형태의 표시 장치(700)는 신호선(S1(i)), 제 1 주사선(G1(j)), 제 2 주사선(G2(j)), 배선(CSCOM), 및 배선(ANO)을 갖는다.
- [0357] 또한, 본 발명의 일 형태의 표시 장치(700)는 제 1 도전막 또는 제 2 도전막을 갖는다.
- [0358] 또한, 본 발명의 일 형태의 표시 장치(700)는 단자(619B), 단자(619C), 도전막(611B), 또는 도전막(611C)을 갖는다.
- [0359] 또한, 본 발명의 일 형태의 표시 장치(700)는 화소 회로(710C(i,j)) 및 트랜지스터(SW1)를 갖는다.
- [0360] 또한, 본 발명의 일 형태의 표시 장치(700)는 표시 소자(750(i,j)), 제 1 전극(751(i,j)), 반사막, 개구부(751H), 액정 재료를 포함하는 층(753), 및 제 2 전극(752)을 갖는다.
- [0361] 또한, 본 발명의 일 형태의 표시 장치(700)는 배향막(AF1), 배향막(AF2), 착색막(CF1), 차광막(BM), 절연막(771), 및 기능막(770P)을 갖는다.
- [0362] 표시 장치(700)에서 착색막(CF1)은, 절연막(621)과 표시 소자(750(i,j)) 사이에, 표시 소자(650(i,j))의 광이 통과하는 개구부(751H)와 중첩되는 위치에 배치되어도 좋다.
- [0363] 또한, 본 발명의 일 형태의 표시 장치(700)는 표시 소자(650(i,j)), 제 3 전극(651(i,j)), 제 4 전극(652), 또는 발광성 유기 화합물을 포함하는 층(653(i))을 갖는다.
- [0364] 또한, 본 발명의 일 형태의 표시 장치(700)는 제 2 절연막(601C)을 갖는다.
- [0365] 또한, 본 발명의 일 형태의 표시 장치(700)는 구동 회로(GD) 또는 구동 회로(SD)를 갖는다.
- [0366] <<기판(670)>>
- [0367] 제작 공정 중의 열 처리에 견딜 수 있을 정도의 내열성을 갖는 재료를 기판(670) 등에 사용할 수 있다.

구체적으로는, 두께가 0.7mm인 무알칼리 유리를 사용할 수 있다.

[0368] 예를 들어, 제 6 세대(1500mmx1850mm), 제 7 세대(1870mmx2200mm), 제 8 세대(2200mmx2400mm), 제 9 세대(2400mmx2800mm), 제 10 세대(2950mmx3400mm) 등의 면적이 큰 유리 기판을 기판(670) 등에 사용할 수 있다. 이로써, 대형 표시 장치를 제작할 수 있다.

[0369] 유기 재료, 무기 재료, 또는 유기 재료와 무기 재료 등의 복합 재료 등을 기판(670) 등에 사용할 수 있다. 예를 들어, 유리, 세라믹, 및 금속 등의 무기 재료를 기판(670) 등에 사용할 수 있다.

[0370] 구체적으로는, 무알칼리 유리, 소다 석회 유리, 칼리 유리, 크리스털 유리, 석영, 또는 사파이어 등을 기판(670) 등에 사용할 수 있다. 구체적으로는, 무기 산화물막, 무기 질화물막, 또는 무기 산화질화물막 등을 기판(670) 등에 사용할 수 있다. 예를 들어, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 알루미나막 등을 기판(670) 등에 사용할 수 있다. SUS 또는 알루미늄 등을 기판(670) 등에 사용할 수 있다.

[0371] 예를 들어, 실리콘 또는 탄소화 실리콘으로 이루어지는 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄 등의 화합물 반도체 기판, 또는 SOI 기판 등을 기판(670) 등에 사용할 수 있다. 이로써, 반도체 소자를 기판(670) 등에 형성할 수 있다.

[0372] 예를 들어, 수지, 수지 필름, 또는 플라스틱 등의 유기 재료를 기판(670) 등에 사용할 수 있다. 구체적으로는, 폴리에스터, 폴리올레핀, 폴리아마이드, 폴리이미드, 폴리카보네이트, 또는 아크릴 수지 등의 수지 필름 또는 수지판을 기판(670) 등에 사용할 수 있다.

[0373] 예를 들어, 금속판, 박판 형상의 유리판, 또는 무기 재료 등의 막을 수지 필름 등에 접합시킨 복합 재료를 기판(670) 등에 사용할 수 있다. 예를 들어, 섬유 형상 또는 입자 형상의 금속, 유리 또는 무기 재료 등을 수지 필름에 분산시킨 복합 재료를 기판(670) 등에 사용할 수 있다. 예를 들어, 섬유 형상 또는 입자 형상의 수지 또는 유기 재료 등을 무기 재료에 분산시킨 복합 재료를 기판(670) 등에 사용할 수 있다.

[0374] 또한, 단층의 재료 또는 복수의 층이 적층된 재료를 기판(670) 등에 사용할 수 있다. 예를 들어, 기재 및 기재에 포함되는 불순물의 확산을 방지하는 절연막 등이 적층된 재료를 기판(670) 등에 사용할 수 있다. 구체적으로는, 유리 및 유리에 포함되는 불순물의 확산을 방지하는 산화 실리콘층, 질화 실리콘층, 및 산화질화 실리콘층 등으로부터 선택된 하나 또는 복수의 막이 적층된 재료를 기판(670) 등에 사용할 수 있다. 또는, 수지 및 수지를 투과하는 불순물의 확산을 방지하는 산화 실리콘막, 질화 실리콘막, 또는 산화질화 실리콘막 등이 적층된 재료를 기판(670) 등에 사용할 수 있다.

[0375] 구체적으로는, 폴리에스터, 폴리올레핀, 폴리아마이드, 폴리이미드, 폴리카보네이트, 또는 아크릴 수지 등의 수지 필름, 수지판, 또는 적층체 등을 기판(670) 등에 사용할 수 있다.

[0376] 구체적으로는, 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 폴리우레탄, 아크릴 수지, 에폭시 수지, 또는 실록산 결합을 갖는 수지를 포함하는 재료를 기판(670) 등에 사용할 수 있다.

[0377] 구체적으로는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에터설폰(PES), 또는 아크릴 등을 기판(670) 등에 사용할 수 있다.

[0378] 또한, 종이 또는 목재 등을 기판(670) 등에 사용할 수 있다.

[0379] 예를 들어, 가요성을 갖는 기판을 기판(670) 등에 사용할 수 있다.

[0380] 또한, 트랜지스터 또는 용량 소자 등을 기판에 직접 형성하는 방법을 이용할 수 있다. 또한, 예를 들어, 제작 공정 중에 가해지는 열에 대한 내열성을 갖는 공정용의 기판에 트랜지스터 또는 용량 소자 등을 형성하고, 형성된 트랜지스터 또는 용량 소자 등을 기판(670) 등으로 전치하는 방법을 이용할 수 있다. 이로써, 예를 들어, 가요성을 갖는 기판에 트랜지스터 또는 용량 소자 등을 형성할 수 있다.

[0381] <<기판(770)>>

[0382] 예를 들어, 투광성을 갖는 재료를 기판(770)에 사용할 수 있다. 구체적으로는, 기판(670)에 사용할 수 있는 재료로부터 선택된 재료를 기판(770)에 사용할 수 있다. 구체적으로는, 두께가 0.7mm 또는 0.1mm 정도까지 연마된 무알칼리 유리를 사용할 수 있다.

[0383] <<구조체(KB1)>>

- [0384] 예를 들어, 유기 재료, 무기 재료, 또는 유기 재료와 무기 재료의 복합 재료를 구조체(KB1) 등에 사용할 수 있다. 이로써, 구조체(KB1) 등을 끼워 구성들 사이에 소정의 간격을 제공할 수 있다.
- [0385] 구체적으로는, 폴리에스터, 폴리올레핀, 폴리아마이드, 폴리이미드, 폴리카보네이트, 폴리실록산, 또는 아크릴 수지 등, 또는 이들로부터 선택된 복수의 수지의 복합 재료 등을 구조체(KB1) 등에 사용할 수 있다. 또한, 감광성을 갖는 재료를 사용하여 형성하여도 좋다.
- [0386] <<밀봉재(705)>>
- [0387] 무기 재료, 유기 재료, 또는 무기 재료와 유기 재료의 복합 재료 등을 밀봉재(705) 등에 사용할 수 있다.
- [0388] 예를 들어, 열용융성 수지 또는 경화성 수지 등의 유기 재료를 밀봉재(705) 등에 사용할 수 있다.
- [0389] 예를 들어, 반응 경화성 접착제, 광 경화성 접착제, 열 경화성 접착제, 또는/및 혐기(嫌氣)성 접착제 등의 유기 재료를 밀봉재(705) 등에 사용할 수 있다.
- [0390] 구체적으로는, 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 폐놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐뷰티랄) 수지, 및 EVA(에틸렌바이닐아세테이트) 수지 등을 포함하는 접착제를 밀봉재(705) 등에 사용할 수 있다.
- [0391] <<접합층(605)>>
- [0392] 예를 들어, 밀봉재(705)에 사용할 수 있는 재료를 접합층(605)에 사용할 수 있다.
- [0393] <<절연막(621)>>
- [0394] 예를 들어, 절연성 무기 재료, 절연성 유기 재료, 또는 무기 재료와 유기 재료를 포함하는 절연성 복합 재료를 절연막(621) 등에 사용할 수 있다.
- [0395] 구체적으로는, 무기 산화물막, 무기 질화물막, 또는 무기 산화질화물막 등, 또는 이들로부터 선택된 복수가 적층된 적층 재료를 절연막(621) 등에 사용할 수 있다. 예를 들어, 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막 등, 또는 이들로부터 선택된 복수가 적층된 적층 재료를 포함하는 막을 절연막(621) 등에 사용할 수 있다.
- [0396] 구체적으로는, 폴리에스터, 폴리올레핀, 폴리아마이드, 폴리이미드, 폴리카보네이트, 폴리실록산, 또는 아크릴 수지 등, 또는 이들로부터 선택된 복수의 수지의 적층 재료 또는 복합 재료 등을 절연막(621) 등에 사용할 수 있다. 또한, 감광성을 갖는 재료를 사용하여 형성하여도 좋다.
- [0397] 이로써, 예를 들어 절연막(621)과 중첩되는 다양한 구조에서 유래하는 단차를 평탄화할 수 있다.
- [0398] <<절연막(628)>>
- [0399] 예를 들어, 절연막(621)에 사용할 수 있는 재료를 절연막(628) 등에 사용할 수 있다. 구체적으로는, 두께가 $1\text{ }\mu\text{m}$ 인 폴리이미드를 포함하는 막을 절연막(628)에 사용할 수 있다.
- [0400] <<제 2 절연막(601C)>>
- [0401] 예를 들어, 절연막(621)에 사용할 수 있는 재료를 제 2 절연막(601C)에 사용할 수 있다. 구체적으로는, 실리콘 및 산소를 포함하는 재료를 제 2 절연막(601C)에 사용할 수 있다. 이로써, 화소 회로 또는 표시 소자 등으로 불순물이 확산되는 것을 억제할 수 있다.
- [0402] 예를 들어, 실리콘, 산소, 및 질소를 포함하며 두께가 200nm 인 막을 제 2 절연막(601C)에 사용할 수 있다.
- [0403] 또한, 제 2 절연막(601C)은 개구부(691A), 개구부(691B), 또는 개구부(691C)를 갖는다.
- [0404] <<배선, 단자, 도전막>>
- [0405] 도전성을 갖는 재료를 배선 등에 사용할 수 있다. 구체적으로는, 도전성을 갖는 재료를 신호선 (S1(i)), 제 1 주사선(G1(j)), 제 2 주사선(G2(j)), 배선(CSCOM), 배선(ANO), 단자(619B), 단자(619C), 도전막 (611B), 또는 도전막(611C) 등에 사용할 수 있다.

- [0406] 예를 들어, 무기 도전성 재료, 유기 도전성 재료, 금속, 또는 도전성 세라믹 등을 배선 등에 사용할 수 있다.
- [0407] 구체적으로는, 알루미늄, 금, 백금, 은, 구리, 크로뮴, 탄탈럼, 타이타늄, 몰리브데넘, 텅스텐, 니켈, 철, 코발트, 팔라듐, 또는 망가니즈로부터 선택된 금속 원소 등을 배선 등에 사용할 수 있다. 또는, 상술한 금속 원소를 포함하는 합금 등을 배선 등에 사용할 수 있다. 특히, 구리와 망가니즈의 합금은 웨트 에칭법을 이용한 미세 가공에 적합하다.
- [0408] 구체적으로는, 알루미늄막 위에 타이타늄막이 적층되는 2층 구조, 질화 타이타늄막 위에 타이타늄막이 적층되는 2층 구조, 질화 타이타늄막 위에 텅스텐막이 적층되는 2층 구조, 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막이 적층되는 2층 구조, 타이타늄막 위에 알루미늄막이 적층되고, 그 위에 타이타늄막이 형성되는 3층 구조 등을 배선 등에 사용할 수 있다.
- [0409] 구체적으로는, 산화 인듐, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 갈륨이 첨가된 산화 아연 등의 도전성 산화물을 배선 등에 사용할 수 있다.
- [0410] 구체적으로는, 그래핀 또는 그래파이트를 포함하는 막을 배선 등에 사용할 수 있다.
- [0411] 예를 들어, 산화 그래핀을 포함하는 막을 형성하고, 산화 그래핀을 포함하는 막을 환원함으로써, 그래핀을 포함하는 막을 형성할 수 있다. 환원 방법으로서는, 가열하는 방법이나 환원제를 사용하는 방법 등을 들 수 있다.
- [0412] 구체적으로는, 도전성 고분자를 배선 등에 사용할 수 있다.
- [0413] <<제 1 도전막, 제 2 도전막>>
- [0414] 예를 들어, 배선 등에 사용할 수 있는 재료를 제 1 도전막 또는 제 2 도전막에 사용할 수 있다.
- [0415] 또한, 제 1 전극(751(i,j)) 또는 배선 등을 제 1 도전막에 사용할 수 있다.
- [0416] 또한, 트랜지스터(SW1)에 사용할 수 있는 트랜지스터의 도전막(612B) 또는 배선 등을 제 2 도전막에 사용할 수 있다.
- [0417] <<트랜지스터(SW1), 트랜지스터(SW2), 트랜지스터(M)>>
- [0418] 예를 들어, 보텀 게이트형 또는 톱 게이트형 등의 트랜지스터를 트랜지스터(SW1), 트랜지스터(SW2), 트랜지스터(M) 등에 사용할 수 있다.
- [0419] 예를 들어, 14족의 원소를 포함하는 반도체를 반도체막에 사용하는 트랜지스터를 이용할 수 있다. 구체적으로는, 실리콘을 포함하는 반도체를 반도체막에 사용할 수 있다. 예를 들어, 단결정 실리콘, 폴리실리콘, 미결정 실리콘, 또는 비정질 실리콘 등을 반도체막에 사용한 트랜지스터를 사용할 수 있다.
- [0420] 예를 들어, 산화물 반도체를 반도체막에 사용하는 트랜지스터를 사용할 수 있다. 구체적으로는, 인듐을 포함하는 산화물 반도체 또는 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체를 반도체막에 사용할 수 있다.
- [0421] 일례를 들면, 비정질 실리콘을 반도체막에 사용한 트랜지스터와 비교하여, 오프 상태에서의 누설 전류가 작은 트랜지스터를 트랜지스터(SW1), 트랜지스터(SW2), 트랜지스터(M) 등에 사용할 수 있다. 구체적으로는, 반도체막(608)에 산화물 반도체를 사용한 트랜지스터를 트랜지스터(SW1), 트랜지스터(SW2), 트랜지스터(M) 등에 사용할 수 있다.
- [0422] 이로써, 비정질 실리콘을 반도체막에 사용한 트랜지스터를 이용하는 화소 회로와 비교하여, 화소 회로가 화상 신호를 유지할 수 있는 시간을 길게 할 수 있다. 구체적으로는, 폴리커의 발생을 억제하면서, 선택 신호를 30Hz 미만, 바람직하게는 1Hz 미만, 더 바람직하게는 1분에 한 번 미만의 빈도로 공급할 수 있다. 그 결과, 정보 처리 장치의 사용자에게 쌓이는 피로를 저감시킬 수 있다. 또한, 구동에 따른 소비전력을 저감시킬 수 있다.
- [0423] 트랜지스터(SW1)에 사용할 수 있는 트랜지스터는 반도체막(608) 및 반도체막(608)과 중첩되는 영역을 갖는 도전막(604)을 갖는다(도 29의 (B) 참조). 또한, 트랜지스터(SW1)에 사용할 수 있는 트랜지스터는 도전막(612A) 및 도전막(612B)을 갖는다.
- [0424] 또한, 도전막(604)은 게이트의 기능을 갖고, 절연막(606)은 게이트 절연막의 기능을 갖는다. 또한, 도

전막(612A)은 소스 및 드레인의 기능 중 한쪽을 갖고, 도전막(612B)은 소스 및 드레인의 기능 중 다른 쪽을 갖는다.

[0425] 또한, 도전막(604)과의 사이에 반도체막(608)을 개재하도록 제공된 도전막(624)을 갖는 트랜지스터를 트랜지스터(M)에 사용할 수 있다(도 29의 (C) 참조).

[0426] 탄탈럼 및 질소를 포함하며 두께가 10nm인 막과, 구리를 포함하며 두께가 300nm인 막을 이 순서대로 적층한 도전막을 도전막(604)에 사용할 수 있다.

[0427] 실리콘 및 질소를 포함하며 두께가 400nm인 막과, 실리콘, 산소, 및 질소를 포함하며 두께가 200nm인 막을 적층한 재료를 절연막(606)에 사용할 수 있다.

[0428] 인듐, 갈륨, 및 아연을 포함하며 두께가 25nm인 막을 반도체막(608)에 사용할 수 있다.

[0429] 텅스텐을 포함하며 두께가 50nm인 막과, 알루미늄을 포함하며 두께가 400nm인 막과, 타이타늄을 포함하며 두께가 100nm인 막을 이 순서대로 적층한 도전막을, 도전막(612A) 또는 도전막(612B)에 사용할 수 있다.

[0430] <<표시 소자(750(i,j))>>

[0431] 예를 들어, 광의 반사 또는 투과를 제어하는 기능을 갖는 표시 소자를 표시 소자(750(i,j)) 등에 사용할 수 있다. 예를 들어, 액정 소자와 편광판을 조합한 구성 또는 셔터 방식의 MEMS 표시 소자 등을 사용할 수 있다. 반사형 표시 소자를 사용함으로써, 표시 장치의 소비전력을 억제할 수 있다. 구체적으로는, 반사형 액정 표시 소자를 표시 소자(750)에 사용할 수 있다.

[0432] IPS(In-Plane-Switching) 모드, TN(Twisted Nematic) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등의 구동 방법을 이용하여 구동할 수 있는 액정 소자를 사용할 수 있다.

[0433] 또한, 예를 들어, 수직 배향(VA) 모드, 구체적으로는, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ECB(Electrically Controlled Birefringence) 모드, CPA(Continuous Pinwheel Alignment) 모드, ASV(Advanced Super-View) 모드 등의 구동 방법을 이용하여 구동할 수 있는 액정 소자를 사용할 수 있다.

[0434] 예를 들어, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 또는, 콜레스테릭상, 스멕티상, 큐빅상, 키랄 네마티상, 및 등방상 등을 나타내는 액정 재료를 사용할 수 있다. 또는, 블루상을 나타내는 액정 재료를 사용할 수 있다.

[0435] <<제 1 전극(751(i,j))>>

[0436] 예를 들어, 배선 등에 사용되는 재료를 제 1 전극(751(i,j))에 사용할 수 있다. 구체적으로는, 반사막을 제 1 전극(751(i,j))에 사용할 수 있다.

[0437] <<반사막>>

[0438] 예를 들어, 가시광을 반사하는 재료를 반사막에 사용할 수 있다. 구체적으로는, 은을 포함하는 재료를 반사막에 사용할 수 있다. 예를 들어, 은 및 팔라듐 등을 포함하는 재료, 또는 은 및 구리 등을 포함하는 재료를 반사막에 사용할 수 있다.

[0439] 반사막은 예를 들어, 액정 재료를 포함하는 층(753)을 투과하는 광을 반사한다. 이로써, 표시 소자(750(i,j))를 반사형 액정 소자로 할 수 있다. 또한, 예를 들어, 표면에 요철을 갖는 재료를 반사막에 사용할 수 있다. 이로써, 입사되는 광을 다양한 방향으로 반사하여, 백색의 표시를 수행할 수 있다.

[0440] 또한, 제 1 전극(751(i,j))을 반사막에 사용하는 구성에 한정되지 않는다. 예를 들어, 액정 재료를 포함하는 층(753)과 제 1 전극(751(i,j)) 사이에 반사막을 배설하는 구성을 사용할 수 있다. 또는, 반사막과 액정 재료를 포함하는 층(753) 사이에 투광성을 갖는 제 1 전극(751(i,j))을 배치하는 구성을 사용할 수 있다.

[0441] <<개구부(751H)>>

[0442] 비개구부의 총 면적에 대한 개구부(751H)의 총 면적의 비율의 값이 지나치게 크면, 표시 소자(750(i,j))를 사용한 표시가 어두워진다. 또한, 비개구부의 총 면적에 대한 개구부(751H)의 총 면적의 비율의

값이 지나치게 작으면, 표시 소자(650(i,j))를 사용한 표시가 어두워진다.

[0443] 또한, 반사막에 제공되는 개구부(751H)의 면적이 지나치게 작으면, 표시 소자(650)가 사출하는 광으로부터 추출할 수 있는 광의 효율이 저하된다.

[0444] 다각형, 사각형, 타원형, 원형, 또는 십자 등의 형상을 개구부(751H)의 형상으로서 사용할 수 있다. 또한, 스트라이프 형상, 슬릿 형상, 체크 무늬의 형상을 개구부(751H)의 형상으로서 사용할 수 있다. 또한, 인접된 화소와 근접하도록 개구부(751H)를 배치하여도 좋다. 바람직하게는, 같은 색을 표시하는 기능을 갖는 다른 화소와 근접하도록 개구부(751H)를 배치한다. 이로써, 표시 소자(650)가 사출하는 광이 인접된 화소에 배치된 착색막에 대하여 입사되는 현상(크로스토크라고도 함)을 억제할 수 있다.

[0445] <<제 2 전극(752)>>

[0446] 예를 들어, 가시광에 대하여 투광성을 가지며 도전성을 갖는 재료를 제 2 전극(752)에 사용할 수 있다.

[0447] 예를 들어, 도전성 산화물, 광이 투과할 정도로 얇은 금속막, 또는 금속 나노와이어를 제 2 전극(752)에 사용할 수 있다.

[0448] 구체적으로는, 인듐을 포함하는 도전성 산화물을 제 2 전극(752)에 사용할 수 있다. 또는, 두께가 1nm 이상 10nm 이하인 금속 박막을 제 2 전극(752)에 사용할 수 있다. 또는, 은을 포함하는 금속 나노와이어를 제 2 전극(752)에 사용할 수 있다.

[0449] 구체적으로는, 산화 인듐, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 갈륨이 첨가된 산화 아연, 알루미늄이 첨가된 산화 아연 등을 제 2 전극(752)에 사용할 수 있다.

[0450] <<배향막(AF1), 배향막(AF2)>>

[0451] 예를 들어, 폴리이미드 등을 포함하는 재료를 배향막(AF1) 또는 배향막(AF2)에 사용할 수 있다. 구체적으로는, 소정의 방향으로 배향되도록 러빙 처리 또는 광 배향 기술을 이용하여 형성된 재료를 사용할 수 있다.

[0452] 예를 들어, 가용성 폴리이미드를 포함하는 막을 배향막(AF1) 또는 배향막(AF2)에 사용할 수 있다.

[0453] <<착색막(CF1)>>

[0454] 소정의 색의 광을 투과시키는 재료를 착색막(CF1)에 사용할 수 있다. 이로써, 착색막(CF1)을 예를 들어 컬러 필터에 사용할 수 있다.

[0455] 예를 들어, 청색의 광을 투과시키는 재료, 녹색의 광을 투과시키는 재료, 적색의 광을 투과시키는 재료, 황색의 광을 투과시키는 재료, 또는 백색의 광을 투과시키는 재료 등을 착색막(CF1)에 사용할 수 있다.

[0456] <<차광막(BM)>>

[0457] 광의 투과를 방해하는 재료를 차광막(BM)에 사용할 수 있다. 이로써, 차광막(BM)을 예를 들어, 블랙 매트릭스에 사용할 수 있다.

[0458] <<절연막(771)>>

[0459] 예를 들어, 폴리이미드, 에폭시 수지, 아크릴 수지 등을 절연막(771)에 사용할 수 있다.

[0460] <<기능막(770P)>>

[0461] 예를 들어, 편광판, 위상차판, 확산 필름, 반사 방지막, 또는 집광 필름 등을 기능막(770P)에 사용할 수 있다. 또는, 이색성 색소를 포함하는 편광판을 기능막(770P)에 사용할 수 있다.

[0462] 또한, 먼지의 부착을 억제하는 대전 방지막, 오염이 부착되기 어렵게 하는 발수성(撥水性)을 갖는 막, 사용에 따른 손상의 발생을 억제하는 하드코트막 등을 기능막(770P)에 사용할 수 있다.

[0463] <<표시 소자(650(i,j))>>

[0464] 예를 들어, 발광 소자를 표시 소자(650(i,j))에 사용할 수 있다. 구체적으로는, 유기 일렉트로루미네선스 소자, 무기 일렉트로루미네선스 소자, 또는 발광 다이오드 등을 표시 소자(650(i,j))에 사용할 수 있다.

[0465] 예를 들어, 청색의 광을 사출하도록 적층된 적층체, 녹색의 광을 사출하도록 적층된 적층체, 또는 적색

의 광을 사출하도록 적층된 적층체 등을 발광성 유기 화합물을 포함하는 층(653(i))에 사용할 수 있다.

[0466] 예를 들어, 신호선(S1(i))을 따라 열 방향으로 긴 띠 형상의 적층체를 발광성 유기 화합물을 포함하는 층(653(i))에 사용할 수 있다. 또한, 발광성 유기 화합물을 포함하는 층(653(i))과는 다른 색의 광을 사출하는 신호선(S1(i+1))을 따라 열 방향으로 긴 띠 형상의 적층체를 발광성 유기 화합물을 포함하는 층(653(i+1))에 사용할 수 있다.

[0467] 또한, 예를 들어, 백색의 광을 사출하도록 적층된 적층체를 발광성 유기 화합물을 포함하는 층(653(i)) 및 발광성 유기 화합물을 포함하는 층(653(i+1))에 사용할 수 있다. 구체적으로는, 청색의 광을 사출하는 형광재료를 포함하는 발광성 유기 화합물을 포함하는 층과, 녹색 및 적색의 광을 사출하는 형광재료 외의 재료를 포함하는 층 또는 황색의 광을 사출하는 형광재료 외의 재료를 포함하는 층을 적층한 적층체를 발광성 유기 화합물을 포함하는 층(653(i)) 및 발광성 유기 화합물을 포함하는 층(653(i+1))에 사용할 수 있다.

[0468] 예를 들어, 배선 등에 사용할 수 있는 재료를 제 3 전극(651(i,j)) 또는 제 4 전극(652)에 사용할 수 있다.

[0469] 예를 들어, 배선 등에 사용할 수 있는 재료로부터 선택된, 가시광에 대하여 투광성을 갖는 재료를 제 3 전극(651(i,j))에 사용할 수 있다.

[0470] 구체적으로는, 도전성 산화물 또는 인듐을 포함하는 도전성 산화물, 산화 인듐, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 갈륨이 첨가된 산화 아연 등을 제 3 전극(651(i,j))에 사용할 수 있다. 또는, 광이 투과할 정도로 얇은 금속막을 제 3 전극(651(i,j))에 사용할 수 있다.

[0471] 예를 들어, 배선 등에 사용할 수 있는 재료 중에서 선택된 가시광에 대하여 반사성을 갖는 재료를 제 4 전극(652)에 사용할 수 있다.

[0472] <<구동 회로(GD)>>

[0473] 시프트 레지스터 등의 다양한 순서 회로 등을 구동 회로(GD)에 사용할 수 있다. 예를 들어, 트랜지스터(MD) 및 용량 소자 등을 구동 회로(GD)에 사용할 수 있다. 구체적으로는, 트랜지스터(M)와 동일한 공정에서 형성할 수 있는 반도체막을 갖는 트랜지스터를 사용할 수 있다.

[0474] 또는, 트랜지스터(SW1)에 사용할 수 있는 트랜지스터와 다른 구성을 트랜지스터(MD)에 사용할 수 있다. 구체적으로는, 도전막(624)을 갖는 트랜지스터를 트랜지스터(MD)에 사용할 수 있다(도 29의 (C) 참조).

[0475] 도전막(604)과의 사이에 반도체막(608)을 끼우도록 도전막(624)을 배설하고, 도전막(624)과 반도체막(608) 사이에 절연막(616)을 배치하고, 반도체막(608)과 도전막(604) 사이에 절연막(606)을 배설한다. 예를 들어, 도전막(604)과 동일한 전압을 인가하는 배선과 도전막(624)을 전기적으로 접속한다.

[0476] 또한, 트랜지스터(M)와 동일한 구성을 트랜지스터(MD)에 사용할 수 있다.

[0477] <<구동 회로(SD)>>

[0478] 예를 들어, 집적 회로를 구동 회로(SD)에 사용할 수 있다. 구체적으로는, 실리콘 기판 위에 형성된 집적 회로를 구동 회로(SD)에 사용할 수 있다.

[0479] 예를 들어, COG(Chip on glass)법을 이용하여, 화소 회로(710C(i,j))와 전기적으로 접속되는 패드에 구동 회로(SD)를 실장할 수 있다. 구체적으로는, 이방성 도전막을 사용하여 패드에 집적 회로를 실장할 수 있다.

[0480] 또한, 패드는 단자(619B) 또는 단자(619C)와 동일한 공정에서 형성할 수 있다.

[0481] <표시 장치의 구성 예 2.>

[0482] 도 31은 본 발명의 일 형태의 표시 장치(700B)의 구성을 설명하기 위한 도면이다. 도 31의 (A)는 도 27의 (A)의 절단선 X1-X2, X3-X4, X5-X6, X7-X8, X9-X10, X11-X12에서의 단면도이다. 도 31의 (B)는 표시 장치의 일부의 구성을 설명하기 위한 단면도이다.

[0483] 또한, 표시 장치(700B)는 보텀 게이트형 트랜지스터 대신에 톱 게이트형 트랜지스터를 갖는 점에서 도 29를 참조하여 설명하는 표시 장치(700)와 다르다. 여기서는, 상기 설명과 동일한 구성을 사용할 수 있는 부분에 대하여, 상기 설명을 원용하고, 다른 부분에 대하여 상세하게 설명한다.

[0484] <<트랜지스터(SW1B), 트랜지스터(MB), 트랜지스터(MDB)>>

- [0485] 트랜지스터(SW1B)에 사용할 수 있는 트랜지스터, 트랜지스터(MB), 및 트랜지스터(MDB)는 절연막(601C)과 중첩되는 영역을 갖는 도전막(604), 절연막(601C)과 도전막(604) 사이에 배설되는 영역을 갖는 반도체막(608)을 갖는다. 또한, 도전막(604)은 게이트 전극의 기능을 갖는다(도 31의 (B) 참조).
- [0486] 반도체막(608)은 도전막(604)과 중첩되지 않는 제 1 영역(608A) 및 제 2 영역(608B), 및 제 1 영역(608A)과 제 2 영역(608B) 사이에 도전막(604)과 중첩되는 제 3 영역(608C)을 갖는다.
- [0487] 트랜지스터(MDB)는 절연막(606)을, 제 3 영역(608C)과 도전막(604) 사이에 갖는다. 또한, 절연막(606)은 게이트 절연막의 기능을 갖는다.
- [0488] 제 1 영역(608A) 및 제 2 영역(608B)은 제 3 영역(608C)과 비교하여 저항률이 낮으며, 소스 영역의 기능 또는 드레인 영역의 기능을 갖는다.
- [0489] 또한, 예를 들어, 본 실시형태의 마지막에서, 자세하게 설명하는 산화물 반도체의 저항률을 제어하는 방법을 이용하여, 제 1 영역(608A) 및 제 2 영역(608B)을 반도체막(608)에 형성할 수 있다. 구체적으로는, 희가스를 포함하는 가스를 사용하는 플라스마 처리를 적용할 수 있다.
- [0490] 또한, 예를 들어, 도전막(604)을 마스크에 사용할 수 있다. 이로써, 제 3 영역(608C)의 일부의 형상을 도전막(604)의 단부의 형상에 자기 정합시킬 수 있다.
- [0491] 트랜지스터(MDB)는 제 1 영역(608A)과 접촉되는 도전막(612A) 및 제 2 영역(608B)과 접촉되는 도전막(612B)을 갖는다. 도전막(612A) 및 도전막(612B)은 소스 또는 드레인의 기능을 갖는다.
- [0492] 트랜지스터(MDB)와 동일한 공정에서 형성할 수 있는 트랜지스터를 트랜지스터(MB)에 사용할 수 있다.
- [0493] <산화물 반도체의 저항률의 제어 방법>
- [0494] 산화물 반도체막의 저항률을 제어하는 방법에 대하여 설명한다.
- [0495] 소정의 저항률을 갖는 산화물 반도체막을 반도체막(608) 또는 도전막(624) 등에 사용할 수 있다.
- [0496] 예를 들어, 산화물 반도체막에 포함되는 수소 및 물 등의 불순물의 농도 및/또는 막 중의 산소 결손을 제어하는 방법을, 산화물 반도체의 저항률을 제어하는 방법에 이용할 수 있다.
- [0497] 구체적으로는, 플라스마 처리를 수소나 물 등의 불순물 농도 및/또는 막 중의 산소 결손을 증가 또는 저감하는 방법에 이용할 수 있다.
- [0498] 구체적으로는, 희가스(He, Ne, Ar, Kr, Xe), 수소, 봉소, 인, 및 질소 중에서 선택된 일종 이상을 포함하는 가스를 사용하여 수행하는 플라스마 처리를 적용할 수 있다. 예를 들어, Ar 분위기하에서의 플라스마 처리, Ar과 수소의 혼합 가스 분위기하에서의 플라스마 처리, 암모니아 분위기하에서의 플라스마 처리, Ar과 암모니아의 혼합 가스 분위기하에서의 플라스마 처리, 또는 질소 분위기하에서의 플라스마 처리 등을 적용할 수 있다. 따라서, 캐리어 밀도가 높으며 저항률이 낮은 산화물 반도체막으로 할 수 있다.
- [0499] 또는, 이온 주입법, 이온 도핑법, 또는 플라스마 잠입 이온 주입법 등을 이용하여 수소, 봉소, 인, 또는 질소를 산화물 반도체막에 주입함으로써, 저항률이 낮은 산화물 반도체막으로 할 수 있다.
- [0500] 또는, 수소를 포함하는 절연막을 산화물 반도체막에 접촉하도록 형성하고, 절연막으로부터 산화물 반도체막으로 수소를 확산시키는 방법을 이용할 수 있다. 이로써, 산화물 반도체막의 캐리어 밀도를 높이고, 저항률을 낮게 할 수 있다.
- [0501] 예를 들어, 막 중의 함유 수소 농도가 $1 \times 10^{22} \text{ atoms/cm}^3$ 이상의 절연막을 산화물 반도체막에 접촉하여 형성함으로써, 수소를 산화물 반도체막에 효과적으로 함유시킬 수 있다. 구체적으로는, 질화 실리콘막을 산화물 반도체막에 접촉하여 형성하는 절연막에 사용할 수 있다.
- [0502] 산화물 반도체막에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 됨과 함께 산소가 이탈된 격자(또는 산소가 이탈된 부분)에 산소 결손을 형성한다. 이 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합되는 산소와 결합됨으로써, 캐리어인 전자를 생성하는 경우가 있다. 이로써, 캐리어 밀도가 높으며 저항률이 낮은 산화물 반도체막으로 할 수 있다.
- [0503] 구체적으로는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 수

수소 농도가 8×10^{19} atoms/cm³ 이상, 바람직하게는 1×10^{20} atoms/cm³ 이상, 더 바람직하게는 5×10^{20} atoms/cm³ 이상인 산화물 반도체를 도전막(624)에 적합하게 사용할 수 있다.

[0504] 한편, 저항률이 높은 산화물 반도체를 트랜지스터의 채널이 형성되는 반도체막에 사용할 수 있다. 구체적으로는, 반도체막(608)에 적합하게 사용할 수 있다.

[0505] 예를 들어, 산소를 포함하는 절연막, 바꿔 말하면, 산소를 방출할 수 있는 절연막을 산화물 반도체에 접촉하여 형성하고, 절연막으로부터 산화물 반도체막에 산소를 공급하여, 막 중 또는 계면의 산소 결손을 보충할 수 있다. 이로써, 저항률이 높은 산화물 반도체막으로 할 수 있다.

[0506] 예를 들어, 산화 실리콘막 또는 산화질화 실리콘막을, 산소를 방출할 수 있는 절연막에 사용할 수 있다.

[0507] 산소 결손이 보충되어, 수소 농도가 저감된 산화물 반도체막은 고순도 진성화 또는 실질적으로 고순도 진성화된 산화물 반도체막이라고 할 수 있다. 여기서, 실질적으로 진성이란, 산화물 반도체막의 캐리어 밀도가 8×10^{11} atoms/cm³ 미만, 바람직하게는 1×10^{11} atoms/cm³ 미만, 더 바람직하게는 1×10^{10} atoms/cm³ 미만인 것을 가리킨다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도를 저감할 수 있다.

[0508] 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막을 갖는 트랜지스터는, 오프 전류가 현저히 작고, 채널 폭이 1×10^6 μm이며, 채널 길이(L)가 10 μm인 소자라도 소스와 드레인 사이의 전압(드레인 전압)이 1V 내지 10V의 범위에서, 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하, 즉 1×10^{-13} A 이하라는 특성을 가질 수 있다.

[0509] 상술한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막을 채널 영역에 사용하는 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다.

[0510] 구체적으로는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 수소 농도가 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 5×10^{18} atoms/cm³ 미만, 바람직하게는 1×10^{18} atoms/cm³ 이하, 더 바람직하게는 5×10^{17} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{16} atoms/cm³ 이하인 산화물 반도체를 트랜지스터의 채널이 형성되는 반도체에 적합하게 사용할 수 있다.

[0511] 또한, 반도체막(608)보다 수소 농도 및/또는 산소 결손량이 많고, 저항률이 낮은 산화물 반도체막을 도전막(624)에 사용한다.

[0512] 또한, 반도체막(608)에 포함되는 수소 농도의 2배 이상, 바람직하게는 10배 이상의 농도의 수소를 포함하는 막을 도전막(624)에 사용할 수 있다.

[0513] 또한, 반도체막(608)의 저항률의 1×10^{-8} 배 이상 1×10^{-1} 배 미만의 저항률을 갖는 막을 도전막(624)에 사용할 수 있다.

[0514] 구체적으로는, 저항률이 1×10^{-3} Ωcm 이상 1×10^4 Ωcm 미만, 바람직하게는 1×10^{-3} Ωcm 이상 1×10^{-1} Ωcm 미만인 막을 도전막(624)에 사용할 수 있다.

[0515] (실시형태 8)

[0516] 본 실시형태에서는 반도체 장치의 일례로서 IC칩, 전자 부품, 전자 기기 등에 대하여 설명한다.

[0517] <전자 부품의 제작 방법 예>

[0518] 도 32의 (A)는 전자 부품의 제작 방법 예의 흐름도이다. 전자 부품은 반도체 패키지 또는 IC용 패키지라고도 한다. 이 전자 부품은 단자 추출 방향이나 단자의 형상에 따라 복수의 규격이나 명칭이 존재한다. 그러므로, 본 실시형태에서는 그 일례에 대하여 설명하기로 한다.

[0519] 트랜지스터로 구성되는 반도체 장치는 조립 공정(후(後)공정)을 거쳐 착탈 가능한 복수의 부품이 인쇄

기판에 제공됨으로써 완성된다. 후공정은 도 32의 (A)에 도시된 각 공정을 거쳐서 완성시킬 수 있다. 구체적으로는, 전(前)공정에서 얻어지는 소자 기판이 완성된(단계(ST61)) 후, 기판 이면을 연삭한다. 이 단계에서 기판을 박막화하여, 전공정에서의 기판 휘어짐 등을 저감하고 부품의 소형화를 도모한다. 다음에, 기판을 복수의 칩으로 분리하는 다이싱 공정을 수행한다(단계(ST62)).

[0520] 도 32의 (B)는 다이싱 공정을 수행하기 전의 반도체 웨이퍼(6100)의 상면도이다. 도 32의 (C)는 도 32의 (B)의 부분 확대도이다. 반도체 웨이퍼(6100)에는 복수의 회로 영역(6102)이 제공된다. 회로 영역(6102)에는 본 발명의 일 형태의 반도체 장치(예를 들어, 메모리, 타이머, CPU 등)가 제공된다.

[0521] 복수의 회로 영역(6102)은 각각 분리 영역(6104)으로 둘러싸인다. 분리 영역(6104)과 중첩되는 위치에 분리선("다이싱 라인"이라고도 함)(6106)이 설정된다. 다이싱 공정(단계(ST62))에서는 분리선(6106)을 따라 반도체 웨이퍼(6100)를 절단함으로써, 회로 영역(6102)을 포함하는 칩(6110)을 반도체 웨이퍼(6100)로부터 분리시킨다. 도 32의 (D)는 칩(6110)의 확대도이다.

[0522] 분리 영역(6104)에 도전층이나 반도체층을 제공하여도 좋다. 분리 영역(6104)에 도전층이나 반도체층을 제공함으로써, 다이싱 공정 시에 생길 수 있는 ESD를 완화시켜, 다이싱 공정에 기인하는 수율 저하를 방지할 수 있다. 또한, 일반적으로 다이싱 공정은 기판의 냉각, 절삭 면지의 제거, 대전 방지 등을 목적으로, 탄산 가스 등을 용해시켜 비저항을 낮춘 순수를 절삭부에 공급하면서 수행한다. 분리 영역(6104)에 도전층이나 반도체층을 제공함으로써, 상기 순수의 사용량을 삭감할 수 있다. 따라서, 반도체 장치의 생산 비용을 저감할 수 있다. 또한, 반도체 장치의 생산성을 높일 수 있다.

[0523] 단계(ST62)를 수행한 후, 분리한 칩을 개별적으로 꾹업하여 리드 프레임 위에 탑재하여 접합하는 다이 본딩 공정을 수행한다(단계(ST63)). 다이 본딩 공정에서의 칩과 리드 프레임의 접착 방법은 제품에 맞는 방법을 선택하면 좋다. 예를 들어, 접착에는 수지나 테이프를 사용하면 좋다. 다이 본딩 공정은 인터포저 위에 칩을 탑재하여 접합하여도 좋다. 와이어 본딩 공정에서 리드 프레임의 리드와 칩 위의 전극을 금속 세선(와이어)으로 전기적으로 접속한다(단계(ST64)). 금속 세선으로서는 은선이나 금선을 사용할 수 있다. 와이어 본딩으로서는 볼 본딩(ball bonding) 및 웨지 본딩(wedge bonding) 중 어느 쪽을 이용하여도 좋다.

[0524] 와이어 본딩된 칩을 애폭시 수지 등으로 밀봉하는 몰딩 공정을 수행한다(단계(ST65)). 몰딩 공정을 수행함으로써 전자 부품의 내부가 수지로 충전되어, 기계적인 외력으로 인한, 내장된 회로부나 와이어에 대한 대미지를 저감할 수 있고, 수분이나 먼지에 기인한 특성 열화를 저감할 수 있다. 리드 프레임의 리드를 도금 처리한다. 그리고, 리드를 절단 및 성형 가공한다(단계(ST66)). 도금 처리에 의하여 리드의 녹을 방지하고, 나중에 인쇄 기판에 실장할 때의 납땜을 더 확실히 수행할 수 있다. 패키지의 표면에 인자 처리(마킹)를 수행한다(단계(ST67)). 검사 공정(단계(ST68))을 거쳐 전자 부품이 완성된다(단계(ST69)). 상술한 실시형태의 반도체 장치를 조합함으로써, 저소비전력의 소형 전자 부품을 제공할 수 있다.

[0525] 완성된 전자 부품의 사시모식도를 도 32의 (E)에 도시하였다. 도 32의 (E)에는 전자 부품의 일례로서 QFP(Quad Flat Package)의 사시모식도를 도시하였다. 도 32의 (E)에 도시된 바와 같이, 전자 부품(6000)은 리드(6001) 및 칩(6110)을 갖는다.

[0526] 전자 부품(6000)은 예를 들어 인쇄 기판(6002)에 실장된다. 이와 같은 전자 부품(6000)이 복수로 조합되고 각각이 인쇄 기판(6002) 위에서 서로 전기적으로 접속되어 전자 기기에 탑재할 수 있다. 완성된 회로 기판(6004)은 전자 기기 등의 내부에 제공된다. 전자 부품(6000)을 탑재함으로써 전자 기기의 소비전력을 저감할 수 있다. 또는, 전자 기기를 소형화하기 쉬워진다.

[0527] (실시형태 9)

[0528] 본 실시형태에서는, 산화물 반도체 트랜지스터 등에 대하여 설명한다.

[0529] <<OS 트랜지스터의 구성 예 1>>

[0530] 도 33의 (A)는 OS 트랜지스터의 구성예를 도시한 상면도이다. 도 33의 (B)는 도 33의 (A)의 선 X1-X2의 단면도이고, 도 33의 (C)는 선 Y1-Y2의 단면도이다. 이때, 선 X1-X2의 방향을 채널 길이 방향이라고 하고, 선 Y1-Y2 방향을 채널 폭 방향이라고 하는 경우가 있다. 도 33의 (B)는 OS 트랜지스터의 채널 길이 방향의 단면 구조를 도시한 것이고, 도 33의 (C)는 OS 트랜지스터의 채널 폭 방향의 단면 구조를 도시한 것이다. 또한, 디바이스 구조를 명확하게 하기 위하여 도 33의 (A)에서는 일부의 구성 요소를 생략하였다.

[0531] OS 트랜지스터(501)는 절연 표면에 형성된다. 여기서는, 절연층(521) 위에 형성된다. OS 트랜지스터

(501)는 절연층(528) 및 절연층(529)으로 덮인다. OS 트랜지스터(501)는 절연층(522) 내지 (527), 금속 산화물층(511) 내지 (513), 도전층(550) 내지 (553)을 갖는다.

[0532] 또한, 도면에서 절연층, 금속 산화물층, 도전체 등은 단층이든 적층이든 어느 쪽이라도 좋다. 이들의 제작에는 스퍼터링법, 분자 빔 에피택시법(MBE법), 필스 레이저 어블레이션법(PLA법), CVD법, 원자층 증착법(ALD법) 등 각종 성막 방법을 이용할 수 있다. 또한, CVD법에는 플라스마 CVD법, 열 CVD법, 유기 금속 CVD법 등이 있다.

[0533] 금속 산화물층(511) 내지 (513)을 통틀어 산화물층(510)이라고 한다. 도 33의 (B) 및 (C)에 도시된 바와 같이, 산화물층(510)은 금속 산화물층(511), 금속 산화물층(512), 금속 산화물층(513)이 이 순서대로 적층된 부분을 갖는다. OS 트랜지스터(501)가 온 상태일 때, 채널은 산화물층(510)의 금속 산화물층(512)에 주로 형성된다.

[0534] OS 트랜지스터(501)의 게이트 전극은 도전층(550)으로 구성되고, 소스 전극 또는 드레인 전극으로서 기능하는 한 쌍의 전극은 도전층(551) 및 도전층(552)으로 구성된다. 백 게이트 전극은 도전층(553)으로 구성된다. 도전층(553)은 도전층(553a) 및 도전층(553b)을 갖는다. 또한, OS 트랜지스터(501)는 백 게이트 전극을 갖지 않는 구조로 하여도 좋다. 나중에 설명하는 OS 트랜지스터(502)도 마찬가지이다.

[0535] 게이트(프런트 게이트) 측의 게이트 절연층은 절연층(527)으로 구성되고, 백 게이트 측의 게이트 절연층은 절연층(524) 내지 (526)의 적층으로 구성된다. 절연층(528)은 층간 절연층이다. 절연층(529)은 배리어층이다.

[0536] 금속 산화물층(513)은 금속 산화물층(511), 금속 산화물층(512), 도전층(551), 도전층(552)으로 이루어진 적층체를 덮는다. 절연층(527)은 금속 산화물층(513)을 덮는다. 도전층(551) 및 도전층(552)은 각각 금속 산화물층(513) 및 절연층(527)을 개재하여 도전층(550)과 중첩되는 영역을 갖는다.

[0537] 도전층(551) 및 도전층(552)은 금속 산화물층(511)과 금속 산화물층(512)의 적층을 형성하기 위하여 사용되는 하드 마스크를 사용하여 형성된다. 예를 들어, 다음과 같은 공정을 거쳐 금속 산화물층(511) 및 금속 산화물층(512), 도전층(551) 및 도전층(552)을 형성할 수 있다. 2층의 금속 산화물막을 형성한다. 금속 산화물막 위에 도전막을 형성한다. 이 도전막을 에칭하여 하드 마스크를 형성한다. 하드 마스크를 사용하여 2층의 금속 산화물막을 에칭하여, 금속 산화물층(511)과 금속 산화물층(512)의 적층을 형성한다. 다음에, 하드 마스크를 에칭하여, 도전층(551) 및 도전층(552)을 형성한다. 이와 같은 공정을 거쳐 형성되기 때문에, 도전층(551) 및 도전층(552)은 금속 산화물층(511) 및 금속 산화물층(512)의 측면에 접촉하는 영역을 갖지 않는다.

<도전층>

[0539] 도전층(550) 내지 (553)에 사용되는 도전 재료에는 인 등 불순물 원소를 도핑한 다결정 실리콘으로 대표되는 반도체, 니켈 실리사이드 등의 실리사이드, 몰리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐 등의 금속, 또는 상술한 금속을 성분으로 하는 금속 질화물(질화 탄탈럼, 질화 타이타늄, 질화 몰리브데넘, 질화 텅스텐) 등이 있다. 또한, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물 등 도전성 재료를 사용할 수 있다.

[0540] 도전층(550)에 일함수가 큰 도전성 재료를 사용함으로써, OS 트랜지스터(501)의 V_{th} 를 크게 하고, 컷 오프 전류를 낮출 수 있다. 도전층(550)의 일함수는 바람직하게는 4.8eV 이상, 더 바람직하게는 5.0eV 이상, 더욱 바람직하게는 5.2eV 이상, 더더욱 바람직하게는 5.4eV 이상, 나아가 바람직하게는 5.6eV 이상인 도전성 재료를 사용하면 좋다. 일함수가 큰 도전성 재료로서, 예를 들어, 몰리브데넘, 산화 몰리브데넘, Pt, Pt 실리사이드, Ni 실리사이드, 인듐 주석 산화물, 질소가 첨가된 In-Ga-Zn 산화물 등을 들 수 있다.

[0541] 또한, 컷 오프 전류란, 게이트와 소스 사이의 전압이 0V일 때의 드레인 전류를 말한다.

[0542] 예를 들어, 도전층(550)은 질화 탄탈럼 또는 텅스텐의 단층이다. 또는, 도전층(550)이 2층 구조 및 3층 구조인 경우, 다음과 같은 조합이 있다. 절연층(527) 측의 층은 앞에서 기재한 도전체로 구성된다. (알루미늄, 타이타늄), (질화 타이타늄, 타이타늄), (질화 타이타늄, 텅스텐), (질화 탄탈럼, 텅스텐), (질화 텅스텐, 텅스텐), (타이타늄, 알루미늄, 타이타늄), (질화 타이타늄, 알루미늄, 타이타늄), (질화 타이타늄, 알루미늄, 질화 타이타늄).

[0543]

도전층(551)과 도전층(552)은 같은 층 구조를 갖는다. 예를 들어, 도전층(551)이 단층인 경우, 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데늄, 은, 탄탈럼, 또는 텅스텐 등의 금속, 또는 이를 중 어느 것을 주성분으로 하는 합금을 구성하면 좋다. 도전층(551)이 2층 구조 및 3층 구조인 경우, 다음과 같은 조합이 있다. 절연층(527) 측의 층은 앞에서 기재한 도전체로 구성된다. (타이타늄, 알루미늄), (텅스텐, 알루미늄), (텅스텐, 구리), (구리-마그네슘-알루미늄 합금, 구리), (타이타늄막, 구리), (타이타늄 또는 질화 타이타늄, 알루미늄 또는 구리, 타이타늄 또는 질화 타이타늄), (몰리브데늄 또는 질화 몰리브데늄, 알루미늄 또는 구리, 몰리브데늄 또는 질화 몰리브데늄).

[0544]

예를 들어, 도전층(553a)은 수소에 대한 배리어성을 갖는 도전층(예를 들어, 질화 탄탈럼층)으로 하고, 도전층(553b)은 도전층(553a)보다 도전율이 높은 도전층(예를 들어 텅스텐층)인 것이 바람직하다. 이러한 구조로 함으로써, 도전층(553)은 배선으로서의 기능과, 산화물층(510)으로의 수소의 확산을 억제하는 기능을 갖는다.

[0545]

<절연층>

[0546]

절연층(521) 내지 (529)에 사용되는 절연 재료에는 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄, 산화 마그네슘, 질화 실리콘, 산화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼, 알루미늄 실리케이트 등이 있다. 절연층(521) 내지 (529)은 이들 절연 재료로 이루어진 단층 또는 적층으로 구성된다. 절연층(521) 내지 (529)을 구성하는 층은 복수의 절연 재료를 포함하여도 좋다.

[0547]

또한, 본 명세서 등에서, 산화질화물이란, 산소의 함유량이 질소보다 많은 화합물이고, 질화산화물이란, 질소의 함유량이 산소보다 많은 화합물을 말한다.

[0548]

산화물층(510)의 산소 빈자리의 증가를 억제하기 위하여, 절연층(526) 내지 (528)은 산소를 함유하는 절연층인 것이 바람직하다. 절연층(526) 내지 (528) 중 적어도 하나는 가열에 의하여 산소가 방출되는 절연막(아래에서 "파인 산소를 포함하는 절연막"이라고 함)으로 형성되는 것이 더 바람직하다. 파인 산소를 포함하는 절연막으로부터 산화물층(510)에 산소를 공급함으로써, 산화물층(510)의 산소 빈자리를 보전할 수 있다. 따라서, OS 트랜지스터(501)의 신뢰성 및 전기 특성을 향상시킬 수 있다.

[0549]

파인 산소를 포함하는 절연막이란, TDS(Thermal Desorption Spectroscopy: 승온 이탈 가스 분광법)에서, 막의 표면 온도가 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위의 산소 분자의 방출량이 $1.0 \times 10^{18} [\text{분자}/\text{cm}^3]$ 이상인 막을 말한다. 산소 분자의 방출량은 $3.0 \times 10^{20} [\text{분자}/\text{cm}^3]$ 이상인 것이 바람직하다.

[0550]

파인 산소를 포함하는 절연막은 절연막에 산소를 첨가하는 처리를 수행하여 형성할 수 있다. 산소를 첨가하는 처리는 산소 분위기하의 열 처리, 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 또는 플라스마 처리 등을 이용하여 수행할 수 있다. 산소를 첨가하기 위한 가스로서는, $^{16}\text{O}_2$ 또는 $^{18}\text{O}_2$ 등의 산소 가스, 아산화 질소 가스 또는 오존 가스 등을 사용할 수 있다.

[0551]

산화물층(510)의 수소 농도의 증가를 방지하기 위하여 절연층(521) 내지 (529) 내의 수소 농도를 저감하는 것이 바람직하다. 특히 절연층(523) 내지 (528)의 수소 농도를 저감하는 것이 바람직하다. 구체적으로는, 수소 농도를 $2 \times 10^{20} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하로 한다.

[0552]

산화물층(510)의 질소 농도의 증가를 방지하기 위하여 절연층(523) 내지 (528)의 질소 농도를 저감하는 것이 바람직하다. 구체적으로는, 질소 농도를 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만이고, $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하가 바람직하고, $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하가 더 바람직하고, $5 \times 10^{17} \text{ atoms}/\text{cm}^3$ 이하가 더욱 바람직하다.

[0553]

상술한 수소 농도, 질소 농도는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정된 값이다.

[0554]

OS 트랜지스터(501)에서, 산소 및 수소에 대한 배리어성을 갖는 절연층(아래에서 배리어층)에 의하여 산화물층(510)이 싸이는 구조인 것이 바람직하다. 이러한 구조로 함으로써, 산화물층(510)으로부터 산소가 방출되거나 산화물층(510)에 수소가 침입되는 것을 억제할 수 있기 때문에, OS 트랜지스터(501)의 신뢰성, 전기

특성을 향상시킬 수 있다.

[0555] 예를 들어, 절연층(529)을 배리어층으로서 기능시키고, 또한 절연층(521), 절연층(522), 절연층(524) 중 적어도 하나를 배리어층으로서 기능시키면 좋다. 배리어층은 산화 알루미늄, 산화질화 알루미늄, 산화갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 산화질화 하프늄, 질화 실리콘 등의 재료로 형성할 수 있다.

[0556] 산화물층(510)과 도전층(550) 사이에 배리어층을 더 제공하여도 좋다. 또는, 금속 산화물층(513)으로서, 산소 및 수소에 대한 배리어성을 갖는 금속 산화물층을 제공하여도 좋다.

[0557] 절연층(524), 절연층(525), 절연층(526)의 두께를 각각 얇게 함으로써, 도전층(550)의 전압에 의한 OS 트랜지스터의 문턱 전압의 제어가 쉬워지므로 바람직하다. 예를 들어, 절연층(524) 내지 (526)의 각 두께를 50nm 이하로 한다. 각 두께는 30nm 이하가 바람직하고, 10nm 이하가 더 바람직하고, 5nm 이하가 더욱 바람직하다.

[0558] 절연층(521) 내지 (529)의 구성예에 대하여 설명한다. 이 예에서는 절연층(521), 절연층(522), 절연층(525), 절연층(529)은 각각 배리어층으로서 기능한다. 절연층(526) 내지 (528)은 과잉 산소를 포함하는 산화물층이다. 절연층(521)은 질화 실리콘이고, 절연층(522)은 산화 알루미늄이고, 절연층(523)은 산화질화 실리콘이다. 백 게이트 측의 게이트 절연층(524) 내지 (526)은 산화 실리콘, 산화 알루미늄, 산화 실리콘의 적층이다. 프런트 게이트 측의 게이트 절연층(527)은 산화질화 실리콘이다. 중간 절연층(528)은 산화 실리콘이다. 절연층(529)은 산화 알루미늄이다.

[0559] <금속 산화물층>

[0560] 금속 산화물층(511) 내지 (513)의 각 두께는 3nm 이상 500nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 60nm 이하로 한다.

[0561] OS 트랜지스터(501)의 오프 전류를 저감하기 위하여, 금속 산화물층(512)은 예를 들어, 에너지 캡이 큰 것이 바람직하다. 금속 산화물층(512)의 에너지 캡은 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하로 한다.

[0562] 산화물층(510)은 결정성 금속 산화물층인 것이 바람직하다. 적어도 금속 산화물층(512)은 결정성 금속 산화물층인 것이 바람직하다. 신뢰성 및 전기 특성이 양호한 OS 트랜지스터(501)를 구현할 수 있다.

[0563] 금속 산화물층(512)에 적용할 수 있는 산화물의 대표적인 예는 In-Ga 산화물, In-Zn 산화물, In-M-Zn 산화물(M은 Al, Ga, Y, 또는 Sn)이다. 금속 산화물층(512)은 인듐을 포함하는 산화물층에 한정되지 않는다. 금속 산화물층(512)은 예를 들어, Zn-Sn 산화물, Ga-Sn 산화물, Zn-Mg 산화물 등으로 형성할 수 있다. 금속 산화물층(511) 및 금속 산화물층(513)도 금속 산화물층(512)과 같은 산화물로 형성할 수 있다. 금속 산화물층(511) 및 금속 산화물층(513)은 각각 Ga 산화물로 형성할 수 있다. 이 경우, 금속 산화물층(512)은 Ga을 포함하는 금속 산화물층인 것이 바람직하다.

[0564] 금속 산화물층(512)과 금속 산화물층(511)의 계면에 계면 준위가 형성되면, 계면 근방의 영역에도 채널 영역이 형성되기 때문에, OS 트랜지스터(501)의 문턱 전압이 변동된다. 그러므로, 금속 산화물층(511)은 구성 요소로서, 금속 산화물층(512)을 구성하는 금속 원소 중 적어도 하나를 포함하는 것이 바람직하다. 이로써, 금속 산화물층(512)과 금속 산화물층(511)의 계면에는 계면 준위가 형성되기 어려워져, OS 트랜지스터(501)의 문턱 전압 등 전기 특성의 편차를 저감할 수 있다.

[0565] 금속 산화물층(513)은 구성 요소로서 금속 산화물층(512)을 구성하는 금속 원소 중 적어도 하나를 포함하는 것이 바람직하다. 이로써, 금속 산화물층(512)과 금속 산화물층(513)의 계면에서는 계면 산란이 일어나기 어려워져, 캐리어의 움직임이 저해되기 어려워지기 때문에, OS 트랜지스터(501)의 전계 효과 이동도를 높게 할 수 있다.

[0566] 금속 산화물층(511) 내지 (513) 중 금속 산화물층(512)의 캐리어 이동도가 가장 높은 것이 바람직하다. 이로써, 절연층(526) 및 절연층(527)으로부터 떨어진 금속 산화물층(512)에 채널을 형성할 수 있다.

[0567] 예를 들어, In-M-Zn 산화물 등 In 함유 금속 산화물은 In 함유율을 높임으로써, 캐리어 이동도를 높일 수 있다. In-M-Zn 산화물에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하며, 인듐의 함유율을 높게 함으로써 더 많은 s궤도가 중첩되기 때문에, 인듐의 함유율이 높은 산화물은 인듐의 함유율이 낮은 산화물에 비하여

이동도가 높다. 그러므로, 산화물 반도체막에 인듐의 함유량이 많은 산화물을 사용함으로써 캐리어 이동도를 높일 수 있다.

[0568] 예를 들어, In-Ga-Zn 산화물로 금속 산화물층(512)을 형성하고, Ga 산화물로 금속 산화물층(511) 및 금속 산화물층(513)을 형성한다. 예를 들어, In-M-Zn 산화물로 금속 산화물층(511) 내지 (513)을 형성하는 경우, 3층 중 금속 산화물층(511)을 In 함유율이 가장 높은 In-M-Zn 산화물층으로 한다. In-M-Zn 산화물을 스퍼터링 법으로 형성하는 경우, 타깃의 금속 원소의 원자수비를 변경함으로써 In 함유율을 변화시킬 수 있다.

[0569] 예를 들어, 금속 산화물층(512)의 성막에 사용하는 타깃의 금속 원소의 원자수비 In:M:Zn은 1:1:1, 3:1:2, 또는 4:2:4.1인 것이 바람직하다. 예를 들어, 금속 산화물층(511) 및 금속 산화물층(513)의 성막에 사용하는 타깃의 금속 원소의 원자수비 In:M:Zn은 1:3:2 또는 1:3:4인 것이 바람직하다. In:M:Zn=4:2:4.1의 타깃을 사용하여 성막한 In-M-Zn 산화물의 원자수비는 약 In:M:Zn=4:2:3이다.

[0570] OS 트랜지스터(501)의 전기 특성을 안정화시키기 위해서는 산화물층(510)의 불순물 농도를 저감하는 것이 바람직하다. 금속 산화물에서, 수소, 질소, 탄소, 실리콘, 및 주성분 이외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 도너 준위의 형성에 기여하며 캐리어 밀도를 증대시킨다. 또한, 실리콘 및 탄소는 산화물 반도체 내에서 불순물 준위의 형성에 기여한다. 불순물 준위는 트랩이 되어, 트랜지스터의 전기 특성을 열화시키는 경우가 있다.

[0571] 예를 들어, 산화물층(510)은 실리콘 농도가 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하인 영역을 갖는다. 산화물층(510)의 탄소 농도도 마찬가지이다.

[0572] 산화물층(510)은 알칼리 금속 농도가 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하인 영역을 갖는다. 알칼리 토금속의 농도에 대해서도 마찬가지이다.

[0573] 산화물층(510)은 질소 농도가 $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하인 영역을 갖는다.

[0574] 산화물층(510)은 수소 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만인 영역을 갖는다.

[0575] 상술한 산화물층(510)의 불순물 농도는 SIMS에 의하여 얻어지는 값이다.

[0576] 금속 산화물층(512)이 산소 빙자리를 갖는 경우, 산소 빙자리의 사이트(site)에 수소가 들어감으로써 도너 준위가 형성되는 경우가 있다. 그 결과, OS 트랜지스터(501)의 온 전류가 감소된다. 산소 빙자리의 사이트는 수소보다 산소가 들어가는 것이 더 안정된다. 따라서, 금속 산화물층(512) 내의 산소 빙자리를 저감함으로써, OS 트랜지스터(501)의 온 전류를 증대시킬 수 있는 경우가 있다. 따라서, 금속 산화물층(512)의 수소를 저감함으로써, 산소 빙자리의 사이트에 수소가 들어가지 않도록 하는 것이 온 전류 특성의 향상에 유효하다.

[0577] 금속 산화물에 포함되는 수소는 금속 원자와 결합된 산소와 반응하여 물이 되기 때문에, 산소 빙자리가 형성되는 경우가 있다. 산소 빙자리에 수소가 들어감으로써, 캐리어인 전자가 생성될 수 있다. 또한, 수소의 일부가 금속 원자와 결합된 산소와 결합되어, 캐리어인 전자가 생성될 수 있다. 금속 산화물층(512)에 채널 형성 영역이 제공되기 때문에, 금속 산화물층(512)에 수소가 포함되면, OS 트랜지스터(501)는 노멀리 온 특성이 되기 쉽다. 이로써, 금속 산화물층(512) 내의 수소는 가능한 한 저감되는 것이 바람직하다.

[0578] 도 33은 산화물층(510)이 3층 구조인 예이지만, 이에 한정되지 않는다. 예를 들어, 산화물층(510)을 금속 산화물층(511) 또는 금속 산화물층(513)이 없는 2층 구조로 할 수 있다. 또는, 금속 산화물층(511) 위 또는 아래, 또는 금속 산화물층(513) 위 또는 아래에, 금속 산화물층(511), 금속 산화물층(512), 및 금속 산화물층(513)으로서 예시한 산화물 반도체층 중 어느 하나를 갖는 4층 구조로 할 수도 있다. 또는, 산화물층(510)의 임의의 층들 사이, 산화물층(510) 위, 산화물층(510) 아래 중 어느 2군데 이상에 금속 산화물층(511) 내지 (513)과 같은 금속 산화물층을 하나 또는 복수 제공할 수 있다.

[0579] <에너지 밴드 구조>

[0580] 도 35를 참조하여 금속 산화물층(511) 내지 (513)의 적층에 의하여 얻어지는 효과에 대하여 설명한다. 도 35는 OS 트랜지스터(501)의 채널 형성 영역의 에너지 밴드 구조의 모식도이다. 여기서는 OS 트랜지스터

(501)를 예로 들어 설명하지만, 금속 산화물층(511) 내지 (513)의 적층에 의한 효과는 나중에 설명하는 OS 트랜지스터(502)도 마찬가지이다.

[0581] Ec526, Ec511, Ec512, Ec513, Ec527은 각각 절연층(526), 금속 산화물층(511), 금속 산화물층(512), 금속 산화물층(513), 절연층(527)의 전도대 하단의 에너지를 나타낸다.

[0582] 여기서, 진공 준위와 전도대 하단의 에너지의 차이("전자 친화력"이라고도 함)는 진공 준위와 가전자대 상단의 에너지의 차이(이온화 퍼텐셜이라고도 함)에서 에너지 캡을 뺀 값이 된다. 또한, 에너지 캡은 분광 타원계(HORIBA JOBIN YVON사 UT-300)를 사용하여 측정할 수 있다. 또한, 진공 준위와 가전자대 상단의 에너지 차이는 자외선 광전자 분광 분석(UPS: Ultraviolet Photoelectron Spectroscopy) 장치(PHI사 VersaProbe)를 사용하여 측정할 수 있다.

[0583] 절연층(526) 및 절연층(527)은 절연체이기 때문에, Ec526 및 Ec527은 Ec511, Ec512, 및 Ec513보다 진공 준위에 가깝다(전자 친화력이 작다).

[0584] 금속 산화물층(512)은 금속 산화물층(511) 및 금속 산화물층(513)보다 전자 친화력이 크다. 예를 들어, 금속 산화물층(512)과 금속 산화물층(511)의 전자 친화력의 차이, 및 금속 산화물층(512)과 금속 산화물층(513)의 전자 친화력의 차이는 각각 0.07eV 이상 1.3eV 이하이다. 전자 친화력의 차이는 0.1eV 이상 0.7eV 이하가 바람직하고, 0.15eV 이상 0.4eV 이하가 더 바람직하다. 또한, 전자 친화력은 진공 준위와 전도대 하단의 에너지의 차이이다.

[0585] OS 트랜지스터(501)의 게이트 전극(도전층(550))에 전압을 인가하면, 금속 산화물층(511), 금속 산화물층(512), 금속 산화물층(513) 중 전자 친화력이 큰 금속 산화물층(512)에 주로 채널이 형성된다.

[0586] 인듐 갈륨 산화물은 전자 친화력이 작고 산소 차단성이 높다. 그러므로, 금속 산화물층(513)이 인듐 갈륨 산화물을 포함하는 것이 바람직하다. 갈륨 원자 비율[Ga/(In+Ga)]은 예를 들어, 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상으로 한다.

[0587] 또한, 금속 산화물층(511)과 금속 산화물층(512) 사이에는 금속 산화물층(511)과 금속 산화물층(512)의 혼합 영역이 존재하는 경우가 있다. 또한, 금속 산화물층(513)과 금속 산화물층(512) 사이에는 금속 산화물층(513)과 금속 산화물층(512)의 혼합 영역이 존재하는 경우가 있다. 혼합 영역은 계면 준위 밀도가 낮기 때문에, 금속 산화물층(511) 내지 (513)의 적층체(산화물층(510))는 각각의 계면 근방에서 에너지가 연속적으로 변화되는(연속 접합이라고도 함) 밴드 구조가 된다.

[0588] 이러한 에너지 밴드 구조를 갖는 산화물층(510)에서, 전자는 주로 금속 산화물층(512)을 이동한다. 그러므로, 금속 산화물층(511)과 절연층(526)의 계면에, 또는 금속 산화물층(513)과 절연층(527)의 계면에 준위가 존재하더라도 이를 계면 준위에 의하여, 산화물층(510) 내를 이동하는 전자의 이동이 저해되기 어려워지기 때문에, OS 트랜지스터(501)의 온 전류를 증대시킬 수 있다.

[0589] 또한, 도 35에 도시된 바와 같이, 금속 산화물층(511)과 절연층(526)의 계면근방, 및 금속 산화물층(513)과 절연층(527)의 계면 근방에는 각각 불순물이나 결함에 기인한 트랩 준위 Et526, Et527이 형성될 수 있지만, 금속 산화물층(511) 및 금속 산화물층(513)이 있으므로, 금속 산화물층(512)을 트랩 준위 Et526, Et527로부터 떨어지게 할 수 있다.

[0590] 또한, Ec511과 Ec512의 차이가 작은 경우, 금속 산화물층(512)의 전자가 그 에너지 차이를 넘어 트랩 준위 Et526에 도달하는 경우가 있다. 트랩 준위 Et526에 전자가 포획되어 절연막의 계면에 음의 고정 전하가 생겨, 트랜지스터의 문턱 전압은 양의 방향으로 시프트된다. 이것은 Ec513과 Ec512의 에너지 차이가 작은 경우에도 마찬가지이다.

[0591] OS 트랜지스터(501)의 문턱 전압의 변동을 저감시키고 OS 트랜지스터(501)의 전기 특성을 양호하게 하기 위하여, Ec511과 Ec512의 차이, Ec513과 Ec512의 차이는 각각 0.1eV 이상이 바람직하고, 0.15eV 이상이 더 바람직하다.

[0592] <OS 트랜지스터의 구성 예 2>

[0593] 도 34의 (A) 내지 (C)에 도시된 OS 트랜지스터(502)는 OS 트랜지스터(501)의 변형예이다. OS 트랜지스터(502)의 도전층(550)은 도전층(550a), 도전층(550b), 도전층(550c)을 갖는다.

[0594] 도전층(550a)은 열 CVD법, MOCVD법, 또는 ALD법을 이용하여 형성한다. 특히 원자층 퇴적(ALD: Atomic

Layer Deposition)법을 이용하여 형성하는 것이 바람직하다. ALD법 등으로 형성함으로써, 절연층(527)에 대한 플라스마로 인한 대미지를 줄일 수 있다. 또한, 피복성을 향상시킬 수 있기 때문에, 도전층(550a)을 ALD법 등으로 형성하는 것이 바람직하다. 따라서, 신뢰성이 높은 OS 트랜지스터(502)를 제공할 수 있다.

[0595] 도전층(550b)은 탄탈럼, 텉스텐, 구리, 알루미늄 등 도전성이 높은 재료를 사용하여 형성한다. 또한, 도전층(550b) 위에 형성하는 도전층(550c)은 질화 텉스텐 등 산화되기 어려운 도전체를 사용하여 형성하는 것이 바람직하다. 절연층(528)에 산소가 이탈되는 산화물 재료를 사용하는 경우, 이탈된 산소에 의하여 도전층(550)이 산화되는 것을 방지할 수 있다. 따라서, 도전층(550)의 산화를 억제하고, 절연층(528)으로부터 이탈된 산소를 산화물층(510)으로 효율적으로 공급할 수 있다.

[0596] 과잉 산소 영역을 갖는 절연층(528)과 접촉되는 면적이 큰 도전층(550c)에 산화되기 어려운 도전체를 사용함으로써, 절연층(528)의 과잉 산소가 도전층(550)에 흡수되는 것을 억제할 수 있다. 또한, 도전층(550b)에 도전성이 높은 도전체를 사용함으로써, 소비전력이 작은 OS 트랜지스터(502)를 제공할 수 있다.

[0597] (실시형태 10)

[0598] 이어서, 상술한 실시형태에서 제시한 표시 패널을 사용한 표시 모듈의 응용예에 대하여 도 36을 사용하여 설명한다.

[0599] 도 36에 도시된 표시 모듈(800)은 상부 커버(801)와 하부 커버(802) 사이에, FPC(803)에 접속된 터치 패널(804), FPC(805)에 접속된 표시 패널(806), 프레임(809), 인쇄 기판(810), 배터리(811)를 갖는다. 또한, 배터리(811), 터치 패널(804) 등은 제공되지 않는 경우도 있다.

[0600] 상기 실시형태에서 설명한 표시 패널은 도 36에서의 표시 패널(806)에 사용할 수 있다.

[0601] 상부 커버(801) 및 하부 커버(802)는 터치 패널(804) 및 표시 패널(806)의 크기에 맞춰, 형상이나 치수를 적절히 변경할 수 있다.

[0602] 터치 패널(804)은 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(806)에 중첩시켜 사용할 수 있다. 또한, 표시 패널(806)의 대향 기판(밀봉 기판)에 터치 패널 기능을 부가할 수도 있다. 또는, 표시 패널(806)의 각 화소 내에 광 센서를 제공하고, 광학식 터치 패널로 할 수도 있다. 또는, 표시 패널(806)의 각 화소 내에 터치 센서용 전극을 제공하고, 정전 용량 방식의 터치 패널로 할 수도 있다. 이 경우, 터치 패널(804)을 생략할 수도 있다.

[0603] 상부 커버(801)는 광로를 가져도 좋다. 인쇄 기판(810)에 실장된 광원으로부터 조사된 광이 상부 커버(801)의 광로를 통과하여, 상부 커버의 1면으로부터 조사되고, 광이 조사되는 1면과는 다른 1면의 광로에 입사되는 광의 유무를 인쇄 기판(810)에 실장된 광 센서에 의하여 판단함으로써, 손가락이나 펜 등의 터치 등에 의하여 화면이 터치되어 있는지 아닌지를 검출할 수도 있다. 이 경우, 표시 패널(806) 또는 표시 패널(806)의 대향 기판에 터치 기능을 부가하지 않아도 되고, 또한 터치 패널(804)을 생략할 수도 있다.

[0604] 도 37의 (A)는 터치 패널(804)의 일례로서 상호 용량 방식의 터치 센서를 사용한 경우의 구성예를 도시한 모식도이다. 또한, 도 37의 (A)에서는 일례로서 펄스 전압이 인가되는 배선(CLx)을 X1 내지 X6의 6개의 배선으로서 나타내고, 전류의 변화를 검지하는 배선(CLy)을 Y1 내지 Y6의 6개의 배선으로서 나타내었다. 또한, 배선 수는 이에 한정되지 않는다. 또한, 도 37의 (A)에는 배선(CLx)과 배선(CLy)이 중첩되거나 또는 배선(CLx)과 배선(CLy)이 근접하도록 배치됨으로써 형성되는 용량 소자(854)를 도시하였다.

[0605] 배선(CLx) 및 배선(CLy)은 IC(850)와 전기적으로 접속된다. IC(850)는 구동 회로(851) 및 검출 회로(852)를 포함한다.

[0606] 구동 회로(851)는 일례로서는, X1 내지 X6의 배선에 순차적으로 펄스를 인가하기 위한 회로이다. X1 내지 X6의 배선에 펄스 전압이 인가됨으로써, 용량 소자(854)를 형성하는 배선(CLx)과 배선(CLy) 사이에 전계가 발생한다. 그리고, 펄스 전압에 의하여 용량 소자(854)에 전류가 흐른다. 이 배선 사이에 발생되는 전계는, 손가락이나 펜 등의 터치에 의한 차폐 등에 의하여 변화된다. 즉, 손가락이나 펜 등으로 터치 등이 수행됨으로써 용량 소자(854)의 용량값이 변화된다. 이와 같이, 손가락이나 펜 등으로 터치 등이 수행되어 용량값이 변화되는 것을 이용함으로써, 피검지체의 근접 또는 접촉을 검출할 수 있다.

[0607] 검출 회로(852)는 용량 소자(854)의 용량값의 변화에 따른 Y1 내지 Y6의 배선에서의 전류의 변화를 검출하기 위한 회로이다. Y1 내지 Y6의 배선에서는 피검지체의 근접 또는 접촉이 없으면 검출되는 전류값에 변화

는 없지만, 검출되는 피검지체의 근접 또는 접촉에 의하여 용량값이 감소되는 경우에는 전류값이 감소되는 변화를 검출한다. 또한, 전류량의 총합을 검출하여 전류를 검출하여도 좋다. 이 경우에는, 적분 회로 등을 사용하여 검출하면 좋다. 또는, 전류의 피크값을 검출하여도 좋다. 이 경우에는, 전류를 전압으로 변환하여 전압값의 피크값을 검출하여도 좋다.

[0608] 도 37의 (A)에서는, 구동 회로(851) 및 검출 회로(852)는 동일한 IC에 형성되어 있지만, 각 회로를 상이한 IC에 형성하여도 좋다. 검출 회로(852)는 노이즈의 영향을 받아 오작동하기 쉽다. 한편, 구동 회로(851)는 노이즈의 발생원이 될 수 있다. 구동 회로(851)와 검출 회로(852)를 상이한 IC에 형성함으로써, 검출 회로(852)의 오작동을 방지할 수 있다.

[0609] 또한, 구동 회로(851), 검출 회로(852), 및 표시 패널(806)의 구동 회로를 하나의 IC에 형성하여도 좋다. 이 경우, 표시 모듈 전체에서의 IC의 비용을 저감시킬 수 있다.

[0610] 도 37의 (A)에서 IC(850)는 터치 패널(804)에 배치되어 있지만, IC(850)는 FPC(803)에 배치되어도 좋다. 이 경우의 모식도를 도 37의 (B)에 도시하였다.

[0611] 다시 도 36을 참조한다.

[0612] 프레임(809)은 표시 패널(806)을 보호하는 기능 외에, 인쇄 기판(810)의 동작에 의하여 발생하는 전자기파를 차단하기 위한 전자기 필드로서의 기능을 갖는다. 또한, 프레임(809)은 방열판으로서의 기능을 가져도 좋다.

[0613] 인쇄 기판(810)은 전원 회로와, 영상 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 갖는다. 또한, 터치를 검출하기 위한 광원 및 광 센서를 가져도 좋다. 광원의 파장 영역은 780nm보다 큰 것이 바람직하고, 1.6 μ m보다 큰 것이 더 바람직하다. 광 센서는 특정한 범위의 파장 영역의 광을 검출하는 기능을 갖는다. 전원 회로에 전력을 공급하는 전원으로서는, 외부의 상용 전원이어도 좋고, 별도로 제공한 배터리(811)에 의한 전원이어도 좋다. 상용 전원을 사용하는 경우에는 배터리(811)를 생략할 수 있다.

[0614] 또한, 표시 모듈(800)에는 편광판, 위상차판, 프리즘 시트 등의 부재를 추가적으로 제공하여도 좋다.

[0615] (실시형태 11)

[0616] 본 실시형태에서는 본 발명의 일 형태의 전자 기기 및 조명 장치에 대하여 도면을 참조하여 설명한다.

[0617] 본 발명의 일 형태의 서브 화소를 갖는 고정세한 표시부를 사용함으로써, 얇거나, 가볍거나, 곡면을 갖거나, 또는 가요성을 갖는 발광 장치, 표시 장치, 또는 반도체 장치 등을 제작할 수 있다. 이를 본 발명의 일 형태가 적용된 발광 장치, 표시 장치, 또는 반도체 장치 등을 사용하여 얇거나, 가볍거나, 곡면을 갖거나, 또는 가요성을 갖는 전자 기기 또는 조명 장치를 제작할 수 있다.

[0618] 전자 기기로서는 예를 들어, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 패션코기 등의 대형 게임기 등을 들 수 있다.

[0619] 본 발명의 일 형태의 전자 기기 또는 조명 장치는 가요성을 갖기 때문에, 집 또는 빌딩의 내벽 또는 외벽이나, 자동차의 내장 또는 외장의 곡면을 따라 제공될 수도 있다.

[0620] 본 발명의 일 형태의 전자 기기는 이차 전지를 가져도 좋고, 비접촉 전력 전송을 사용하여 이차 전지를 충전할 수 있는 것이 바람직하다.

[0621] 이차 전지로서는 예를 들어, 젤상 전해질을 사용한 리튬 폴리머 전지(리튬 이온 폴리머 전지) 등의 리튬 이온 이차 전지, 니켈 수소 전지, 니켈 카드뮴 전지, 유기 라디칼 전지, 납 축전지, 공기 이차 전지, 니켈 아연 전지, 은 아연 전지 등을 들 수 있다.

[0622] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써, 표시부에 영상 또는 정보 등을 표시할 수 있다. 또한, 전자 기기가 안테나 및 이차 전지를 갖는 경우, 안테나를 비접촉 전력 전송에 사용하여도 좋다.

[0623] 도 38의 (A), (B), (C1), (C2), (D), 및 (E)에, 휘어진 표시부(7000)를 갖는 전자 기기의 일례를 도시하였다. 표시부(7000)는 그 표시면이 휘어져 제공되고, 이 휘어진 표시면을 따라 표시할 수 있다. 표시부(7000)는 가요성을 가져도 좋다.

- [0624] 표시부(7000)는 본 발명의 일 형태의 서브 화소를 갖는 고정세한 표시부를 사용하여 제작된 발광 장치, 표시 장치, 또는 입출력 장치를 갖는다.
- [0625] 본 발명의 일 형태에 의하여, 휘어진 표시부를 갖는 전자 기기를 제공할 수 있다.
- [0626] 도 38의 (A)에 휴대 전화기의 일례를 도시하였다. 휴대 전화기(7100)는 하우징(7101), 표시부(7000), 조작 버튼(7103), 외부 접속 포트(7104), 스피커(7105), 및 마이크로폰(7106) 등을 갖는다.
- [0627] 도 38의 (A)에 도시된 휴대 전화기(7100)는 표시부(7000)에 터치 센서를 갖는다. 전화를 걸거나, 문자를 입력하는 등의 모든 조작은 손가락 또는 스타일러스 등으로 표시부(7000)를 터치함으로써 수행할 수 있다.
- [0628] 또한, 조작 버튼(7103)의 조작에 의하여, 전원의 ON/OFF 동작이나, 표시부(7000)에 표시되는 화상의 종류를 전환할 수 있다. 예를 들어, 메일 작성 화면으로부터 메인 메뉴 화면으로 전환할 수 있다.
- [0629] 도 38의 (B)에 텔레비전 장치의 일례를 도시하였다. 텔레비전 장치(7200)는 하우징(7201)에 표시부(7000)가 제공되어 있다. 여기서는, 스탠드(7203)에 의하여 하우징(7201)을 지지한 구성을 도시하였다.
- [0630] 도 38의 (B)에 도시된 텔레비전 장치(7200)의 조작은, 하우징(7201)이 갖는 조작 스위치 또는 별체의 리모트 컨트롤러(7211)에 의하여 수행될 수 있다. 또는, 표시부(7000)에 터치 센서를 가져도 좋고, 손가락 등으로 표시부(7000)를 터치함으로써 조작하여도 좋다. 리모트 컨트롤러(7211)는 상기 리모트 컨트롤러(7211)로부터 출력되는 정보를 표시하는 표시부를 가져도 좋다. 리모트 컨트롤러(7211)가 갖는 조작 키 또는 터치 패널에 의하여 채널을 조작하거나 음량을 조절할 수 있기 때문에, 표시부(7000)에 표시되는 영상을 조작할 수 있다.
- [0631] 또한, 텔레비전 장치(7200)는 수신기 및 모뎀 등을 갖는 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 모뎀을 통하여 유선 또는 무선에 의하여 통신 네트워크에 접속함으로써, 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자들 사이 등)의 정보 통신을 수행할 수도 있다.
- [0632] 도 38의 (C1), (C2), (D), 및 (E)에 휴대 정보 단말의 일례를 도시하였다. 각 휴대 정보 단말은 하우징(7301) 및 표시부(7000)를 갖는다. 또한, 조작 버튼, 외부 접속 포트, 스피커, 마이크로폰, 안테나, 또는 배터리 등을 가져도 좋다. 표시부(7000)는 터치 센서를 갖는다. 휴대 정보 단말의 조작은 손가락이나 스타일러스 등으로 표시부(7000)를 터치함으로써 수행할 수 있다.
- [0633] 도 38의 (C1)는 휴대 정보 단말(7300)의 사시도이고, 도 38의 (C2)는 휴대 정보 단말(7300)의 상면도이다. 도 38의 (D)는 휴대 정보 단말(7310)의 사시도이다. 도 38의 (E)는 휴대 정보 단말(7320)의 사시도이다.
- [0634] 본 실시형태에서 예시하는 휴대 정보 단말은 예를 들어, 전화기, 수첩, 및 정보 열람 장치 등으로부터 선택된 하나 또는 복수의 기능을 갖는다. 구체적으로는, 스마트폰으로서 각각 사용할 수 있다. 본 실시형태에서 예시하는 휴대 정보 단말은 예를 들어, 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등 다양한 애플리케이션을 실행할 수 있다.
- [0635] 휴대 정보 단말(7300), 휴대 정보 단말(7310), 및 휴대 정보 단말(7320)은 문자 및 화상 정보 등을 그 복수의 면에 표시할 수 있다. 예를 들어, 도 38의 (C1) 및 (D)에 도시된 바와 같이, 3개의 조작 버튼(7302)을 하나의 면에 표시하고, 직사각형으로 나타낸 정보(7303)를 다른 면에 표시할 수 있다. 도 38의 (C1) 및 (C2)에는 휴대 정보 단말의 위쪽에 정보가 표시되는 예를 도시하고, 도 38의 (D)에는 휴대 정보 단말의 옆쪽에 정보가 표시되는 예를 도시하였다. 또한, 휴대 정보 단말의 3개 이상의 면에 정보를 표시하여도 좋고, 도 38의 (E)에는 정보(7304), 정보(7305), 및 정보(7306)가 각각 상이한 면에 표시되어 있는 예를 도시하였다.
- [0636] 또한, 정보의 예로서는, SNS(social networking service)의 통지, 전자 메일 또는 전화 등의 착신을 알리는 표시, 전자 메일 등의 제목 또는 송신자명, 일시, 시각, 배터리 잔량, 및 안테나의 수신 강도 등이 있다. 또는, 정보가 표시되어 있는 위치에 정보 대신에 조작 버튼, 아이콘 등을 표시하여도 좋다.
- [0637] 예를 들어, 휴대 정보 단말(7300)의 사용자는 옷의 가슴 포켓에 휴대 정보 단말(7300)을 넣은 채 그 표시(여기서는 정보(7303))를 확인할 수 있다.
- [0638] 구체적으로는, 착신한 전화의 발신자의 전화번호 또는 이름 등을 휴대 정보 단말(7300) 상방으로부터 관찰할 수 있는 위치에 표시한다. 사용자는 휴대 정보 단말(7300)을 포켓에서 꺼내지 않아도 표시를 확인하고 전화를 받을지 여부를 판단할 수 있다.

- [0639] 도 38의 (F) 내지 (H)에 만곡된 발광부를 갖는 조명 장치의 일례를 도시하였다.
- [0640] 도 38의 (F) 내지 (H)에 도시된 각 조명 장치가 갖는 발광부는 본 발명의 일 형태를 사용하여 제작된 발광 장치를 갖는다.
- [0641] 본 발명의 일 형태에 의하여, 만곡된 발광부를 갖는 조명 장치를 제공할 수 있다.
- [0642] 도 38의 (F)에 도시된 조명 장치(7400)는 물결 형상의 발광면을 갖는 발광부(7402)를 갖는다. 따라서, 디자인성이 높은 조명 장치가 되어 있다.
- [0643] 도 38의 (G)에 도시된 조명 장치(7410)가 갖는 발광부(7412)는 볼록 형상으로 만곡된 2개의 발광부가 대칭적으로 배치된 구조이다. 따라서 조명 장치(7410)를 중심으로 전방위를 비출 수 있다.
- [0644] 도 38의 (H)에 도시된 조명 장치(7420)는 오목 형상으로 만곡된 발광부(7422)를 갖는다. 따라서, 발광부(7422)로부터의 발광을 조명 장치(7420)의 전면(前面)에 집광하기 때문에, 특정한 범위를 밝게 비추는 경우에 적합하다. 또한, 이와 같은 형태로 함으로써, 그림자가 생기기 어렵다 등의 효과를 갖는다.
- [0645] 또한, 조명 장치(7400), 조명 장치(7410), 및 조명 장치(7420)가 갖는 각 발광부는 가요성을 가져도 좋다. 발광부를 가소성 부재 또는 움직일 수 있는 프레임 등의 부재로 고정하고, 용도에 따라 발광부의 발광면을 자유롭게 만곡시킬 수 있는 구조으로 하여도 좋다.
- [0646] 조명 장치(7400), 조명 장치(7410), 및 조명 장치(7420)는 각각 조작 스위치(7403)를 갖는 받침부(7401)와, 받침부(7401)에 지지되는 발광부를 갖는다.
- [0647] 또한, 여기서는 발광부가 받침부로 지지된 조명 장치를 일례로서 설명하였지만, 발광부가 제공된 하우징을 천장에 고정하거나 천장으로부터 매달도록 사용할 수도 있다. 발광면은 만곡시켜 사용할 수 있기 때문에, 발광면을 오목 형상으로 만곡시킴으로써 특정 영역을 밝게 비추거나, 또는 발광면을 볼록 형상으로 만곡시킴으로써 방 전체를 밝게 비출 수 있다.
- [0648] 도 39의 (A1), (A2), (B) 내지 (I)에 가요성을 갖는 표시부(7001)를 갖는 휴대 정보 단말의 일례를 도시하였다.
- [0649] 표시부(7001)는 본 발명의 일 형태의 서브 화소를 갖는 고정세한 표시부를 사용하여 제작된 발광 장치, 표시 장치, 또는 입출력 장치를 갖는다. 예를 들어, 0.01mm 이상 150mm 이하의 곡률 반경으로 훨 수 있는 발광 장치, 표시 장치, 또는 입출력 장치 등을 적용할 수 있다. 또한, 표시부(7001)는 터치 센서를 가져도 좋고, 손가락 등으로 표시부(7001)를 터치함으로써 휴대 정보 단말을 조작할 수 있다.
- [0650] 본 발명의 일 형태에 의하여, 가요성의 표시부를 갖는 전자 기기를 제공할 수 있다.
- [0651] 도 39의 (A1)은 휴대 정보 단말의 일례를 도시한 사시도이고, 도 39의 (A2)는 휴대 정보 단말의 일례를 도시한 측면도이다. 휴대 정보 단말(7500)은 하우징(7501), 표시부(7001), 인출 부재(7502), 조작 버튼(7503) 등을 갖는다.
- [0652] 휴대 정보 단말(7500)은 하우징(7501) 내에 롤상으로 말린 가요성을 갖는 표시부(7001)를 갖는다. 인출 부재(7502)를 사용하여 표시부(7001)를 꺼낼 수 있다.
- [0653] 또한, 휴대 정보 단말(7500)은 내장된 제어부에 의하여 영상 신호를 수신할 수 있고, 수신한 영상을 표시부(7001)에 표시할 수 있다. 또한, 휴대 정보 단말(7500)에는 배터리가 내장되어 있다. 또한, 하우징(7501)에 커넥터를 접속하는 단자부를 갖고, 영상 신호 및 전력을 유선에 의하여 외부로부터 직접 공급받는 구조으로 하여도 좋다.
- [0654] 또한, 조작 버튼(7503)에 의하여 전원의 ON/OFF 동작 또는 표시하는 영상의 전환 등을 수행할 수 있다. 또한, 도 39의 (A1), (A2), 및 (B)에는 휴대 정보 단말(7500)의 측면에 조작 버튼(7503)이 배치된 예를 도시하였지만, 이에 한정되지 않고, 휴대 정보 단말(7500)의 표시면과 같은 면(앞면) 또는 뒷면에 배치되어도 좋다.
- [0655] 도 39의 (B)에는 표시부(7001)를 꺼낸 상태의 휴대 정보 단말(7500)을 도시하였다. 이 상태에서 표시부(7001)에 영상을 표시할 수 있다. 또한, 도 39의 (A1)에 도시된 표시부(7001)의 일부가 롤상으로 말린 상태와, 도 39의 (B)에 도시된 표시부(7001)를 꺼낸 상태에서, 휴대 정보 단말(7500)이 상이한 표시를 수행하는 구조으로 하여도 좋다. 예를 들어, 도 39의 (A1)에 도시된 상태에서 표시부(7001)의 롤상으로 말린 부분을 비(非)표시로 함으로써, 휴대 정보 단말(7500)의 소비전력을 낮출 수 있다.

- [0656] 또한, 표시부(7001)를 꺼냈을 때 표시부(7001)의 표시면이 평면상이 되도록 고정하기 위하여, 표시부(7001) 측부에 보강을 위한 프레임을 제공하여도 좋다.
- [0657] 또한, 상기 구성 외에도 하우징에 스피커를 제공하고, 영상 신호와 함께 수신한 음성 신호에 의하여 음성을 출력하는 구성으로 하여도 좋다.
- [0658] 도 39의 (C) 내지 (E)에 풀더블 휴대 정보 단말의 일례를 도시하였다. 도 39의 (C)에는 펼쳐진 상태, 도 39의 (D)에는 펼쳐진 상태 및 접힌 상태 중 한쪽으로부터 다른 쪽으로 변화하는 도중의 상태, 도 39의 (E)에는 접힌 상태의 휴대 정보 단말(7600)을 도시하였다. 휴대 정보 단말(7600)은 접힌 상태에서는 가변성이 우수하고, 펼쳐진 상태에서는 이음매가 없고 넓은 표시 영역에 의하여 일람성이 우수하다.
- [0659] 표시부(7001)는 헌지(7602)에 의하여 연결된 3개의 하우징(7601)으로 지지되어 있다. 헌지(7602)를 개재하여 2개의 하우징(7601) 사이를 굴곡시킴으로써, 휴대 정보 단말(7600)을 펼쳐진 상태로부터 접힌 상태로 가역적으로 변형시킬 수 있다.
- [0660] 도 39의 (F) 및 (G)에 풀더블 휴대 정보 단말의 일례를 도시하였다. 도 39의 (F)에는 표시부(7001)가 내측이 되도록 접힌 상태, 도 39의 (G)에는 표시부(7001)가 외측이 되도록 접힌 상태의 휴대 정보 단말(7650)을 도시하였다. 휴대 정보 단말(7650)은 표시부(7001) 및 비표시부(7651)를 갖는다. 휴대 정보 단말(7650)을 사용하지 않을 때 표시부(7001)가 내측이 되도록 접으면 표시부(7001)가 더러워지거나 손상을 입는 것을 억제할 수 있다.
- [0661] 도 39의 (H)에 가요성을 갖는 휴대 정보 단말의 일례를 도시하였다. 휴대 정보 단말(7700)은 하우징(7701) 및 표시부(7001)를 갖는다. 또한, 입력 수단인 버튼(7703a) 및 버튼(7703b)과, 음성 출력 수단인 스피커(7704a) 및 스피커(7704b)와, 외부 접속 포트(7705)와, 마이크로폰(7706) 등을 가져도 좋다. 또한, 휴대 정보 단말(7700)은 가요성을 갖는 배터리(7709)를 탑재할 수 있다. 배터리(7709)는 예를 들어, 표시부(7001)와 중첩하여 배치되어도 좋다.
- [0662] 하우징(7701), 표시부(7001), 및 배터리(7709)는 가요성을 갖는다. 따라서, 휴대 정보 단말(7700)을 원하는 형상으로 만곡시키거나, 휴대 정보 단말(7700)을 비트는 것이 용이하다. 예를 들어, 휴대 정보 단말(7700)은 표시부(7001)가 내측 또는 외측이 되도록 접어 사용할 수 있다. 또는, 휴대 정보 단말(7700)을 룰상으로 만 상태에서 사용할 수도 있다. 이와 같이, 하우징(7701) 및 표시부(7001)를 자유롭게 변형할 수 있기 때문에, 휴대 정보 단말(7700)을 떨어뜨리거나, 또는 휴대 정보 단말(7700)에 의도하지 않는 외력이 가해진 경우에도 파손되기 어렵다는 이점이 있다.
- [0663] 또한, 휴대 정보 단말(7700)은 경량이기 때문에, 하우징(7701)의 상부를 클립 등으로 꼭 접어 매달아서 사용하거나, 또는 하우징(7701)을 자석 등으로 벽면에 고정하여 사용하는 등, 다양한 상황에서 높은 편리성으로 사용할 수 있다.
- [0664] 도 39의 (I)에 손목시계형 휴대 정보 단말의 일례를 도시하였다. 휴대 정보 단말(7800)은 밴드(7801), 표시부(7001), 입출력 단자(7802), 및 조작 버튼(7803) 등을 갖는다. 밴드(7801)는 하우징으로서의 기능을 갖는다. 또한, 휴대 정보 단말(7800)에는 가요성을 갖는 배터리(7805)를 탑재할 수 있다. 배터리(7805)는 예를 들어, 표시부(7001) 또는 밴드(7801)와 중첩하도록 배치되어도 좋다.
- [0665] 밴드(7801), 표시부(7001), 및 배터리(7805)는 가요성을 갖는다. 따라서, 휴대 정보 단말(7800)을 원하는 형상으로 쉽게 만곡시킬 수 있다.
- [0666] 조작 버튼(7803)은 시각 설정 외에도, 전원의 ON/OFF 동작, 무선 통신의 ON/OFF 동작, 매너 모드의 실행 및 해제, 및 전력 절약 모드의 실행 및 해제 등 다양한 기능을 부여할 수 있다. 예를 들어, 휴대 정보 단말(7800)에 제공된 운영 체계(operating system)에 의하여 조작 버튼(7803)의 기능을 자유롭게 설정할 수도 있다.
- [0667] 또한, 표시부(7001)에 표시된 아이콘(7804)을 손가락 등으로 터치함으로써, 애플리케이션을 기동할 수 있다.
- [0668] 또한, 휴대 정보 단말(7800)은 통신 규격에 따른 근거리 무선 통신을 실행할 수 있다. 예를 들어, 무선 통신이 가능한 헤드셋과 상호 통신함으로써 핸즈프리로 통화할 수도 있다.
- [0669] 또한, 휴대 정보 단말(7800)은 입출력 단자(7802)를 가져도 좋다. 입출력 단자(7802)를 갖는 경우, 다른 정보 단말과 커넥터를 통하여 직접 데이터를 주고받을 수 있다. 또한, 입출력 단자(7802)를 통하여 충전할

수도 있다. 또한, 본 실시형태에서 예시하는 휴대 정보 단말의 충전 동작은 입출력 단자를 통하지 않고 비접촉 전력 전송에 의하여 수행하여도 좋다.

[0670] 도 40의 (A)에 자동차(9700)의 외관을 도시하였다. 도 40의 (B)는 자동차(9700)의 운전석을 도시한 것이다. 자동차(9700)는 차체(9701), 차륜(9702), 앞 유리(9703) 등을 갖는다. 본 발명의 일 형태가 적용된 발광 장치, 표시 장치, 또는 입출력 장치 등은 자동차(9700)의 표시부 등에 사용할 수 있다. 예를 들어, 도 40의 (B)에 도시된 표시부(9710) 내지 표시부(9715)에 본 발명의 일 형태가 적용된 발광 장치 등을 제공할 수 있다.

[0671] 표시부(9712)는 필러 부분에 제공된 표시 장치이다. 예를 들어, 차체에 제공된 활상 수단으로부터의 영상을 표시부(9712)에 표시시킴으로써, 필러로 차단된 시계(視界)를 보완할 수 있다. 표시부(9713)는 대시보드 부분에 제공된 표시 장치이다. 예를 들어, 차체에 제공된 활상 수단으로부터의 영상을 표시부(9713)에 표시시킴으로써, 대시보드로 차단된 시계를 보완할 수 있다. 즉, 자동차의 외측에 제공된 활상 수단으로부터의 영상을 표시시킴으로써, 사각(死角)을 보완하고, 안전성을 높일 수 있다. 또한, 보이지 않는 부분을 보완하는 영상을 표시시킴으로써, 더 자연스럽고 위화감이 없이 안전을 확인할 수 있다.

[0672] 또한, 도 40의 (C)는 운전석과 조수석에 벤치 시트를 채용한 자동차 내를 도시한 것이다. 표시부(9721)는 문 부분에 제공된 표시 장치이다. 예를 들어, 차체에 제공된 활상 수단으로부터의 영상을 표시부(9721)에 표시시킴으로써, 문으로 차단된 시계를 보완할 수 있다. 또한, 표시부(9722)는 핸들에 제공된 표시 장치이다. 표시부(9723)는 벤치 시트의 시트면 중앙부에 제공된 표시 장치이다. 또한, 표시 장치를 시트면 또는 등받이 부분 등에 제공하고, 이 표시 장치를 그 발열을 열원으로 사용하는 시트 히터로서 이용할 수도 있다.

[0673] 표시부(9714), 표시부(9715), 또는 표시부(9722)는 내비게이션 정보, 스피드미터, 태코미터(tachometer), 주행 거리, 급유량, 기어 상태, 및 에어컨디셔너의 설정 등, 그 외에도 여러 가지 정보를 제공할 수 있다. 또한, 표시부에 표시되는 표시 항목 또는 레이아웃 등은 사용자의 취향에 따라 적절히 변경할 수 있다. 또한, 상기 정보는 표시부(9712), 표시부(9713), 표시부(9721), 및 표시부(9723)에도 표시할 수도 있다. 또한, 표시부(9713) 내지 표시부(9715), 표시부(9721) 내지 표시부(9723)는 조명 장치로서 사용할 수도 있다.

[0674] 평면 표시부가 본 발명의 일 형태를 사용하여 제작된 발광 장치, 표시 장치, 또는 입출력 장치를 가져도 좋다.

[0675] 도 40의 (D)에 도시된 휴대형 게임기는 하우징(9801), 하우징(9802), 표시부(9803), 표시부(9804), 마이크로폰(9805), 스피커(9806), 조작 키(9807), 및 스타일러스(9808) 등을 갖는다.

[0676] 도 40의 (D)에 도시된 휴대형 게임기는 2개의 표시부(표시부(9803) 및 표시부(9804))를 갖는다. 또한, 본 발명의 일 형태의 전자 기기가 갖는 표시부의 개수는 2개에 한정되지 않고, 하나이어도 좋고 3개 이상이어도 좋다. 전자 기기가 복수의 표시부를 갖는 경우, 적어도 하나의 표시부가 본 발명의 일 형태가 적용된 발광 장치, 표시 장치, 또는 입출력 장치 등을 갖는다.

[0677] 도 40의 (E)는 노트북형PC이며, 하우징(9821), 표시부(9822), 키보드(9823), 및 포인팅 디바이스(9824) 등을 갖는다.

[0678] 이상, 본 실시형태에서 제시한 구성, 방법, 구동 타이밍은 다른 실시형태에서 제시하는 구성, 방법, 구동 타이밍과 적절히 조합하여 사용할 수 있다.

[0679] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

[0680] 예를 들어, 본 명세서 등에서, X와 Y가 접속된다라고 명시적으로 기재되어 있는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어 도면 또는 문장에 제시된 접속 관계에 한정되지 않고, 도면 또는 문장에 제시된 접속 관계 외의 것도, 도면 또는 문장에 제시된 것으로 한다.

[0681] 여기서, X와 Y는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)이다.

[0682] X와 Y가 직접 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인더터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 접속되지 않는 경우이며, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인더터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)를 통하지 않고 X와 Y가 접속되는 경우이다.

[0683]

X와 Y가 전기적으로 접속되는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인더터, 저항 소자, 다이오드, 표시 소자, 빌랑 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속되는 것이 가능하다. 또한, 스위치는 온/오프가 제어되는 기능을 갖는다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 갖는다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는다. 또한, X와 Y가 전기적으로 접속되는 경우에는, X와 Y가 직접 접속되는 경우를 포함하는 것으로 한다.

[0684]

X와 Y가 기능적으로 접속되는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전압 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전압 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되는 것이 가능하다. 또한, 일례로서 X와 Y 사이에 다른 회로를 끼워도, X로부터 출력된 신호가 Y로 전달되는 경우에는 X와 Y는 기능적으로 접속되어 있는 것으로 한다. 또한, X와 Y가 기능적으로 접속되는 경우에는, X와 Y가 직접 접속되는 경우와, X와 Y가 전기적으로 접속되는 경우를 포함하는 것으로 한다.

[0685]

또한, X와 Y가 전기적으로 접속된다라고 명시적으로 기재되어 있는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 끼워 접속되는 경우)와, X와 Y가 기능적으로 접속되는 경우(즉, X와 Y 사이에 다른 회로를 끼워 기능적으로 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되는 경우)가 본 명세서 등에 개시되어 있는 것으로 한다. 즉, 전기적으로 접속된다라고 명시적으로 기재되어 있는 경우에는 단순히 접속된다라고만 명시적으로 기재되어 있는 경우와 같은 내용이 본 명세서 등에 개시되어 있는 것으로 한다.

[0686]

또한, 예를 들어, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 전기적으로 접속되는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와 직접 접속되고 Z1의 다른 일부가 X와 직접 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와 직접 접속되고 Z2의 다른 일부가 Y와 직접 접속되는 경우에는, 이하와 같이 표현할 수 있다.

[0687]

예를 들어, 'X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y의 순서로 전기적으로 접속된다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 전기적으로 접속된다'라고 표현할 수 있다. 또는, 'X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 제공되어 있다'라고 표현할 수 있다. 이들의 예와 같은 표현 방법을 이용하여, 회로 구성에서의 접속의 순서에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다.

[0688]

또는, 다른 표현 방법으로서, 예를 들어, '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로를 통하여 X와 전기적으로 접속되고, 상기 제 1 접속 경로는 제 2 접속 경로를 갖지 않고, 상기 제 2 접속 경로는 트랜지스터를 통한 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등) 사이의 경로이고, 상기 제 1 접속 경로는 Z1을 통한 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로를 통하여 Y와 전기적으로 접속되고, 상기 제 3 접속 경로는 상기 제 2 접속 경로를 갖지 않고, 상기 제 3 접속 경로는 Z2를 통한 경로이다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로에 의하여 Z1을 통하여 X와 전기적으로 접속되고, 상기 제 1 접속 경로는 제 2 접속 경로를 갖지 않고, 상기 제 2 접속 경로는 트랜지스터를 통한 접속 경로를 갖고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로에 의하여 Z2를 통하여 Y와 전기적으로 접속되고, 상기 제 3 접속 경로는 상기 제 2 접속 경로를 갖지 않는다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 전기적 경로에 의하여 Z1을 통하여 X와 전기적으로 접속되고, 상기 제 1 전기적 경로는 제 2 전기적 경로를 갖지 않고, 상기 제 2 전기적 경로는 트랜지스터의 소스(또는 제 1 단자 등)로부터 트랜지스터의 드레인(또는 제 2 단자 등)으로의 전기적 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 전기적 경로에 의하여 Z2를 통하여 Y와 전기적으로 접속되고, 상기 제 3 전기적 경로는 제 4 전기적 경로를 갖지

않고, 상기 제 4 전기적 경로는 트랜지스터의 드레인(또는 제 2 단자 등)으로부터 트랜지스터의 소스(또는 제 1 단자 등)로의 전기적 경로이다'라고 표현할 수 있다. 이들의 예와 같은 표현 방법을 이용하여, 회로 구성에서의 접속 경로에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여, 기술적 범위를 결정할 수 있다.

[0689] 또한, 이들의 표현 방법은 일레이며, 이들의 표현 방법에 한정되지 않는다. 여기서, X, Y, Z1, Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0690] 또한, 회로도에서는 독립되어 있는 구성 요소들이 전기적으로 접속되는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능도 갖는 경우가 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선 및 전극 양쪽의 구성 요소의 기능을 갖는다. 따라서, 본 명세서에서 전기적으로 접속이란, 이와 같이, 하나의 도전막이 복수의 구성 요소의 기능을 갖는 경우도 그 범주에 포함된다.

부호의 설명

[0691] AF1: 배향막

AF2: 배향막

C1: 용량 소자

C2: 용량 소자

CF1: 촉색막

F1: 프레임

F2: 프레임

F3: 프레임

F21: 타이밍 차트

F22: 타이밍 차트

G1: 주사선

G2: 주사선

G3: 주사선

KB1: 구조체

M_1: 트랜지스터

M_2: 트랜지스터

M_3: 트랜지스터

S1: 신호선

S2: 신호선

SW1: 트랜지스터

SW1_1: 트랜지스터

SW1_2: 트랜지스터

SW1B: 트랜지스터

SW2: 트랜지스터

SW2_1: 트랜지스터

SW2_2: 트랜지스터

SW3: 트랜지스터

20: 선택 회로

21: 판정 회로

22: 판정 회로

25: 회로

26: 베피 회로

26A: 베피 회로

26B: 베피 회로

30: 선택 신호 출력 회로

110: 게이트 드라이버

110A: 게이트 드라이버

110B: 게이트 드라이버

110C: 게이트 드라이버

110D: 게이트 드라이버

111: 시프트 레지스터 회로

111A: 시프트 레지스터 회로

111B: 시프트 레지스터 회로

111C: 시프트 레지스터 회로

111D: 시프트 레지스터 회로

120: 표시부

121: 액정 표시 영역

122: 발광 표시 영역

122A: 발광 표시 영역

501: OS 트랜지스터

502: OS 트랜지스터

510: 산화물층

511: 금속 산화물층

512: 금속 산화물층

513: 금속 산화물층

521: 절연층

522: 절연층

523: 절연층

524: 절연층

525: 절연층

526: 절연층

527: 절연층

528: 절연층

529: 절연층

550: 도전층

550a: 도전층

550b: 도전층

550c: 도전층

551: 도전층

552: 도전층

553: 도전층

553a: 도전층

553b: 도전층

601C: 절연막

604: 도전막

605: 접합층

606: 절연막

608: 반도체막

608A: 영역

608B: 영역

608C: 영역

611B: 도전막

611C: 도전막

612A: 도전막

612B: 도전막

616: 절연막

618: 절연막

619B: 단자

619C: 단자

620: 기능층

621: 절연막

622: 접속부

624: 도전막

628: 절연막

650: 표시 소자

650C: 화소 회로

651: 전극

652: 전극

653: 층
670: 기판
671: 전극
691A: 개구부
691B: 개구부
691C: 개구부
700: 표시 장치
700B: 표시 장치
701: 표시 장치
702: 표시 장치
705: 밀봉재
710C: 화소 회로
720C: 화소 회로
750: 표시 소자
750C: 화소 회로
751: 전극
751H: 개구부
752: 전극
753: 층
770: 기판
770P: 기능막
771: 절연막
800: 표시 모듈
801: 상부 커버
802: 하부 커버
803: FPC
804: 터치 패널
805: FPC
806: 표시 패널
809: 프레임
810: 인쇄 기판
811: 배터리
850: IC
851: 구동 회로
852: 검출 회로
854: 용량 소자

6000: 전자 부품

6001: 리드

6002: 인쇄 기판

6004: 회로 기판

6100: 반도체 웨이퍼

6102: 회로 영역

6104: 분리 영역

6106: 분리선

6110: 칩

7000: 표시부

7001: 표시부

7100: 휴대 전화기

7101: 하우징

7103: 조작 버튼

7104: 외부 접속 포트

7105: 스피커

7106: 마이크로폰

7200: 텔레비전 장치

7201: 하우징

7203: 스탠드

7211: 리모트 컨트롤러

7300: 휴대 정보 단말

7301: 하우징

7302: 조작 버튼

7303: 정보

7304: 정보

7305: 정보

7306: 정보

7310: 휴대 정보 단말

7320: 휴대 정보 단말

7400: 조명 장치

7401: 받침부

7402: 발광부

7403: 조작 스위치

7410: 조명 장치

7412: 발광부

7420: 조명 장치

7422: 발광부

7500: 휴대 정보 단말

7501: 하우징

7502: 부재

7503: 조작 버튼

7600: 휴대 정보 단말

7601: 하우징

7602: 헌지

7650: 휴대 정보 단말

7651: 비표시부

7700: 휴대 정보 단말

7701: 하우징

7703a: 버튼

7703b: 버튼

7704a: 스피커

7704b: 스피커

7705: 외부 접속 포트

7706: 마이크로폰

7709: 배터리

7800: 휴대 정보 단말

7801: 밴드

7802: 입출력 단자

7803: 조작 버튼

7804: 아이콘

7805: 배터리

9700: 자동차

9701: 차체

9702: 차륜

9703: 앞 유리

9710: 표시부

9712: 표시부

9713: 표시부

9714: 표시부

9715: 표시부

9721: 표시부

9722: 표시부

9723: 표시부

9801: 하우징

9802: 하우징

9803: 표시부

9804: 표시부

9805: 마이크로폰

9806: 스피커

9807: 조작 키

9808: 스타일러스

9821: 하우징

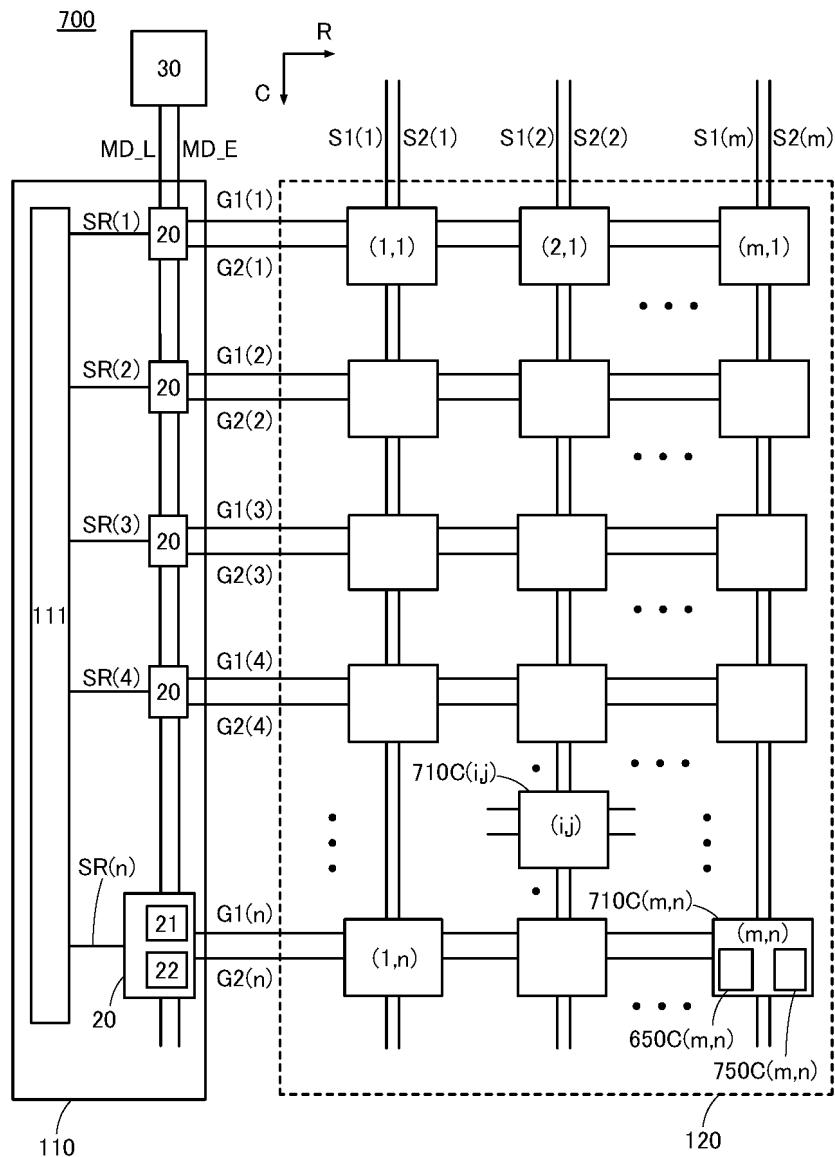
9822: 표시부

9823: 키보드

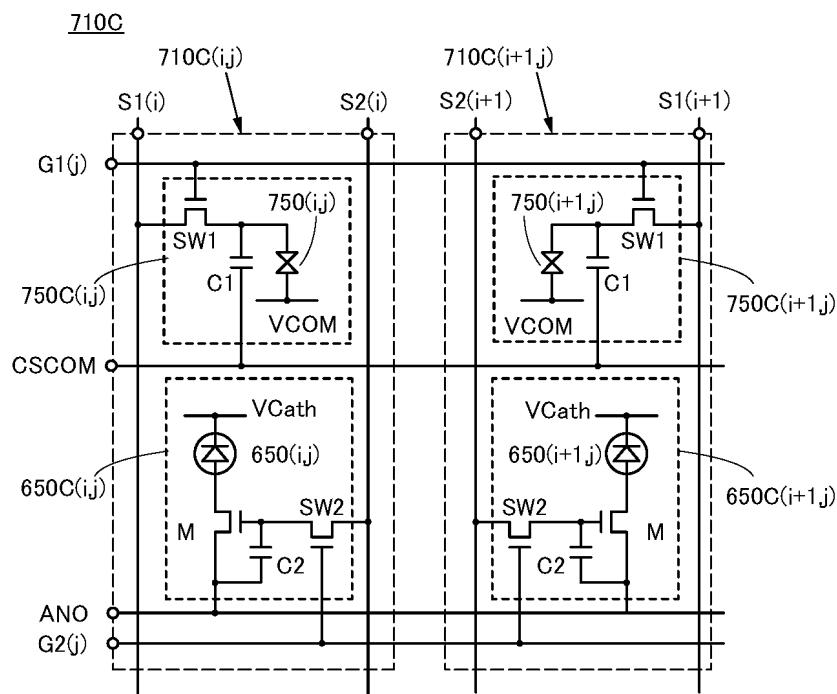
9824: 포인팅 디바이스

도면

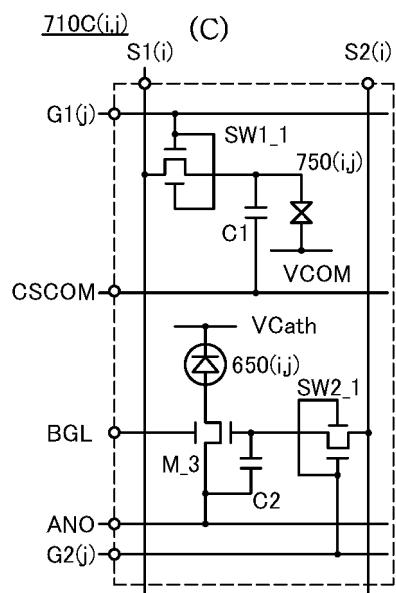
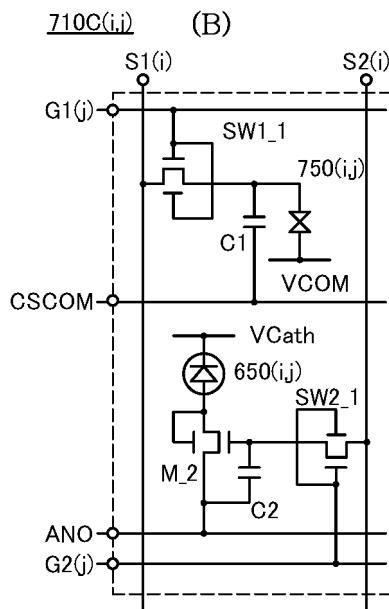
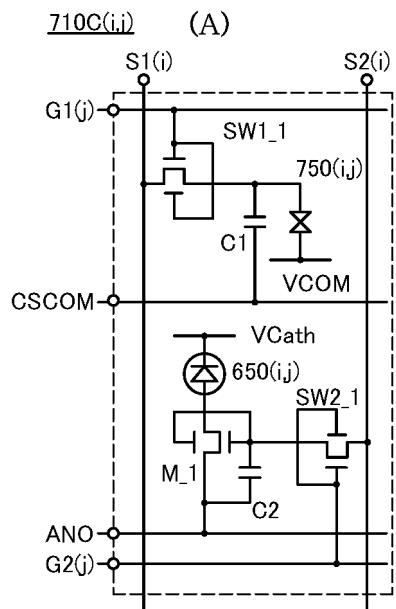
도면1



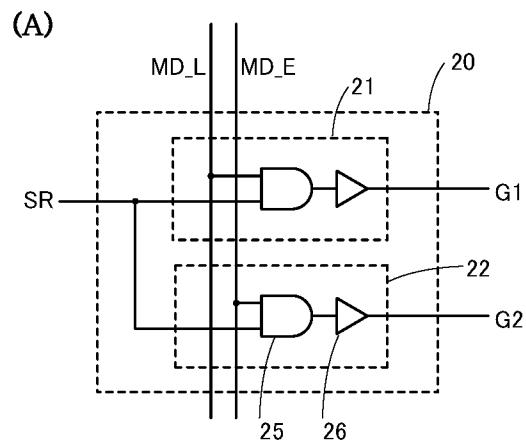
도면2



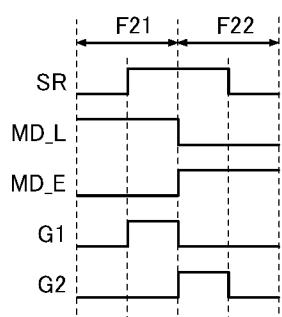
도면3



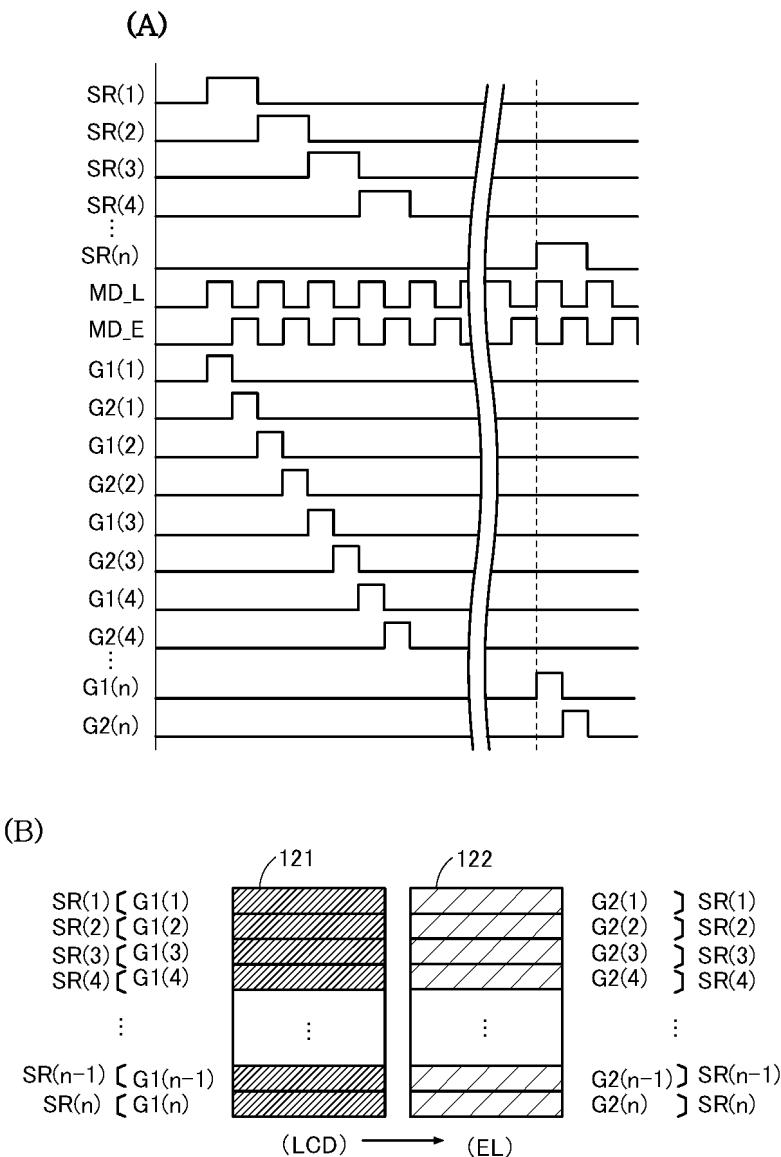
도면4



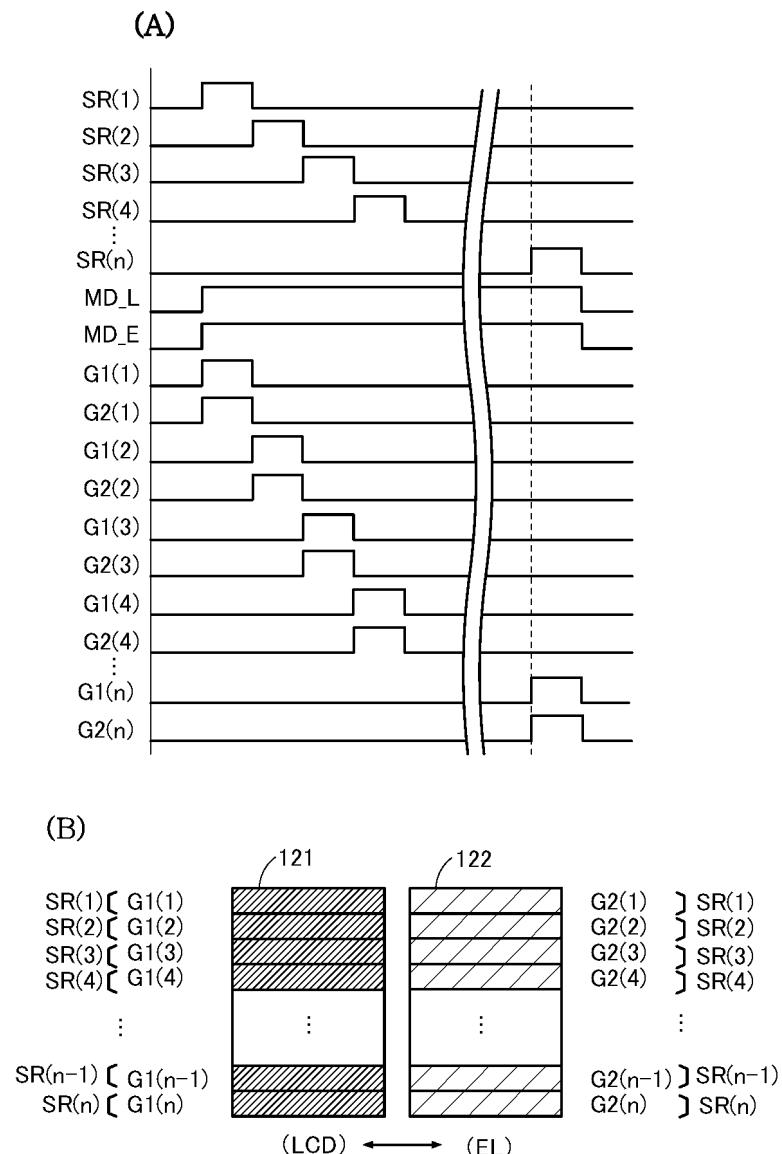
(B)



도면5

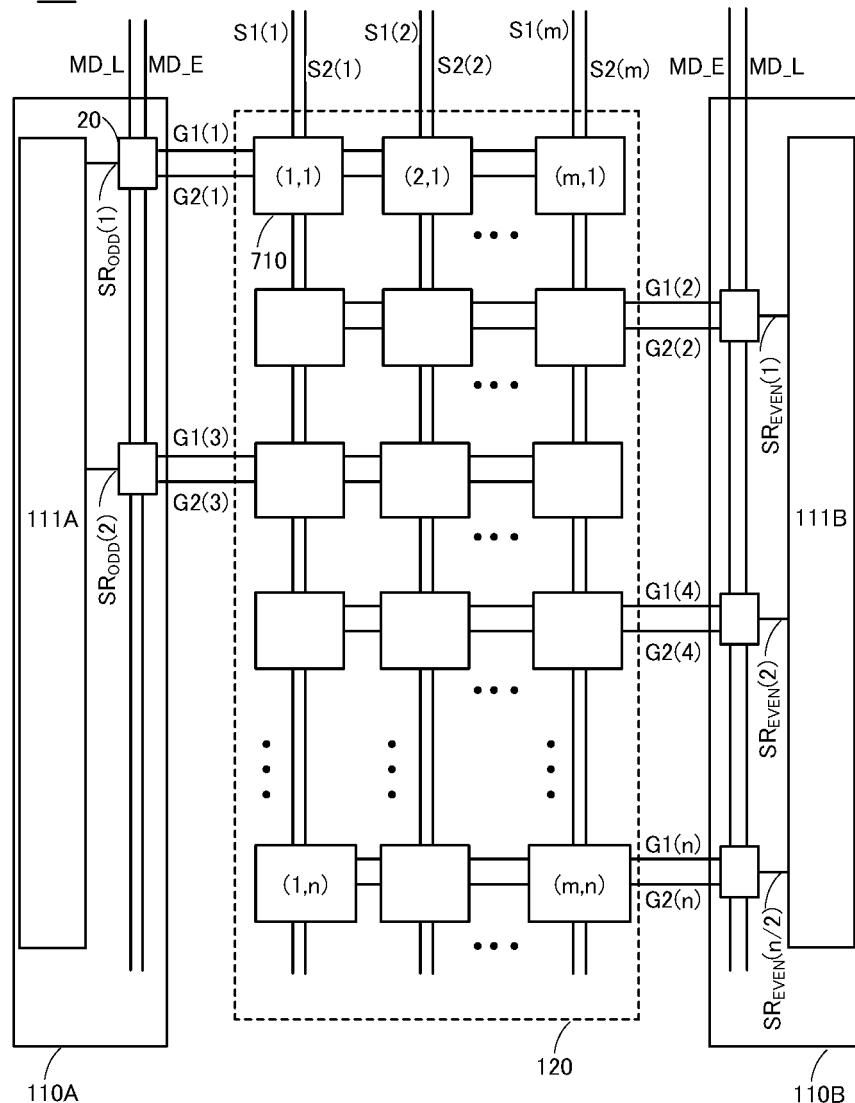


도면6

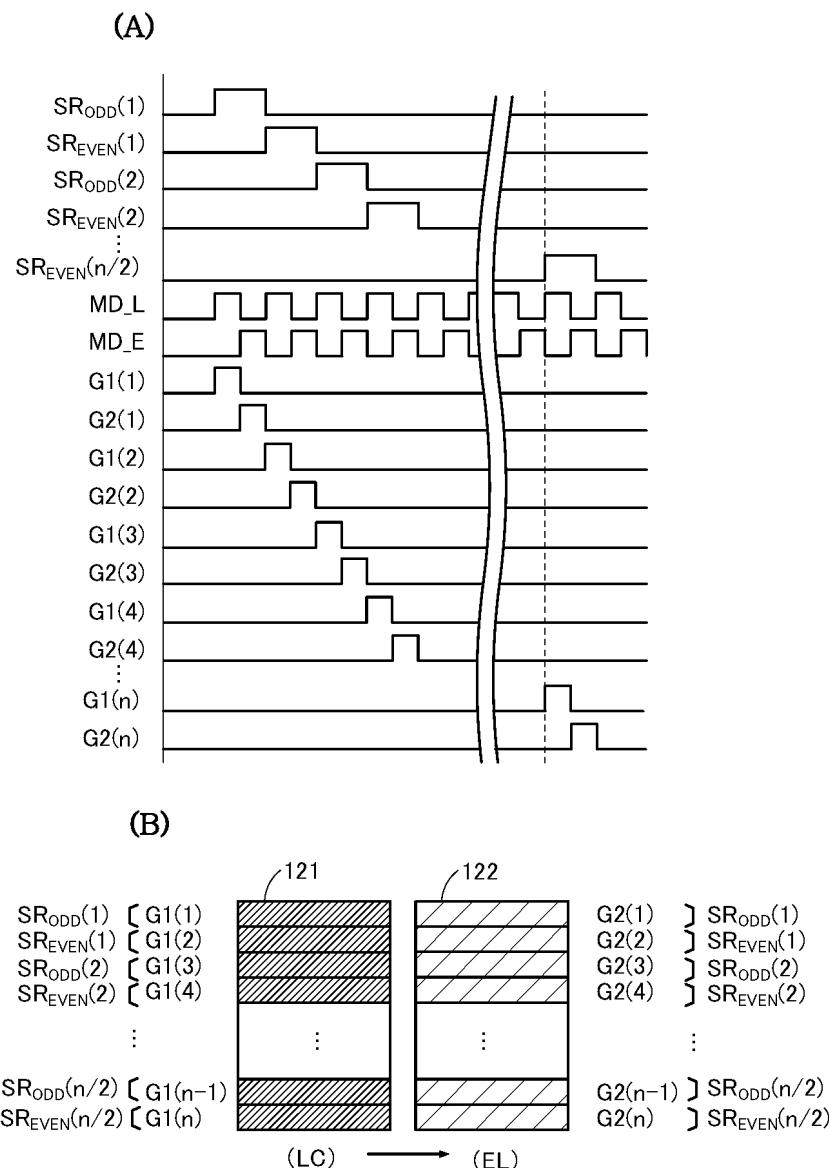


도면7

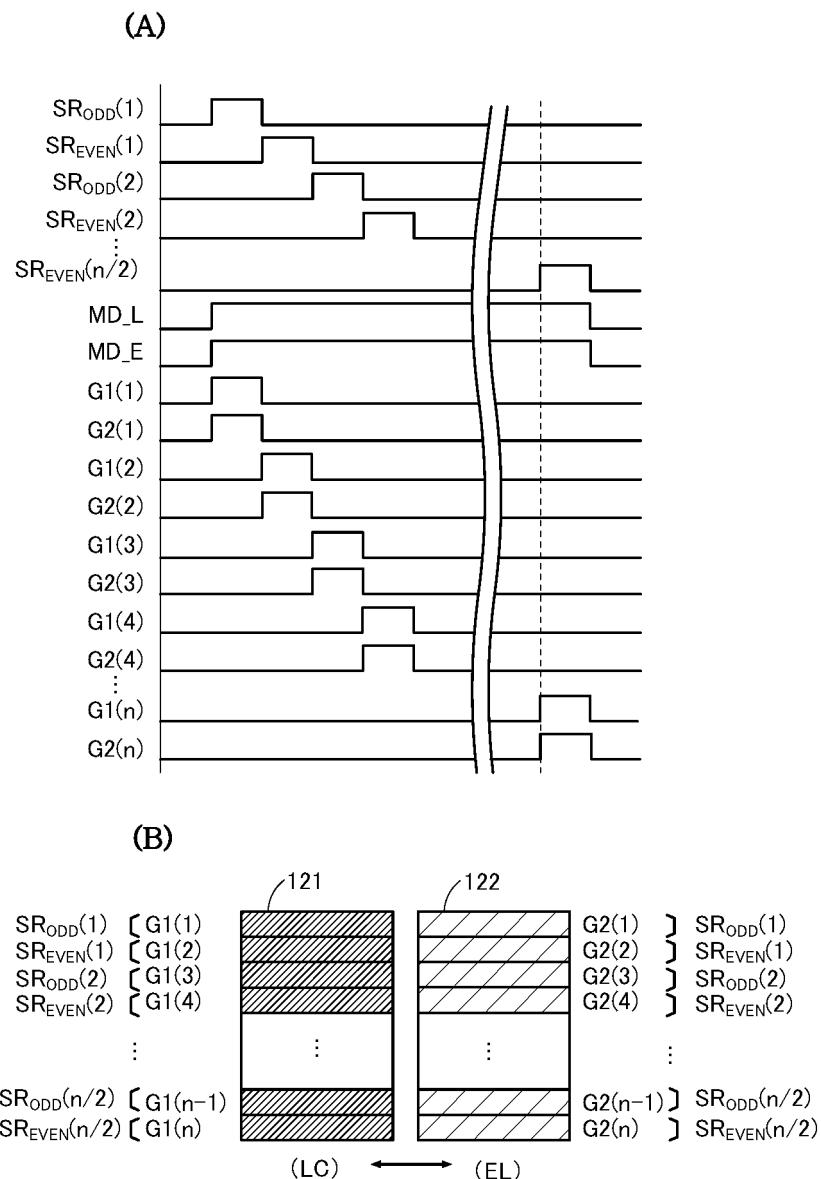
701



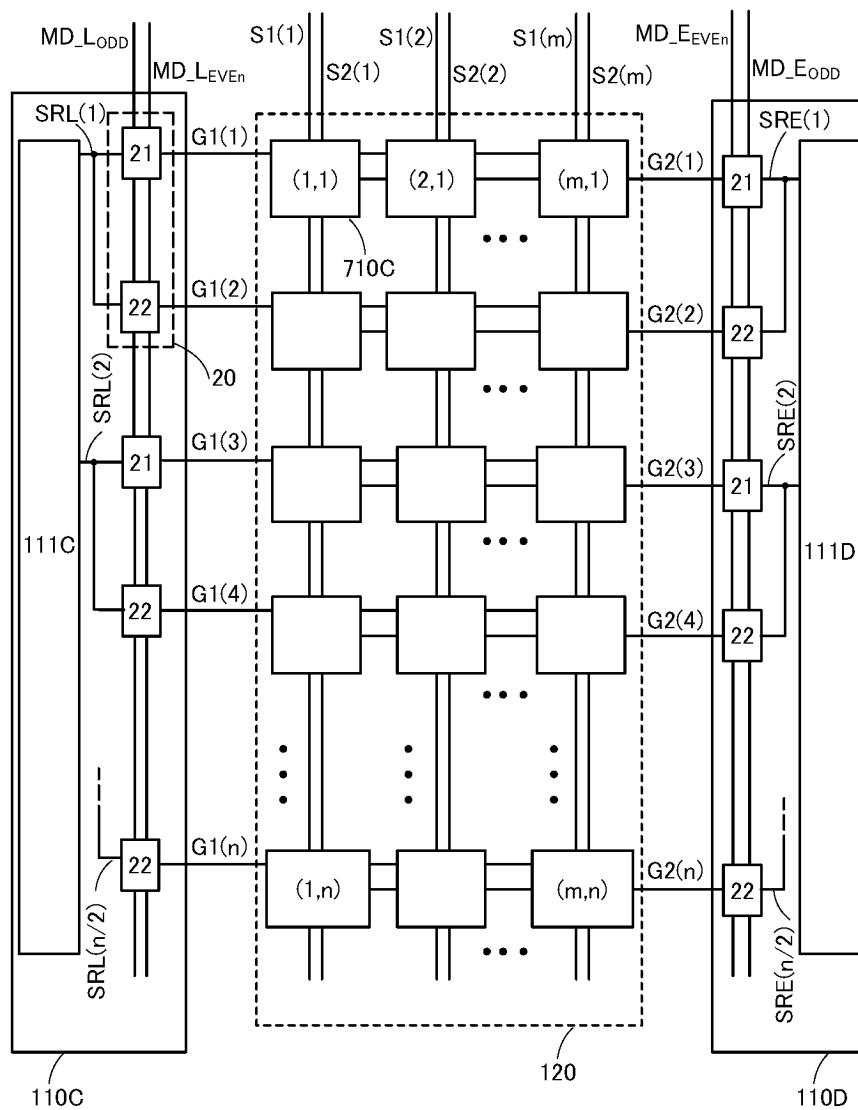
도면8



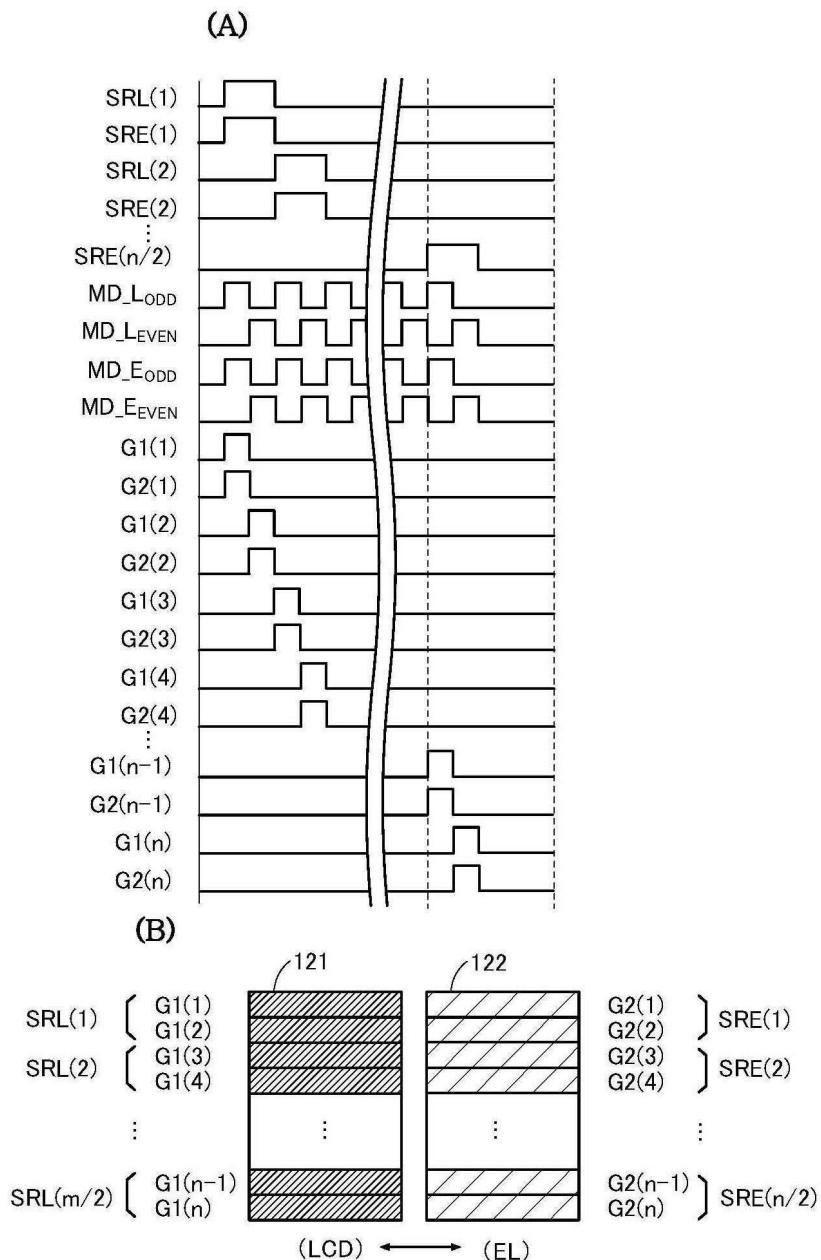
도면9



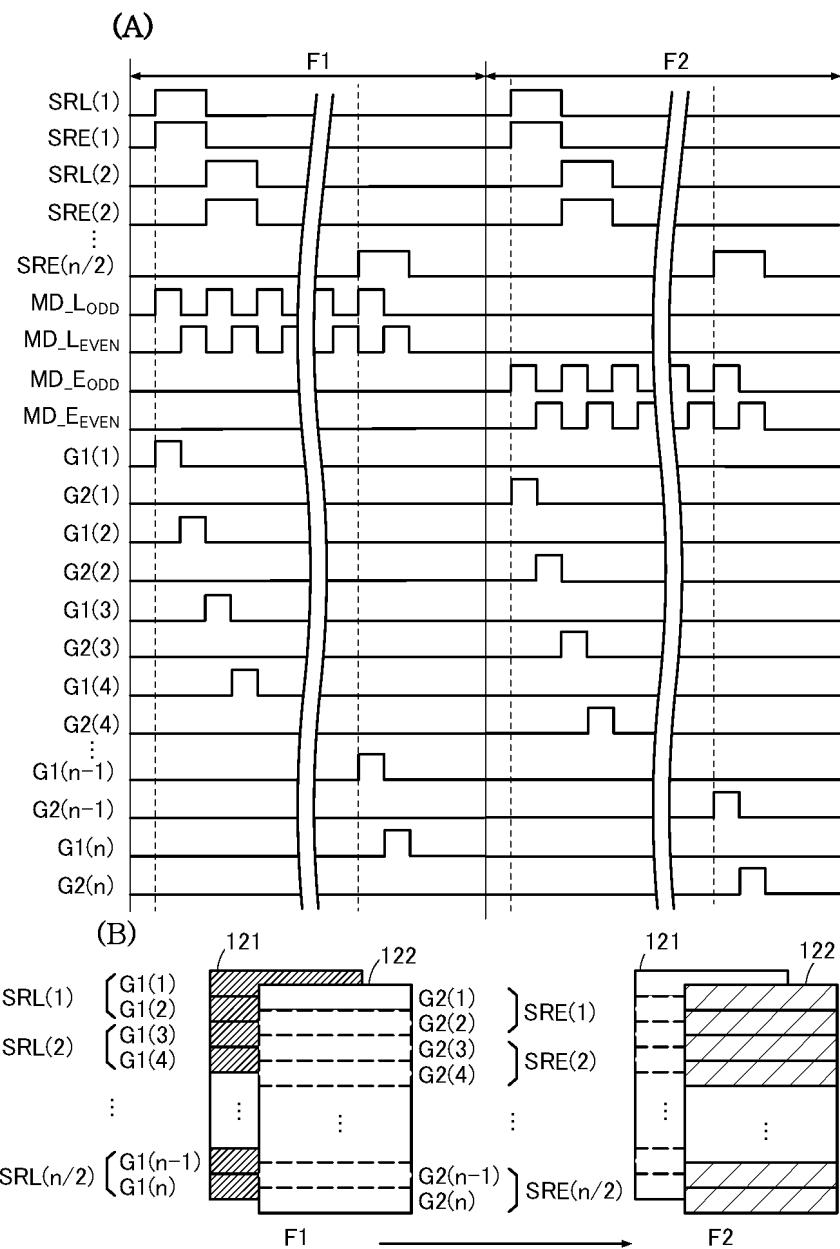
도면10

702

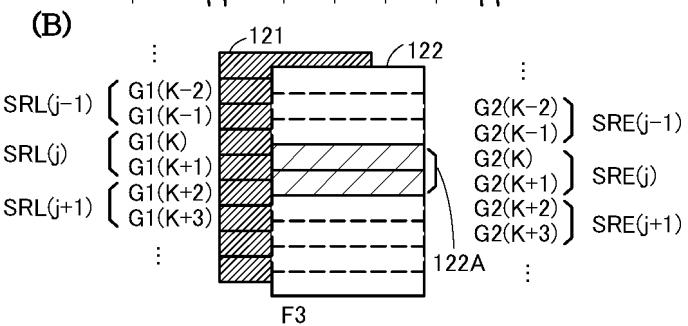
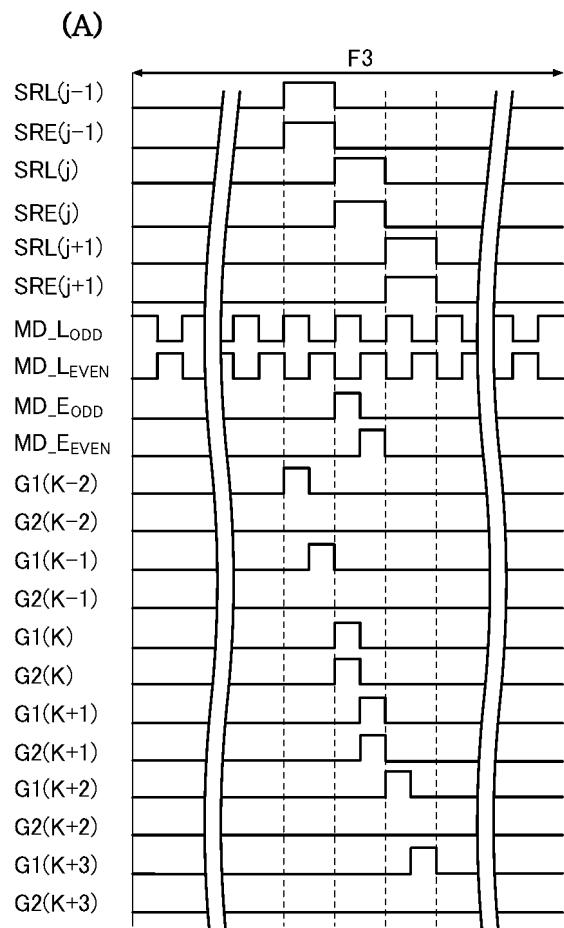
도면11



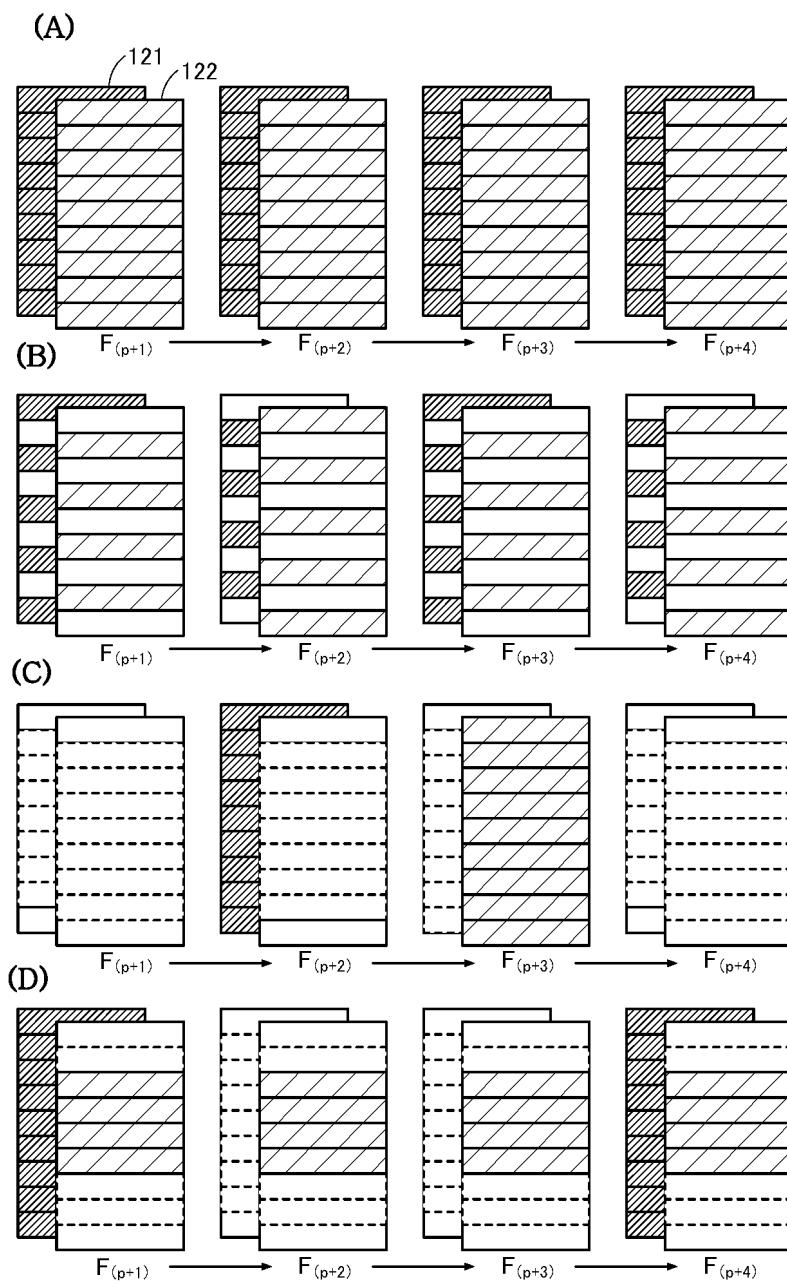
도면12



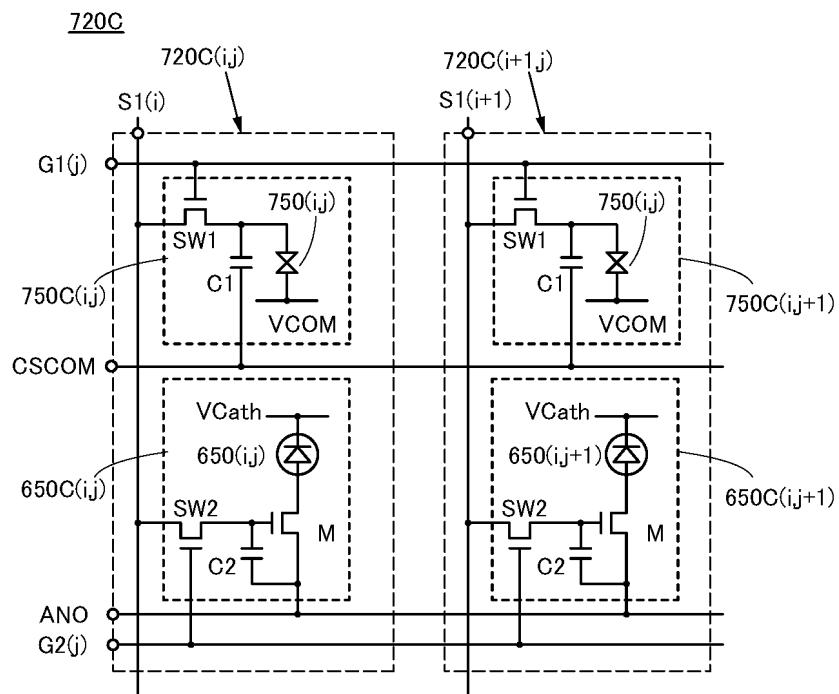
도면13



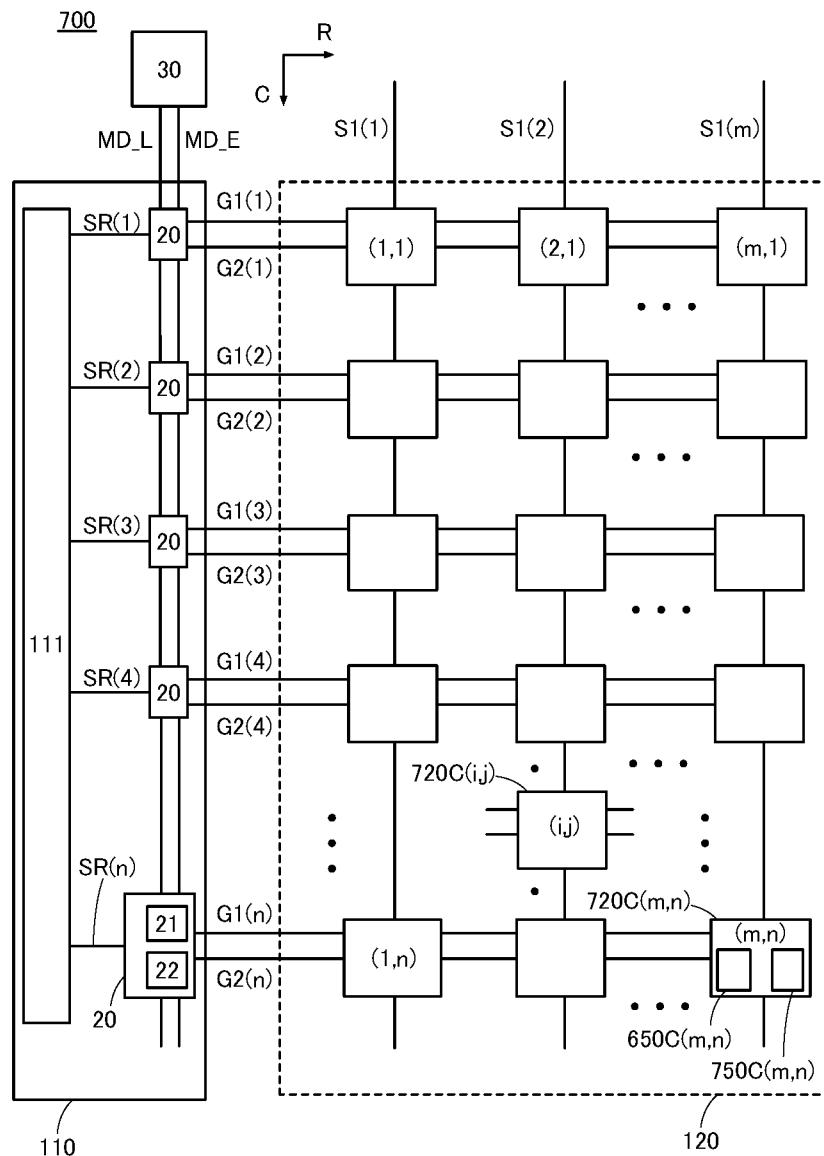
도면14



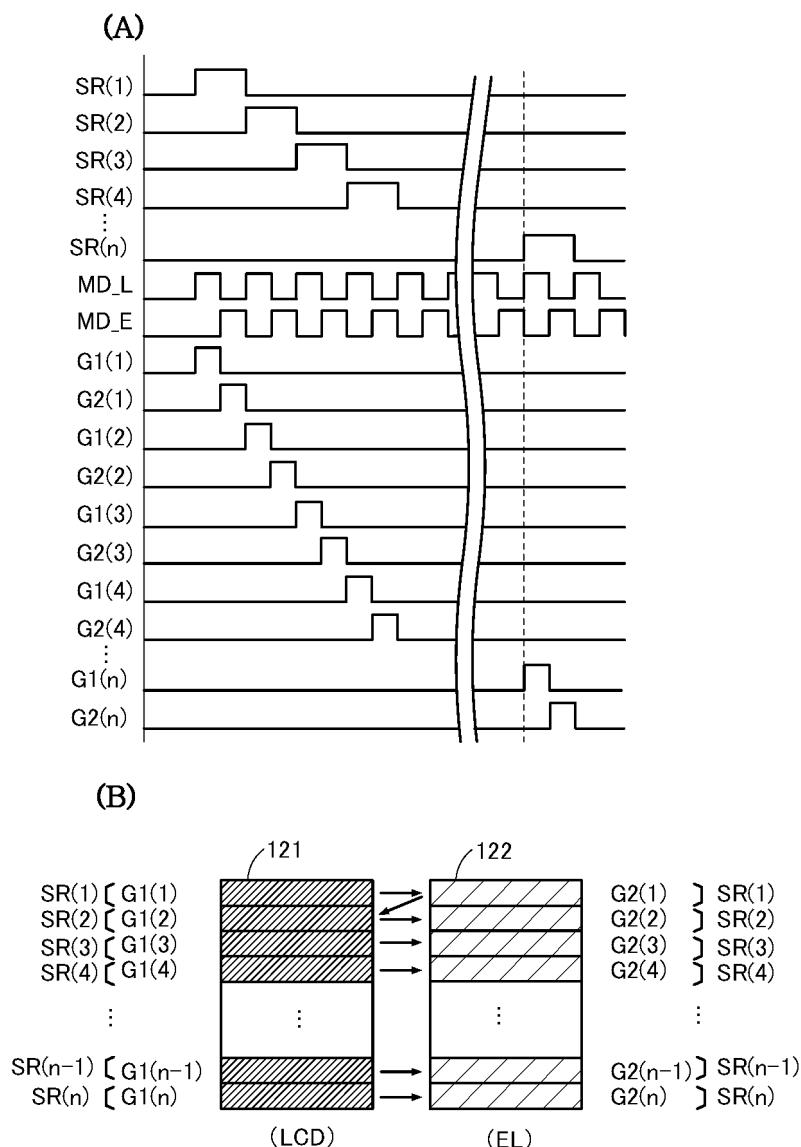
도면15



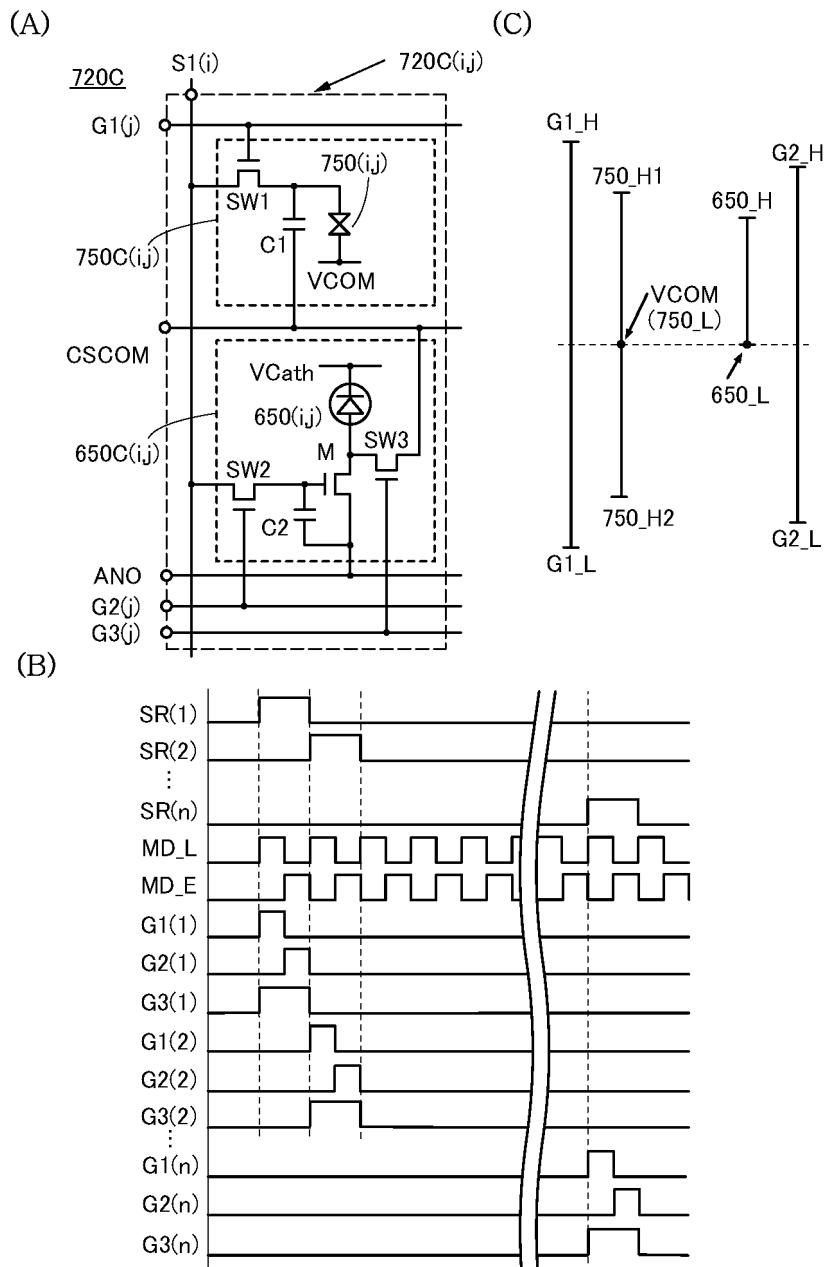
도면16



도면17

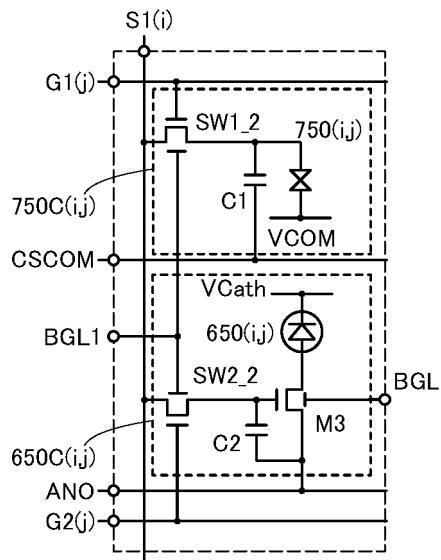


도면18

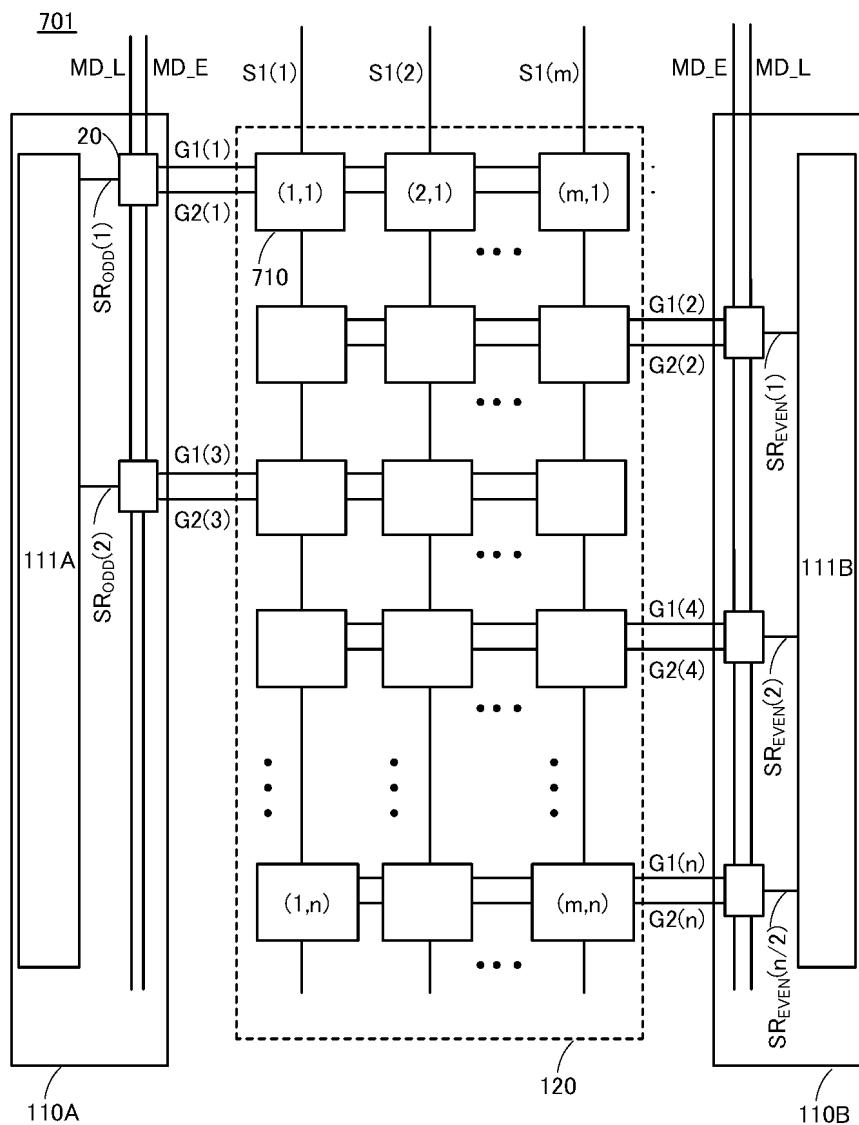


도면 19

720C

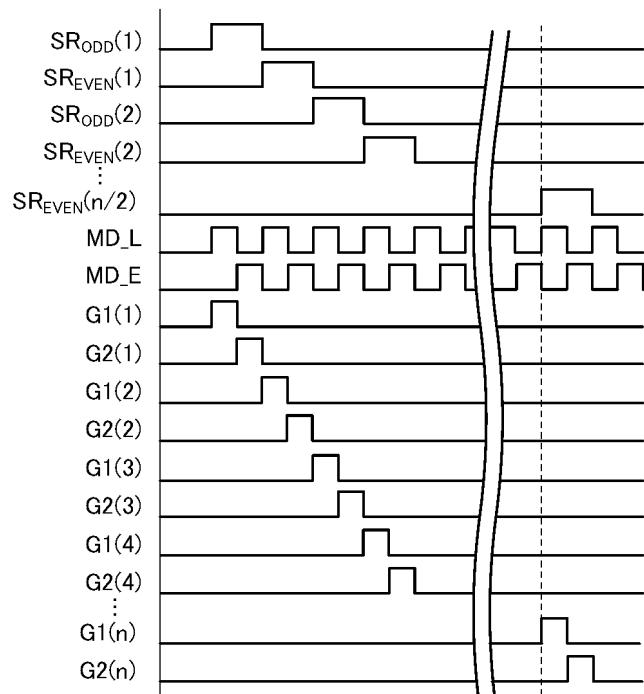


도면20

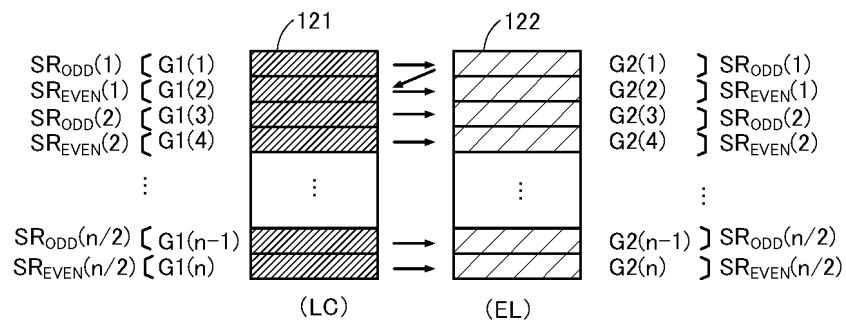


도면21

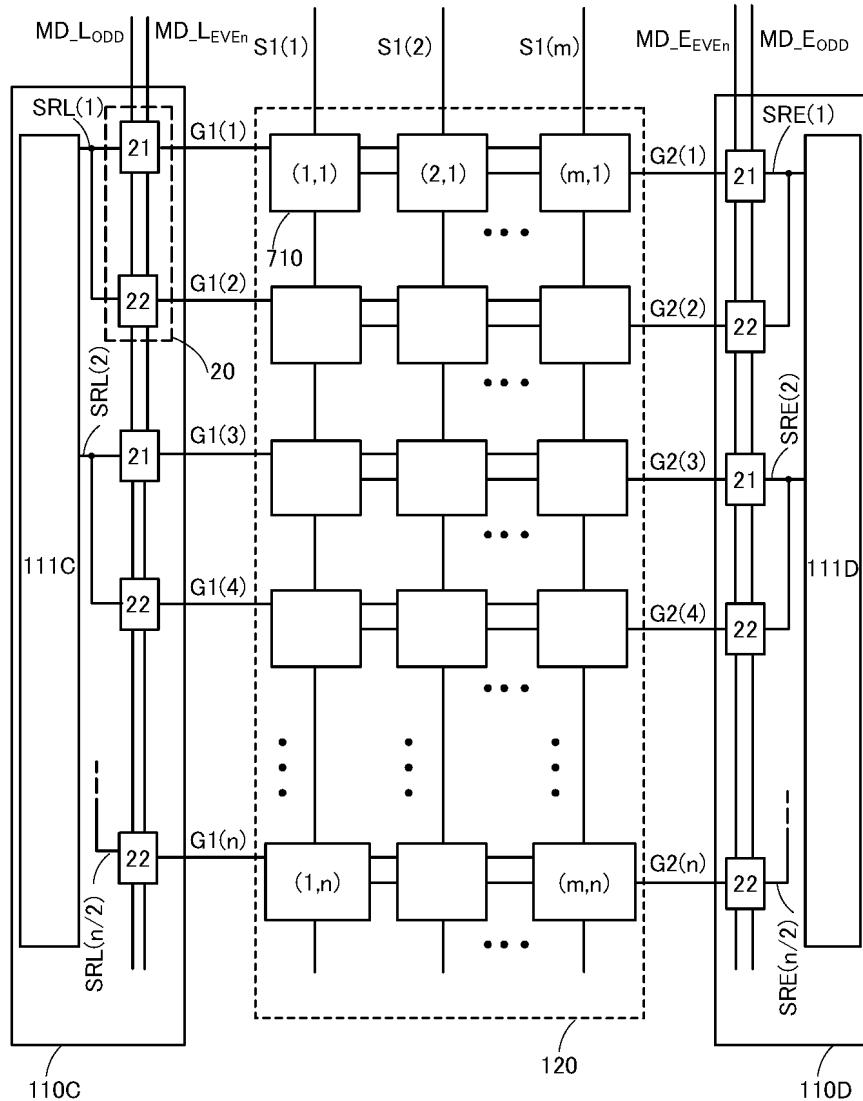
(A)



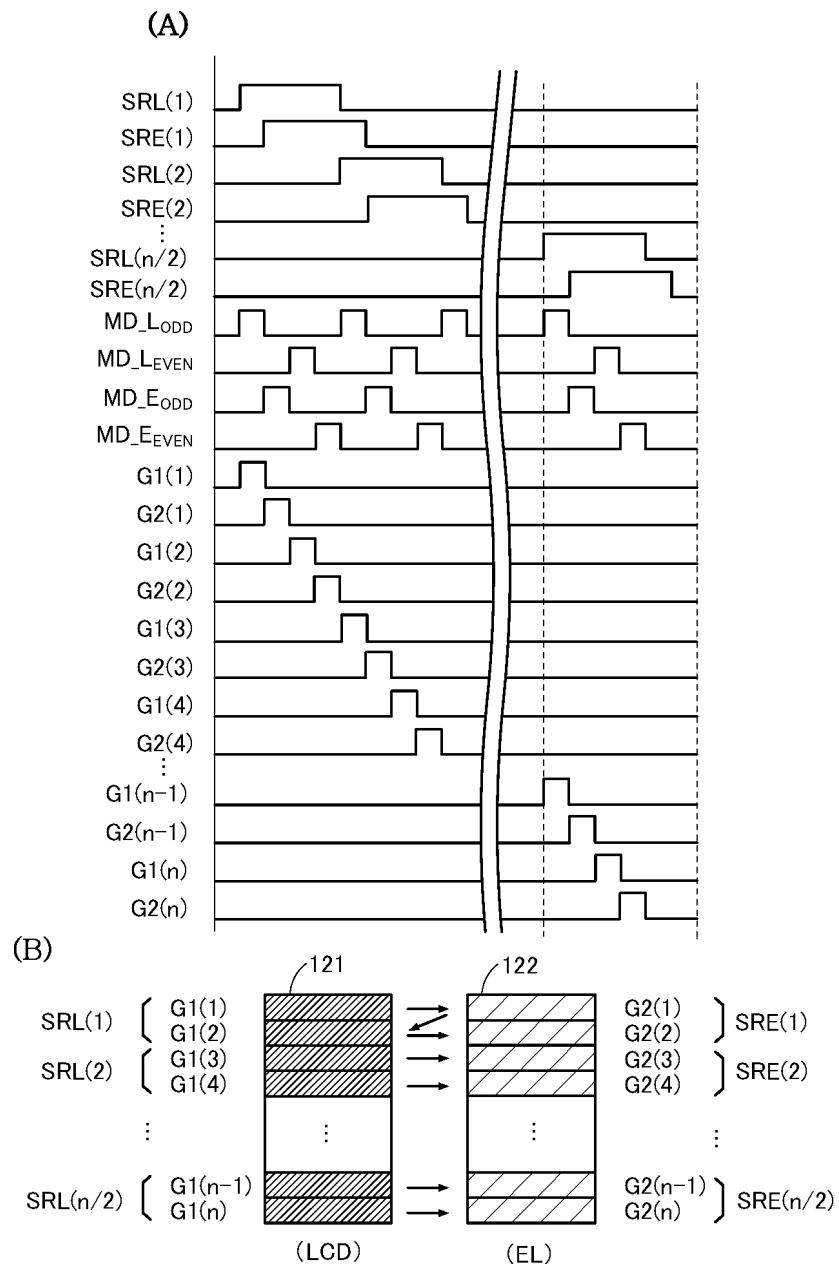
(B)



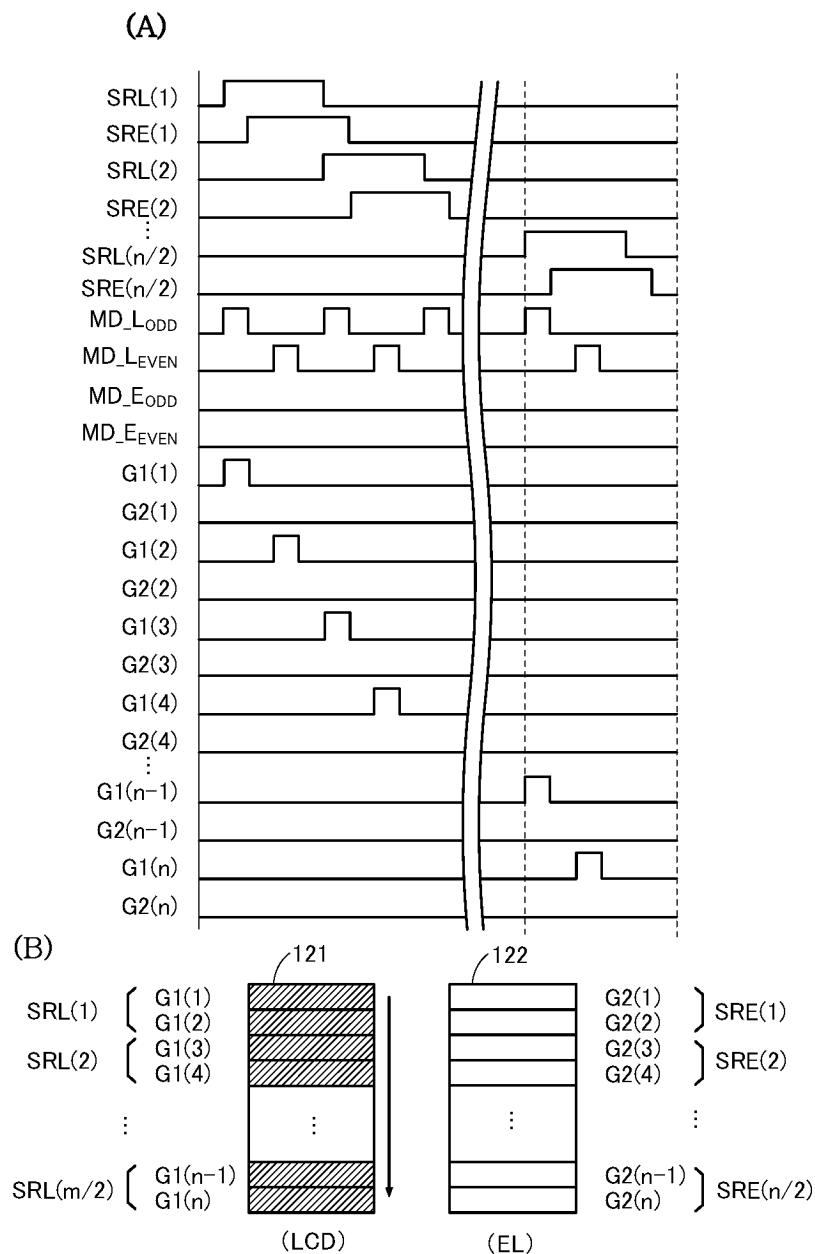
도면22

702

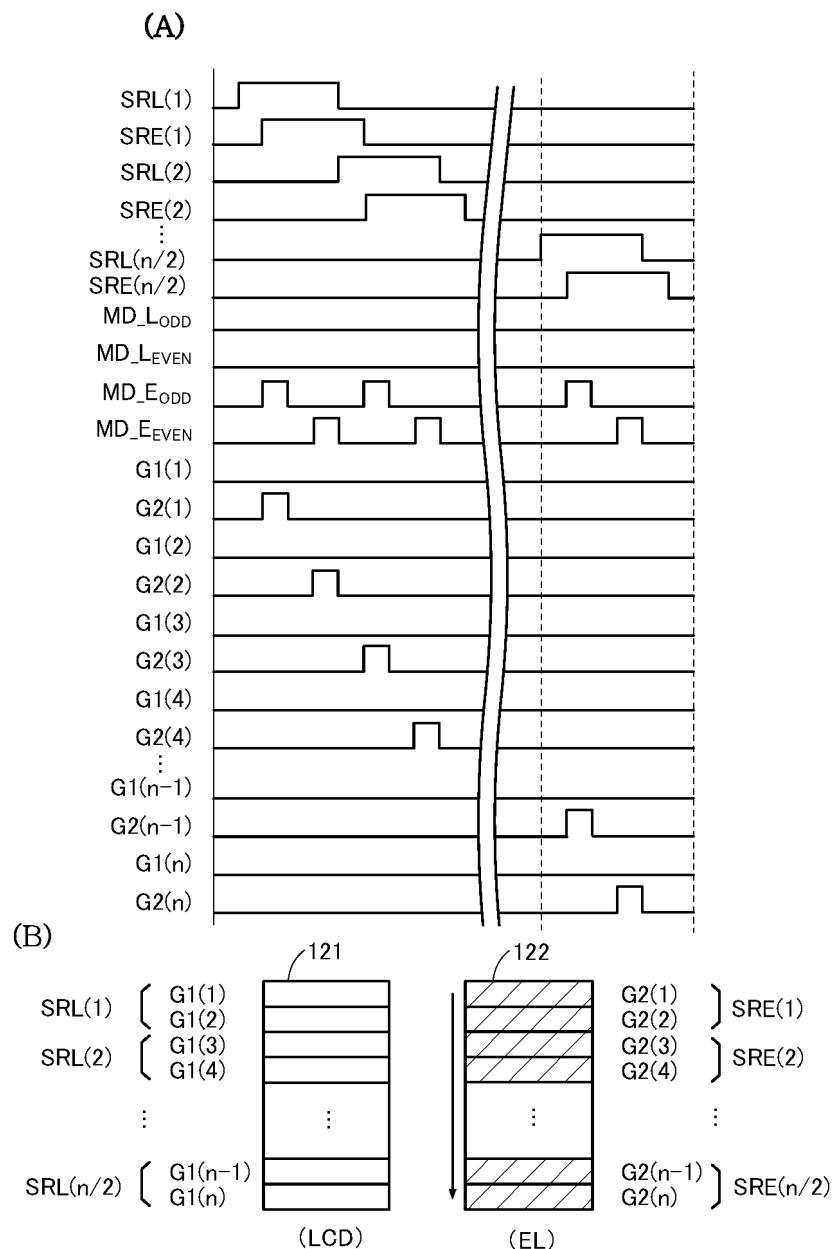
도면23



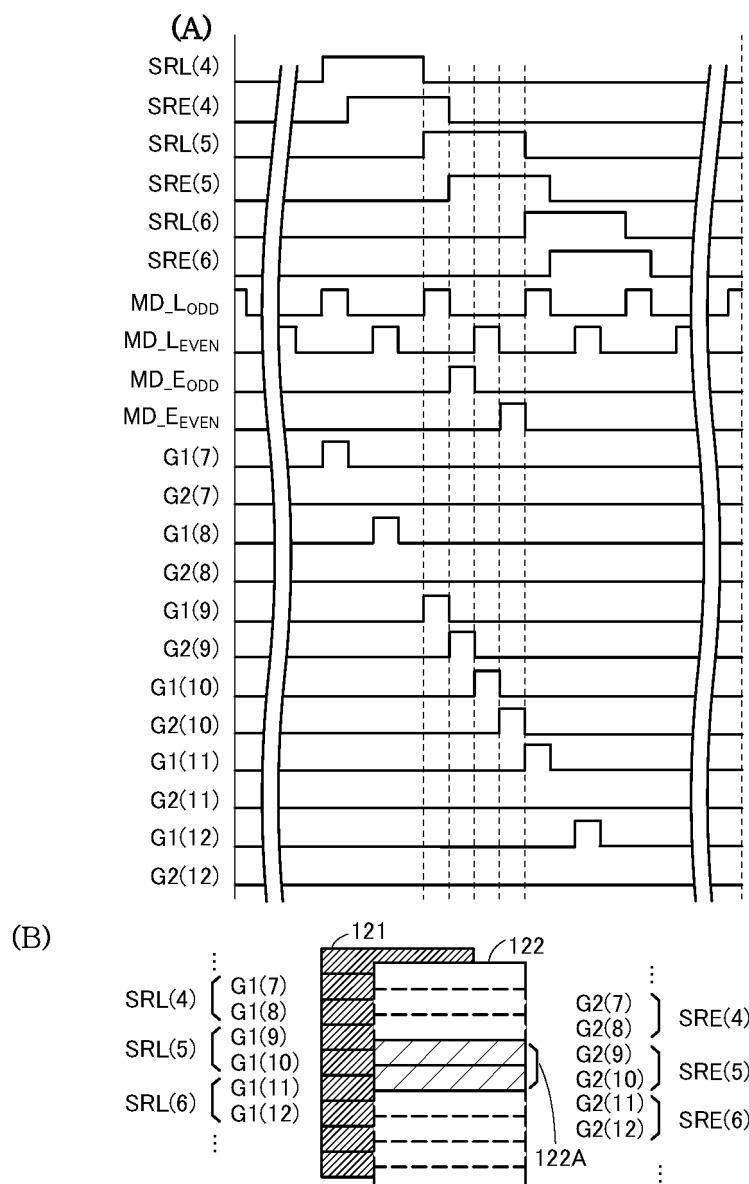
도면24



도면25

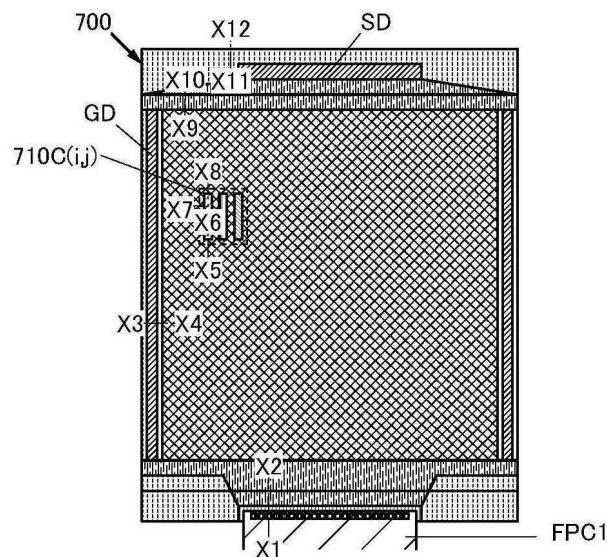


도면26



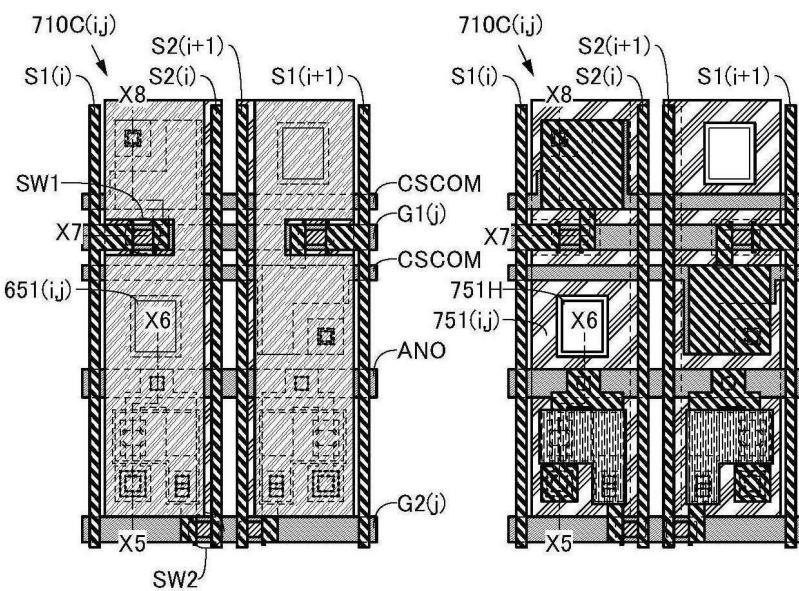
도면27

(A)

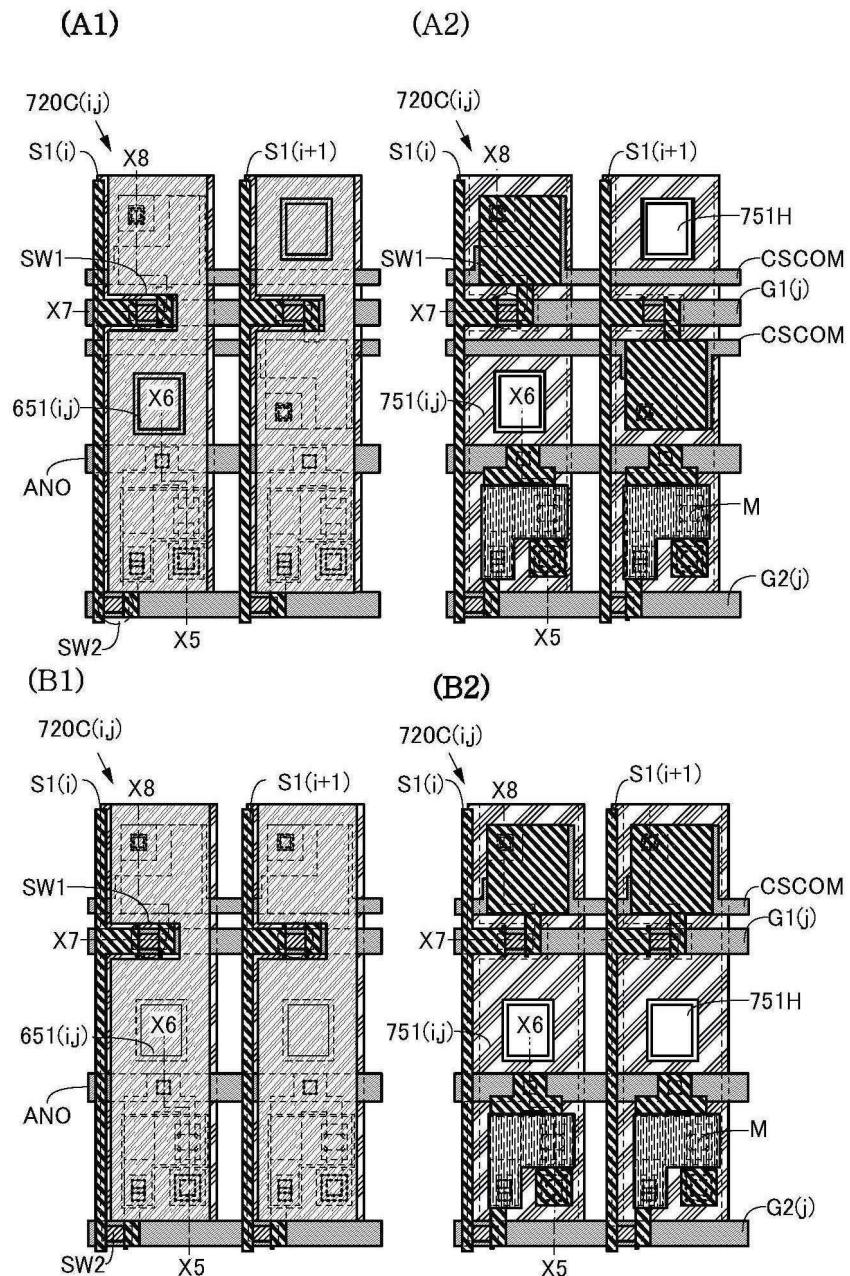


(B1)

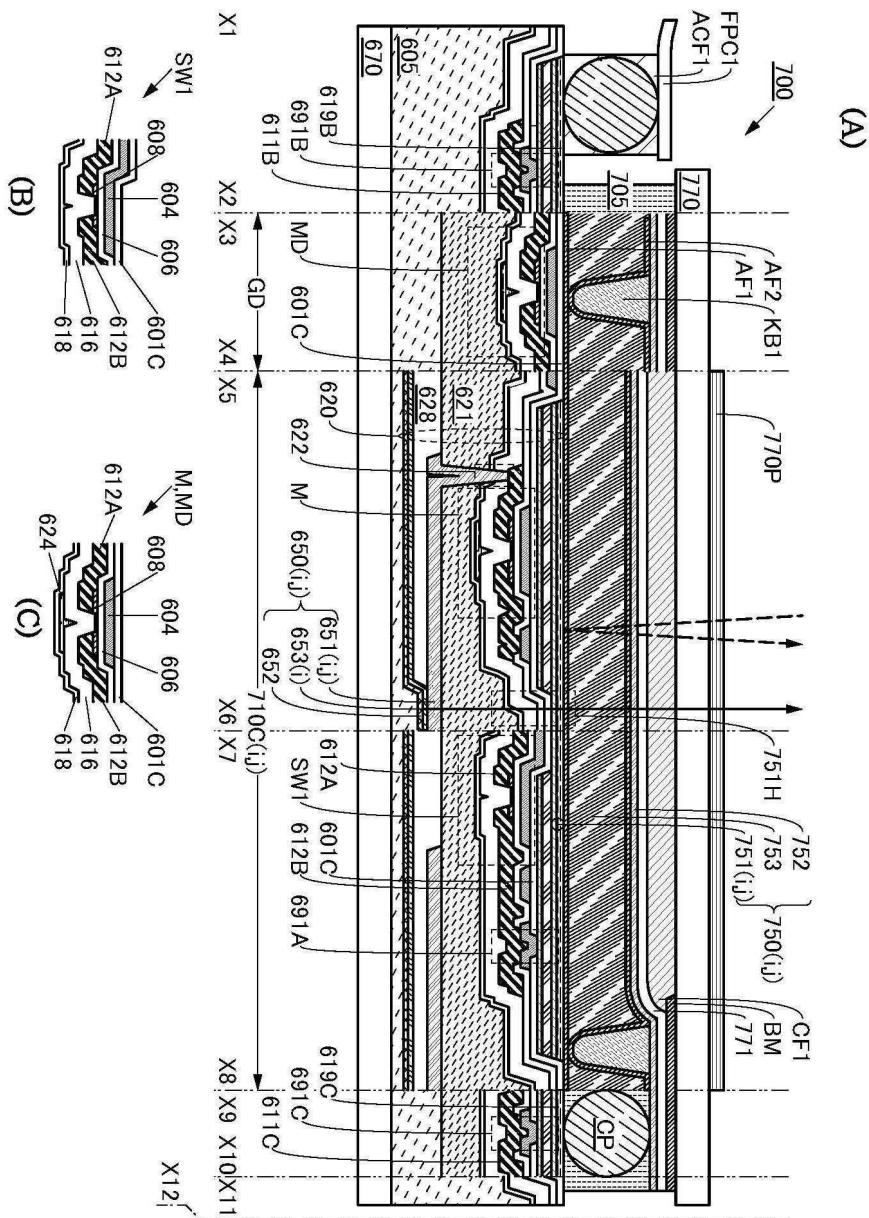
(B2)



도면28

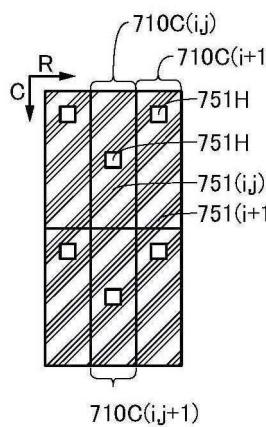


도면29

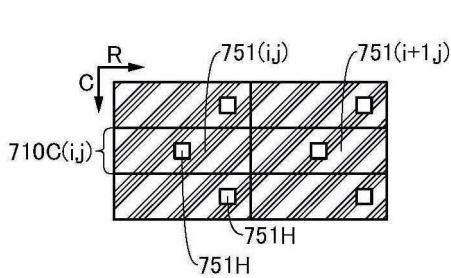


도면30

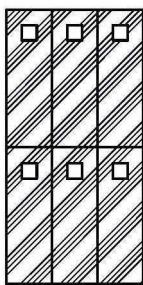
(A1)



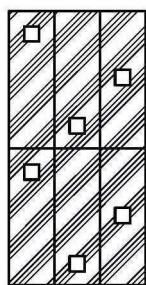
(A2)



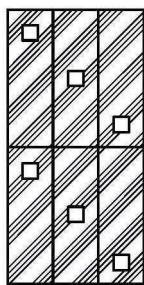
(B1)



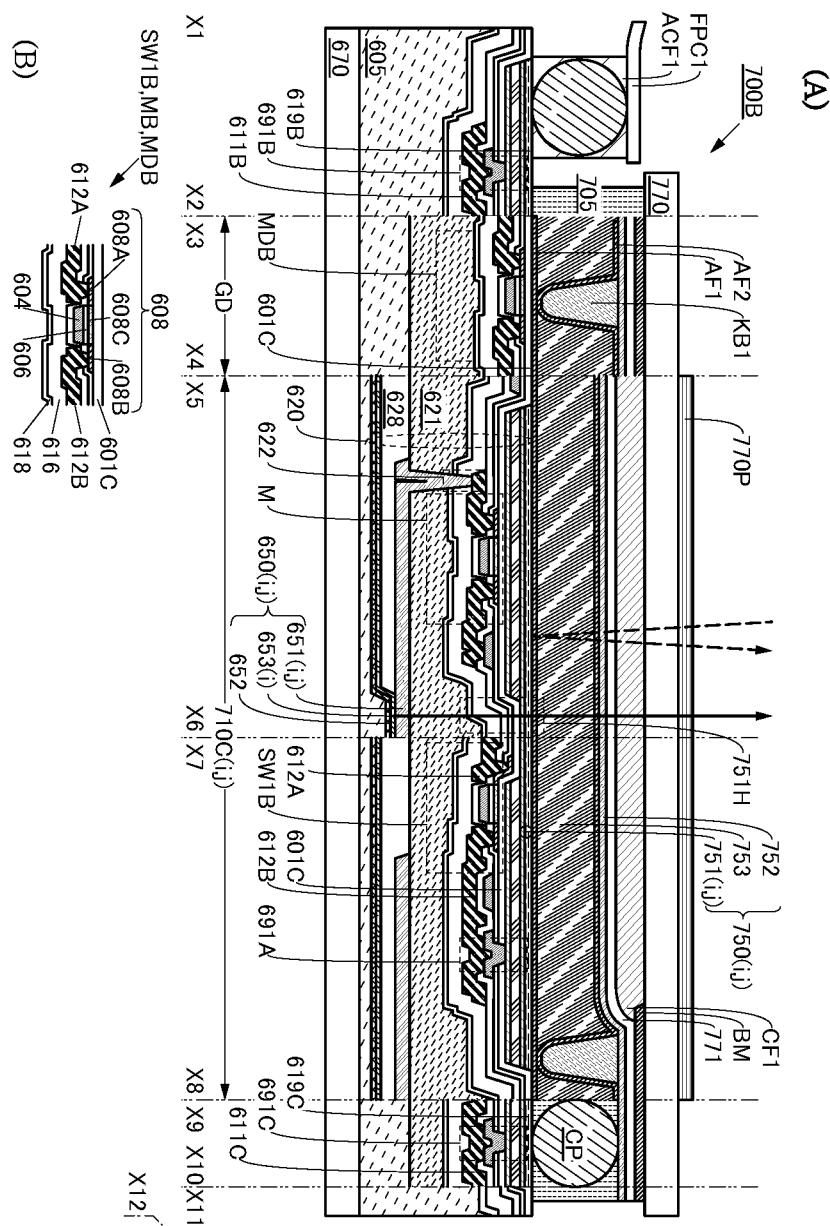
(B2)



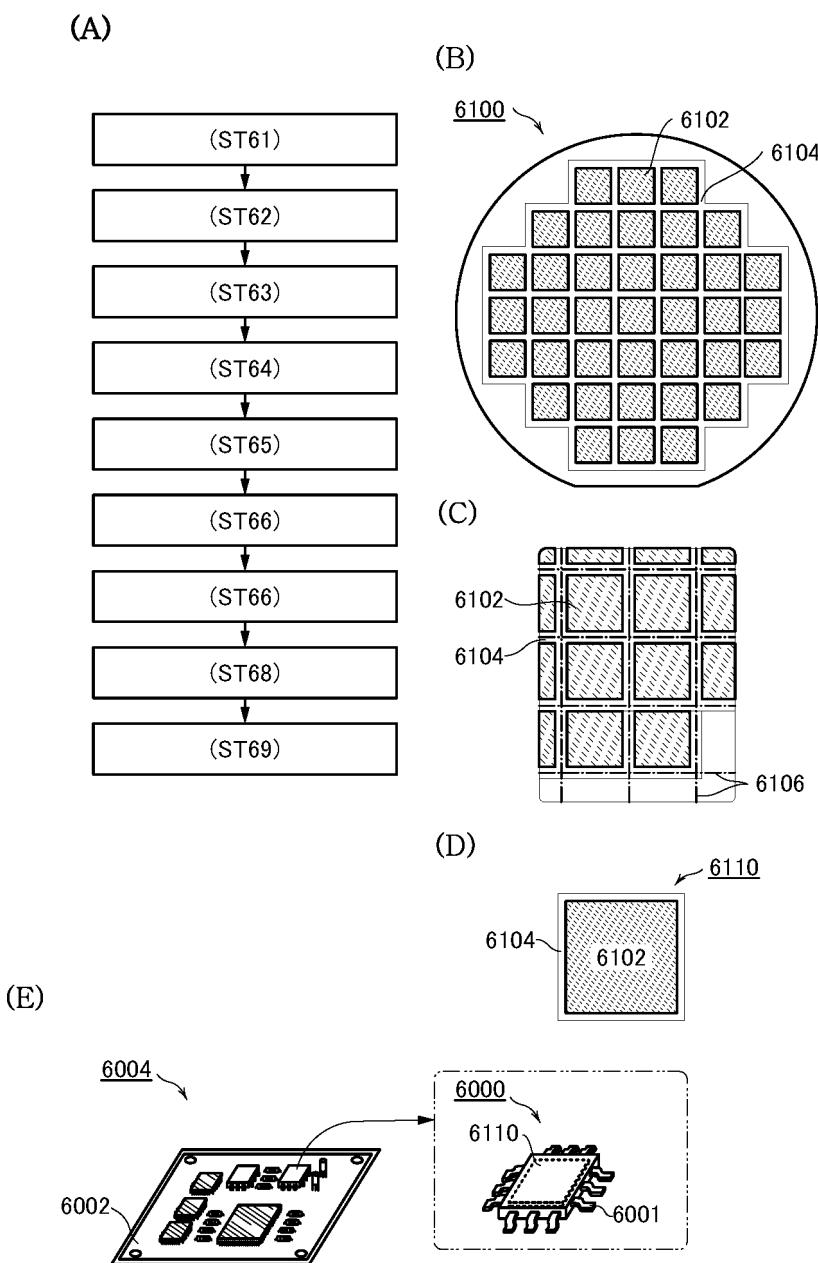
(B3)



도면31

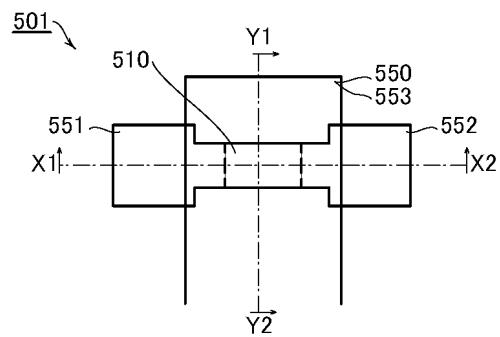


도면32

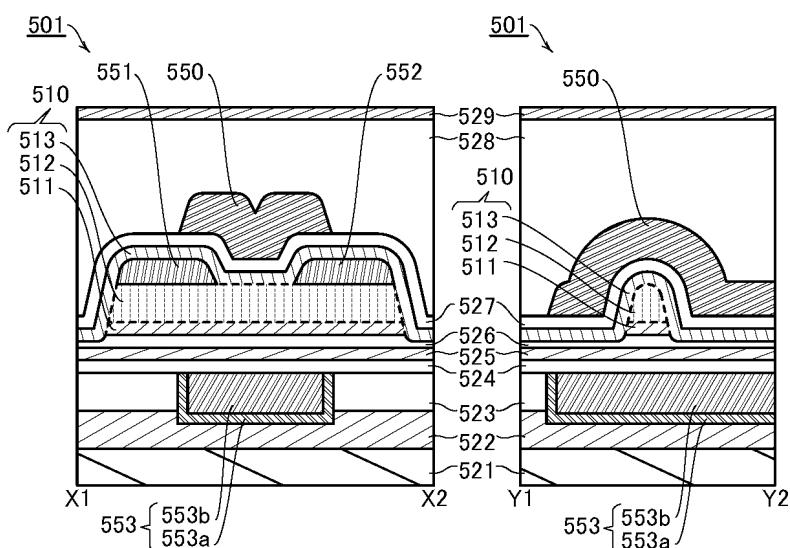


도면33

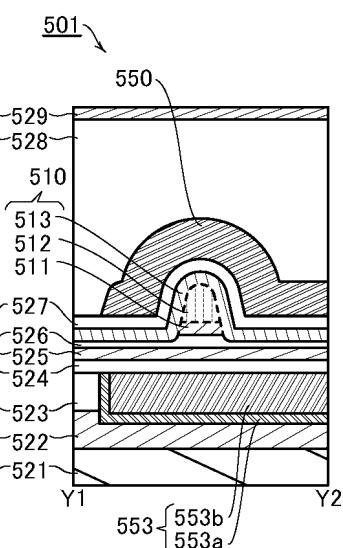
(A)



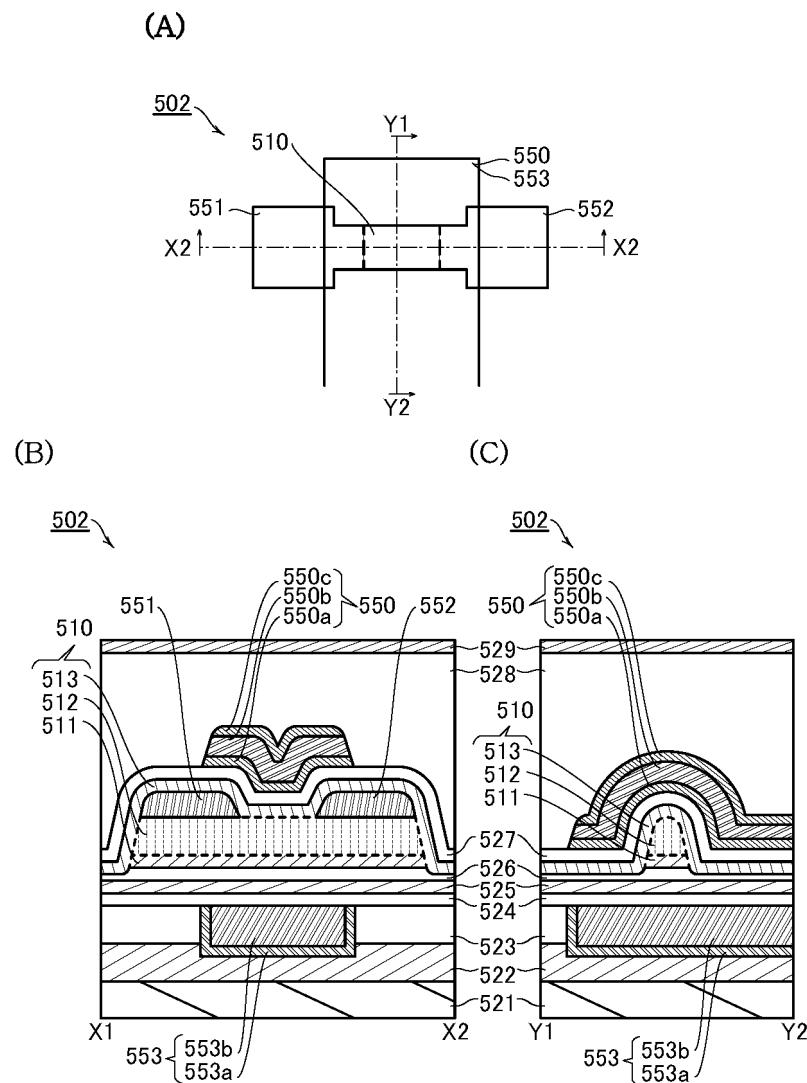
(B)



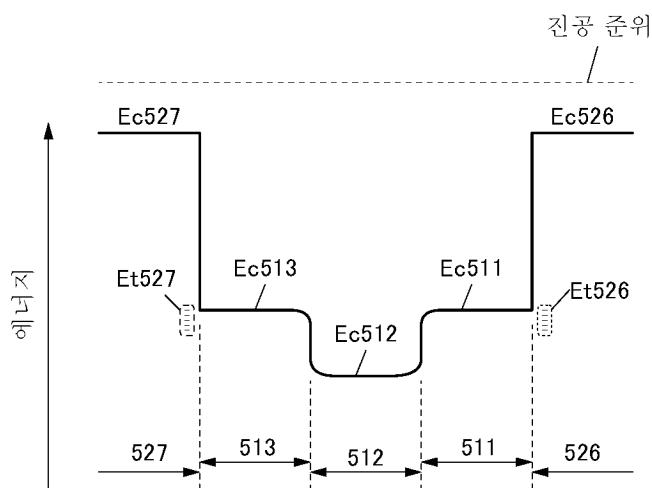
(C)



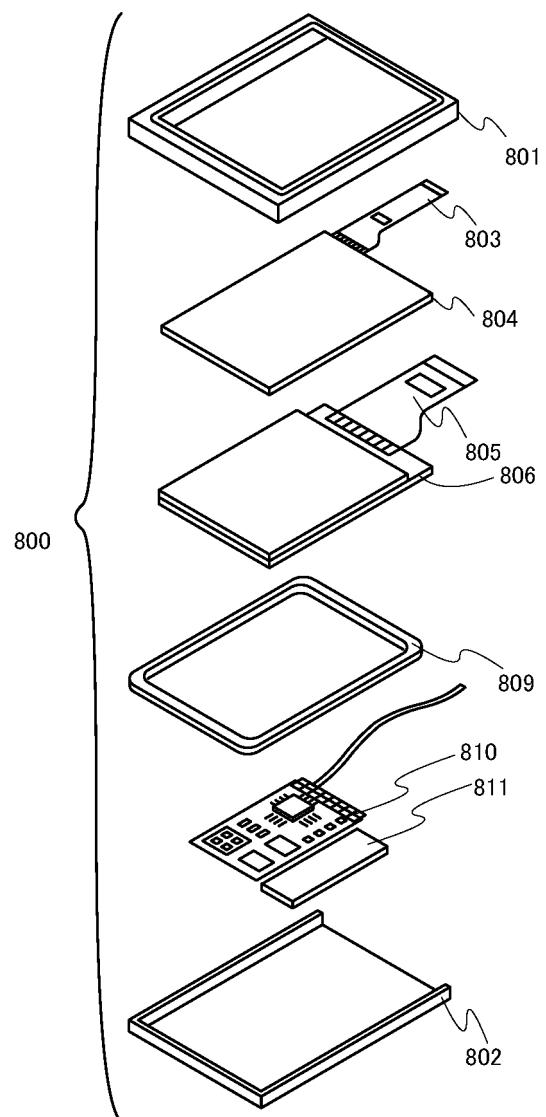
도면34



도면35

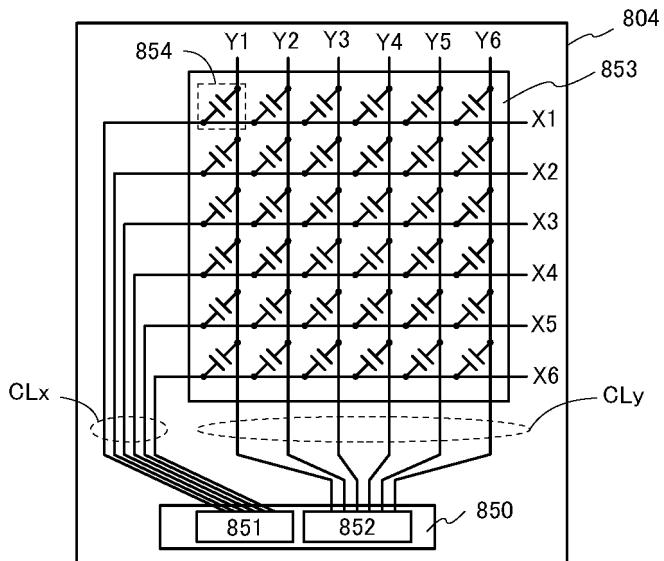


도면36

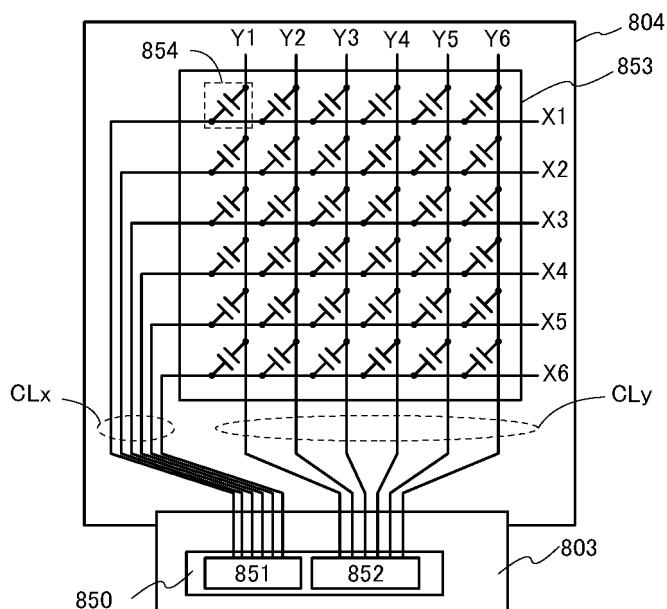


도면37

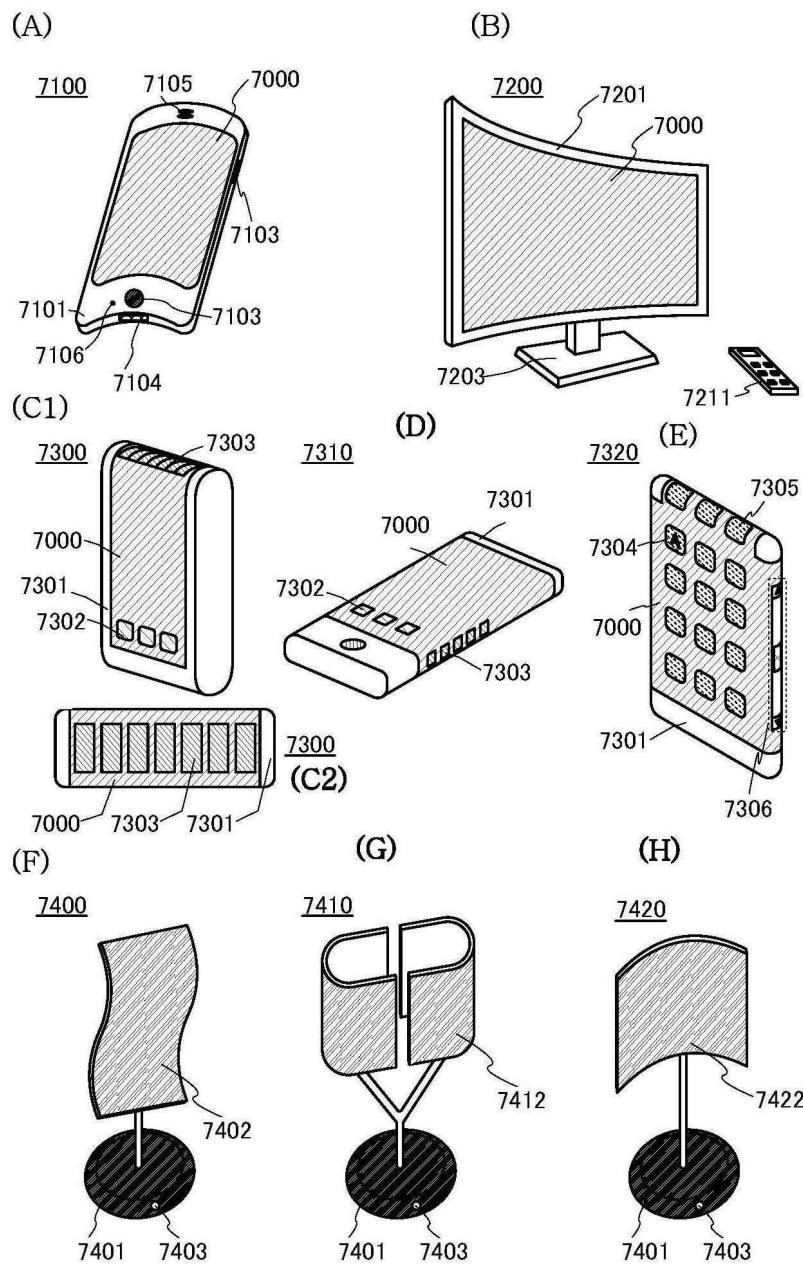
(A)



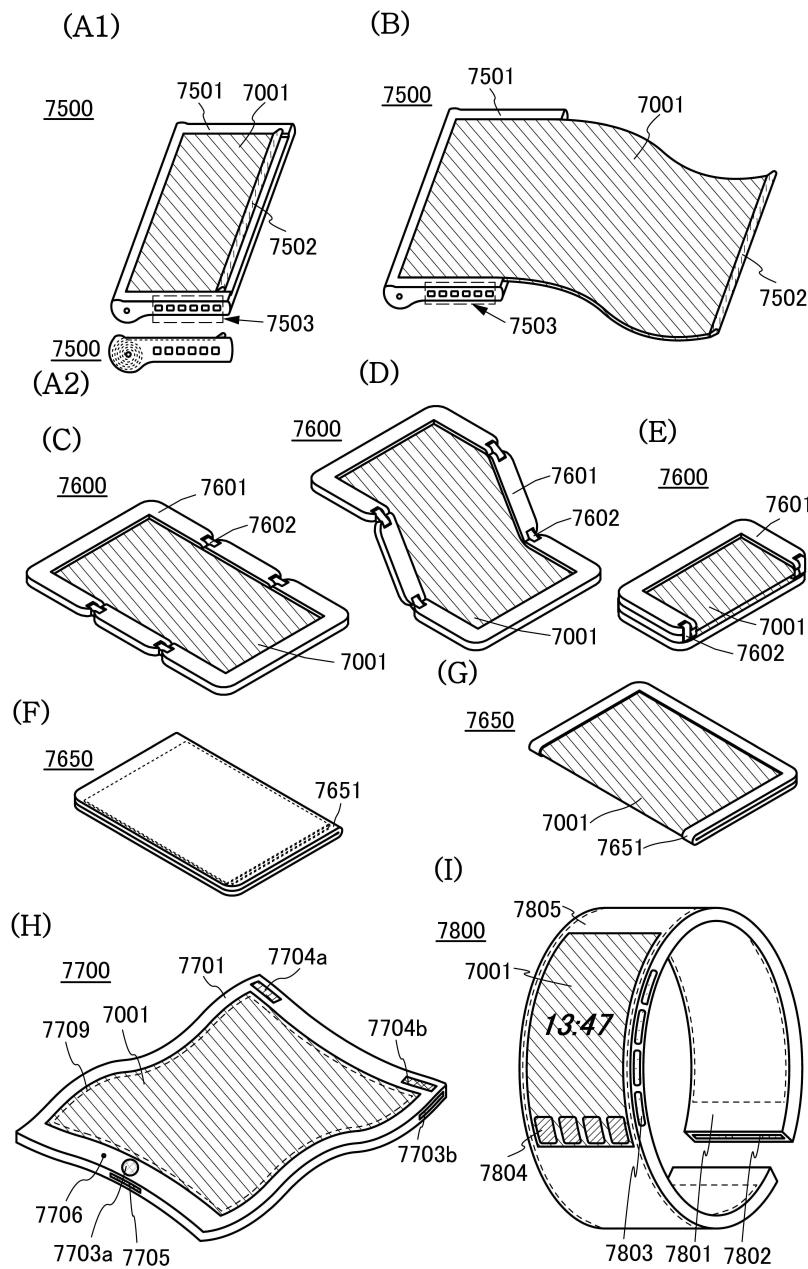
(B)



도면38



도면39



도면40

