

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4477688号
(P4477688)

(45) 発行日 平成22年6月9日(2010.6.9)

(24) 登録日 平成22年3月19日(2010.3.19)

(51) Int. Cl.	F I
G06F 12/08 (2006.01)	G06F 12/08 511Z
	G06F 12/08 523B
	G06F 12/08 531Z
	G06F 12/08 519C

請求項の数 21 (全 13 頁)

(21) 出願番号	特願2008-514886 (P2008-514886)	(73) 特許権者	595020643
(86) (22) 出願日	平成18年6月2日(2006.6.2)		クアルコム・インコーポレイテッド
(65) 公表番号	特表2008-542923 (P2008-542923A)		QUALCOMM INCORPORATED
(43) 公表日	平成20年11月27日(2008.11.27)		ED
(86) 国際出願番号	PCT/US2006/021401		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02006/130809		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成18年12月7日(2006.12.7)		ハウス・ドライブ 5775
審査請求日	平成20年1月31日(2008.1.31)	(74) 代理人	100058479
(31) 優先権主張番号	11/144, 207		弁理士 鈴江 武彦
(32) 優先日	平成17年6月2日(2005.6.2)	(74) 代理人	100091351
(33) 優先権主張国	米国 (US)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊

最終頁に続く

(54) 【発明の名称】 キャッシュメモリアクセスを管理する方法と装置

(57) 【特許請求の範囲】

【請求項 1】

バンクされたキャッシュにおいて、少なくとも1つのバンクについてマルチプロセッサシステムでのキャッシュスヌープトラヒックと関連された共有データキャッシュアクセスおよびアクセスするプロセッサ専用のデータに向けた非共有データキャッシュアクセスの間の干渉を減少させる方法であって、

第1のタイプのデータを保持するための前記バンクされたキャッシュの1つ以上の第1のバンクを指定することであって、前記第1のタイプのデータは共有データおよび非共有データのうちの1つである、1つ以上の第1のバンクを指定することと、

前記第1のタイプのデータのためのキャッシュアクセスを前記1つ以上の第1のバンクに指示することを含む方法。

【請求項 2】

さらに、第2のタイプのデータを保持するための前記バンクされたキャッシュの1つ以上の第2のバンクを指定することであって、前記第2のタイプのデータは共有および非共有データのうちの他の1つである、1つ以上の第2のバンクを指定することと、前記第2のタイプのデータのためのキャッシュアクセスを前記1つ以上の第2のバンクへ指示することを含む請求項1の方法。

【請求項 3】

第1のタイプのデータを保持するための前記バンクされたキャッシュの1つ以上の第1のバンクを指定することは、共有データを保持するために前記バンクされたキャッシュの

10

20

第1のキャッシュバンクを指定することを含み、第2のタイプのデータを保持するために前記バンクされたキャッシュの1つ以上の第2のバンクを指定することが、非共有データを保持するために前記バンクされたキャッシュの第2のキャッシュバンクを指定することを含む請求項2の方法。

【請求項4】

第1のタイプのデータのためのキャッシュアクセスを前記1つ以上の第1のバンクに指示することは、共有データのためのキャッシュアクセスを前記第1のキャッシュバンクへ指示することであり、第2のタイプのデータのためのキャッシュアクセスを前記1つ以上の第2のバンクに指示することは、非共有データのためのキャッシュアクセスを前記第2のキャッシュバンクへ指示することである請求項3の方法。

10

【請求項5】

第1のタイプのデータを保持するための前記バンクされたキャッシュの1つ以上の第1のバンクを指定することは、前記第1のタイプのデータを保持するための前記バンクされたキャッシュの少なくとも1つのバンクを排他的に指定することを含む請求項1の方法。

【請求項6】

第1のタイプのデータを保持するための前記バンクされたキャッシュの1つ以上の第1のバンクを指定することは、前記第1のタイプのデータおよび第2のタイプのデータの混合を保持するための前記バンクされたキャッシュの少なくとも1つのバンクを指定することを含み、前記第2のタイプのデータは共有および非共有データのうちの他の1つである請求項1の方法。

20

【請求項7】

前記第1のタイプのデータのためのキャッシュアクセスを前記1つ以上の第1のバンクに指示することは、キャッシュアクセスが前記第1のタイプのデータ向けであるかどうかを示すアクセスタイプ指標信号にバンク選択機能が応答してバンクを選択することを含む請求項1の方法。

【請求項8】

前記バンク選択機能は、1つ以上のキャッシュアクセスアドレス信号およびアクセスタイプ指標信号に**応答して、前記バンクされたキャッシュの特定のバンクにおける特定の位置へのキャッシュアクセスを指示するように構成される**請求項7の方法。

【請求項9】

第1のタイプのデータを保持するための前記バンクされたキャッシュの1つ以上の第1のバンクを指定することは、個々のキャッシュアクセスが前記第1のタイプのデータを含んでいるかどうかを示すアクセスタイプ指標信号に**応答するように、前記バンクされたキャッシュにおける特定のバンクへキャッシュアクセスを指示するために使用されるバンク選択機能を構成することを含む**請求項1の方法。

30

【請求項10】

前記バンクされたキャッシュの前記1つ以上の第1のバンクの指定を変更することを必要とされたとき、前記バンク選択機能を再構成することをさらに含む請求項9の方法。

【請求項11】

指定の変更に**応答して前記バンクされたキャッシュの前記1つ以上の第1のバンクから現在キャッシュされたデータをフラッシュすることをさらに含む**請求項10の方法。

40

【請求項12】

マルチプロセッサシステムでの**キャッシュスヌープトラヒックと関連された共有データのためのキャッシュアクセスとアクセスするプロセッサ専用である非共有データのためのキャッシュアクセスとの間のバンクされたキャッシュにおけるキャッシュアクセス干渉を減少させる方法**であり、

前記バンクされたキャッシュの少なくとも1つのキャッシュバンクにおける共有および非共有データの混合を減少または除去することと、

共有または非共有データの一方に関連された**キャッシュアクセスを共有または非共有データのうちの他方が減少または除去されてしまった少なくとも1つのキャッシュバンクに**

50

指示することを含む方法。

【請求項 13】

前記バンクされたキャッシュの少なくとも1つのキャッシュバンクにおける共有および非共有データの混合を減少または除去することは、共有データを保持するための前記バンクされたキャッシュの1つ以上のバンクを指定し、共有データのためのキャッシュアクセスを前記指定された1つ以上のバンクに指示することを含む請求項12の方法。

【請求項 14】

前記バンクされたキャッシュの少なくとも1つのキャッシュバンクにおける共有および非共有データの混合を減少または除去することは、非共有データを保持するための前記バンクされたキャッシュの1つ以上のバンクを指定し、非共有データのためのキャッシュアクセスを前記指定された1つ以上のバンクに指示することを含む請求項12の方法。

10

【請求項 15】

第1のタイプのデータを保持するために指定されたバンクされたキャッシュの1つ以上の第1のキャッシュバンクに第1のタイプのデータのためのキャッシュアクセスを指示することにより、マルチプロセッサシステムでのキャッシュスヌープトラヒックと関連された共有データキャッシュアクセスおよびアクセスするプロセッサ専用のデータに向けた非共有データキャッシュアクセス間の干渉を減少させるように構成され、前記第1のタイプのデータが共有データおよび非共有データのうちの1つである、アクセス制御回路を含むバンクされたキャッシュ。

【請求項 16】

前記アクセス制御回路が、第2のタイプのデータのためのキャッシュアクセスを前記バンクされたキャッシュの1つ以上の第2のキャッシュバンクに指示するように構成され、前記第2のタイプのデータが共有および非共有データのうちの他の1つである請求項15のバンクされたキャッシュ。

20

【請求項 17】

前記アクセス制御回路は、与えられたキャッシュアクセスが、与えられたキャッシュアクセスと関連して前記バンクされたキャッシュに供給されるアクセスタイプ指標信号に基づいて、前記第1または第2のタイプのデータ向けであるかどうかを判断するように構成される、請求項16のバンクされたキャッシュ。

【請求項 18】

前記アクセス制御回路はキャッシュアクセスと関連したアクセスタイプ指標信号を受け取ることに基づいてバンク選択機能を実施するように構成され、与えられたキャッシュアクセスが前記第1のタイプのデータ向けであることを前記アクセスタイプ指標信号が示す場合に、前記アクセス制御回路が与えられたキャッシュアクセスを前記1つ以上の第1のキャッシュバンクに指示するように構成される、請求項15のバンクされたキャッシュ。

30

【請求項 19】

前記1つ以上の第1のキャッシュバンクの少なくとも1つが前記第1のタイプのデータを保持するために排他的に指定される、請求項15のバンクされたキャッシュ。

【請求項 20】

前記1つ以上の第1のキャッシュバンクの少なくとも1つが前記第1のタイプのデータを保持のために非排他的に指定される、請求項15のバンクされたキャッシュ。

40

【請求項 21】

前記アクセス制御回路は前記1つ以上の第1のキャッシュバンクの指定を変更することを可能にするように構成可能である、請求項15のバンクされたキャッシュ。

【発明の詳細な説明】

【発明の分野】

【0001】

本発明は、一般にマイクロプロセッサに係り、特にマイクロプロセッサキャッシュの管理に関する。

【発明の背景】

50

【 0 0 0 2 】

より高い性能のマイクロプロセッサは、主メモリの基底量および緊密にプロセッサ速度にメモリの速度を一致させるために1以上の高レベルの小さくより速いキャッシュメモリを含む階層的メモリ構造をしばしば使用する。例えばレベル1(L1)キャッシュは一般にオンチップに存在し、マイクロプロセッサに利用可能な最も小さく、最も速いキャッシュを表わす。またレベル2(L2)キャッシュはオンチップあるいはオフチップに存在し、多少遅いが、典型的にマイクロプロセッサのためのL1キャッシュよりキャッシュメモリの大きな量を提供する。マイクロプロセッサと主メモリの間に追加のレベルの次第により遅い(かつより大きな)キャッシュメモリがあってもよい。

【 0 0 0 3 】

動作において、キャッシュメモリは、マイクロプロセッサと(比較的)遅い主メモリ間のバッファとして作動し、マイクロプロセッサによって恐らく最も必要な命令および/またはデータのコピーを保持するために使用される。必要とされる命令またはデータ項目のコピーがキャッシュに存在する場合、マイクロプロセッサは主メモリにアクセスする代わりにそのコピーを読み取り/書き込み、それにより潜在的に主メモリアクセスに関連したはるかに長いアクセス遅れを回避する。

【 0 0 0 4 】

キャッシュ動作はマルチプロセッサ環境においてより複雑になり、ここで2個以上のマイクロプロセッサがメモリ空間を共有する。そのような環境では、2個以上のマイクロプロセッサが主メモリから同じデータをキャッシュするかもしれない。すなわち、多数のマイクロプロセッサは各々、主メモリからの同じデータ項目のコピーをキャッシュするかもしれない。各マイクロプロセッサが与えられたデータ項目の最近の最新の値にアクセスすることを保証するために、マイクロプロセッサ中のキャッシュを同期させるある方法が使用されなくてはならない。キャッシュの同期は、個々のマイクロプロセッサが、その値が他のマイクロプロセッサの動作を通して古くなるデータ項目を使用するのを防ぐために、あるメカニズムを提供することによりキャッシュ「コヒーレンシ」を維持する。キャッシュの同期はハードウェア強化コヒーレンシ、あるいはキャッシュ管理命令を通してソフトウェアによって管理することができる。

【 0 0 0 5 】

1つのタイプのハードウェア強化キャッシュコヒーレンシは「放送」タイプアプローチである。キャッシュ同期への放送に基づいたアプローチは、一般にデータメモリ動作と関係するメッセージを送信する各マイクロプロセッサに依存する。順番に、個々のマイクロプロセッサ、あるいはそれらのキャッシュコントローラ、モニタは、他のマイクロプロセッサの行動がそれらの関連するキャッシュに保持されたデータ項目を無効にしたかどうか判断するそれらのメッセージを「スヌープする」。

【 0 0 0 6 】

これらのいわゆる「スヌーピー」バスの使用は、マルチプロセッサシステムでキャッシュコヒーレンシを維持する比較的簡単で有効な方法を表わす。しかしながら、与えられたキャッシュへのスヌーフトラヒックアクセスが、マイクロプロセッサによってローカルに生成されたキャッシュアクセスに使用される同じ「ポート」あるいはアクセスバス上で典型的に支援されるので、スヌーピーバスはキャッシュメモリの有効なアクセス帯域幅を減少させることができる。スヌーフトラヒックの量はマイクロプロセッサ総数が増加するとき著しく増加し、結局、スヌーフトラヒックの量は全体のシステム性能を著しく制限することができる。

【 0 0 0 7 】

スヌーフトラヒックの高い容量によって提起されたキャッシュアクセス干渉問題への様々な回避策は、マルチポートされたキャッシュメモリの使用を含み、スヌーフトラヒックおよびローカルに発生されたトラヒックは異なるポートでキャッシュにアクセスする。しかしながら、そのような構成はキャッシュのサイズ、電力消費および費用を著しく増加させる場合がある。

10

20

30

40

50

【発明の概要】

【0008】

バンクされたキャッシュ管理方法の少なくとも1つの実施例では、共有データキャッシュアクセス（例えば、スヌープトラヒックと関連されたキャッシュアクセス）および非共有データキャッシュアクセスとの間の干渉は、バンクされたキャッシュの少なくとも1つのキャッシュバンクにおける共有データおよび非共有データの混合を減少または除去することにより減少される。そのような混合の減少または除去は、共有データを保持し、指定された1つ以上のキャッシュバンクに共有データのためのキャッシュアクセスを指示するために、バンクされたキャッシュの1つ以上のバンクを指定することを含み得る。さらに、あるいは代わりに、そのような混合は、非共有データを保持し、指定された1つ以上の

10

【0009】

例えば、与えられたキャッシュアクセス（読むまたは書く）は、1つ以上のキャッシュアクセスアドレス信号によって少なくとも一部分駆動される「バンク選択機能」に従って、特定のキャッシュバンクの特定のキャッシュ位置へ導かれる。ここに使用されるように、用語「バンク選択機能」は、特定のキャッシュアクセスアドレスに関して特定のバンクを選択するために使用される様々な異なる方法およびアルゴリズムを包含する。例えば、用語はアドレスおよび/または他の信号ハッシュ関数をカバーするか、あるいは簡単なアドレスデコーディングを表わすことができる。

20

【0010】

しかしながら、バンク選択機能は、ここに教示されるようなキャッシュ管理の少なくとも1つの実施例に従って実施され、アクセスタイプ指標（例えば、共有アクセス指標）は、共有データおよび/または非共有データのためのキャッシュアクセスが、バンクされたキャッシュの1つ以上の指定されたバンクに指示（操縦）されるように、バンク選択機能を修正する。例えば、バンク選択機能は、共有アクセスバンクあるいは混合（共有及び非共有）アクセスバンクへの共有アクセスを指示され得る。そのような行動は、共有データを保持するための指定されたバンクにおける共有データに関してキャッシュアクセス活動を「集中させる」。同様に、アクセスタイプ指標は、非共有アクセスバンクあるいは混合アクセスバンクに非共有アクセスを指示し、非共有データを保持するための指定された

30

【0011】

バンクされたキャッシュにおける少なくとも1つのバンクのための共有データキャッシュアクセスおよび非共有データキャッシュアクセス間の干渉を減少させる広い方法は、第1のタイプのデータを保持するためのバンクされたキャッシュの1つ以上の第1のバンクを指定し、第1のタイプのデータは共有データおよび非共有データのうちの1つであり、第1のタイプのデータのためのキャッシュアクセスを1つ以上の第1のバンクに指示することを含む。方法はさらに、第2のタイプのデータを保持するためのバンクされたキャッシュの1つ以上の第2のバンクを指定し、前記第2のタイプのデータは他の1つの共有および非共有データであり、第2のタイプのデータのためのキャッシュアクセスを1つ以上の第2のバンクへ指示することを含んでもよい。任意のあるいはすべてのそのような指定は排他的あるいは非排他的（混合された）であってもよい。

40

【0012】

上記の方法を具体化するバンクされたキャッシュの1つの実施例、すなわち上記の方法の変形は、第1のタイプのデータを保持するために指定されたバンクされたキャッシュの1つ以上の第1のキャッシュバンクに第1のタイプのデータのためのキャッシュアクセスを指示することに基づいて、共有データキャッシュアクセスおよび非共有データキャッシュ

50

ュアクセス間の干渉を減少させるように構成され、第1のタイプのデータが共有データおよび非共有データのうちの1つであるアクセス制御回路を含む。アクセス制御回路は、さらにバンクされたキャッシュの1つ以上の第2のキャッシュバンクへの第2のタイプのデータのためのキャッシュアクセスを指示してもよく、第2のタイプのデータは共有または非共有のデータの他の1つである。

【0013】

そのような実施例では、アクセス制御回路は、アクセスタイプ指標に直接あるいは間接的に応答してもよく、指標はキャッシュアクセスと関連したバンクされたキャッシュに供給される共有アクセス信号であるかもしれない。論理状態または値、あるいは与えられたキャッシュアクセスが共有された(あるいは共有されない)データ向けかどうかを示す共有アクセス指標信号の他のある特徴、およびアクセス制御回路のバンク選択機能は、従って適切なキャッシュバンクにキャッシュアクセスを指示するために修正される。

10

【0014】

バンク選択機能は、さらにバンク構成信号によって修正されてもよい。すなわち、バンクされたキャッシュの構成は、共有データ、非共有データ、または混合されたデータのためにある1つ以上のバンクの指定が変更され得るように、必要によりまたは所望により変更されてもよい。そのような変更はコンピュータオペレーティングシステムレベルで制御され、および/またはバンクされたキャッシュに関連したプロセッサ上で作動する個々のプログラムによって制御されてもよい。

【好ましい実施形態の詳細な説明】

20

【0015】

図1は、複数のマイクロプロセッサ10、および主メモリ16にシステムバス14によって接続された関連するメモリキャッシュ12を含むマルチプロセッサ回路8を少なくとも部分的に示す。プロセッサ10は、1つの集積回路素子、システムオンチップ回路(マルチチップモジュール)のように一緒に実施されてもよいし、あるいは別々に実施されてもよい。同様に、キャッシュメモリ12は全体あるいは一部分プロセッサ10へ統合されてもよいし、あるいは別々に実施されてもよい。例えば、キャッシュ12-1は、プロセッサ10-1に含まれているレベル1(L1)キャッシュを含んでいてもよいし、内部にあるいは外部的に実施されるレベル2(L2)キャッシュを含んでいてもよい。プロセッサ10-1の示された実施例は、多くのメモリ管理の特徴を含んでいるキャッシュコントローラ18-1を含んでいる。同様の構成は、プロセッサ10-2および10-3、およびそれらの対応するキャッシュ12-2および12-3に使用されてもよい。

30

【0016】

もちろん、プロセッサ10およびキャッシュ12のために選ばれた一般的な物理的な実施は、一般にキャッシュアクセス制御方法およびここに議論した装置に密接な関係がなく、当業者は様々な回路実施の変化の機会を認識するだろう。例えば、示されたより大きいかより小さい数のプロセッサ10および対応するキャッシュ12が、必要によりまたは所望により使用されてもよい。

【0017】

これらの変化を念頭において、マルチプロセッサ回路8は対称的な多重処理(SMP)回路として作動し、そこではプロセッサ10は協働的に1つ以上のコンピュータプログラム、プログラムスレッドなどを実行する。プロセッサ10は各々、1つ以上の命令実行パイプラインをもつコアユニットを含み、さらに命令とデータの予測キャッシングのためのプリフェッチユニット、メモリマッピングと許可などを追跡する変換索引バッファを含む、縮小命令セットコンピュータ(RISC)プロセッサを含んでもよい。また注意されることとして、プロセッサ10の各1つはさらにキャッシュコントローラ18を含み、それは、キャッシュ12のそれぞれの1つへ、システムバス14へおよび主メモリ16へプロセッサをインタフェースするより大きなメモリ管理ユニットの一部を含んでいてもよい。もちろん、プロセッサ10の各々はさらに、デバッグ回路などのように、示されない機能要素を含んでもよい。

40

50

【 0 0 1 8 】

主メモリ16は、任意の1つ以上のプロセッサ10により作動されるデータを保持するために使用された「共有される」メモリの1つ以上の範囲、およびプロセッサ10の特定のものによる使用のための「共有されていない」メモリの範囲で構成されてもよい。その文脈において、プロセッサ10はそれぞれ、キャッシュ12の対応する1つに非共有および共有データの混合をキャッシュしてもよい。1つ以上の実施例では、キャッシュ12の少なくとも1つは2つ以上のキャッシュバンクを含むバンクされたキャッシュとして構成される。好ましくは異なるバンクは、1つのバンクへのアクセスが他のバンクへのアクセスに干渉しないように、独立したアクセス可能性を提供する。

【 0 0 1 9 】

キャッシュ12中のデータコヒーレンシを維持するために、多重処理回路8は「スヌープ」プロトコルと呼ばれるデータコヒーレンシプロトコルに基づいた1つ以上の「放送」の形式を使用する。スヌープを用いて、共有データのキャッシュされたコピー上でプロセッサ10のうちの1つによるオペレーションは、残りのプロセッサ10によって認識され、その結果、適切なキャッシュフラッシングおよび/または主メモリ更新は、プロセッサ10の各1つがその共有データの有効で現在のコピーにより作動することを保証するようになされるかもしれない。

【 0 0 2 0 】

限定ではない例の方法により、多重処理回路のスヌーピングプロトコルは、書き込み放送に基づいてもよく、プロセッサ10の各1つおよび/または送られたキャッシュ12はシステムバス14上ですべて書き、その結果、他のプロセッサ/キャッシュが必要なときそれらのそれぞれのキャッシュされたデータを更新することができる。代わりに、書き込み無効プロトコルが使用され、キャッシュ12のうちの1つで与えられたキャッシュラインに書くことが、任意の他のキャッシュ12に存在する同じキャッシュラインを無効にさせる。

【 0 0 2 1 】

(「キャッシュライン」は、一般に、主メモリ中の特定のアドレス範囲からキャッシュされる与えられたデータブロックを含む。)もちろん、他のスヌーピングプロトコルが、修正された-共有の-無効な(Modified -Shared-Invalid(M S I))、修正された-排他的な-共有の-無効な(Modified -Exclusive- Shared-Invalid(M E S I))、または修正された-所有者-排他的な-共有の-無効な(Modified -Owner-Exclusive- Shared-Invalid(M O E S I))のように、多重処理回路8のために実施されることができる。

【 0 0 2 2 】

システムバス14上で流れるトラヒックをスヌープする1つ以上の形式で、キャッシュ12へのアクセスはキャッシュ12を横切って維持する共有データコヒーレンシに関連したスヌープトラヒックの重要な量を含んでいてもよい。さらに、プロセッサ10のそれぞれは、その関連するキャッシュ12に保持された共有データおよび非共有データの両方へのローカルアクセスを作り、その上で実行するコードの必要条件を満たす。例えば、キャッシュ12-1へのアクセスは、データコヒーレンシを維持するためのスヌープ関連共有データアクセス、およびプログラム命令のその進行中の実行と関連して実行されたプロセッサ10-1によるローカルアクセスの混合を含む。通常、同じキャッシュポートに対するスヌープ関連および動作関連アクセス、あるいはバンクされたキャッシュにおける同じバンクへのアクセスは、全体のキャッシュアクセス帯域幅の点から互いと競合する。したがって、従来方式では、スヌープトラヒックは利用可能なキャッシュメモリ帯域幅に関して非スヌープキャッシュアクセスと競争することにより、有効な性能を減少させる。

【 0 0 2 3 】

図2は、プロセッサ10-1(また「P1」と呼ばれる)およびその関連するキャッシュ12-1の1つの実施例を示す。実例では、バンクされたキャッシュ12-1はアクセス制御回路20および4つのキャッシュバンク22-1乃至22-4を含む。キャッシュバンク22のより多いかより少ない数が必要または所望により実施されてもよい。さらに

10

20

30

40

50

、バンクされたキャッシュ 12 - 1 がオフチップ L2 キャッシュを含む場合、バンクされたキャッシュ 12 - 1 の一部としてのアクセス制御回路 20 の実施は有利かもしれない。しかしながら、1 つ以上の実施例では、アクセス制御回路 20 はプロセッサ 10 - 1 の一部として、オンボードで実施される。そのような実施例では、アクセス制御回路 20 はキャッシュコントローラ 18 - 1 の一部として実施されてもよい。

【0024】

どんな場合も、オペレーションでは、アクセス制御回路 20 は非共有データあるいは共有データに関連づけられているようなキャッシュアクセスを認識し、バンク 22 に関連した、非共有 / 共有指定によってそれらのアクセスを相応して指示する。1 つ以上の実施例では、そのような認識は、アクセス制御回路に共有アクセス指標信号および/またはバンク構成信号を供給するプロセッサ 10 - 1 に基づく。同じあるいは同様の構成は任意の 1 つ以上のプロセッサ 10 - 2 および 10 - 3 (つまり P2、P3)、およびそれらに対応するキャッシュ 12 - 2 および 12 - 3 のために適用されてもよい。

10

【0025】

それでも、バンク 22 のうちの 1 つへのアクセスが残りのバンク 22 へのアクセスと干渉をしないように、与えられた 1 つのバンクされたキャッシュ 12 内のバンク 22 の各々は、好ましくは独立してアクセス可能である。そのキャッシュ構成で、バンク 22 の 1 つ以上は、非共有データ、共有データの保持、あるいはそれらの混合のために指定され得る。

【0026】

バンク 22 の特定のものが排他的に非共有データの保持に対して指定されれば、共有データコヒーレンシを維持するのに関連したスヌープ関連アクセスは、バンク 22 のそれらの特定のものに対してローカルな非共有データアクセスと干渉することはないであろう。もちろん、バンク 22 の特定のものは、排他的に共有データの保持のために、あるいは共有および非共有データの混合の保持のために指定されてもよい。一般に、バンク 22 の異なるものは、共有されていない使用、共有された使用あるいは混合された使用のために指定されることができ、また、バンク 22 の少なくとも 1 つのためにローカルプロセッサアクセス帯域幅を保存する方法は、その少なくとも 1 つのバンクから共有データを排除することを含む。この方法で共有および非共有データアクセスを指示することは、バンク 22 の特定のものに関連した異なる指定に依存する。

20

30

【0027】

より広く、アクセス制御回路 20 の実施例は、バンクされたキャッシュにおける少なくとも 1 つのバンクについて、共有データキャッシュアクセスおよび非共有データキャッシュアクセス間の干渉を減少させる方法を実施するように構成することができる。例えば、アクセス制御回路 20 は、共有データおよび非共有データのうちの 1 つである第 1 のタイプのデータを保持し、1 つ以上の第 1 のバンクに第 1 のタイプのデータについてキャッシュアクセスを指示するためのバンクされたキャッシュ 12 の 1 つ以上の第 1 のバンク 22 を指定することにより、そのような干渉を減少してもよい。アクセスは、キャッシュアクセスと関連したアクセス制御回路 12 に供給されるアクセスタイプ指標に基づいた第 1 のタイプのデータをターゲットとすることと認識されてもよい。

40

【0028】

アクセス制御回路 20 は、共有および非共有データの他の 1 つである第 2 のタイプのデータを保持し、1 つ以上の第 2 のバンク 22 へ第 2 のタイプのデータについてキャッシュアクセスを指示するためのバンクされたキャッシュ 12 の 1 つ以上の第 2 のバンク 22 を指定するようにさらに構成されてもよい。そのような実施例では、第 1 のタイプのデータを保持するためのバンクされたキャッシュ 12 の 1 つ以上の第 1 のバンク 22 を指定することが、共有データを保持するための第 1 のキャッシュバンク 22 を指定することを含んでもよい。同様に、第 2 のタイプのデータを保持するための 1 つ以上の第 2 のキャッシュバンク 22 を指定することは、非共有データを保持するための第 2 のキャッシュバンク 22 を指定することを含んでもよい。

50

【 0 0 2 9 】

そのような配置で、第1のタイプのデータのためのキャッシュアクセスは、キャッシュバンク22のその第1のものへ導かれ、また、非共有データのためのキャッシュアクセスはキャッシュバンク22のその第2のものへ導かれる。また注意すべきは、そのような指定の1つあるいは両方は、すべての共有および/または非共有のアクセスがバンクされたキャッシュ12において1つ以上の指定されたバンク22に排他的に導かれるような、排他的であることができる。しかしながら、共有および非共有のアクセスの両方が、少なくともキャッシュアドレスの与えられた範囲について同じバンクへ導かれるように、指示はまた非排他的であることができる。キャッシュバンク22の与えられたものが混合されたバンクとして指定される場合さえ、共有または非共有のデータのために使用されるそのバンクの量あるいはパーセントは制御されることができ、例えば、非一次的タイプのデータに対するそのバンクのアクセス干渉が最小であるように、それは共有または非共有のデータのために一次的に使用され得る。

10

【 0 0 3 0 】

アクセスタイプ指標は、ソフトウェア制御の下で設定された信号あるいは他のタイプの値であり得る。例えば、アクセスタイプ指標は、与えられたメモリアドレスに基づいたページテーブルルックアップを行なった後に、ハードウェア（例えばプロセッサ10）が指標にアクセスするような、ソフトウェアによって書かれたマイクロプロセッサ10内のページテーブルにビットを含んでもよい。他の実施例では、アクセスタイプ指標は、プロセッサ10内のあるソフトウェアで書かれた構成レジスタに対するアドレスデコード/比較の結果を含んでもよい。例えば、ソフトウェアは、共有領域の開始および終了を示す2つのレジスタを構成することができ、プロセッサ10は、与えられたアクセスが共有されるかどうか判断するために、これらのレジスタに対するアクセスアドレスの全部または一部を比較することにより、アクセスタイプ指標信号を適切な状態へ設定することができる。

20

【 0 0 3 1 】

また他の実施例では、プロセッサ10内のソフトウェアでプログラムされたレジスタは、あるアクセスのタイプが共有されるかどうか示すために使用され、したがって、そのレジスタの状態または値がアクセスタイプ指標信号として役立つ。共有/非共有の決定は、どんなタイプのアクセスがメモリのどの領域にアクセス可能であるかのソフトウェアの知識に基づくことができる。そのような配置は、キャッシュ管理オペレーション、変換索引バッファ(TLB)管理オペレーションおよび、データストリーミングなどのような、他の専用機能に関連したアクセスに役立つかもしれない。

30

【 0 0 3 2 】

とにかく、上記の共有または非共有アクセス指示する方法を念頭において、図3は共有および非共有アクセスを指示することの支援において実施することができる処理論理を示し、共有または非共有であるような任意の1つ以上のキャッシュ12のバンク22の特定のものを指定することから始まる(ステップ100)。このステップは、バンクされたキャッシュ12が予め定義された共有および非共有バンク指定で構成される暗黙のステップであるか、バンク指定が構成可能な実施例の明示的なステップであるかもしれない。

【 0 0 3 3 】

希望の指定がなされると仮定して、処理はキャッシュアクセスを作り(ステップ102)、共有または非共有としてアクセスタイプを決定する(ステップ104)ことにより継続する。アクセスが共有データに対してである場合(ステップ106のYES)、それは、共有データを保持するように指定されたバンク22のうちの1つへ導かれる。反対に、アクセスが非共有データに対してである場合(ステップ106のNO)、それは、非共有データを保持するための指定されたバンク22のうちの1つへ導かれる。

40

【 0 0 3 4 】

図4は、キャッシュアクセスのために生成された1つ以上のアドレスビットの「ハッシング」に基づいて、非共有または共有バンク22にキャッシュアクセスを導くように構成されたバンク選択回路24を含む、アクセス制御回路20の一実施例を示す。例えば、2

50

つのバンク 2 2 をもち、1 つ以上のアドレス線が、共有あるいは非共有のアクセスにそれぞれ対応して、「BANK 0」選択信号あるいは「BANK 1」選択信号を生成するように使用することができる。図 5 は 2 つのそのような選択的にアクセスされたバンク 2 2 を示す。

【0035】

同様に図 6 と 7 は、それぞれアクセス制御回路 2 0 の他の実施例および共有および非共有バンク指定の対応する例を示す。特に、図 6 に示されたアクセス制御回路 2 0 の実施例は、1 つ以上のアドレス線および共有アクセス指標信号、および選択的にバンク構成信号のハッシングの関数として非共有および共有データキャッシュアクセスを指示する。共有アクセス指標信号は 1 つ以上のビットを含み、与えられたキャッシュアクセスが主メモリの共有または非共有領域にマップするキャッシュライン向けであることを示すために、正または負論理によって表明することができる。そのような共有の指示は、プロセッサの使用のために記憶されたメモリページ情報の関数として容易に生成することができる。共有の指示信号のように、バンク構成信号は 1 つ以上のビットであり、プロセッサで生成されることができる。

【0036】

例として役立つプロセッサ 1 0 - 1 で、キャッシュコントローラ 1 8 - 1 は、アクセス制御回路 2 0 のオペレーションを支援するため、共有の指標信号および/またはバンク構成信号を生成するように構成することができる。望まれた場合、キャッシュコントローラ 1 8 - 1 は、例えば主メモリ 1 6 の再マッピングにตอบสนองし、または異なるオペティングシステムあるいはプログラムモードにตอบสนองして、バンク構成信号をダイナミックに更新するように構成することができる。そのようなインスタンスでは、キャッシュコントローラ 1 8 - 1 は、共有/非共有のバンク指定を再構成する部分として、キャッシュ 1 2 - 1 をフラッシュ、そうでなければ無効、あるいはクリアするように構成することができる。当業者は、同様の構成が任意の 1 つ以上のプロセッサ 1 0 - 2 および 1 0 - 3、キャッシュコントローラ 1 8 - 2 および 1 8 - 3、およびバンクされたキャッシュ 1 2 - 2 および 1 2 - 3 に存在してもよいことを認識するだろう。

【0037】

もちろん、当業者は、この議論が様々な例証となる実施例に関係があり、本発明を限定しないことを認識するべきであり、また、添付した図もそうである。さらに正確に言えば、本発明は次の請求項およびそれらの法的な均等物によってのみ制限される。

【図面の簡単な説明】

【0038】

【図 1】バンクされたキャッシュを含んでいるマルチプロセッサ回路を示すブロック図である。

【図 2】与えられた 1 つのプロセッサ、および図 1 のマルチプロセッサ回路のバンクされたキャッシュを示すブロック図である。

【図 3】非共有/共有データアクセスタイプの機能としてバンクされたキャッシュアクセスを制御する 1 つの実施例を示す論理フロー図である。

【図 4】バンクされたキャッシュアクセスを制御するためのアクセス制御回路の 1 つの実施例を示すブロック図である。

【図 5】非共有および共有バンクの配置をもつバンクされたキャッシュを示すブロック図である。

【図 6】バンクされたキャッシュアクセスを制御するためのアクセス制御回路の他の実施例を示すブロック図である。

【図 7】非共有および共有バンクの他の配置をもつバンクされたキャッシュを示すブロック図である。

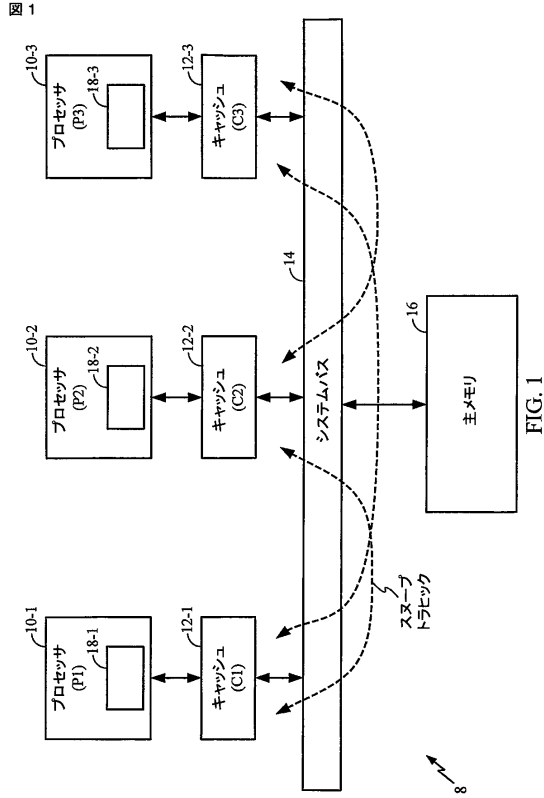
10

20

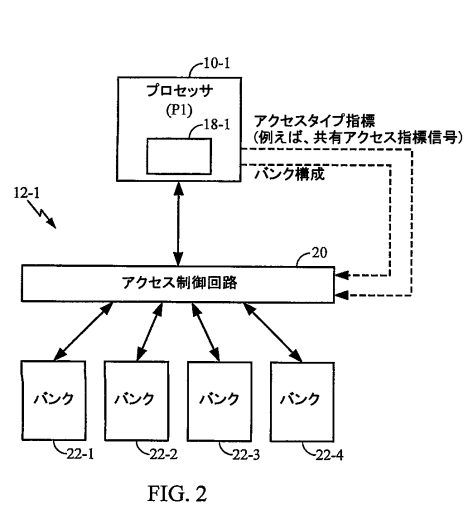
30

40

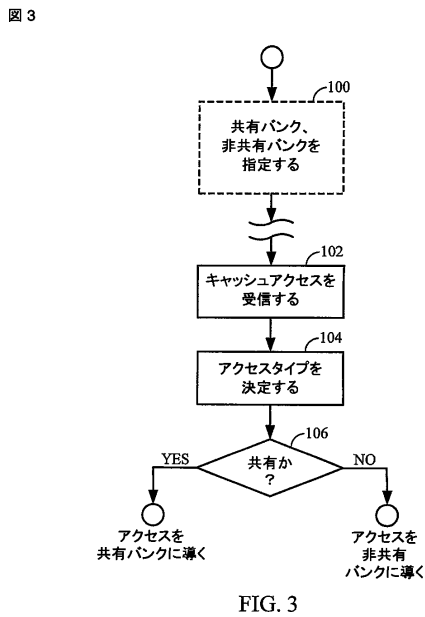
【 図 1 】



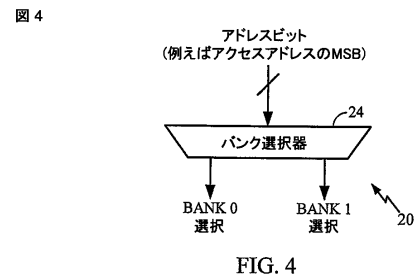
【 図 2 】



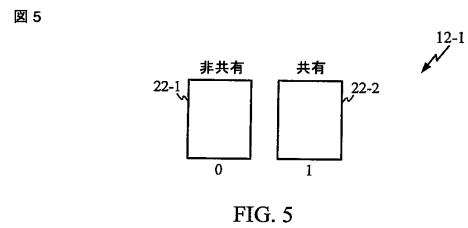
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

図 6

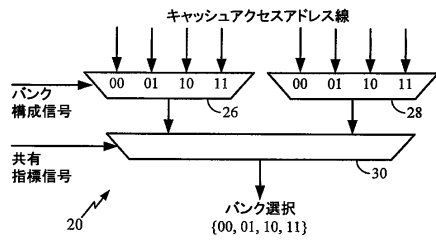


FIG. 6

【 図 7 】

図 7

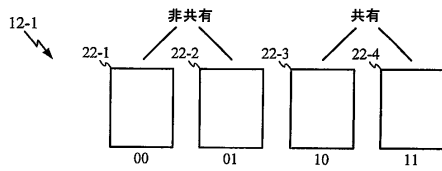


FIG. 7

フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100109830
弁理士 福原 淑弘
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100092196
弁理士 橋本 良郎
- (74)代理人 100100952
弁理士 風間 鉄也
- (72)発明者 スピーアー、トマス・フィリップ
アメリカ合衆国、ノースカロライナ州 27540、ホーリー・スプリングス、アーバー・ウィンズ 112
- (72)発明者 ディーフェンダーファー、ジェームズ・ノリス
アメリカ合衆国、ノースカロライナ州 27539、アペックス、インクベリー・コート 4000

審査官 清木 泰

- (56)参考文献 特開昭63-168750(JP,A)
特開2000-082049(JP,A)
特開平08-147218(JP,A)
特開平05-274222(JP,A)
特開平03-127146(JP,A)
特開平02-130664(JP,A)
特開昭63-247852(JP,A)
米国特許出願公開第2002/0073280(US,A1)

- (58)調査した分野(Int.Cl., DB名)
G06F12/08-12/12