

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3762844号
(P3762844)

(45) 発行日 平成18年4月5日(2006.4.5)

(24) 登録日 平成18年1月20日(2006.1.20)

(51) Int. Cl. F I
H O I L 25/18 (2006.01) H O I L 25/04

請求項の数 8 (全 10 頁)

(21) 出願番号	特願平11-22264	(73) 特許権者	596028859
(22) 出願日	平成11年1月29日(1999.1.29)		ユナイテッド マイクロエレクトロニクス
(65) 公開番号	特開2000-223651(P2000-223651A)		コープ
(43) 公開日	平成12年8月11日(2000.8.11)		United Microelectro
審査請求日	平成13年5月9日(2001.5.9)		ronics Corp.
審査番号	不服2004-1478(P2004-1478/J1)		台湾シンチュ市 サイエンスベースドイ
審査請求日	平成16年1月21日(2004.1.21)		ンダストリアルパーク リーシン ロード
			2 3番
		(74) 代理人	100086368
			弁理士 萩原 誠
		(72) 発明者	宣 明 智
			中華民國台湾省新竹科學園區竹村二路12
			-4 號
			最終頁に続く

(54) 【発明の名称】 対向マルチチップ用パッケージ

(57) 【特許請求の範囲】

【請求項 1】

対向マルチチップ用パッケージであって、

ダイ・パッドと複数のリードとを少なくとも備え、前記リードが内部リードと外部リードとから成るリード・フレームと、

それぞれが複数のパッドを有する面を持つ N (N 2 の整数) 個のチップと N + 1 個のチップとが上側又は下側にそれぞれ隣接して配置され、前記面が互いに上下に向き合った状態で、それぞれが対向する側の隣接チップにまたがるように電氣的に接続されて積層され、前記ダイ・パッド上に配置されている複数のチップと、

前記チップを電氣的に接続するために、前記パッド上に形成された複数の突起と、

前記ダイ・パッド、前記チップ、および前記内部リードを密封する絶縁材と、を備え、ワイヤなどを使用することなく前記内部リードが直接に前記突起に接続されていることを特徴とするパッケージ。

【請求項 2】

請求項 1 に記載のパッケージにおいて、前記絶縁材がエポキシを含むことを特徴とするパッケージ。

【請求項 3】

請求項 1 に記載のパッケージにおいて、前記パッドがエリアアレーとして前記チップ上に配置されていることを特徴とするパッケージ。

【請求項 4】

10

20

請求項 1 に記載のパッケージにおいて、熱放散装置が、前記ダイ・パッドに配置され、前記絶縁材の外部に露出していることを特徴とするパッケージ。

【請求項 5】

対向マルチチップ用パッケージであって、

それぞれが複数のパッドと該パッド上に形成された突起とを備えた面を持つ N ($N \geq 2$ の整数) 個のチップと $N + 1$ 個のチップとが上側又は下側にそれぞれ隣接して配置され、前記面が互いに上下に向き合った状態で、それぞれが対向する側の隣接チップにまたがるように電氣的に接続されて積層配置されている複数のチップと、

内部リードと外部リードとを有するフィルム・キャリアと、

前記内部リードが直接に前記突起に電氣的に接続されており、

積層されている上側チップと下側チップとの間に充填された充填材と、

前記内部リードおよび前記チップを密封するとともに、前記上側チップと前記下側チップの少なくとも一方のチップの裏面を露出させて密封する絶縁材と、を備えることを特徴とするパッケージ。

10

【請求項 6】

請求項 5 に記載のパッケージにおいて、前記チップの間がエポキシ樹脂により充填されることを特徴とするパッケージ。

【請求項 7】

請求項 5 に記載のパッケージにおいて、前記絶縁材がエポキシを含むことを特徴とするパッケージ。

20

【請求項 8】

請求項 5 に記載のパッケージにおいて、前記パッドがエリアアレーとして前記チップ上に配置されていることを特徴とするパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体パッケージ構成体に関し、特に対向マルチチップ用パッケージに関する。

【0002】

【従来の技術】

半導体製造技術がますます進歩するに連れて、半導体装置の要件を満たすために関連技術をさらに進歩させる必要がある。半導体装置の製造プロセスは、通常、三つの段階を含む。第一の段階においては、半導体基板を形成するために、エピタキシ技術が使用される。金属酸化膜半導体 (MOS) のような半導体装置および多層相互接続部は、第二段階において前記基板上に形成される。第三の段階は、パッケージ・プロセスである。薄く、軽量で、小型に、すなわち、半導体装置の集積度をより高めて、装置または電子製品を作るのが現在の傾向の主流である。パッケージについては、集積度を高めるために、チップ・スケール・パッケージ、マルチチップ・モジュール (MCM) のような多くの技術が開発されてきた。ライン幅 0.18 ミクロンの製造技術の開発は、非常な関心を集め、パッケージ容積をさらに小さくするために、非常に熱心な研究が行われてきた。非常に重要なパッケージ技術の一つは、一つ以上のチップを単一のパッケージ内に配置する技術である。マルチチップ・パッケージの場合には、製造コストおよびパッケージ容積を低減するために、プロセッサ、ダイナミック RAM (DRAM) およびフラッシュ・メモリを含むメモリ、および論理回路のチップを一緒に、単一のパッケージ内に収容することができる。さらに、効率を向上させるために、信号送信経路が短縮される。マルチチップ IC パッケージ技術は、また、可変機能および動作周波数を持った、例えば、下記のマルチチップ・システムにも適用することができる。

30

40

【0003】

1. メモリ・チップ、マイクロプロセッサ、抵抗、コンデンサおよびインダクタを備えるシステム。

50

【 0 0 0 4 】

2 . メモリ・チップ (D R A M) 、 論理回路チップ、およびメモリ・チップ (フラッシュ・メモリ) を備えるシステム。

【 0 0 0 5 】

3 . アナログ・チップ、論理回路チップ、(D R A M 、 S R A M 、 フラッシュ・メモリを含む) メモリ・チップ、抵抗、コンデンサおよびインダクタを備えるシステム。

【 0 0 0 6 】

図 1 は、従来のマルチチップ・モジュールである。多層プリント基板 (P C B) は、通常、マルチチップ・モジュールのキャリアの基板として使用される。一つ以上のチップ 1 2 が、絶縁接着剤 1 4 により基板 1 0 上に接着される。チップ 1 2 上のボンディング・パッドは、導電性ワイヤ 1 6 により、基板 1 0 上のターミナルに電氣的に接続している。ワイヤ・ボンディングの他に、フリップ・チップまたは突起 (バンプ) を使用するコントロール・コラプス・チップ接続 (C 4) により、チップ 1 2 と基板 1 0 との間を接続することができる。チップ 1 2 を密封するために樹脂 1 8 を使用することができ、プリント基板上のターミナルに接続するために、半田のボール 2 0 を使用するボール・グリッド・アレー (B G A) により、全パッケージとプリント基板との間を電気接続することができる。

10

【 0 0 0 7 】

【 発明が解決しようとする課題 】

この従来のマルチチップ・モジュールの欠点としては、広い面積が占有されるという事実をあげることができる。何故なら、複数のチップが表面の同じ側上に設置されるからである。それ故、パッケージの容積は大きくなり、チップ間の信号経路は長くなる。さらに、チップとキャリアとの間を接続するために、フリップ・チップ技術を使用することにより、パッケージの容積を小さくすることもできて、チップ間の接続は、前記基板 1 0 上のプリント回路により行わなければならない。それ故、信号送信経路を効果的に短くし、容積または表面積を同時に小さくすることはできない。そのため、歩留まりは低くなり、コストが高くなる。

20

【 0 0 0 8 】

米国特許第 5 , 3 3 1 , 2 3 5 号は、パッケージの容積をさらに小さくするための対面マルチチップ・パッケージを開示している。図 2 の場合、このマルチチップ・パッケージは、テープ自動化ボンディング (T A B) により、向き合った状態に配置されている二つのチップ 3 0 および 3 2 を備える。内部リード・ボンディング (I L B) の場合には、二つのチップ 3 0 、 3 2 は、フィルム・キャリア 3 8 に電氣的に接続するための突起 3 4 、 3 6 を持つ。外部リード・ボンディング (O L B) の場合には、チップ 3 0 、 3 2 は、リード・フレーム 4 0 に接続している。半田ボール 4 2 は、二つのチップ 3 0 、 3 2 の間に形成される。その後、チップ 3 0 、 3 2 、 フィルム・キャリア 3 8 、 およびリード・フレーム 4 0 は、樹脂 4 4 により成形される。このマルチチップ・パッケージは、テープ自動化ボンディング技術を使用する。チップとプリント基板との間の電気接続は、リード・フレームまたは他のキャリアを設置することにより行われる。信号送信経路は長くなる。さらに、チップ間の接続を行うために、フィルム・キャリアが使用され、ライン・レイアウトまたは周辺レイアウトにより、チップ上に金属パッド・レイアウトが行われる。それ故、さらに高度の集積度により、入力 / 出力 (I / O) 数が非常に増大した半導体に対する集積要件を満たすことができない。

30

40

【 0 0 0 9 】

本発明は、厚さが薄く、表面積の小さな対向マルチチップ用パッケージを提供する。一つ以上のチップが、一つのキャリア上にパッケージされる。

【 0 0 1 0 】

本発明の他の目的は、対向マルチチップ用パッケージを提供することである。マルチチップ用チップ・スケール・パッケージの信号送信経路は、チップの性能を向上させるために短くなっている。

【 0 0 1 1 】

50

パッケージの集積度を増大するために、チップ上にエリアアレー(area array)としてのボンディング・パッドが割り当てられる。さらに、チップの後面は露出していて、そのため熱放散が改善される。

【0012】

【課題を解決するための手段】

上記目的および利点を達成するために、対向マルチチップ用パッケージが使用される。フリップ・チップ技術を使用する。一つ以上のチップが、向き合う形で配置され、複数の突起により電氣的に接続される。

【0013】

本発明の他の実施形態の場合には、電気接続を改善するために、チップ間に異方性導電性ペーストの充填が行われる。フリップ・チップ技術を使用するので、パッドをその上にエリアアレーの形で配置することができる。それ故、集積度が向上する。熱放散性能を改善するために、チップのもう一つの面上に、熱放散装置をさらに設置することができる。

【0014】

さらに、本発明の対向マルチチップ用パッケージは、キャリアとして、リード・フレーム、フィルム・キャリア、プリント基板を使用することができる。パッケージは、ボール・グリッド・アレー・パッケージ、チップ・オン・ボード(COB)、チップ・オン・ガラス(COG)およびマルチチップ・チップ・スケール・パッケージ(MCCSP)のような、多くの種々のタイプのパッケージ内で使用することができる。パッケージ品質が改善され、信頼性が向上する。

【0015】

前記の簡単な説明および以下の詳細な説明は、例示および説明のためのものであって、特許請求の範囲に記載するように本発明を制限するものではない。

【0016】

【発明の実施の形態】

パッケージ・プロセス中のいくつかの段階は、通常、下記のステップを含む。

【0017】

1) キャリアの選択: 例えば、リード・フレーム、フィルム・キャリアまたはプリント基板のような要件に従って、いくつかのタイプのチップを選択しなければならない。フィルム・キャリアは、通常、テープ自動化ボンディング(TAB)技術のために使用される。

【0018】

2) チップとキャリア間の電気接続: 現在、ワイヤ・ボンディング、フィルム自動化ボンディング、およびフリップ・チップまたはコントロール・コラプス・チップ接続(C4)が開発され、広く使用されている。

【0019】

3) パッケージおよび装置の密封: チップ上の装置およびチップとキャリア間の接続を保護するために、樹脂、セラミックまたは他のパッケージ材によりチップおよびキャリアを覆い、密封する。

【0020】

< 第1の実施形態 >

図3および図4は、マルチチップ用チップ・スケール・パッケージの断面図である。本発明の場合、キャリアとして、リード・フレームが使用される。通常、リード・フレームは、ダイ・パッド50およびいくつかのリード56を含む。リード56は、さらに、内部リード部52および他の外部リード部54に分類される。複数のチップ58、60、62、64および66が、すべてのチップ58~66の全容積とほぼ同じ容積の一つのパッケージ内に収容される。チップ58~66は、DRAM、読み出し専用メモリ(ROM)、論理回路またはアナログ回路、または他の装置を含むことができる。各チップ58~66は、それぞれ、いくつかのパッド68を含む面58a~66aを持つ。本発明は、フリップ・チップ技術を使用している。一つの突起70が各パッド68上に形成される。チップ58~66は、上下に向き合った状態、および上下のそれぞれで横方向に複数個有する状

10

20

30

40

50

態で配置され、突起70により上下のチップが相互に電氣的に接続される。フリップ・チップ技術を使用しているので、パッド68を、チップ58～66上に配置したエリアアレーを備える形に設計することができる。この設計は、高い集積度を持ち、多数のI/Oノードを持つ半導体で使用することができる。

【0021】

チップ58～66と、リード・フレーム間の電気接続については、従来のワイヤボンディングを使用することができる。例えば、金、アルミニウムの糸状体または他の金属の糸状体のような糸状導電性材72により、パッド68の一部が内部リード52に接続される。別の方法としては、フリップ・チップ技術を使用して、前記突起70が図4に示すように内部リード52に電氣的に接続される。例えば、エポキシ等の絶縁材のような充填材74がチップ58～66の間に充填される。突起70間の電気接続を改善するために、異方性導電性ペースト(ACP)を使用することもできる。パッケージ部および成形部用に、ダイ・パッド50、チップ58～66、および内部リード52を密封するために、エポキシのような絶縁材76が使用される。

10

【0022】

図5および図6は、熱放散装置を含む対向マルチチップ用パッケージである。パッケージの熱放散を考慮して、チップ58および60の後面58b、60bは、図5に示すように露出している。そのため、パッケージの厚さが薄くなり、熱放散用の経路が改善される。熱放散性能をさらに向上させるために、図6に示すように、ヒート・スプレッドまたはヒート・シンクのような熱放散装置78aを、チップ58～62の後面58b～62b上にさらに設置することができる。または、図6に示すように、例えば、ヒート・スプレッドまたはヒート・シンクのような熱放散装置78bをダイ・パッド50の後面上に配置し、絶縁材76の外部に露出させることもできる。

20

【0023】

リード56の形成、およびリード56と回路板の間の接合箇所を使用する表面実装技術(SMT)の後続のステップは、従来のものである。

【0024】

当業者であれば、通常のリード・フレームの代わりに、例えば、リード・オン・チップ(LOC)またはチップ・オン・リード(COL)構造体のような、ダイ・パッドを持たないリード・フレームを使用することができることを理解することができるだろう。

30

【0025】

<第2の実施形態>

図7は、マルチチップ用チップ・スケール・パッケージの断面図である。本発明の場合には、フィルム・キャリアを使用している。通常、フィルム・キャリアは、柔軟なフィルム80およびいくつかのリード86を含む。リード86は、さらに、内部リード部82および外部リード部84に分類される。それぞれ、表面58a、60a、62a、64aおよび66aを持つ各チップ58、60、62、64および66は、いくつかのパッド68を備える。本発明は、フリップ・チップ技術を使用している。一つの突起70が各パッド68上に形成される。チップ58～66は、上下に向き合った状態、および上下のそれぞれで横方向に複数個有する状態で配置され、突起70により上下のチップが相互に電氣的に接続される。フリップ・チップ技術を使用しているので、パッド68を、チップ58～66上に配置したエリアアレーを持つように、設計することができる。この設計は、高い集積度を持ち、多数のI/Oノードを持つ半導体で使用することができる。

40

【0026】

チップ58～66と、リード86との間の電気接続については、フリップ・チップ技術を使用することができる。突起70は、リード86に電氣的に接続される。例えば、エポキシ等の絶縁材のような充填材74が、チップ58～66の間に充填される。突起70間の電気接続を改善するために、異方性導電性ペースト(ACP)を使用することもできる。パッケージ部および成形部用に、チップ58～66、および内部リード82を密封するために、エポキシのような絶縁材76が使用される。

50

【0027】

図8および図9は、熱放散装置を含む対向マルチチップ用パッケージである。パッケージの熱放散を考慮して、チップ58ないし66のいくつかのまたはすべての後面58b、60b、62b、64bおよび66bは、図8に示すように露出している。そのため、パッケージの厚さが薄くなり、熱放散用の経路が改善される。熱放散性能をさらに向上させるために、図9に示すように、ヒート・スプレッドまたはヒート・シンクのような熱放散装置88aを、チップ58～62の後面58b～62b上にさらに設置することができる。または、例えば、ヒート・スプレッドまたはヒート・シンクのような熱放散装置88bをチップ64および66の後面64bおよび66b上に配置し、絶縁材76の外部に露出させることもできる。

10

【0028】

リード86の形成、およびリード86と回路板の間の接合箇所に使用する表面実装技術は、従来のものである。

【0029】

それ故、ここでの詳細な説明は省略する。

【0030】

<第3の実施形態>

図10は、他の対向マルチチップ用パッケージである。プリント基板(PCB)またはガラスがキャリアとして使用される。通常、PCBまたはガラスは、例えばFR-4、FR-5、またはガラス基板のような、基板90を備える。基板90は、いくつかのターミナル92を持つ。このターミナル92は、図11のように基板90下面の外部端子96に接続される。PCBが使用される場合には、パッケージを行うために、チップ・オン・ボード(COB)技術またはBGAを含む基板が使用される。基板90は、絶縁材またはプリント回路(銅のフォイル)の複数の層を積層することにより形成される。基板90上に配置されるチップ58、60、62、64および66は、それぞれ、面58a、60a、62a、64aおよび66aを持つ。各面58a～66a上には、いくつかのパッド68が形成される。チップ62、66のパッド68は導電性ワイヤ94によりターミナル92に接続される。チップ58～66間の接続には、フリップ・チップ技術が使用される。突起70が各パッド68上に形成される。チップ58～66は上下に向き合った状態、および上下のそれぞれで横方向に複数個有する状態で配置され、突起70により上下のチップが相互に電氣的に接続される。フリップ・チップ技術を使用しているため、パッド68を、チップ58～66上に、エリアアレーの形で配置することができる。この方法は、高い集積度を持ち、多数のI/Oノードを持つ半導体で使用することができる。チップ58～66間には充填材74が充填される。さらに、チップ58～66および内部リード94を含む基板90上は絶縁材76で密封される。

20

30

【0031】

図12および図13は、熱放散装置を含む対向マルチチップ用パッケージである。パッケージの熱放散を考慮して、図12に示すようにチップ58～60の後面58b、60b(上面)は、露出している。そのため、パッケージの厚さが薄くなり、熱放散用の経路が改善される。熱放散性能をさらに向上するために、図13に示すように、ヒート・スプレッドまたはヒート・シンクのような熱放散装置98をチップ58および66の後面58b、66b上にさらに設置することができる。熱放散装置98を絶縁材76の外部に露出させることもできる。

40

【0032】

【発明の効果】

要するに、本発明は、少なくとも下記の利点を含む。

【0033】

1) 対向チップ用パッケージを使用することにより、厚さが薄くなり、表面積が小さくなる。フリップ・チップ技術の使用により、パッドをエリアアレーとして設計することができ、その結果、集積度が大きく改善される。

50

【 0 0 3 4 】

2) チップ間の電気接続を行うために複数の突起が形成され、そのため、信号送信経路が短くなる。その結果、チップの性能が向上する。パッドのエリアアレー・レイアウトにより、パッケージの集積度がさらに向上し、多数のI/Oノードを持つ半導体に使用することができる。

【 0 0 3 5 】

3) 本発明は、また裸のチップ・パッケージを使用することができるので、熱放散性能が改善される。熱放散をさらに改善するために、熱放散装置をさらに設置することができる。

【 0 0 3 6 】

4) パッケージを、DRAM、ROM、SRAM、フラッシュ・メモリ、論理回路またはアナログ回路を含むチップに適用することができる。それ故、適用範囲が広くなり、通信装置またはコンピュータ・システム、または単一のシステム・チップのような、種々の機能または周波数を持つ装置にも使用することができる。

【 0 0 3 7 】

本明細書に開示した本発明の仕様および実行を読めば、当業者なら他の実行方法を思いつくことができるだろう。上記仕様および実施形態は、単に例示としてのものであって、本発明の真の範囲および精神は、特許請求の範囲に記載してある。

【 図面の簡単な説明 】

【 図 1 】 従来のマルチチップ用モジュール・パッケージである。

【 図 2 】 従来の対面マルチチップ用モジュール・パッケージの断面図である。

【 図 3 】 本発明の第1の実施形態の対向マルチチップ用パッケージの断面図である。

【 図 4 】 本発明の第1の実施形態の対向マルチチップ用パッケージの断面図である。

【 図 5 】 熱放散装置が追加された前記第1の実施形態の対向マルチチップ用パッケージの断面図である。

【 図 6 】 熱放散装置が追加された前記第1の実施形態の対向マルチチップ用パッケージの断面図である。

【 図 7 】 本発明の第2の実施形態の対向マルチチップ用パッケージの断面図である。

【 図 8 】 熱放散装置が追加された前記第2の実施形態の対向マルチチップ用パッケージの断面図である。

【 図 9 】 熱放散装置が追加された前記第2の実施形態の対向マルチチップ用パッケージの断面図である。

【 図 1 0 】 本発明の第3の実施形態の対向マルチチップ用パッケージの断面図である。

【 図 1 1 】 本発明の第3の実施形態の対向マルチチップ用パッケージの断面図である。

【 図 1 2 】 熱放散装置が追加された前記第3の実施形態の対向マルチチップ用パッケージの断面図である。

【 図 1 3 】 熱放散装置が追加された前記第3の実施形態の対向マルチチップ用パッケージの断面図である。

【 符号の説明 】

- 5 0 ダイ・パッド
- 5 6 リード
- 5 2 内部リード
- 5 4 外部リード
- 5 8、6 0、6 2、6 4、6 6 チップ
- 7 0 突起
- 6 8 パッド
- 7 2 糸状導電性材
- 7 4 充填材
- 7 6 絶縁材

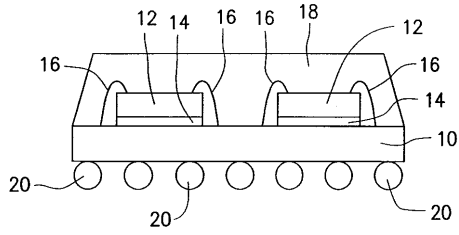
10

20

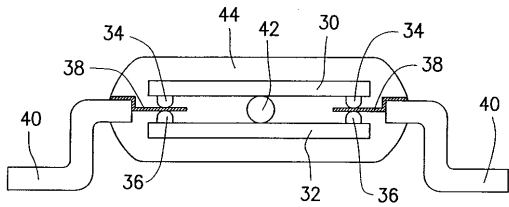
30

40

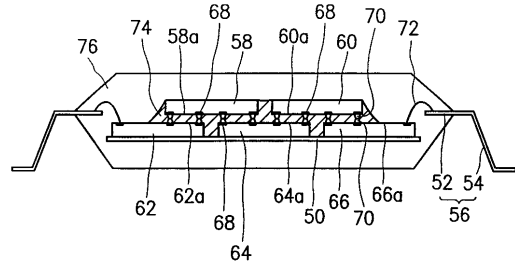
【 図 1 】



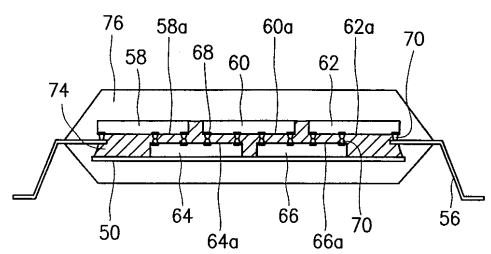
【 図 2 】



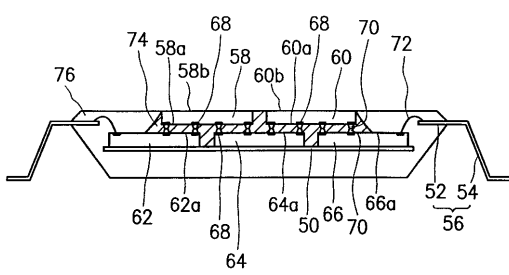
【 図 3 】



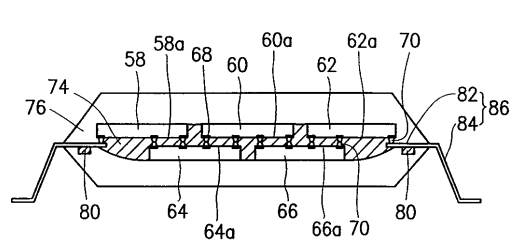
【 図 4 】



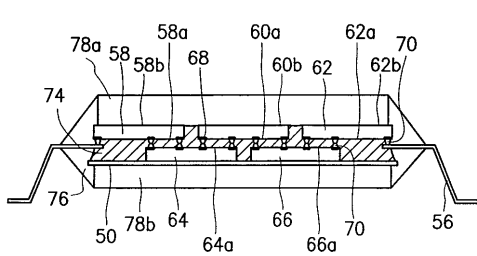
【 図 5 】



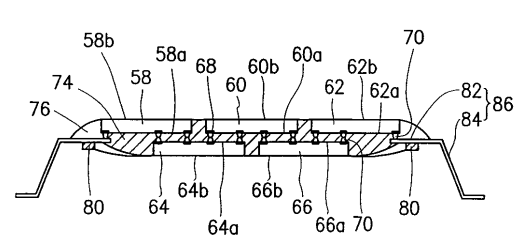
【 図 7 】



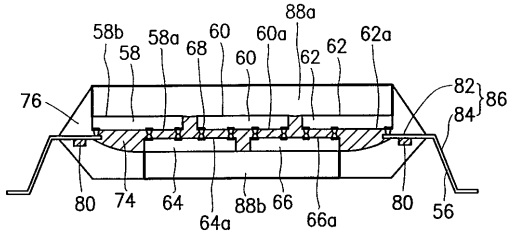
【 図 6 】



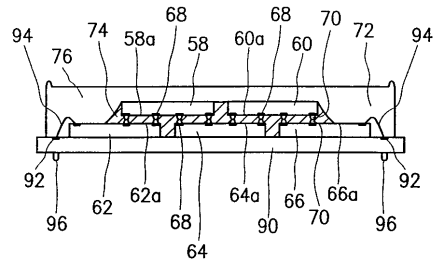
【 図 8 】



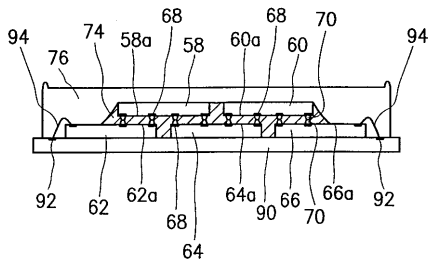
【 図 9 】



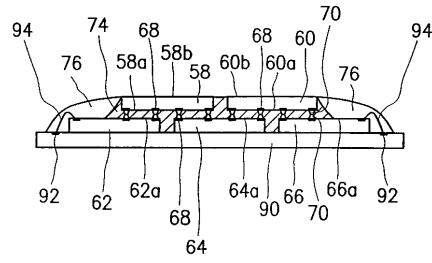
【 図 1 1 】



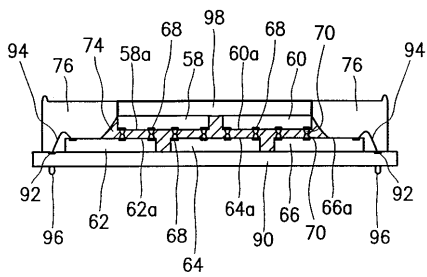
【 図 1 0 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(72)発明者 林 正 徳
 中華民國台灣省台北縣三重市中央北路42號

合議体

審判長 岡 和久

審判官 川真田 秀男

審判官 大嶋 洋一

(56)参考文献 特開平4 - 116858 (JP, A)
 特開平6 - 181286 (JP, A)
 特開平3 - 231450 (JP, A)

(58)調査した分野(Int.Cl., DB名)
 H01L 25/04