(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 9 月 9 日(09.09.2011)

PCT

(10) 国際公開番号
WO 2011/108280 A1

(51) 国際特許分類:
H01L 21/3065 (2006.01) *H01L 23/52* (2006.01)
H01L 21/3205 (2006.01)

(21) 国際出願番号: PCT/JP2011/001280

(22) 国際出願日: 2011 年 3 月 4 日(04.03.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-049833 2010 年 3 月 5 日(05.03.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目３番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 小野 勝之(ONO, Katsuyuki) [JP/JP]; 〒4078511 山梨県韮崎市藤井町北下条２３８１－１ 東京エレクトロンＡＴ株式会社内 Yamanashi (JP). 平山 祐介(HIRAYAMA, Yusuke) [JP/JP]; 〒4078511 山梨県韮崎市藤井町北下条２３８１－１ 東京エレクトロンＡＴ株式会社内 Yamanashi (JP). 羽藤 秀幸(HATOH, Hideyuki) [JP/JP]; 〒4078511 山梨県韮崎市藤井町北下条２３８１－１ 東京エレクトロンＡＴ株式会社内 Yamanashi (JP).

(74) 代理人: 特許業務法人サクラ国際特許事務所(SAKURA PATENT OFFICE, p.c.); 〒1010046 東京都千代田区神田多町二丁目１番地 神田東山ビル Tokyo (JP).

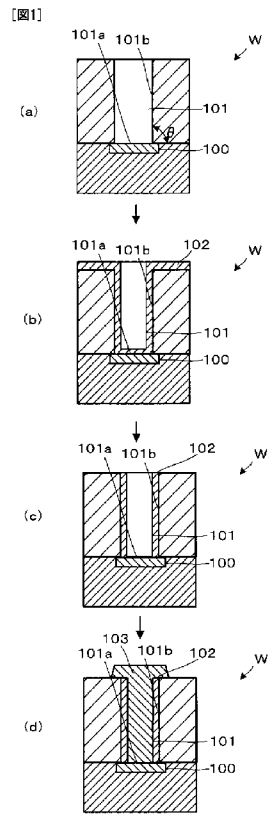
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) **Title**: METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置の製造方法

[図1]



(57) **Abstract**: Provided is a method for producing a semiconductor device wherein it is possible to miniaturize by vertically forming a hole, to reduce the number of steps compared to those in the prior art, and to improve productivity. Specifically, provided is a method for producing a semiconductor device which involves: a hole forming step in which a hole is formed on a substrate; a polyimide film forming step in which a polyimide film is formed within the aforementioned hole; a plasma etching step in which the aforementioned substrate is subjected to anisotropic etching without using a mask to cover the polyimide film on the side wall section of the hole, and in which at least a portion of the polyimide film on the bottom section of the hole is removed and penetrated while retaining the polyimide film on the side wall section of the hole; and a conductive metal filling step in which a conductive metal is filled into the hole.

(57) 要約: ホール形状を垂直として微細化を図ることができるとともに、従来に比べて工程数を削減することができ、生産性の向上を図ることのできる半導体装置の製造方法を提供する。 基板にホールを形成するホール形成工程と、前記ホール内にポリイミド膜を形成するポリイミド膜形成工程と、前記基板を、前記ホール内の側壁部の前記ポリイミド膜を覆うマスクを使用せずに異方性エッチングして、前記ホール内の側壁部の前記ポリイミド膜を残したまま、前記ホール内の底部の前記ポリイミド膜の少なくとも一部を除去して貫通させるプラズマエッチング工程と、前記ホール内に導体金属を充填する導体金属充填工程とを具備した半導体装置の製造方法。

WO 2011/108280 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関する。

背景技術

[0002] 半導体装置の製造分野では、微細化によって集積度を上げる試みが多く行われてきた。また、近年では三次元実装と呼ばれる半導体装置の積層によって単位面積あたりの集積度を上げる試みが盛んに行われている。

[0003] 縦に積層された半導体装置（チップ）は、基板を貫通して形成された電極を具備しており、この電極を介して電気的に接続されるようになっている。このような基板を貫通する電極を形成する際には、基板に開けたホール内に形成した絶縁膜を、ホール内の側壁部を残して底部のみを除去する必要がある。

[0004] 上記のように、ホール内に形成した絶縁膜を、ホール内の側壁部を残して底部のみを除去する方法としては、ホール形状をテーパ状とし、基板表面にテープを貼り付けて、このテープのホールに対応する部分にホールの開口径より小さな穴を開け、この穴を介してホールの底部の絶縁膜をエッチングする方法が知られている（例えば、特許文献１参照。）。

[0005] また、ホール内の側壁部の絶縁膜をフォトレジストで覆い、ホール内の底部の絶縁膜をエッチングにより除去する技術も知られている。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第２００４／０６４１５９号パンフレット

発明の概要

発明が解決しようとする課題

[0007] 上述した基板にテープを貼り、このテープのホールに対応する部分にホールの開口径より小さな穴を開けてエッチングする技術では、ホール形状をテ

一パ状とする必要があり、垂直なホール形状のものには適用することが難しい。このため、微細化に限界があり、また、テープの貼り付けやその穴開けのために精度の高い幾つかの工程が必要となり、生産性の向上が難しいという問題がある。

[0008] また、ホール内の側壁部の絶縁膜をフォトレジストで覆い、ホール内の底部の絶縁膜をエッチングにより除去する技術においても、フォトレジストの塗布、現像等の工程が必要となり、生産性の向上が難しいという問題がある。

[0009] 本発明は、上記従来の事情に対処してなされたもので、ホール形状を垂直として微細化を図ることができるとともに、従来に比べて工程数を削減することができ、生産性の向上を図ることのできる半導体装置の製造方法を提供しようとするものである。

課題を解決するための手段

[0010] 本発明の半導体装置の製造方法の一態様は、基板にホールを形成するホール形成工程と、前記ホール内にポリイミド膜を形成するポリイミド膜形成工程と、前記基板を、前記ホール内の側壁部の前記ポリイミド膜を覆うマスクを使用せずに異方性エッチングして、前記ホール内の側壁部の前記ポリイミド膜を残したまま、前記ホール内の底部の前記ポリイミド膜の少なくとも一部を除去して貫通させるプラズマエッチング工程と、前記ホール内に導体金属を充填する導体金属充填工程とを具備したことを特徴とする。

発明の効果

[0011] 本発明によれば、ホール形状を垂直として微細化を図ることができるとともに、従来に比べて工程数を削減することができ、生産性の向上を図ることのできる半導体装置の製造方法を提供することができる。

図面の簡単な説明

[0012] [図1]本発明の一実施形態の工程を説明するための図。

[図2]本発明の一実施形態に用いるプラズマエッチング装置の構成を示す図。

[図3]本発明の実施例の半導体ウエハの電子顕微鏡写真。

[図4]本発明の実施例の半導体ウエハの電子顕微鏡写真。

発明を実施するための形態

[0013] 以下、本発明の詳細を、図面を参照して実施形態について説明する。

[0014] 図１は、被処理基板としての半導体ウエハＷの要部断面構成を拡大して模式的に示し、本実施形態の工程を示すものである。また、図２は、本実施形態に係るプラズマエッチング装置の断面概略構成を模式的に示すものである。

[0015] まず、図２を参照してプラズマエッチング装置の構成について説明する。

[0016] プラズマエッチング装置は、気密に構成され、電気的に接地電位とされた処理チャンバー１を有している。この処理チャンバー１は、円筒状とされ、例えばアルミニウム等から構成されている。処理チャンバー１内には、被処理基板である半導体ウエハＷを水平に支持する載置台２が設けられている。載置台２は例えばアルミニウム等で構成されており、下部電極としての機能を有する。この載置台２は、絶縁板３を介して導体の支持台４に支持されている。また、載置台２の上方の外周には、フォーカスリング５が設けられている。さらに、載置台２及び支持台４の周囲を囲むように、例えば石英等からなる円筒状の内壁部材３ａが設けられている。

[0017] 載置台２には、第１の整合器１１ａを介して第１のＲＦ電源１０ａが接続され、また、第２の整合器１１ｂを介して第２のＲＦ電源１０ｂが接続されている。第１のＲＦ電源１０ａは、プラズマ発生用のものであり、この第１のＲＦ電源１０ａからは所定周波数（２７ＭＨｚ以上例えば１００ＭＨｚ）の高周波電力が載置台２に供給されるようになっている。また、第２のＲＦ電源１０ｂは、イオン引き込み用（バイアス用）のものであり、この第２のＲＦ電源１０ｂからは第１のＲＦ電源１０ａより低い所定周波数（１３．５６ＭＨｚ以下、例えば１３．５６ＭＨｚ）の高周波電力が載置台２に供給されるようになっている。一方、載置台２の上方には、載置台２と平行に対向するように、上部電極としての機能を有するシャワーヘッド１６が設けられており、シャワーヘッド１６と載置台２は、一対の電極（上部電極と下部電

極）として機能するようになっている。

[0018] 載置台２の上面には、半導体ウエハＷを静電吸着するための静電チャック６が設けられている。この静電チャック６は絶縁体６ｂの間に電極６ａを介在させて構成されており、電極６ａには直流電源１２が接続されている。そして電極６ａに直流電源１２から直流電圧が印加されることにより、クーロン力によって半導体ウエハＷが吸着されるよう構成されている。

[0019] 支持台４の内部には、冷媒流路４ａが形成されており、冷媒流路４ａには、冷媒入口配管４ｂ、冷媒出口配管４ｃが接続されている。そして、冷媒流路４ａの中に適宜の冷媒、例えば冷却水等を循環させることによって、支持台４及び載置台２を所定の温度に制御可能となっている。また、載置台２等を貫通するように、半導体ウエハＷの裏面側にヘリウムガス等の冷熱伝達用ガス（バックサイドガス）を供給するためのバックサイドガス供給配管３０が設けられており、このバックサイドガス供給配管３０は、図示しないバックサイドガス供給源に接続されている。これらの構成によって、載置台２の上面に静電チャック６によって吸着保持された半導体ウエハＷを、所定の温度に制御可能となっている。

[0020] 上記したシャワーヘッド１６は、処理チャンバー１の天壁部分に設けられている。シャワーヘッド１６は、本体部１６ａと電極板をなす上部天板１６ｂとを備えており、絶縁性部材４５を介して処理チャンバー１の上部に支持されている。本体部１６ａは、導電性材料、例えば表面が陽極酸化処理されたアルミニウムからなり、その下部に上部天板１６ｂを着脱自在に支持できるように構成されている。

[0021] 本体部１６ａの内部には、ガス拡散室１６ｃが設けられ、このガス拡散室１６ｃの下部に位置するように、本体部１６ａの底部には、多数のガス通流孔１６ｄが形成されている。また、上部天板１６ｂには、当該上部天板１６ｂを厚さ方向に貫通するようにガス導入孔１６ｅが、上記したガス通流孔１６ｄと重なるように設けられている。このような構成により、ガス拡散室１６ｃに供給された処理ガスは、ガス通流孔１６ｄ及びガス導入孔１６ｅを介

して処理チャンバー１内にシャワー状に分散されて供給されるようになっている。なお、本体部１６ａ等には、冷媒を循環させるための図示しない配管が設けられており、プラズマエッチング処理中にシャワーヘッド１６を所望温度に冷却できるようになっている。

[0022] 上記した本体部１６ａには、ガス拡散室１６ｃへ処理ガスを導入するためのガス導入口１６ｆが形成されている。このガス導入口１６ｆにはガス供給配管１５ａが接続されており、このガス供給配管１５ａの他端には、エッチング用の処理ガスを供給する処理ガス供給源１５が接続されている。ガス供給配管１５ａには、上流側から順にマスフローコントローラ（ＭＦＣ）１５ｂ、及び開閉弁Ｖ１が設けられている。そして、処理ガス供給源１５からプラズマエッチングのための処理ガスが、ガス供給配管１５ａを介してガス拡散室１６ｃに供給され、このガス拡散室１６ｃから、ガス通流孔１６ｄ及びガス導入孔１６ｅを介して処理チャンバー１内にシャワー状に分散されて供給される。

[0023] 上記した上部電極としてのシャワーヘッド１６には、ローパスフィルタ（ＬＰＦ）５１を介して可変直流電源５２が電気的に接続されている。この可変直流電源５２は、オン・オフスイッチ５３により給電のオン・オフが可能となっている。可変直流電源５２の電流・電圧ならびにオン・オフスイッチ５３のオン・オフは、後述する制御部６０によって制御されるようになっている。なお、後述のように、第１のＲＦ電源１０ａ、第２のＲＦ電源１０ｂから高周波が載置台２に印加されて処理空間にプラズマが発生する際には、必要に応じて制御部６０によりオン・オフスイッチ５３がオンとされ、上部電極としてのシャワーヘッド１６に所定の直流電圧が印加される。

[0024] 処理チャンバー１の側壁からシャワーヘッド１６の高さ位置よりも上方に延びるように円筒状の接地導体１ａが設けられている。この円筒状の接地導体１ａは、その上部に天壁を有している。

[0025] 処理チャンバー１の底部には、排気口７１が形成されており、この排気口７１には、排気管７２を介して排気装置７３が接続されている。排気装置７

３は、真空ポンプを有しており、この真空ポンプを作動させることにより処理チャンバー１内を所定の真空度まで減圧することができるようになっている。一方、処理チャンバー１の側壁には、ウエハWの搬入出口７４が設けられており、この搬入出口７４には、当該搬入出口７４を開閉するゲートバルブ７５が設けられている。

[0026] 図中７６，７７は、着脱自在とされたデポシールドである。デポシールド７６は、処理チャンバー１の内壁面に沿って設けられ、処理チャンバー１にエッチング副生物（デポ）が付着することを防止する役割を有し、このデポシールド７６の半導体ウエハWと略同じ高さ位置には、グランドにＤＣ的に接続された導電性部材（ＧＮＤブロック）７９が設けられており、これにより異常放電が防止される。

[0027] 上記構成のプラズマエッチング装置は、制御部６０によって、その動作が統括的に制御される。この制御部６０には、ＣＰＵを備えプラズマエッチング装置の各部を制御するプロセスコントローラ６１と、ユーザインターフェース６２と、記憶部６３とが設けられている。

[0028] ユーザインターフェース６２は、工程管理者がプラズマエッチング装置を管理するためにコマンドの入力操作を行うキーボードや、プラズマエッチング装置の稼働状況を可視化して表示するディスプレイ等から構成されている。

[0029] 記憶部６３には、プラズマエッチング装置で実行される各種処理をプロセスコントローラ６１の制御にて実現するための制御プログラム（ソフトウエア）や処理条件データ等が記憶されたレシピが格納されている。そして、必要に応じて、ユーザインターフェース６２からの指示等にて任意のレシピを記憶部６３から呼び出してプロセスコントローラ６１に実行させることで、プロセスコントローラ６１の制御下で、プラズマエッチング装置での所望の処理が行われる。また、制御プログラムや処理条件データ等のレシピは、コンピュータで読取り可能なコンピュータ記憶媒体（例えば、ハードディスク、ＣＤ、フレキシブルディスク、半導体メモリ等）などに格納された状態の

ものを利用したり、或いは、他の装置から、例えば専用回線を介して随時伝送させてオンラインで利用したりすることも可能である。

[0030] このように構成されたプラズマエッチング装置で、半導体ウエハWに形成された後述するホール内底部のポリイミド膜等をプラズマエッチングする手順について説明する。まず、ゲートバルブ７５が開かれ、半導体ウエハWが図示しない搬送ロボット等により、図示しないロードロック室を介して搬入出口７４から処理チャンバー１内に搬入され、載置台２上に載置される。この後、搬送ロボットを処理チャンバー１外に退避させ、ゲートバルブ７５を閉じる。そして、排気装置７３の真空ポンプにより排気口７１を介して処理チャンバー１内が排気される。

[0031] 処理チャンバー１内が所定の真空度になった後、処理チャンバー１内には処理ガス供給源１５から所定の処理ガス（エッチングガス）が導入され、処理チャンバー１内が所定の圧力に保持され、この状態で第１のＲＦ電源１０ａから載置台２に、周波数が例えば１００ＭＨｚの高周波電力が供給される。また、第２のＲＦ電源１０ｂからは、イオン引き込みのため、載置台２に周波数が例えば１３．５６ＭＨｚの高周波電力（バイアス用）が供給される。このとき、直流電源１２から静電チャック６の電極６ａに所定の直流電圧が印加され、半導体ウエハWはクーロン力により吸着される。

[0032] この場合に、上述のようにして下部電極である載置台２に高周波電力が印加されることにより、上部電極であるシャワーヘッド１６と下部電極である載置台２との間には電界が形成される。半導体ウエハWが存在する処理空間には放電が生じ、それによって形成された処理ガスのプラズマにより、半導体ウエハWに形成されたポリイミド膜がＲＩＥにより異方性エッチング処理される。

[0033] そして、上記したエッチング処理が終了すると、高周波電力の供給、直流電圧の供給及び処理ガスの供給が停止され、上記した手順とは逆の手順で、半導体ウエハWが処理チャンバー１内から搬出される。

[0034] 次に、図１を参照して半導体装置の製造方法の一実施形態について説明す

る。図１に示す半導体ウエハWは、シリコン製の半導体ウエハWに半導体回路を形成した後、裏面側からグラインディングによって薄化処理を行ったものである。この半導体ウエハWをトレイ等に仮貼り合わせを行った後、裏面側を上向きににし、所定のリソグラフィ工程を行って、図１（ａ）に示すように、半導体ウエハWを貫通して配線部（電極パッド）１００に通じるホール１０１を形成する。

[0035] このホール１０１は、側壁形状が略垂直とされており、図中に示すように、縦断面における底面から水平方向に延長した仮想線と側壁がなす角度θが、８８°～９０°の範囲となる形状とされている。このように、本実施形態では、側壁が略垂直の形状となっているので、小径のホールを高密度で配設することができ、半導体装置の微細化による高集積化を図ることができる。

[0036] 次に、図１（ｂ）に示すように、ホール１０１の底部１０１ａ及び側壁部１０１ｂを含めて、半導体ウエハWの表面に絶縁膜としてのポリイミド膜１０２を形成する。このポリイミド膜１０２は、例えば蒸着重合によって形成することができる。ポリイミド膜１０２を蒸着重合によって形成する場合、例えば、ＰＭＤＡ及びＯＤＡをモノマー原料として半導体ウエハW上で共蒸着重合反応を起こすことによって、半導体ウエハW上に均一なポリイミド膜１０２を形成することができる。なお、ポリイミド原料溶液を塗布してポリイミド膜を形成すると、ホール１０１内が充填されるようにポリイミド膜が形成されるため、好ましくない。

[0037] 次に、図１（ｃ）に示すように、ホール１０１の側壁部１０１ｂに形成されたポリイミド膜１０２を残し、ホール１０１の底部１０１ａに形成されたポリイミド膜１０２のみをプラズマエッチングして除去する。なお、半導体ウエハWの裏面（図１の上側面）に絶縁膜を残したい場合は、例えば、この部分のポリイミド膜１０２をホール１０１の底部１０１ａに形成されたポリイミド膜１０２より厚くするか、エッチング時にマスクすることによって残すことができる。

[0038] 上記のプラズマエッチングは、例えば、ＲＩＥ（Reactive Ion Etching）

を用いた異方性エッチングによって行うことができる。このプラズマエッチングは、図２に示したプラズマエッチング装置を用い、例えば次のような条件のプラズマエッチングによって行うことができる。

[0039] 圧力：３．３３Ｐａ（２５mTorr）

エッチングガス：O_2／Ａｒ／CF_4＝２０／２００／１００ｓｃｃｍ

高周波電力（１００ＭＨｚ／１３．５６ＭＨｚ）：４００Ｗ／６００Ｗ

[0040] 上記のプラズマエッチングガスでは、フッ素を含むガスとフッ素を含むガスと不活性ガスと酸素ガスの混合ガスからなり、フッ素を含むガスの流量が酸素ガスの流量より多いエッチングガスを使用することが好ましい。これによって、フッ素イオンによる異方性を高めたエッチングを行うことができる。また、フッ素を含むガスとしては、上記のCF_4ガスを好適に使用することができるが、他のフッ化炭素系ガスを用いてもよい。

[0041] 次に、図１（ｄ）に示すように、ホール１０１の内部に、メッキ等によって導電性の金属１０３を埋め込んで、配線部１００と電気的に導通したウエハWを貫通する電極を形成する。

[0042] 図３、４に、実施例の半導体ウエハWの要部を写した電子顕微鏡写真を示す。図３は、上記のように半導体ウエハW上に蒸着重合によってポリイミド膜を形成した状態を示している。この実施例における、各部のポリイミド膜の膜厚を測定したところ、図３中の上側面の膜厚が８４５ｎｍ、ホールの側壁部分の膜厚が８３９ｎｍ、ホールの底部の膜厚が８８９ｎｍの膜厚であった。

[0043] 図４は、図２に示したプラズマエッチング装置により、上記したエッチング条件でホールの底部のポリイミド膜をエッチングした状態を示しており、図４（ａ）はホールの全体、図４（ｂ）はホールの開口部付近、図４（ｃ）はホールの底部付近の状態を示している。これらの電子顕微鏡写真に示されるとおり、ホールの側壁部分のポリイミド膜を残した状態で、ホールの底部のポリイミド膜を除去することができた。

[0044] 以上のとおり、本実施形態及び実施例では、ホール１０１を、側壁形状が

略垂直とされた形状とすることができるとともに、フォトレジスト層からなるマスクを形成したり、テープを貼ってこのテープのホールに対応する位置に穴を開ける等の工程を必要とすることなく、ＲＩＥによるプラズマエッチングによって、ホール１０１の側壁部の１０１ｂに形成されたポリイミド膜１０２を残し、ホール１０１の底部１０１ａに形成されたポリイミド膜１０２のみをエッチングして除去することができる。これによって、三次元実装型の半導体装置を従来に比べて少ない工程で製造することができ、生産性の向上を図ることができる。

[0045] なお、本願発明は、上記の実施形態に限定されるものではなく、各種の変形が可能であることは、勿論である。例えば、プラズマエッチング装置は、下部電極に２種類の高周波電力を印加する下部２周波印加型のプラズマエッチング装置に限らず、例えば、上下部２周波印加型のプラズマエッチング装置や、下部１周波印加型のプラズマエッチング装置等も使用することができる。

符号の説明

[0046] １００……配線部、１０１……ホール、１０１ａ……底部、１０１ｂ……側壁部、１０２……ポリイミド膜、１０３……導電性の金属、Ｗ……半導体ウエハ

請求の範囲

[請求項1] 基板にホールを形成するホール形成工程と、

前記ホール内にポリイミド膜を形成するポリイミド膜形成工程と、

前記基板を、前記ホール内の側壁部の前記ポリイミド膜を覆うマスクを使用せずに異方性エッチングして、前記ホール内の側壁部の前記ポリイミド膜を残したまま、前記ホール内の底部の前記ポリイミド膜の少なくとも一部を除去して貫通させるプラズマエッチング工程と、

前記ホール内に導体金属を充填する導体金属充填工程と

を具備したことを特徴とする半導体装置の製造方法。

[請求項2] 請求項１記載の半導体装置の製造方法であって、

前記プラズマエッチング工程は、

前記基板を載置する載置台を兼ねた下部電極と、当該下部電極に対向するように配置された上部電極との間に高周波電力を印加するプラズマエッチング装置を用い、

フッ素を含むガスと不活性ガスと酸素ガスの混合ガスからなり前記フッ素を含むガスの流量が前記酸素ガスの流量より多いエッチングガスを使用し、

前記下部電極にイオン引き込み用のバイアスを印加した異方性エッチングにより行う

ことを特徴とする半導体装置の製造方法。

[請求項3] 請求項２記載の半導体装置の製造方法であって、

前記フッ素を含むガスはCF_4であり、不活性ガスはＡｒである

ことを特徴とする半導体装置の製造方法。

[請求項4] 請求項２又は３記載の半導体装置の製造方法であって、

前記下部電極に、第１高周波電力と、前記第１高周波電力より周波数の低いイオン引き込み用の第２高周波電力とを印加する

ことを特徴とする半導体装置の製造方法。

[請求項5] 請求項１～４いずれか１項記載の半導体装置の製造方法であって、

前記ポリイミド膜は、蒸着重合によって形成する

ことを特徴とする半導体装置の製造方法。

[請求項6] 請求項１～５いずれか１項記載の半導体装置の製造方法であって、

前記ホールの底部は、配線部である

ことを特徴とする半導体装置の製造方法。

[請求項7] 請求項１記載の半導体装置の製造方法であって、

前記ホールの側壁は垂直である

ことを特徴とする半導体装置の製造方法。

[請求項8] 基板にホールを形成するホール形成工程と、

前記ホール内にポリイミド膜を形成するポリイミド膜形成工程と、

前記基板を、前記ホール内の側壁部の前記ポリイミド膜を覆うマスクを使用せずに異方性エッチングして、前記ホール内の側壁部の前記ポリイミド膜を残したまま前記ホール内の底部の前記ポリイミド膜の少なくとも一部を除去して貫通させるプラズマエッチング工程と、

を具備したことを特徴とする半導体装置の製造方法。

[請求項9] 請求項８記載の半導体装置の製造方法であって、

前記プラズマエッチング工程は、

前記基板を載置する載置台を兼ねた下部電極と、当該下部電極に対向するように配置された上部電極との間に高周波電力を印加するプラズマエッチング装置を用い、

フッ素を含むガスと不活性ガスと酸素ガスの混合ガスからなり前記フッ素を含むガスの流量が前記酸素ガスの流量より多いエッチングガスを使用し、

前記下部電極にイオン引き込み用のバイアスを印加した異方性エッチングにより行う

ことを特徴とする半導体装置の製造方法。

[請求項10] 請求項９記載の半導体装置の製造方法であって、

前記フッ素を含むガスはCF_4であり、不活性ガスはＡｒである

ことを特徴とする半導体装置の製造方法。

[請求項11] 請求項９又は１０記載の半導体装置の製造方法であって、

前記下部電極に、第１高周波電力と、前記第１高周波電力より周波数の低いイオン引き込み用の第２高周波電力とを印加する

ことを特徴とする半導体装置の製造方法。

[請求項12] 請求項８～１１いずれか１項記載の半導体装置の製造方法であって、

前記ポリイミド膜は、蒸着重合によって形成する

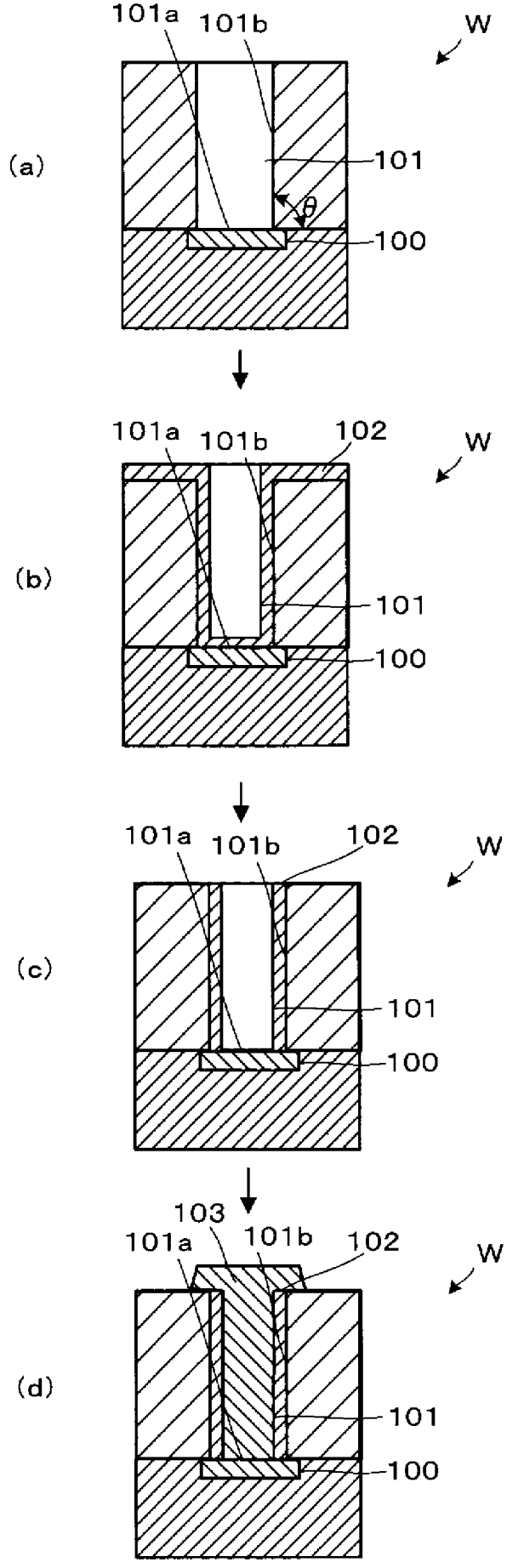
ことを特徴とする半導体装置の製造方法。

[請求項13] 請求項８記載の半導体装置の製造方法であって、

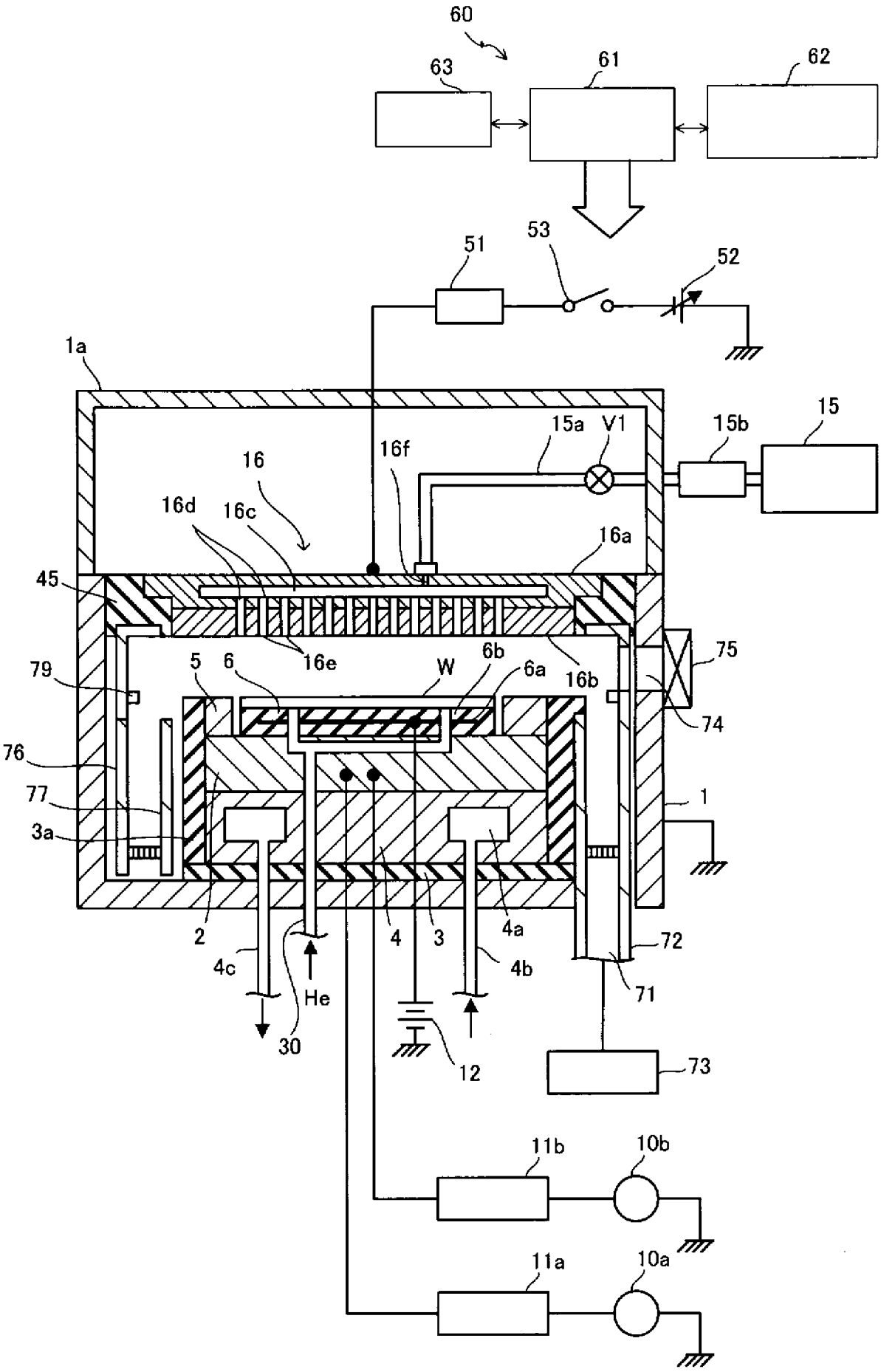
前記ホールの側壁は垂直である

ことを特徴とする半導体装置の製造方法。

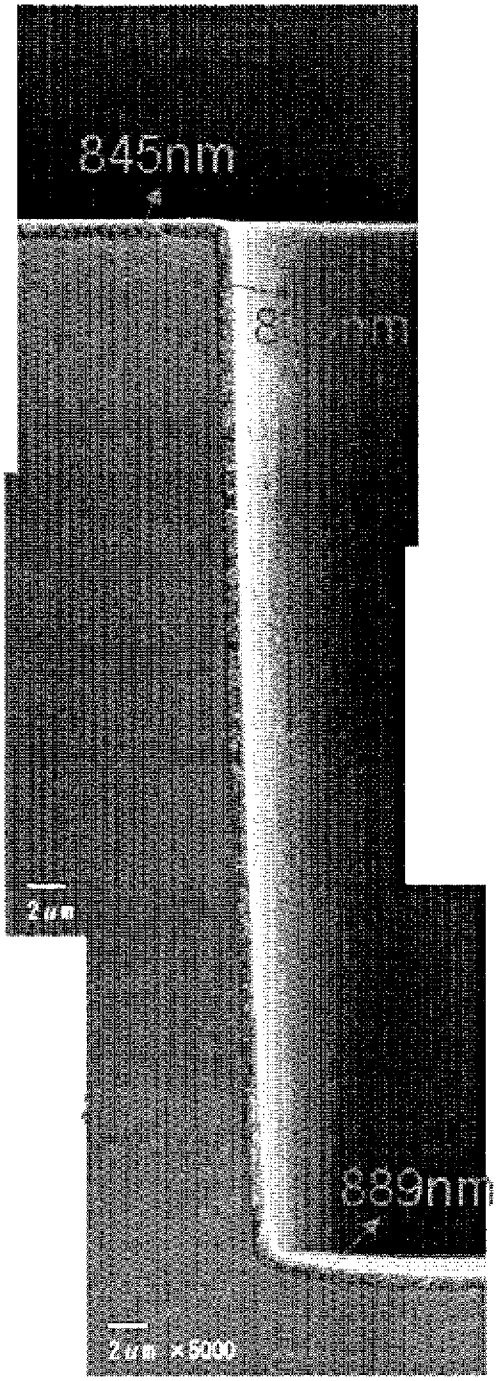
[図1]


(a)
101a
101b
W
101
θ
100
(b)
101a
101b
102
W
101
100
(c)
101a
101b
102
W
101
100
(d)
103
101a
101b
102
W
101
100

[図2]

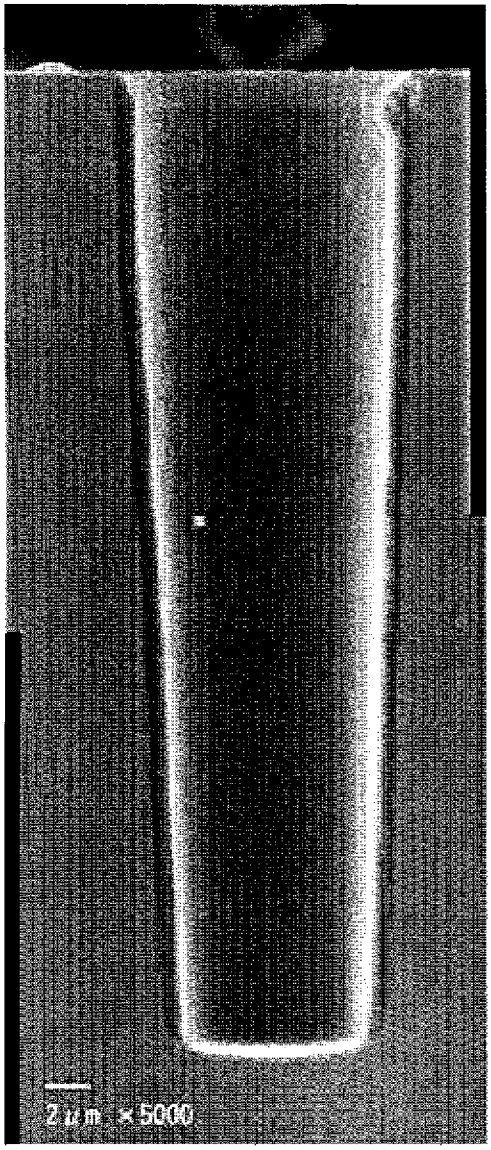

60
63
61
62
51
53
52
1a
15a
V1
15b
15
16
16f
16d
16c
16a
45
16e
6b
6a
16b
75
79
5
6
W
74
76
77
1
3a
2
4
3
4a
72
4c
He
4b
71
30
12
73
11b
10b
11a
10a

[図3]

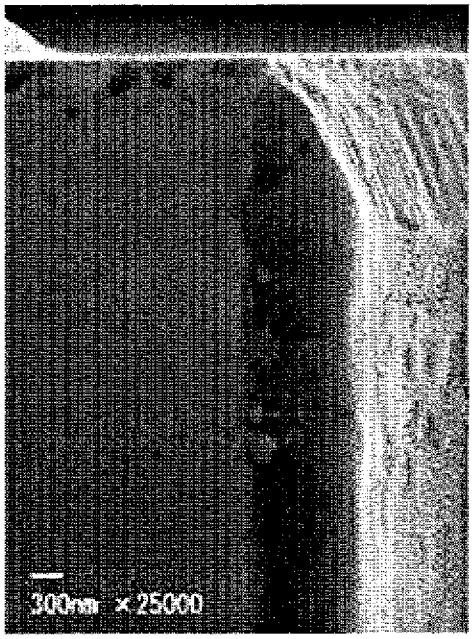


[図4]

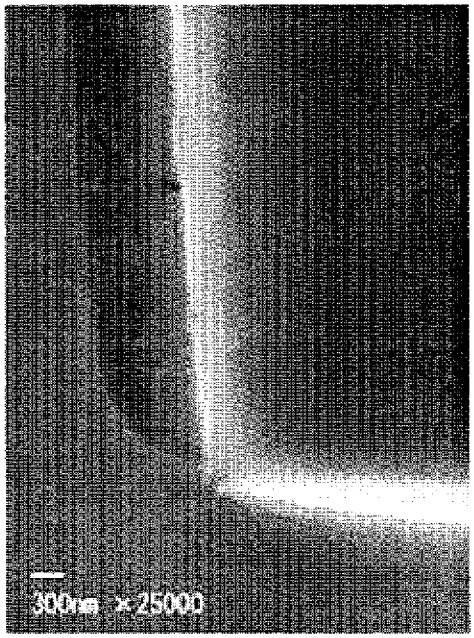
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/001280

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/3065(2006.01)i, *H01L21/3205*(2006.01)i, *H01L23/52*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/3065, H01L21/3205, H01L23/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
WPI H01L_021_302/IC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-533869 A (Applied Materials Inc.), 11 November 2003 (11.11.2003), paragraphs [0023] to [0048]; fig. 1 & US 6833079 B1 & EP 1259979 A & WO 2001/061750 A2	8 1,5-7,12,13 2-4,9-11
Y A	JP 11-31678 A (Sony Corp.), 02 February 1999 (02.02.1999), paragraph [0048]; fig. 5 (Family: none)	1,5-7,13 2-4,9-11
Y A	JP 2008-153275 A (Canon Inc.), 03 July 2008 (03.07.2008), paragraphs [0019], [0043]; fig. 2 (Family: none)	5,12 2-4,9-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 May, 2011 (12.05.11)	24 May, 2011 (24.05.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/001280

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-246183 A (Tokyo Electron Ltd.), 22 October 2009 (22.10.2009), paragraphs [0016] to [0033]; fig. 1 & DE 102009001972 A & CN 101552186 A	1-13
A	JP 10-289952 A (Sony Corp.), 27 October 1998 (27.10.1998), paragraphs [0027] to [0029] (Family: none)	1-13
A	JP 11-26438 A (Fujitsu Ltd.), 29 January 1999 (29.01.1999), paragraphs [0011] to [0030]; fig. 1 (Family: none)	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／００１２８０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3065(2006.01)i, H01L21/3205(2006.01)i, H01L23/52(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/3065, H01L21/3205, H01L23/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

WPI H01L_021_302/IC

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2003-533869 A (アプライド　マテリアルズ　インコーポレイテッド) 2003.11.11, 【0023】-【0048】, 図1 & US 6833079 B1 & EP 1259979 A & WO 2001/061750 A2	8 1,5-7,12,13 2-4,9-11
Y A	JP 11-31678 A (ソニー株式会社) 1999.02.02, 【0048】, 図5 (ファミリーなし)	1,5-7,13 2-4,9-11

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１２．０５．２０１１	２４．０５．２０１１

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｅ　４６６１
祢屋　健太郎
電話番号　０３－３５８１－１１０１　内線　３４２５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2008-153275 A (キヤノン株式会社) 2008.07.03, 【0019】【0043】, 図２（ファミリーなし）	5,12 2-4,9-11
A	JP 2009-246183 A (東京エレクトロン株式会社) 2009.10.22, 【0016】-【0033】, 図１ & DE 102009001972 A & CN 101552186 A	1-13
A	JP 10-289952 A (ソニー株式会社) 1998.10.27, 【0027】-【0029】（ファミリーなし）	1-13
A	JP 11-26438 A (富士通株式会社) 1999.01.29, 【0011】-【0030】, 図１（ファミリーなし）	1-13