(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月6日(06.01.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/004533 A1

(51) 国際特許分類:
H02M 3/155 (2006.01) *H02M 7/12* (2006.01)

(21) 国際出願番号： PCT/JP2021/023841

(22) 国際出願日： 2021年6月23日(23.06.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-111945 2020年6月29日(29.06.2020) JP

(71) 出願人: 国立大学法人東京大学 (**THE UNIVERSITY OF TOKYO**) [JP/JP]; 〒1138654 東京都文京区本郷七丁目３番１号 Tokyo (JP).

(72) 発明者: 矢嶋 赳彬 (**YAJIMA Takeaki**); 〒1138654 東京都文京区本郷七丁目３番１号 国立大学法人東京大学内 Tokyo (JP).

(74) 代理人: 森下 賢樹 (**MORISHITA Sakaki**); 〒1530061 東京都目黒区中目黒１－８－１ ＶＯＲＴ中目黒Ｉ ３階 Tokyo (JP).

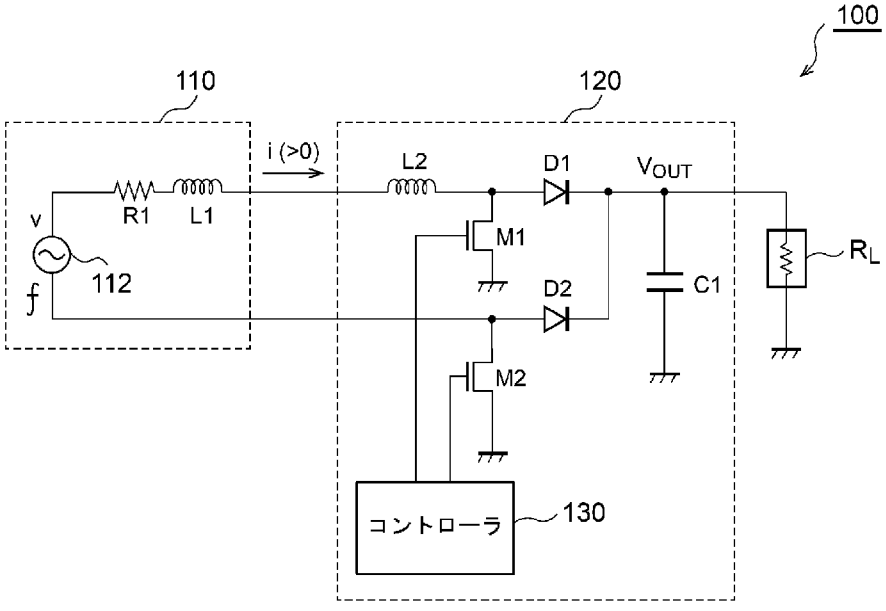
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

WO 2022/004533 A1

(54) **Title:** POWER SOURCE CIRCUIT FOR ELECTROMAGNETIC INDUCTION-TYPE POWER GENERATING ELEMENT

(54) 発明の名称： 電磁誘導型発電素子用の電源回路



130 Controller

(57) **Abstract:** A power source circuit 120 extracts power from an electromagnetic induction-type power generating element 110 including an internal coil L1 and an internal resistance R1. Switching transistors M1, M2, rectifier diodes D1, D2, and output capacitor C1, together with the internal coil L1, form a boosting converter. A controller 130 drives the switching transistors M1, M2 at a prescribed frequency that is greater than twice the frequency of the electromagnetic induction-type power generating element 110.

［続葉有］

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：電源回路１２０は、内部コイルＬ１および内部抵抗Ｒ１を含む電磁誘導型発電素子１１０から電力を取り出す。スイッチングトランジスタＭ１，Ｍ２、整流ダイオードＤ１，Ｄ２、出力キャパシタＣ１は、内部コイルＬ１とともに昇圧コンバータを形成する。コントローラ１３０は、スイッチングトランジスタＭ１，Ｍ２を、電磁誘導型発電素子１１０の周波数の２倍より高い所定の周波数で駆動する。

明　細　書

発明の名称 ： 電磁誘導型発電素子用の電源回路

技術分野

[0001] 本開示は、環境発電に関する。

背景技術

[0002] 光、熱、振動、風などの再生可能エネルギー（環境エネルギーともいう）を電力に変換する環境発電素子（エネルギーハーベスト素子とも称される）が注目されている。

[0003] 発電素子は、大きく、直流出力のものと、交流出力のものに分けられる。発電素子が電力を供給すべき負荷回路は直流の電源を必要とするため、交流出力の発電素子を用いる場合、その出力を交流から直流に変換する必要がある。

[0004] 一般に、交流を直流に変換するためには、整流回路が用いられる。発電素子の出力電圧がダイオードの順方向電圧Ｖｆよりも十分に大きい場合、ダイオード整流回路を用いることができるが、発電素子の出力電圧がそれほど大きくない場合、同期整流回路（同期検波回路）を用いる必要がある。同期整流回路は、複数のトランジスタを含み、発電素子の交流出力と同期して、複数のトランジスタをスイッチングすることにより、交流電圧を直流電圧に変換する。

[0005] コイルの起電力を利用する電磁誘導型の発電素子と同期整流回路を組み合わせると、発電素子の大きなリアクタンスが共振回路を形成するため、発電素子の電流が非ゼロのタイミングで同期整流回路の状態を遷移させると（ハードスイッチング）、回路が発振する。

[0006] 整流回路を用いずに、電磁誘導型の発電素子から直接電力を取り出す技術が提案されている（非特許文献１）。この技術は、ＳＭＦＥ（Synchronized Magnetic Flux Extraction）と称される。図１は、ＳＭＦＥ技術を用いたエネルギ再生回路２の等価回路図である。

[0007] エネルギ再生回路２は、発電素子１０と、エネルギ取り出し回路２０を備え、負荷Ｒに電力を供給する。発電素子１０は、交流電圧源１２、抵抗r_O、インダクタンスL_Oの直列回路としてモデリングされる。取り出し回路２０は、スイッチングトランジスタ２２、整流素子Ｄ１，Ｄ２，キャパシタＣ１，Ｃ２を含む。

[0008] インダクタンスL_Oおよびエネルギ取り出し回路は、昇圧コンバータ（Boost converter）を構成している。

[0009] ＳＭＦＥ技術では、発電素子１０の振動と同期して、スイッチングトランジスタ２２を制御する。図２は、図１のエネルギ再生回路２の動作波形図である。図２には、出力電圧V_{OUT}、コイル電流ｉ、振動発電素子の変位（起電力の積分値に相当）ｘの波形が示される。エネルギ取り出し回路２０は、スイッチングトランジスタ２２がオンの状態ϕ_{ON}と、オフの状態ϕ_{OFF}を交互に繰り返す。スイッチングトランジスタ２２がオンの状態ϕ_{ON}では、内部コイルL_Oの電流ｉが時間とともに増大していく。そして、電流ｉが最大となるタイミング、すなわち内部コイルL_Oの磁束エネルギが最大のタイミングで一瞬、状態ϕ_{OFF}に切り替わる。この短い状態ϕ_{OFF}において、内部コイルL_Oに蓄えられた磁束エネルギーが、整流素子Ｄ１を介してキャパシタＣ１に、またはＤ２を介してＣ２に供給され、出力電圧V_{OUT}が上昇する。変位ｘとコイル電流ｉの位相差θは、r_OとL_Oに応じて定まる。

先行技術文献

非特許文献

[0010] 非特許文献1：E. Arroyo, A. Badel, "Electromagnetic vibration energy harvesting device optimization by synchronous energy extraction", Sensors and Actuators A 171, 266 (2011).

発明の概要

発明が解決しようとする課題

[0011] 本発明者は、ＳＭＦＥ技術を、内部抵抗r_O（出力インピーダンス）が数百

Ω～数ｋΩである発電素子１０に適用することを検討し、以下の課題を認識するに至った。図３は、ＳＭＦＥ技術における電流波形を示す図である。$r_0 \ll \omega L_0$の領域では、インダクタンスの影響が支配的であり、電流ｉは、式（１）で表される。ｖは、電圧源１２の発生電圧である。

$$i = \int v / L_0 \, dt \quad \cdots (1)$$

交流電圧ｖの半周期ごとにピークをとることとなり、ＳＭＦＥ技術によって、発電素子１０から高効率でエネルギを取り出すことができる。

[0012] しかしながら、r_0がωL_0に対して無視できない領域では、内部抵抗r_0の影響が支配的となり、発電素子１０の電流ｉは式（２）で表される。

$$i = v / r_0 \quad \cdots (2)$$

電流ｉのピークは、電圧ｖのピークと一致しており、このときのピーク電流は、$r_0 \ll \omega L_0$の場合に比べて大幅に小さくなる。したがってＳＭＦＥ技術では、内部抵抗r_0が大きな発電素子１０からは、効率よく電力を取り出すことができない。

[0013] 本開示は係る状況においてなされたものであり、そのある態様の例示的な目的は、内部抵抗r_0が大きな電磁誘導型の発電素子から高効率で電力を取り出すことが可能な電源回路の提供にある。

課題を解決するための手段

[0014] 本開示のある態様は、内部コイルおよび内部抵抗を含む電磁誘導型発電素子から電力を取り出す電源回路に関する。電源回路は、内部コイルとともに昇圧コンバータを形成するスイッチングトランジスタ、整流素子およびキャパシタと、電磁誘導型発電素子の交流出力の半波の間に、スイッチングトランジスタを複数回、スイッチングさせるコントローラと、を備える。

[0015] なお、以上の構成要素の任意の組合せ、本発明の表現を装置、方法、システムなどの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0016] 本開示によれば、内部抵抗r_0が大きな電磁誘導型の発電素子から高効率で電力を取り出すことができる。

図面の簡単な説明

[0017] [図1]ＳＭＦＥ技術を用いたエネルギ再生回路の等価回路図である。

[図2]図１のエネルギ再生回路の動作波形図である。

[図3]ＳＭＦＥ技術における電流波形を示す図である。

[図4]実施形態に係る環境発電回路の回路図である。

[図5]図４の環境発電回路の動作波形図である。

[図6]実施例１に係る環境発電回路の回路図である。

[図7]図６の環境発電回路の動作波形図である。

[図8]実施例２に係る環境発電回路の回路図である。

[図9]図８の環境発電回路の動作波形図である。

[図10]図８の環境発電回路のコイル電流I_Lおよび出力電圧V_{OUT}の波形図である。

[図11]図１１（ａ）、（ｂ）は、図８の環境発電回路の起動時の出力電圧V_{OUT}の波形図である。

[図12]実施例３に係る環境発電回路の回路図である。

[図13]実施例４に係る環境発電回路の回路図である。

[図14]実施例５に係る環境発電回路の回路図である。

[図15]変形例１に係る環境発電回路の回路図である。

[図16]図１６（ａ）～（ｃ）は、変形例２～変形例４に係る環境発電回路の回路図である。

発明を実施するための形態

[0018] 本開示のいくつかの例示的な実施形態の概要を説明する。この概要は、後述する詳細な説明の前置きとして、実施形態の基本的な理解を目的として、１つまたは複数の実施形態のいくつかの概念を簡略化して説明するものであり、発明あるいは開示の広さを限定するものではない。この概要は、考えられるすべての実施形態の包括的な概要ではなく、すべての実施形態の重要な要素を特定することも、一部またはすべての態様の範囲を線引きすることも意図していない。便宜上、「一実施形態」は、本明細書に開示するひとつの

実施形態（実施例や変形例）または複数の実施形態（実施例や変形例）を指すものとして用いる場合がある。

[0019] 一実施形態に係る電源回路は、内部コイルおよび内部抵抗を含む電磁誘導型発電素子から電力を取り出す。電源回路は、内部コイルとともに昇圧コンバータを形成するスイッチングトランジスタ、整流素子およびキャパシタと、電磁誘導型発電素子の交流出力の半波の間に、スイッチングトランジスタを複数回、スイッチングさせるコントローラと、を備える。

[0020] この構成によれば、電磁誘導型発電素子の周波数の２倍より高い周波数でスイッチングトランジスタを駆動することで、内部抵抗が大きな発電素子から高効率で電力を取り出すことができる。

[0021] 一実施形態において、内部コイルのインダクタンスをＬ、内部抵抗をＲとするとき、スイッチングトランジスタのオン期間の長さは、時定数τ＝Ｌ／Ｒの０．３～３倍であってもよい。この場合に、インピーダンスマッチングがとれ、最大電力を取り出すことができる。

[0022] 一実施形態において、電源回路は、内部コイルと直列に接続されるインダクタをさらに備えてもよい。

[0023] 一実施形態において、内部コイルのインダクタンスをL_1、インダクタのインダクタンスをL_2、内部抵抗をＲとするとき、スイッチングトランジスタのオン期間の長さは、時定数τ＝（L_1＋L_2）／Ｒの０．３～３倍であってもよい。この場合にインピーダンスマッチングがとれ、最大電力を取り出すことができる。

[0024] 一実施形態において、電磁誘導型発電素子は、磁歪式振動発電素子であってもよい。

[0025]（実施形態）

以下、好適な実施の形態について、図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、開示および発明を限定するものではなく例示であって、実施の形態に記述されるすべ

ての特徴やその組み合わせは、必ずしも開示および発明の本質的なものであるとは限らない。

[0026] 本明細書において、「部材Ａが、部材Ｂに接続された状態」とは、部材Ａと部材Ｂが物理的に直接的に接続される場合や、部材Ａと部材Ｂが、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

[0027] 同様に、「部材Ｃが、部材Ａと部材Ｂの間に設けられた状態」とは、部材Ａと部材Ｃ、あるいは部材Ｂと部材Ｃが直接的に接続される場合のほか、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

[0028] 図４は、実施形態に係る環境発電回路１００の回路図である。環境発電回路１００は、電磁誘導型発電素子１１０および電源回路１２０を備え、負荷回路R_Lに電力を供給する。

[0029] 発電素子１１０は電磁誘導型の発電素子であり、内部コイルＬ１および内部抵抗Ｒ１を含む。たとえば発電素子１１０は、磁歪素子とコイルを含む磁歪式振動発電素子や、永久磁石とコイルを含む発電素子などである。発電素子１１０の等価回路は、起電力ｖを発生する理想電圧源１１２と、内部コイルＬ１、内部抵抗Ｒ１の直列接続回路である。発電素子１１０の周波数をｆ、その角周波数を$\omega = 2\pi f$とするとき、内部抵抗Ｒ１は、コイルのインピーダンスωＬ１に対して無視できない大きさを有しており、たとえばＲ１＞ωＬ１／２の範囲において本技術は有効である。

[0030] 電源回路１２０は、電磁誘導型発電素子１１０から電力を取り出す。電源回路１２０は、スイッチングトランジスタ（スイッチングトランジスタ）Ｍ１，Ｍ２、整流素子Ｄ１、整流素子Ｄ２、出力キャパシタＣ１、出力キャパシタを含む。スイッチングトランジスタＭ１，Ｍ２、整流素子Ｄ１，Ｄ２、出力キャパシタＣ１は、内部コイルＬ１とともにダイオード整流型の昇圧コ

ンバータ１０２を形成している。

[0031] コントローラ１３０は、スイッチングトランジスタＭ１，Ｍ２を、電磁誘導型発電素子１１０の周波数ｆ（つまり起電力ｖの周波数）の２倍より高い周波数f_{sw}（＞２ｆ）で駆動する。具体的には、内部コイルＬ１のインダクタンスをＬ、内部抵抗Ｒ１をＲとするとき、スイッチングトランジスタＭ１，Ｍ２のオン期間の長さ（オン時間ともいう）T_{ON}は、時定数τ_1＝Ｌ／Ｒにもとづいて規定され、好ましくは、オン時間T_{ON}は、時定数τ_1の０．３～３倍の範囲に含まれる。コントローラ１３０は、I_L＞０の区間、スイッチングトランジスタＭ２をオンに固定し、スイッチングトランジスタＭ１をスイッチングする。またコントローラ１３０は、I_L＜０の区間、スイッチングトランジスタＭ１をオンに固定し、スイッチングトランジスタＭ２をスイッチングする。

[0032] 以上が環境発電回路１００の構成である。続いてその動作を説明する。図５は、図４の環境発電回路１００の動作波形図である。

[0033] I_L＞０の期間Ｔ１、スイッチングトランジスタＭ１がスイッチングし、スイッチングトランジスタＭ２がオンに固定されている。スイッチングトランジスタＭ１は、時定数Ｌ／Ｒに応じて定まるオン時間T_{ON}の間、オンとなり、それに続くオフ時間T_{OFF}の間、オフとなる。オフ時間T_{OFF}は、オン時間T_{ON}に比べて短くてよい。

[0034] オフ時間T_{OFF}は、コイルＬ１に蓄えられたエネルギーがゼロ、つまりコイル電流I_Lがゼロに戻るのに要する時間τ_2にもとづいて定めればよい。この時間τ_2は、

$$dI_L/dt=(v-V_{OUT}-V_F)/L$$

で定まる。V_FはダイオードＤ１，Ｄ２の順方向電圧である。$V_{OUT}\gg V_F$，ｖの場合、

$$dI_L/dt=-V_{OUT}/L$$

となり、出力キャパシタＣ１の電圧V_{OUT}が上昇するにしたがってコイル電流I_Lの変化速度は速くなる。

[0035] トランジスタＭ１のターンオフのタイミングにおけるコイル電流I_Lは、$I_L \fallingdotseq v/R$であるから、

$(v/R)/\tau_2 = V_{OUT}/L$

を得る。したがって時間τ_2は、以下の式で表される。

$\tau_2 = (L/R)\cdot(v/V_{OUT}) = \tau_1\cdot(v/V_{OUT})$

[0036] たとえば、Ｌ＝０．１Ｈ、Ｒ＝１ｋΩ、ｖ＝０．１Ｖ、V_{OUT}＝１Ｖとすると、

$\tau_1 = L/R = 100\,\mu s$

$\tau_2 = \tau_1\cdot(v/V_{OUT}) = 0.1\,ms \times 0.1/1 = 10\,\mu s$

となる。

[0037] 発電素子１１０のコイル電流I_Lは、スイッチングトランジスタＭ１のオン時間T_{ON}において増大し、スイッチングトランジスタＭ１のオフ時間T_{OFF}において減少する。オン時間T_{ON}を、時定数τ_1＝Ｌ／Ｒと等しくすると、コイル電流I_Lの包絡線は、ｖ／Ｒにしたがって変化することとなる。

[0038] I_L＜０の期間Ｔ２、スイッチングトランジスタＭ２がスイッチングし、スイッチングトランジスタＭ１がオンに固定されている。スイッチングトランジスタＭ２は、スイッチングトランジスタＭ２と同様に、時定数Ｌ／Ｒに応じて定まるオン時間T_{ON}の間、オンとなり、それに続くオフ時間T_{OFF}の間、オフとなる。期間Ｔ２におけるコイル電流I_Lの包絡線も、ｖ／Ｒにしたがって変化することとなる。

[0039] 以上が環境発電回路１００の動作である。環境発電回路１００によれば、スイッチング周波数f_{SW}を発電素子１１０の周波数ｆの２倍より高くして、スイッチングトランジスタＭ１，Ｍ２を高速にスイッチングすることで、内部抵抗Ｒ１がコイルのインピーダンスωＬ１に比べて無視できないほど大きい場合に、ＳＭＦＥ技術に比べて多くの電力を取り出すことが可能となる。

[0040] 特に、スイッチングトランジスタＭ１，Ｍ２のオン時間T_{ON}をＬ／Ｒに近づけることにより、インピーダンス整合が成立し、最大の電力を取り出すことが可能となる。

[0041] 以下、環境発電回路１００の具体的な構成をいくつかの実施例にもとづいて説明する。

[0042] （実施例１）

図６は、実施例１に係る環境発電回路１００Ａの回路図である。コントローラ１３０Ａは、タイミング発生器１３２、ロジック回路１３４、極性判定回路１３６、ゼロ電流検出回路１３８、ドライバＤＲ１，ＤＲ２を備える。

[0043] タイミング発生器１３２は、所定の周波数ｆ（＝１／T_P）で発振するオシレータを含み、タイミング信号ＴＧを生成する。周期T_Pは、オン期間T_{ON}とオフ期間T_{OFF}の和である。タイミング信号ＴＧは、オフ期間T_{OFF}の開始タイミングを規定する。

[0044] 極性判定回路１３６は、コイル電流I_Lの極性を判定し、極性検出信号ＰＯＬを生成する。ゼロ電流検出回路１３８は、コイル電流I_Lがゼロとなると、ゼロ電流検出信号ＺＣをアサートする。

[0045] ロジック回路１３４は、タイミング信号ＴＧ、極性検出信号ＰＯＬ、ゼロ電流検出信号ＺＣにもとづいて、スイッチングトランジスタＭ１およびスイッチングトランジスタＭ２の制御パルスＧ１，Ｇ２を生成する。ドライバＤＲ１は、制御パルスＧ１にもとづいてスイッチングトランジスタＭ１を駆動し、ドライバＤＲ２は、制御パルスＧ２にもとづいてスイッチングトランジスタＭ２を駆動する。

[0046] ロジック回路１３４は、コイル電流I_Lの極性ＰＯＬに応じて、オフ期間T_{OFF}においてオフすべきスイッチングトランジスタを選択する。すなわちI_L＞０のとき、オフ期間T_{OFF}においてスイッチングトランジスタＭ１をオフし、スイッチングトランジスタＭ２をオンする。反対に、I_L＜０のとき、オフ期間T_{OFF}においてスイッチングトランジスタＭ２をオフし、スイッチングトランジスタＭ１をオンする。

[0047] ロジック回路１３４は、ゼロ電流検出信号ＺＣに応答して、オン期間T_{ON}に遷移し、オン期間T_{ON}の間、スイッチングトランジスタＭ１，Ｍ２の両方をオン状態とする。そして次のタイミング信号ＴＧのアサートに応答して、

オフ期間T_{OFF}に戻る。

[0048] 図７は、図６の環境発電回路１００Ａの動作波形図である。時刻t_1より前のオン期間T_{ON}の間、スイッチングトランジスタＭ１，Ｍ２がオンとなり、コイル電流I_Lが時間とともに増大する。オン期間T_{ON}の間、出力キャパシタＣ１は負荷電流によって放電されるから、出力電圧V_{OUT}は低下する。

[0049] 時刻t_1にタイミング信号ＴＧがアサートされると、オフ期間T_{OFF}に遷移する。この例では、$I_L>0$であるから、オフ期間T_{OFF}の間、スイッチングトランジスタＭ１がオフとされ、整流ダイオードＤ１を介した充電電流I_{CHG}によって、出力キャパシタＣ１が充電され、出力電圧V_{OUT}が上昇する。

[0050] オフ期間T_{OFF}における充電電流I_{CHG}は、コイル電流I_Lと一致する。コイル電流I_Lは、時間とともに減少していく。時刻t_2にコイル電流I_Lがゼロとなると、ゼロ電流検出信号ＺＣがアサートされ、オン期間T_{ON}に遷移する。オン期間T_{ON}では、スイッチングトランジスタＭ１，Ｍ２が両方オンとなる。そして時刻t_3にタイミング信号ＴＧが再びアサートされると、オフ期間T_{OFF}に遷移する。環境発電回路１００Ａはこの動作を繰り返す。

[0051]（実施例２）

図８は、実施例２に係る環境発電回路１００Ｂの回路図である。環境発電回路１００Ｂは、発電素子１１０、スイッチングトランジスタＭ１，Ｍ２、トランジスタＭ３、出力キャパシタＣ１、整流ダイオードＤ１，Ｄ２、ドライバＤＲ１～ＤＲ３、コントローラ１３０Ｂを備える。

[0052] コントローラ１３０Ｂは、タイミング発生器１３２、ロジック回路１３４および検出回路１４０を備える。検出回路１４０は、図６の極性判定回路１３６とゼロ電流検出回路１３８の機能を兼ねており、コイル電流I_Lの極性と、コイル電流I_Lがゼロになるタイミング（電流ゼロクロス点）を検出する。

[0053] この実施例では、コントローラ１３０Ｂは、スイッチング周期内に、極性判定期間を設け、極性判定期間において、コイル電流の向き（極性）を判定する。極性判定期間は、タイミング信号ＯＰＥＮにもとづいて生成される。タイミング信号ＯＰＥＮは、極性判定期間の間、ハイレベルとなる。タイミ

ング信号ＯＰＥＮの周期は、環境発電回路１００の動作周期、つまりオン時間T_{ON}とオフ時間T_{OFF}の和にもとづいている。

[0054] 具体的には、ロジック回路１３４は、ＯＰＥＮ信号がハイの間、スイッチングトランジスタＭ１、Ｍ２を両方オフとする。コイル電流I_Lが第１極性（I_L＞０）であるとき、コイル電流I_Lは、スイッチングトランジスタＭ２のボディダイオードに流れるため、スイッチングトランジスタＭ２のドレイン電圧V_{D2}は負電圧となり、スイッチングトランジスタＭ１のドレインには、逆起電力に応じた正の電圧V_{D1}が発生する。コイル電流I_Lが第２極性（I_L＜０）であるとき、コイル電流I_Lは、スイッチングトランジスタＭ１のボディダイオードに流れるため、スイッチングトランジスタＭ１のドレイン電圧V_{D1}は負電圧となり、スイッチングトランジスタＭ２のドレインには、逆起電力に応じた正の電圧V_{D2}が発生する。検出回路１４０は、２つのスイッチングトランジスタＭ１，Ｍ２のドレイン電圧V_{D1}，V_{D2}のうち、いずれが正（ハイレベル）となっているかを検出する。

[0055] 検出回路１４０は、フリップフロップＦＦ１，ＦＦ２およびＯＲゲートＯＲ１，ＯＲ２を含む。フリップフロップＦＦ１，ＦＦ２それぞれの電源端子は、発電素子１１０の第１端Ｅ１，第２端Ｅ２と接続される。

[0056] 第１フリップフロップＦＦ１のセット端子は発電素子１１０の第１端Ｅ１と接続され、そのリセット端子は発電素子１１０の第２端Ｅ２と接続される。第２フリップフロップＦＦ２のセット端子は発電素子１１０の第２端Ｅ２と接続され、そのリセット端子は発電素子１１０の第１端Ｅ１と接続される。

[0057] 第１ＯＲゲートＯＲ１は、第１フリップフロップＦＦ１の非反転出力Ｑ１と第２フリップフロップＦＦ２の反転出力Ｑ２Ｂの論理和ＫＥＥＰ＿ＩＮＵＰを生成する。第２ＯＲゲートＯＲ２は、第１フリップフロップＦＦ１の反転出力Ｑ１Ｂと第２フリップフロップＦＦ２の非反転出力Ｑ２の論理和ＫＥＥＰ＿ＩＮＢＴを生成する。

[0058] ロジック回路１３４は、ＯＲゲートＯＲ３およびＮＯＲゲートＮＯＲ１，

ＮＯＲ２を含む。

[0059] 第１ＮＯＲゲートＮＯＲ１は、第１ＯＲゲートＯＲ１の出力ＫＥＥＰ＿ＩＮＵＰと、タイミング信号ＯＰＥＮの否定論理和を生成する。第２ＮＯＲゲートＮＯＲ２は、第２ＯＲゲートＯＲ２の出力ＫＥＥＰ＿ＩＮＢＴとタイミング信号ＯＰＥＮの否定論理和を生成する。

[0060] 第３ＯＲゲートＯＲ３は、ＯＲゲートＯＲ１，ＯＲ２出力ＫＥＥＰ＿ＩＮＵＰとＫＥＥＰ＿ＩＮＢＴの論理和を生成する。ドライバＤＲ３は、第３ＯＲゲートＯＲ３の出力に応じてトランジスタＭ３を駆動する。

[0061] 図９は、図８の環境発電回路１００Ｂの動作波形図（シミュレーション）である。時刻t_0にオープン信号ＯＰＥＮがハイになると、ＮＯＲゲートＮＯＲ１，ＮＯＲ２の出力Ｇ１，Ｇ２、すなわちスイッチングトランジスタＭ１，Ｍ２のゲート信号ＳＷＵＰ，ＳＷＢＴがローとなり、トランジスタＭ１，Ｍ２がオフとなる。

[0062] ここでは、I_L＞０の向きに電流が流れている。トランジスタＭ１，Ｍ２がオフとなると、V_{D1}が上昇し、V_{D2}が負電圧となる。V_{D1}の上昇の結果、フリップフロップＦＦ１が動作可能となり、セット端子にハイ電圧V_{D1}が入力されることにより、時刻t_1に、Ｑ１信号がハイとなり、ＫＥＥＰ＿ＩＮＵＰ信号もハイとなる。もし、I_L＜０であれば、Ｑ１Ｂ信号がハイとなり、ＫＥＥＰ＿ＩＮＢＴ信号もハイとなる。つまり検出回路１４０の出力ＫＥＥＰ＿ＩＮＵＰ，ＫＥＥＰ＿ＩＮＢＴは、コイル電流I_Lの極性を表す。

[0063] 時刻t_1以降、ＫＥＥＰ＿ＩＮＵＰ信号のハイに対応して、ＳＷＵＰ信号はローを維持し、スイッチングトランジスタＭ１はオフである。

[0064] 一方、フリップフロップＦＦ２は動作しないから、ＫＥＥＰ＿ＩＮＢＴ信号はローである。ＫＥＥＰ＿ＩＮＢＴ信号のローに対応して、ＳＷＢＴ信号がハイとなり、スイッチングトランジスタＭ２はオンとなる。

[0065] また時刻t_1にトランジスタＭ３のゲート信号ＧＡＴＥはハイとなる。

[0066] 時刻t_1以降、ダイオードＤ１およびトランジスタＭ３を介して、キャパシタＣ１が充電される。コイル電流I_Lおよび充電電流I_{CHG}は時間とともに減

少する。コイル電流I_Lの減少にともない、発電素子１１０の第１端Ｅ１の電圧V_{D1}は低下していく。そして時刻t_2に、フリップフロップＦＦ１の出力Ｑ１がローとなり、ＫＥＥＰ＿ＩＮＵＰ信号もローとなる。時刻t_1～t_2が、オフ期間T_{OFF}に相当する。

[0067] つまり、ＫＥＥＰ＿ＩＮＵＰ信号およびＫＥＥＰ＿ＩＮＢＴ信号は、コイル電流I_Lがゼロ付近まで低下したことを示している。

[0068] 時刻t_2に、オン期間T_{ON}に移行し、ゲート信号ＳＷＵＰ，ＳＷＢＴが両方ハイとなり、スイッチングトランジスタＭ１，Ｍ２がオンとなる。オン期間T_{ON}は、次にＯＰＥＮ信号がハイに遷移するまで持続する。

[0069] 図１０は、図８の環境発電回路１００Ｂのコイル電流I_Lおよび出力電圧V_{OUT}の波形図である。

[0070] 図１１（ａ）、（ｂ）は、図８の環境発電回路１００Ｂの起動時の出力電圧V_{OUT}の波形図である。図１１（ａ）は、発電素子１１０の起電力ｖが０．５Ｖのとき、図１１（ｂ）は、起電力ｖが０．１Ｖのときの波形を示す。

[0071] 図１１（ａ）、（ｂ）には、環境発電回路１００Ｂの出力波形（ｉ）に加えて、インピーダンス整合時の理論限界（ｉｉ）、５段のチャージポンプを用いた場合（ｉｖ）、ダイオード整流回路を用いた場合（ｉｖ）、ＳＭＦＥ技術を用いた場合（ｖ）の波形を示す。

[0072] このように本実施例によれば、理論限界の５０％の充電速度を維持することができ、他の手法に比べてより大きな電力を取り出すことができる。

[0073]（実施例３）

図１２は、実施例３に係る環境発電回路１００Ｃの回路図である。環境発電回路１００Ｃは、図８の環境発電回路１００Ｂから、トランジスタＭ３およびそれに関連する素子を省略したものである。

[0074]（実施例４）

図１３は、実施例４に係る環境発電回路１００Ｄの回路図である。コントローラ１３０Ｄは、タイミング発生器１３２、ロジック回路１３４、極性判定回路１３６、オン時間タイマ１４２、ドライバＤＲ１，ＤＲ２を備える。

[0075] タイミング発生器１３２は、環境発電回路１００Ｄの動作周期T_Pで発振するオシレータを含み、タイミング信号S_{ON}を出力する。

[0076] ロジック回路１３４は、タイミング信号S_{ON}に応答して、オン期間T_{ON}に遷移するとともに、オン時間タイマ１４２にスタートトリガを出力する。オン時間タイマ１４２は、スタートトリガに応答してオン時間T_{ON}の測定を開始し、オン時間T_{ON}の経過後に、ターンオフ信号S_{OFF}を出力する。オン時間T_{ON}は、時定数Ｌ／Ｒにもとづいて定められる。ロジック回路１３４は、ターンオフ信号S_{OFF}に応答して、オフ期間T_{OFF}に遷移し、次のタイミング信号ＴＧに応答して、オン期間T_{ON}に遷移する。

[0077]（実施例５）

図１４は、実施例５に係る環境発電回路１００Ｅの回路図である。コントローラ１３０Ｅは、ロジック回路１３４、極性判定回路１３６、ゼロ電流検出回路１３８、オン時間タイマ１４２、ドライバＤＲ１，ＤＲ２を備える。

[0078] ゼロ電流検出回路１３８は、オフ期間T_{OFF}において、コイル電流I_Lがゼロ付近まで低下したことを検出し、ターンオン信号（ゼロ電流検出信号）S_{ON}を生成する。ロジック回路１３４は、ターンオン信号S_{ON}に応答して、オン期間T_{ON}に遷移するとともに、オン時間タイマ１４２にスタートトリガを出力する。オン時間タイマ１４２は、スタートトリガに応答してオン時間T_{ON}の測定を開始し、オン時間T_{ON}の経過後に、ターンオフ信号S_{OFF}を出力する。オン時間T_{ON}は、時定数Ｌ／Ｒにもとづいて定められる。ロジック回路１３４は、ターンオフ信号S_{OFF}に応答して、オフ期間T_{OFF}に遷移する。

[0079] 以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

[0080]（変形例１）

図１５は、変形例１に係る環境発電回路１００Ｆの回路図である。電源回路１２０Ｆは、内部コイルＬ１と直列に設けられたインダクタＬ２を備える

。オン期間T_{ON}の長さは、τ＝（Ｌ１＋Ｌ２）／Ｒにもとづいて規定される。

[0081] （変形例２～４）

図１６（ａ）～（ｃ）は、変形例２～変形例４に係る環境発電回路１００Ｇ～１００Ｉの回路図である。図１６（ａ）の電源回路１２０Ｇは、図６の電源回路１２０Ａのトポロジーを同期整流型に変更したものであり、ダイオードＤ１，Ｄ２に代えて、同期整流トランジスタＭ３，Ｍ４を備える。

[0082] コントローラ１３０Ｇは、I_L＞０であるオフ期間T_{OFF}において、同期整流トランジスタＭ３をオンし、I_L＜０であるオフ期間T_{OFF}において、同期整流トランジスタＭ４をオンする。

[0083] 図１６（ｂ）の電源回路１２０Ｈのトポロジーは、図１のそれと同様である。この形式の場合、コイル電流I_Lの極性の検出は不要である。

[0084] 図１６（ｃ）の電源回路１２０Ｉのトポロジーは、図１６（ｂ）の電源回路１２０Ｈの構成を同期整流型に変更したものである。

[0085] 実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

産業上の利用可能性

[0086] 本開示は、環境発電に関する。

符号の説明

[0087] １００　環境発電回路

１０２　昇圧コンバータ

１１０　発電素子

１１２　電圧源

Ｒ１　内部抵抗

Ｌ１　内部コイル

Ｌ２　インダクタ

１２０　電源回路

Ｍ１，Ｍ２　スイッチングトランジスタ

Ｄ１，Ｄ２　整流素子

Ｃ１，Ｃ２　出力キャパシタ

１３０　コントローラ

１３２　タイミング発生器

１３４　ロジック回路

１３６　極性判定回路

１３８　ゼロ電流検出回路

ＤＲ１　第１ドライバ

ＤＲ２　第２ドライバ

請求の範囲

[請求項1] 内部コイルおよび内部抵抗を含む電磁誘導型発電素子から電力を取り出す電源回路であって、

前記内部コイルとともに昇圧コンバータを形成するスイッチングトランジスタ、整流素子およびキャパシタと、

前記電磁誘導型発電素子の交流出力の半波の間に、前記スイッチングトランジスタを複数回、スイッチングさせるコントローラと、

を備えることを特徴とする電源回路。

[請求項2] 前記内部コイルのインダクタンスをＬ、前記内部抵抗をＲとするとき、前記スイッチングトランジスタのオン時間は、時定数τ＝Ｌ／Ｒの０．３～３倍であることを特徴とする請求項１に記載の電源回路。

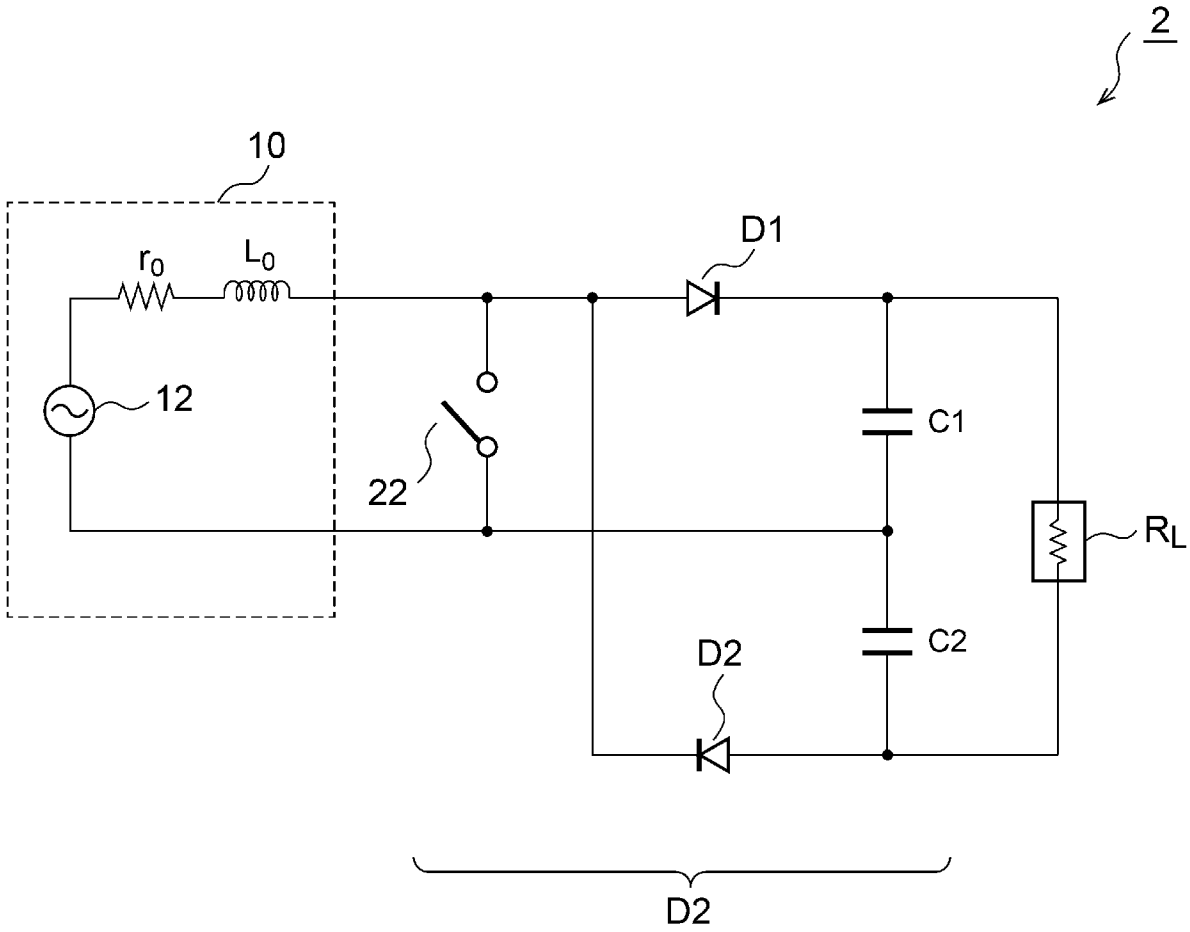
[請求項3] 前記電源回路は、前記内部コイルと直列に接続されるインダクタをさらに備えることを特徴とする請求項１に記載の電源回路。

[請求項4] 前記内部コイルのインダクタンスをL_1、前記インダクタのインダクタンスをL_2、前記内部抵抗をＲとするとき、前記スイッチングトランジスタのオン時間は、時定数τ＝（L_1＋L_2）／Ｒの０．３～３倍であることを特徴とする請求項３に記載の電源回路。

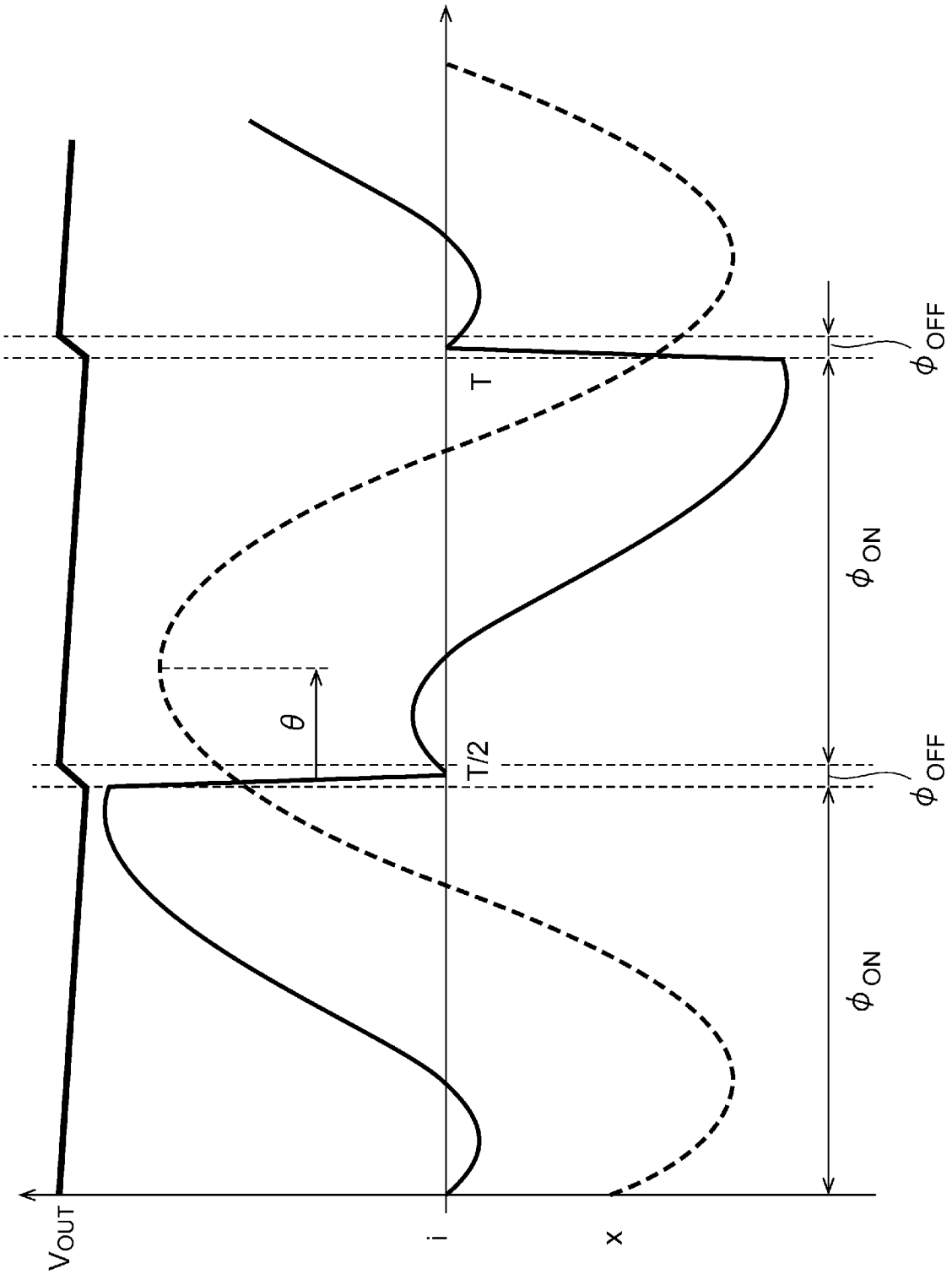
[請求項5] 前記電源回路において、インダクタ電流を遮断したときの電圧変化の符号から前記インダクタ電流の向きを検出し、整流を行うことを特徴とする請求項１から４のいずれかに記載の電源回路。

[請求項6] 前記電磁誘導型発電素子は、磁歪式振動発電素子であることを特徴とする請求項１から５のいずれかに記載の電源回路。

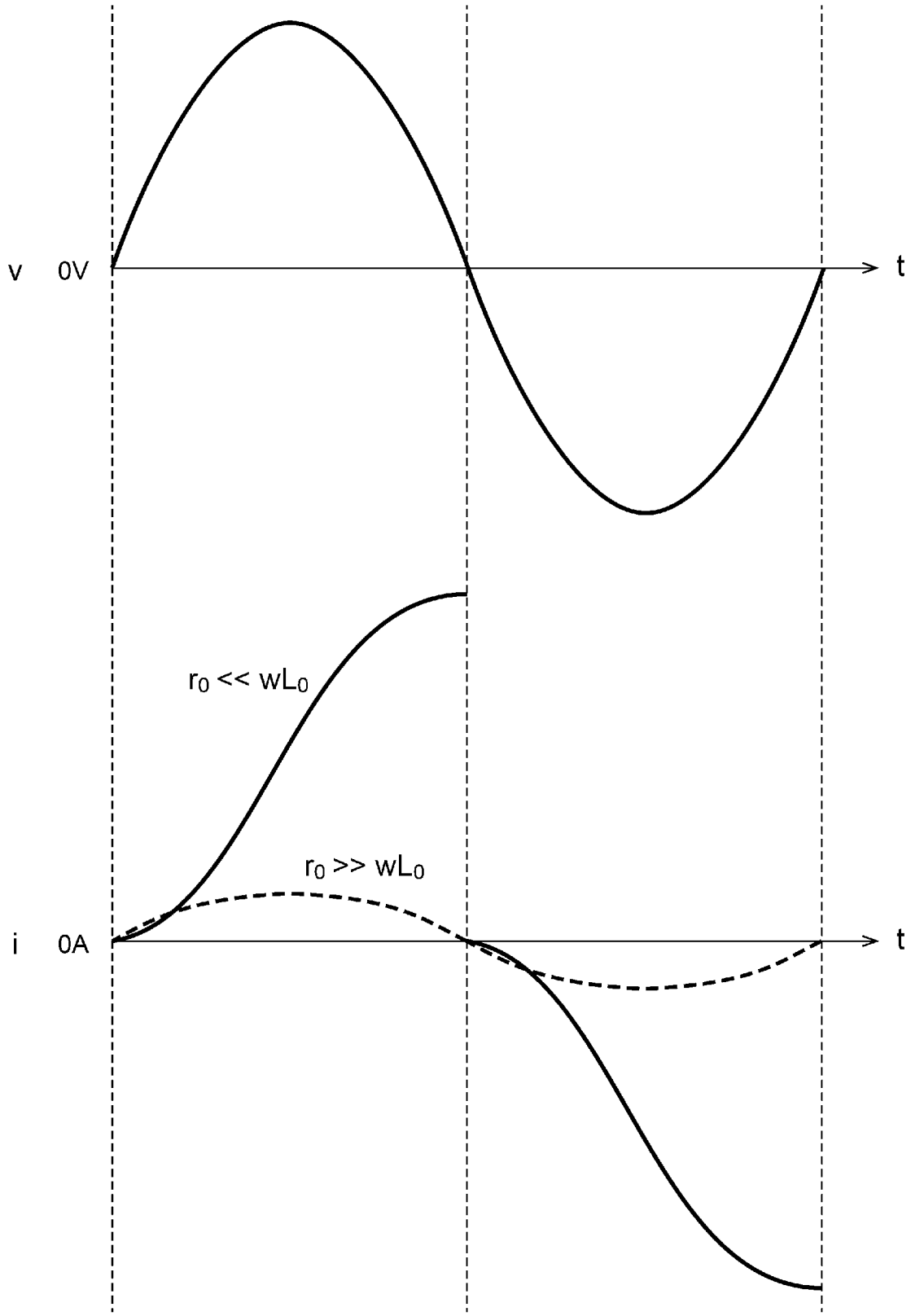
[図1]



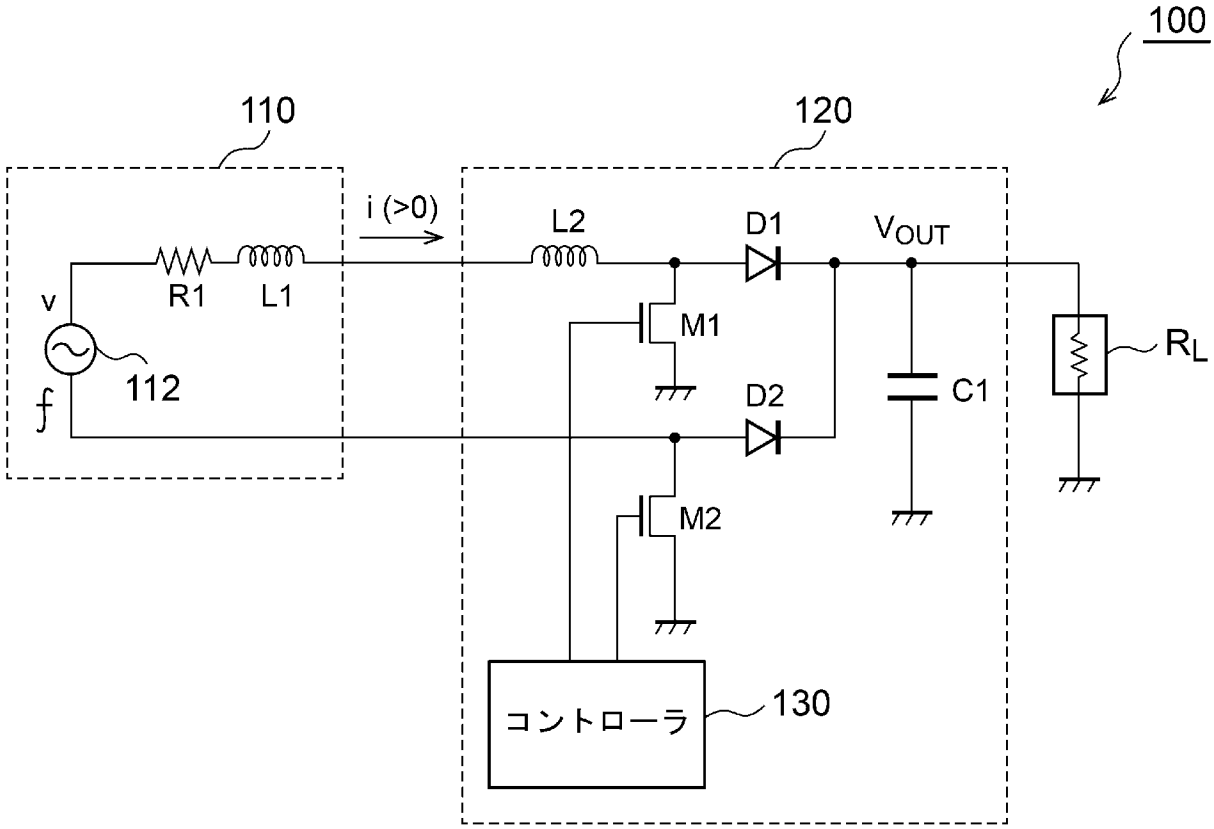
[図2]



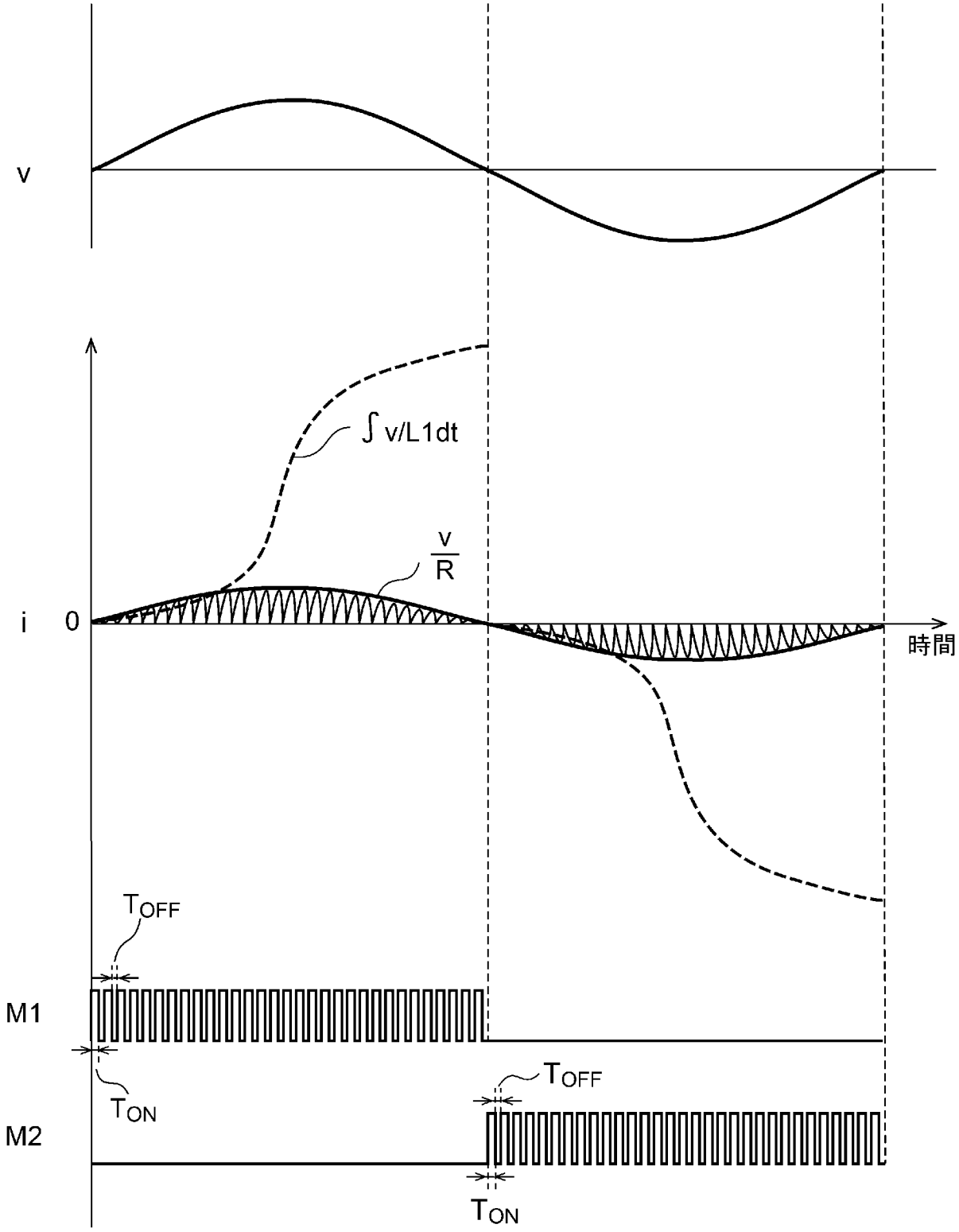
[図3]



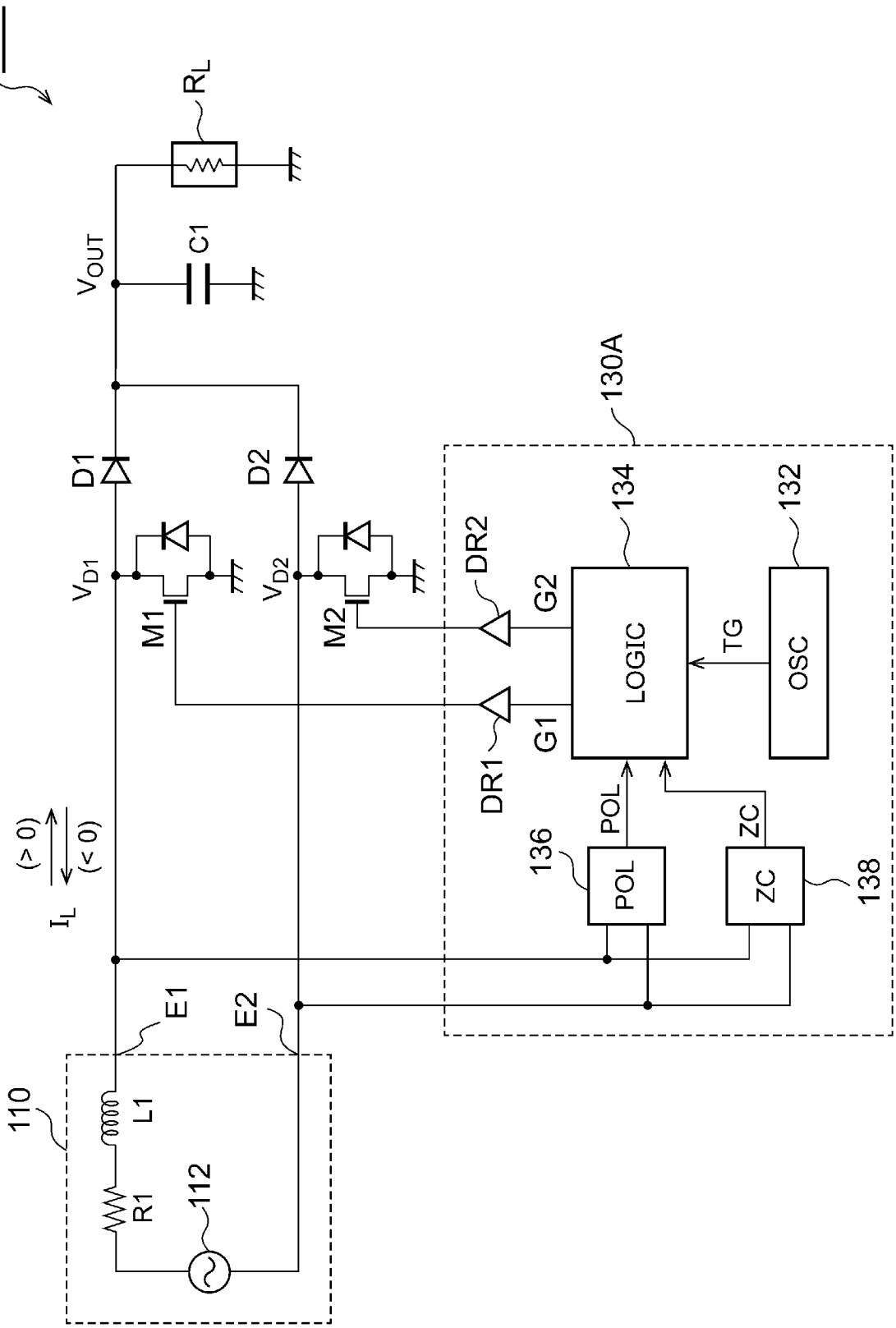
[図4]



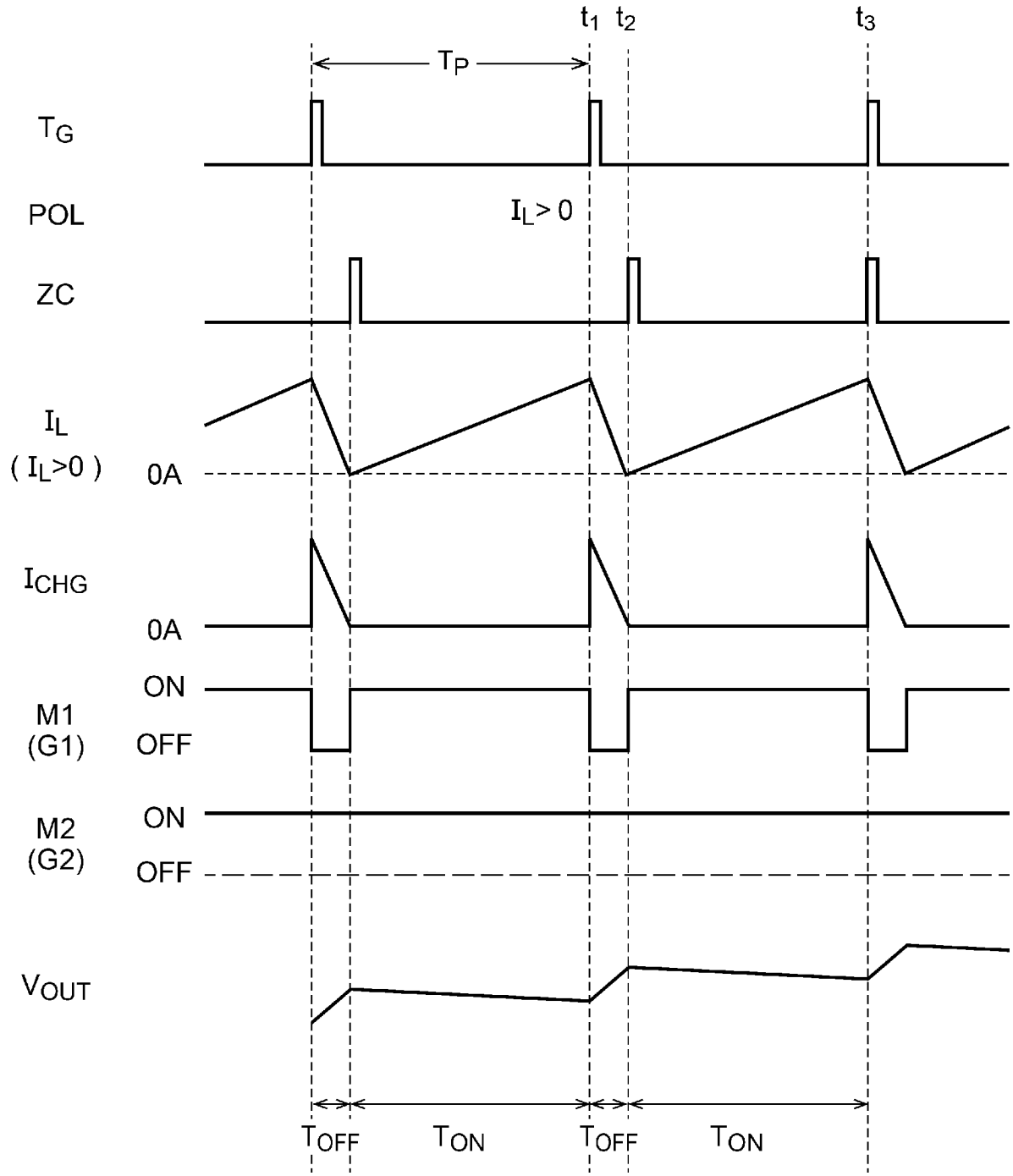
[図5]



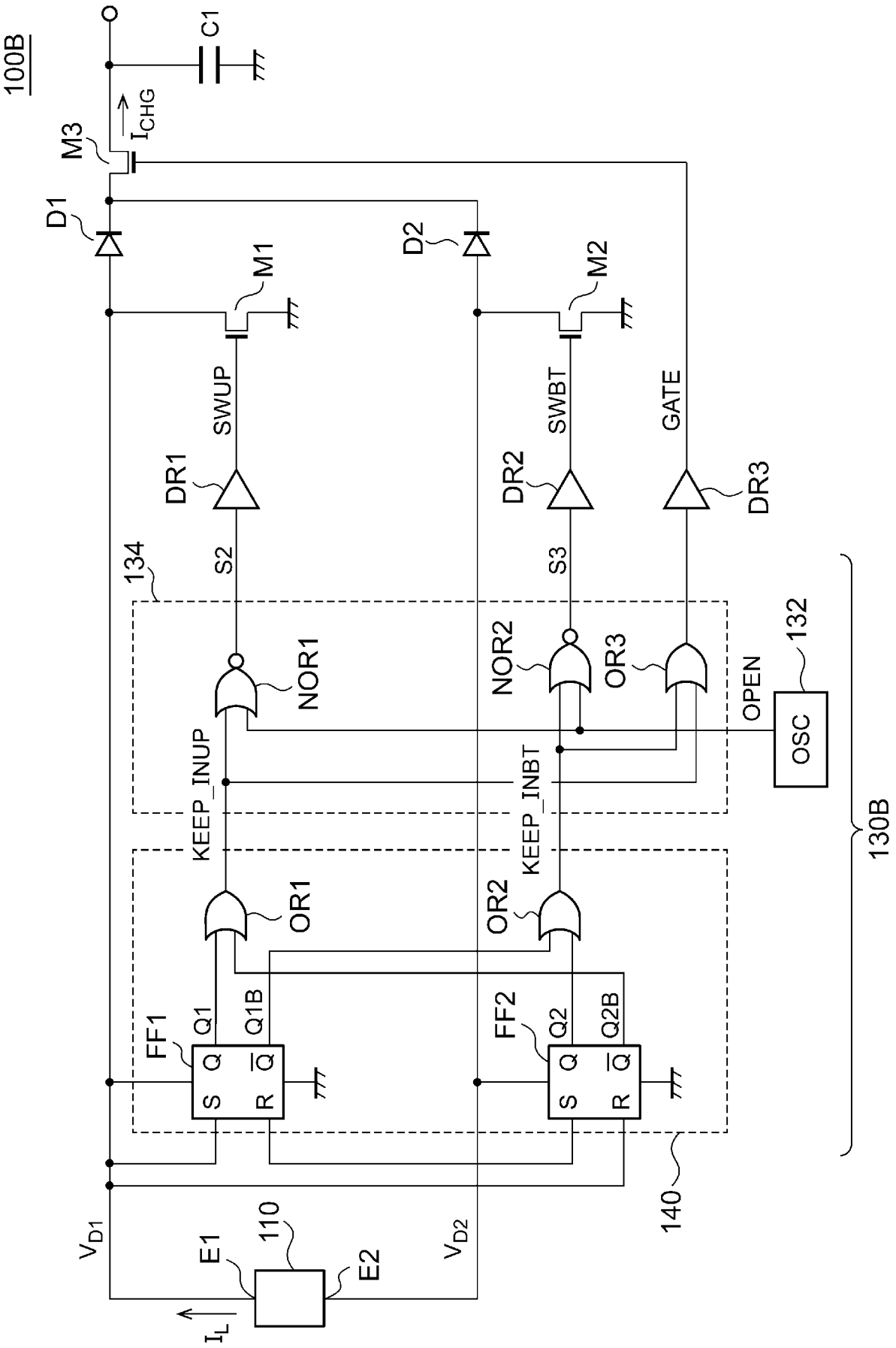
[図6]


100A
R_L
V_{OUT}
C1
D1
D2
130A
134
132
V_{D1}
V_{D2}
M1
M2
DR2
G2
LOGIC
TG
OSC
G1
DR1
POL
ZC
136
138
(> 0)
(< 0)
I_L
E1
E2
110
L1
R1
112

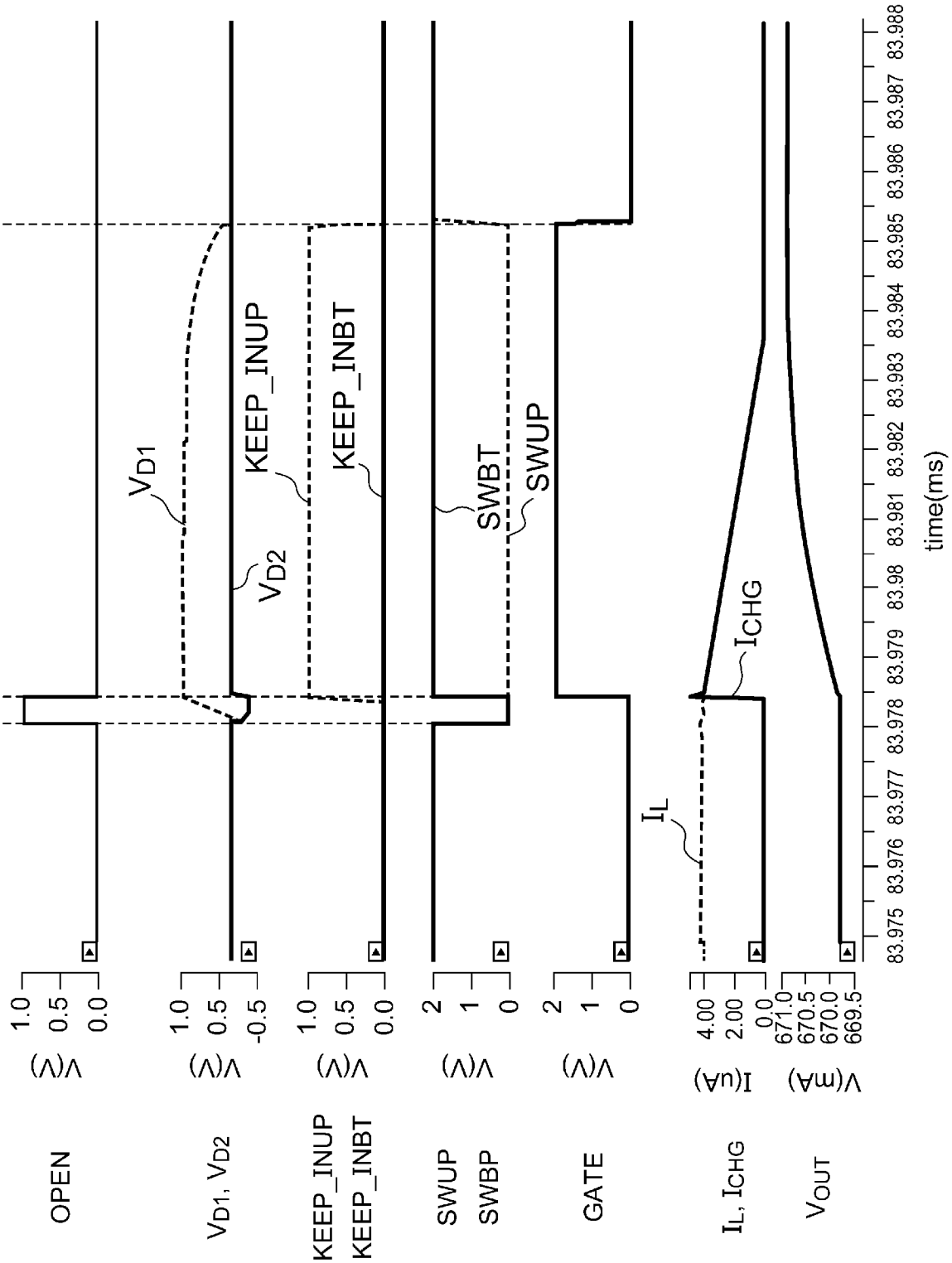
[図7]


t1
t2
t3
TP
TG
POL
IL > 0
ZC
IL
(IL>0)
0A
ICHG
0A
ON
M1
(G1)
OFF
ON
M2
(G2)
OFF
VOUT
TOFF
TON
TOFF
TON

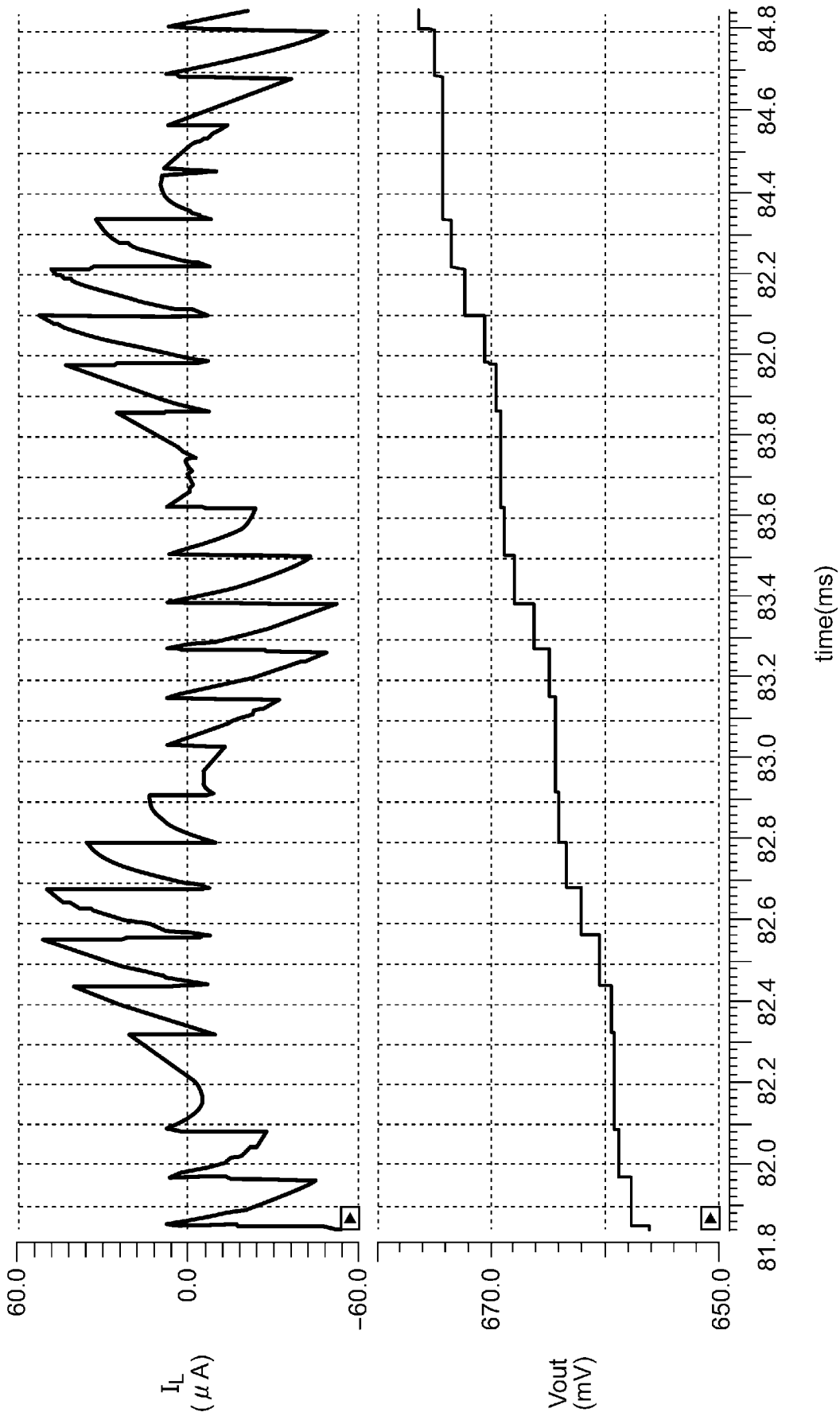
[図8]


100B
C1
I_{CHG}
M3
D1
D2
M1
M2
SWUP
SWBT
GATE
DR1
DR2
DR3
134
S2
S3
NOR1
NOR2
OR3
OPEN
132
OSC
KEEP_INUP
KEEP_INBT
OR1
OR2
FF1
FF2
Q1
Q1B
Q2
Q2B
S
R
Q
$\overline{Q}$
130B
140
V_{D1}
V_{D2}
E1
E2
110
I_L

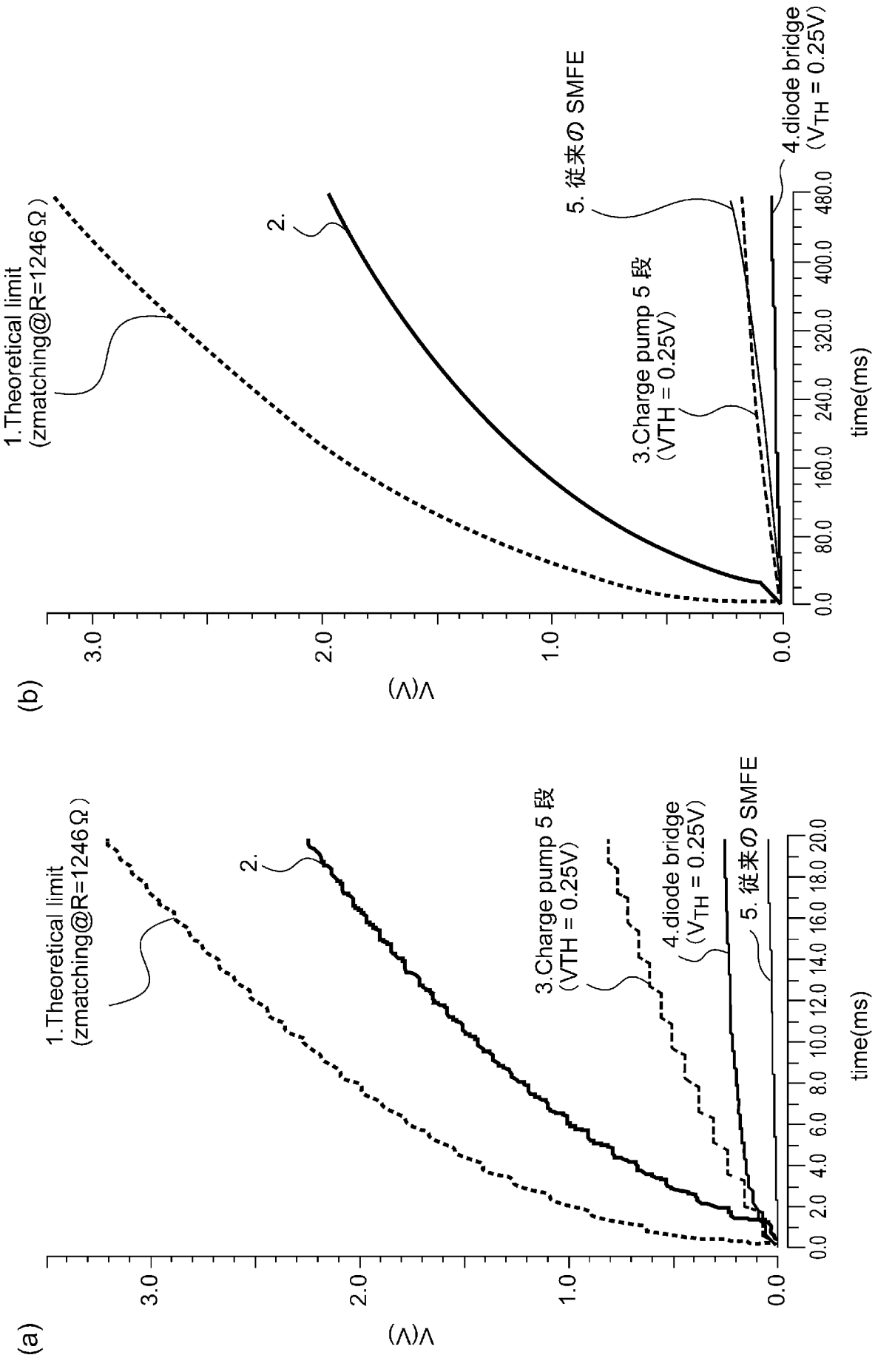
[図9]


OPEN
VD1, VD2
KEEP_INUP
KEEP_INBT
SWUP
SWBP
GATE
IL, ICHG
VOUT
V(V)
I(uA)
V(mA)
t0 t1
t2
VD1
VD2
KEEP_INUP
KEEP_INBT
SWBT
SWUP
IL
ICHG
time(ms)
1.0
0.5
0.0
-0.5
2
1
0
4.00
2.00
0.0
671.0
670.5
670.0
669.5
83.975
83.976
83.977
83.978
83.979
83.98
83.981
83.982
83.983
83.984
83.985
83.986
83.987
83.988

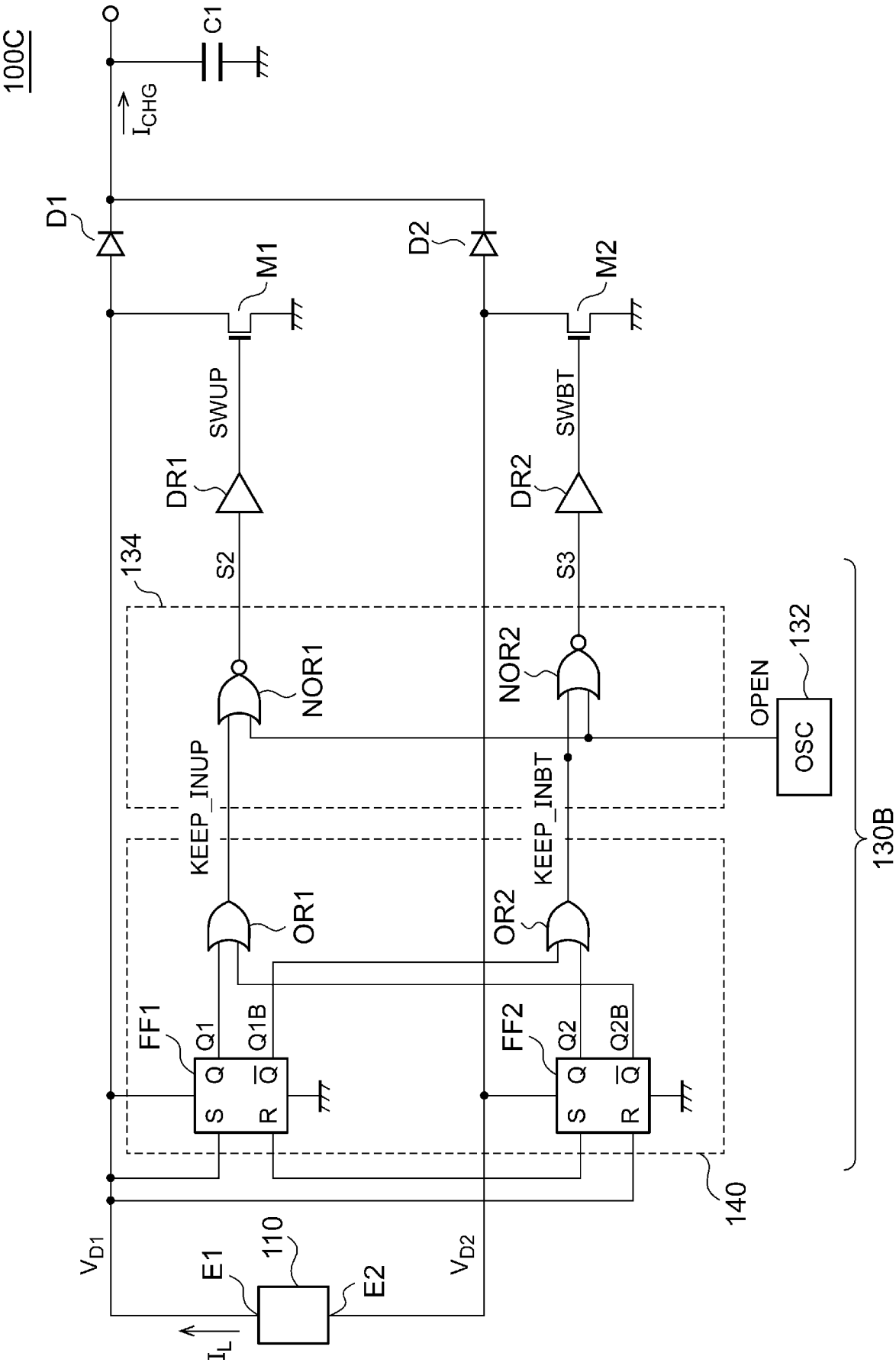
[図10]


60.0
0.0
−60.0
I_L (μA)
670.0
650.0
Vout (mV)
81.8
82.0
82.2
82.4
82.6
82.8
83.0
83.2
83.4
83.6
83.8
82.0
82.2
84.4
84.6
84.8
time(ms)

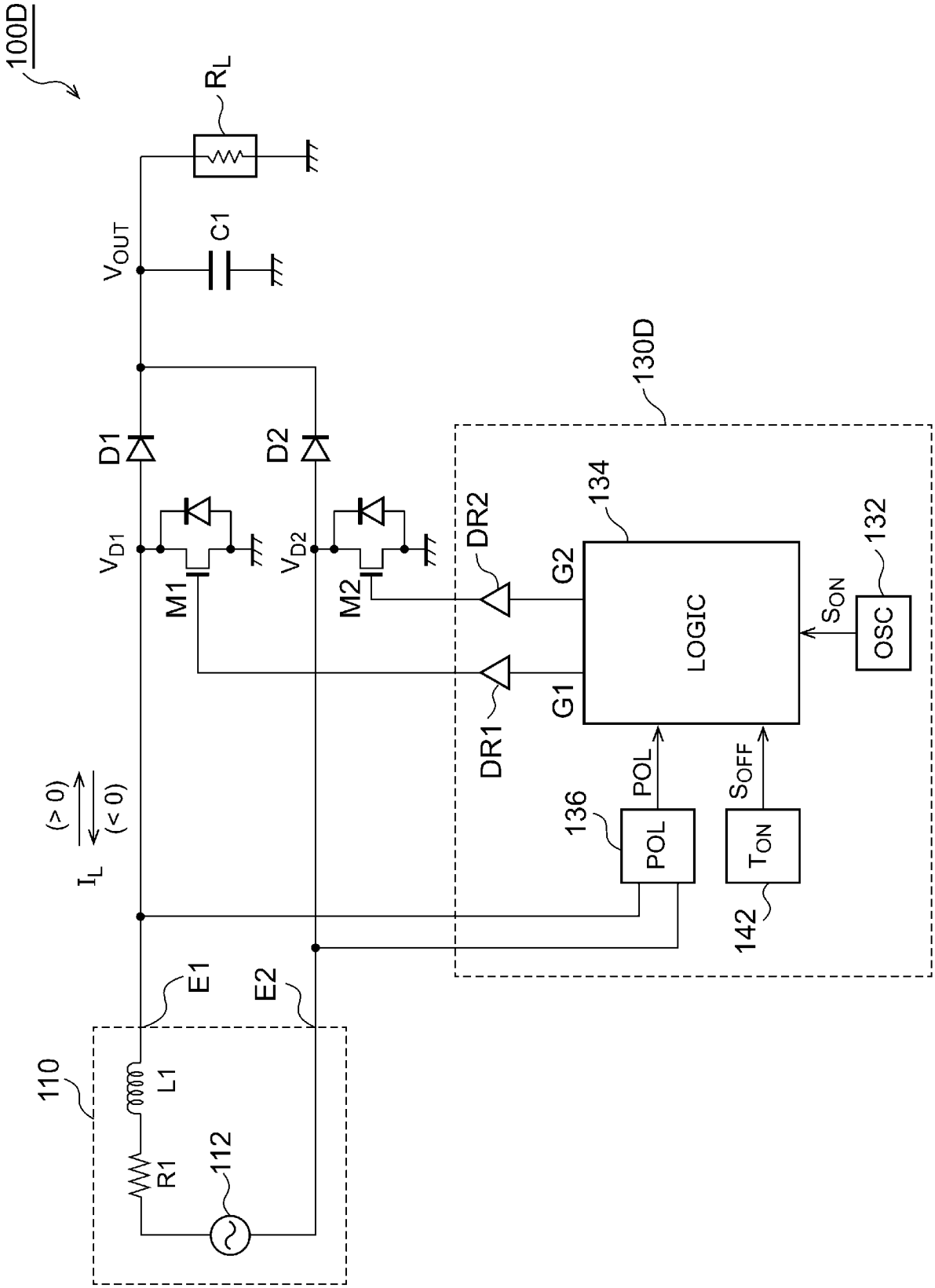
[図11]


(a)
V(V)
3.0
2.0
1.0
0.0
1.Theoretical limit
(zmatching@R=1246Ω)
2.
3.Charge pump 5 段
(VTH = 0.25V)
4.diode bridge
(VTH = 0.25V)
5. 従来の SMFE
0.0 2.0 4.0 6.0 8.0 10.0 12.0 14.0 16.0 18.0 20.0
time(ms)
(b)
V(V)
3.0
2.0
1.0
0.0
1.Theoretical limit
(zmatching@R=1246Ω)
2.
5. 従来の SMFE
3.Charge pump 5 段
(VTH = 0.25V)
4.diode bridge
(VTH = 0.25V)
0.0 80.0 160.0 240.0 320.0 400.0 480.0
time(ms)

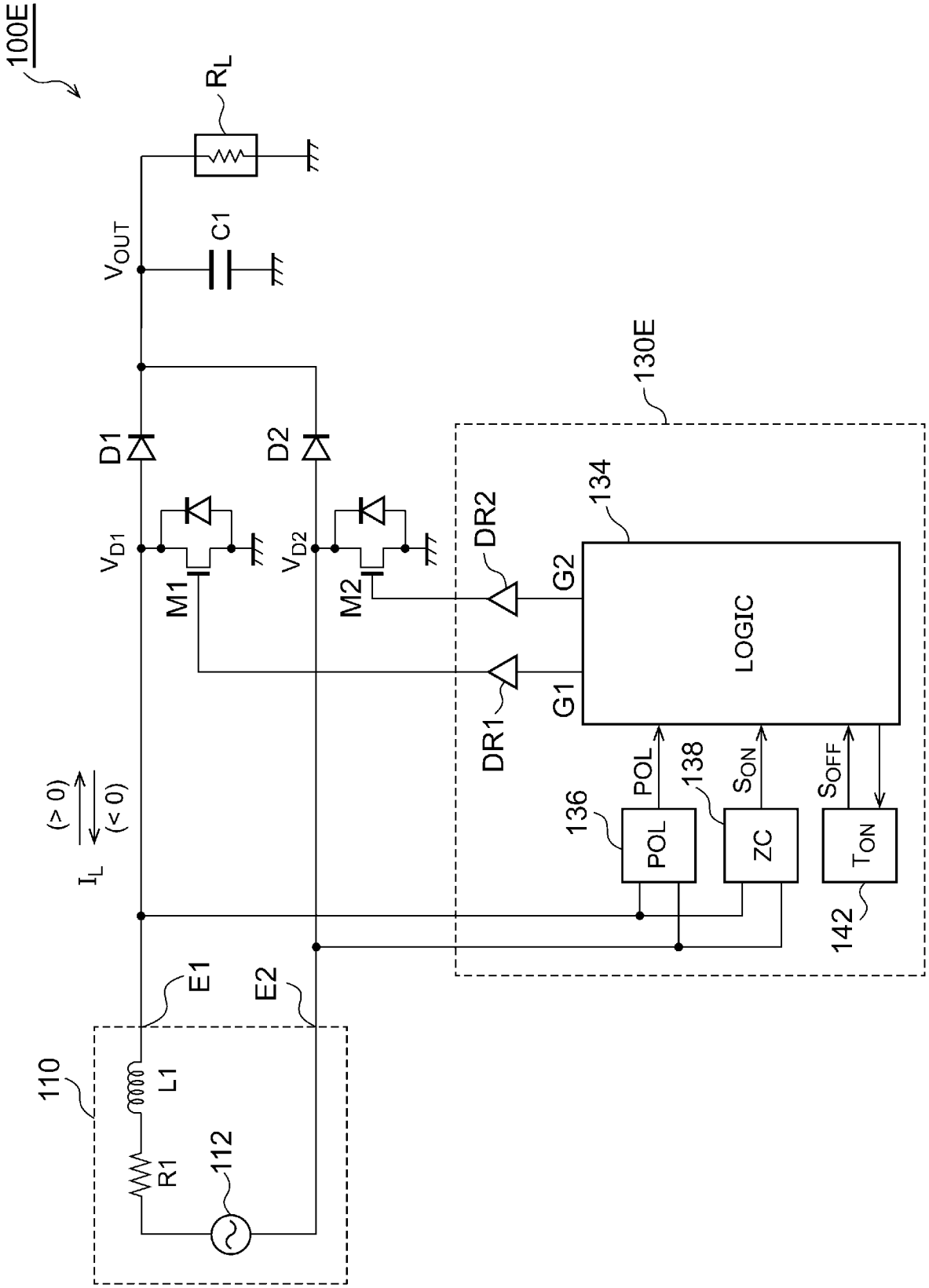
[図12]


100C
C1
I_{CHG}
D1
D2
M1
M2
SWUP
SWBT
DR1
DR2
134
S2
S3
NOR1
NOR2
OPEN
132
OSC
KEEP_INUP
KEEP_INBT
OR1
OR2
FF1
FF2
Q1
Q1B
Q2
Q2B
S
R
Q
$\overline{Q}$
130B
140
V_{D1}
V_{D2}
E1
E2
110
I_L

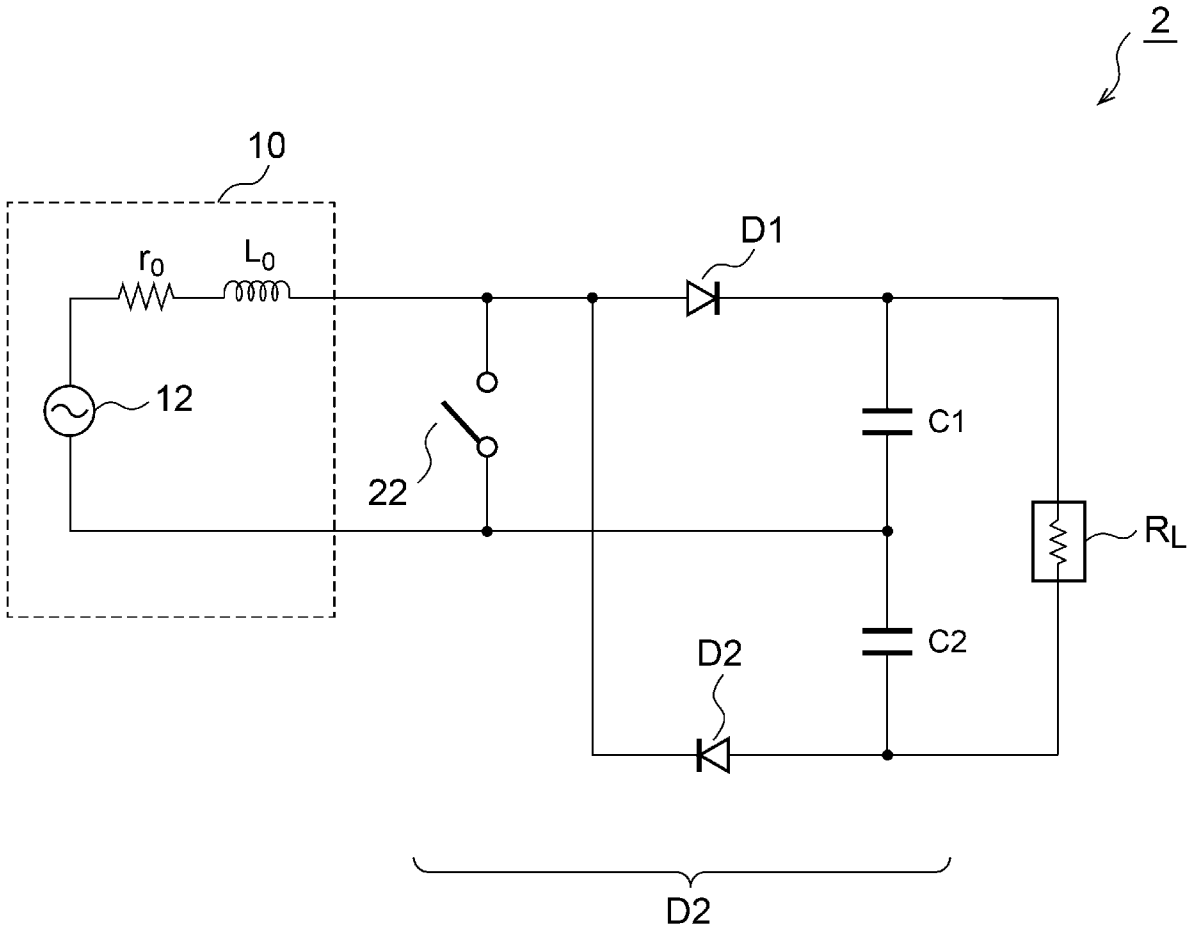
[図13]


100D
R_L
V_{OUT}
C1
D1
D2
130D
V_{D1}
V_{D2}
M1
M2
DR2
134
G2
LOGIC
132
S_{ON}
OSC
G1
DR1
POL
S_{OFF}
136
POL
T_{ON}
142
(> 0)
(< 0)
I_L
E1
E2
110
L1
R1
112

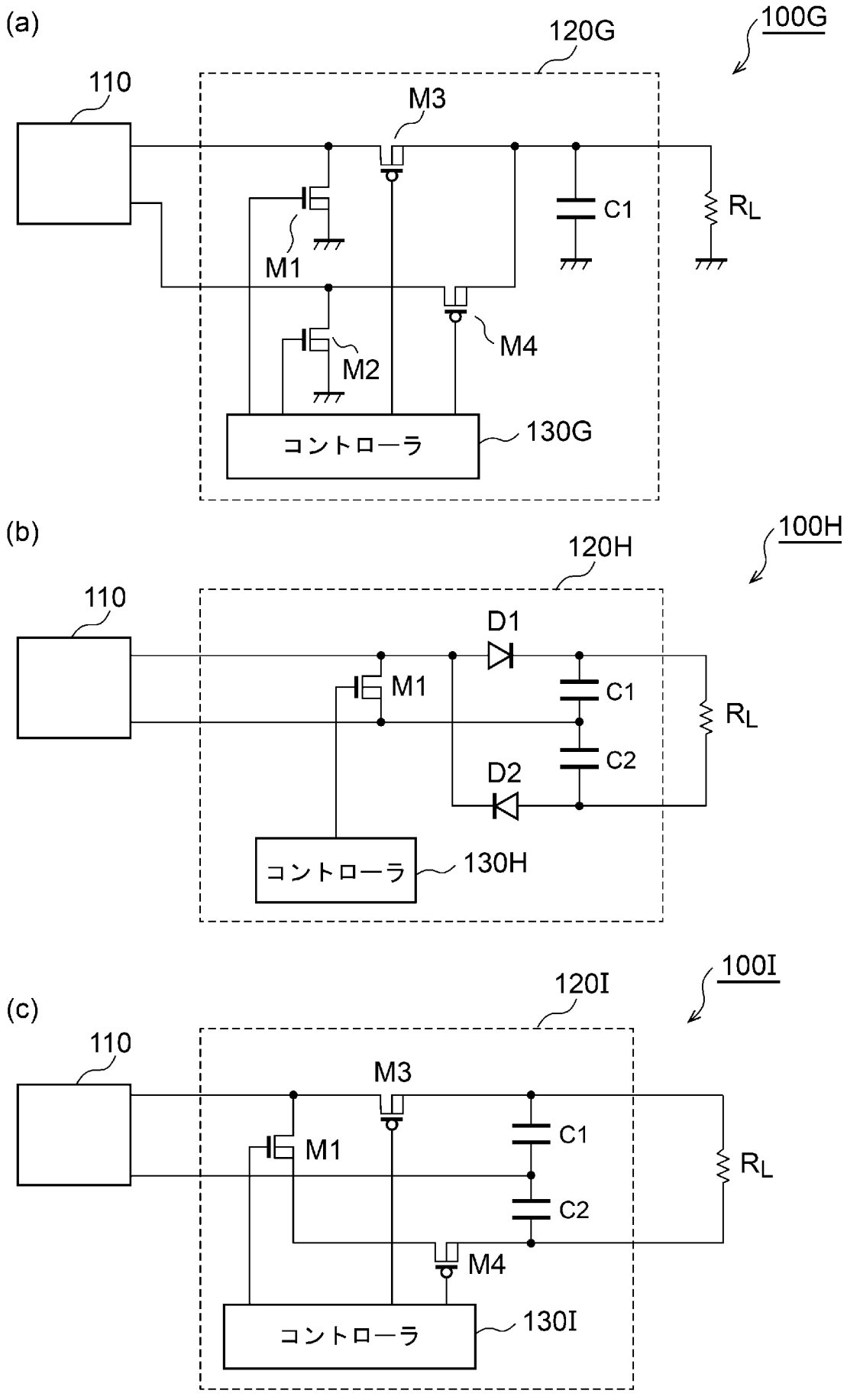
[図14]


100E
R_L
V_{OUT}
C1
D1
D2
130E
134
V_{D1}
V_{D2}
M1
M2
DR2
G2
LOGIC
DR1
G1
(> 0)
(< 0)
I_L
POL
138
S_{ON}
S_{OFF}
136
POL
ZC
T_{ON}
142
E1
E2
110
L1
R1
112

[図15]



[図16]


(a)
100G
120G
110
M3
C1
RL
M1
M2
M4
コントローラ
130G
(b)
100H
120H
110
D1
M1
C1
C2
RL
D2
コントローラ
130H
(c)
100I
120I
110
M3
C1
M1
C2
RL
M4
コントローラ
130I

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/023841

A. CLASSIFICATION OF SUBJECT MATTER
H02M 3/155(2006.01)i; H02M 7/12(2006.01)i
FI: H02M7/12 F; H02M3/155 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M3/155; H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-50226 A (MERSTECH INC.) 10 March 2011 (2011-03-10) entire text, all drawings	1-6
A	JP 2017-118764 A (LIXIL CORPORATION) 29 June 2017 (2017-06-29) entire text, all drawings	1-6
A	JP 8-237998 A (ISUZU CERAMICS RESEARCH INSTITUTE CO., LTD.) 13 September 1996 (1996-09-13) entire text, all drawings	1-6

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 August 2021 (30.08.2021)	07 September 2021 (07.09.2021)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/023841

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2011-50226 A	10 Mar. 2011	(Family: none)	
JP 2017-118764 A	29 Jun. 2017	(Family: none)	
JP 8-237998 A	13 Sep. 1996	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2021/023841

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H02M 3/155(2006.01)i; H02M 7/12(2006.01)i
FI: H02M7/12 F; H02M3/155 H

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02M3/155; H02M7/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-50226 A (株式会社ＭＥＲＳＴｅｃｈ) 10.03.2011 (2011-03-10) 全文，全図	1-6
A	JP 2017-118764 A (株式会社ＬＩＸＩＬ) 29.06.2017 (2017-06-29) 全文，全図	1-6
A	JP 8-237998 A (株式会社いすゞセラミックス研究所) 13.09.1996 (1996-09-13) 全文，全図	1-6

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
30.08.2021	07.09.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
麻生　哲朗 5G 2953
電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/023841

引用文献	公表日	パテントファミリー文献	公表日
JP 2011-50226 A	10.03.2011	（ファミリーなし）	
JP 2017-118764 A	29.06.2017	（ファミリーなし）	
JP 8-237998 A	13.09.1996	（ファミリーなし）	