



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I487141 B

(45)公告日：中華民國 104 (2015) 年 06 月 01 日

(21)申請案號：098123854

(22)申請日：中華民國 98 (2009) 年 07 月 15 日

(51)Int. Cl. : H01L33/10 (2010.01)

(71)申請人：榮創能源科技股份有限公司 (中華民國) ADVANCED OPTOELECTRONIC TECHNOLOGY, INC. (TW)

新竹縣湖口鄉新竹工業區工業五路 13 號

(72)發明人：黃世晟 HUANG, SHIH CHENG (TW)；涂博閔 TU, PO MIN (TW)；吳梵逸 WU, PENG YI (TW)；林文禹 LIN, WEN YU (TW)；馬志邦 MA, CHIH PANG (TW)；洪梓健 HONG, TZU CHIEN (TW)；沈佳輝 SHEN, CHIA HUI (TW)

(56)參考文獻：

TW I274406

CN 1280961C

CN 1490910A

US 2008/0121903A1

審查人員：陳聖

申請專利範圍項數：37 項 圖式數：10 共 51 頁

(54)名稱

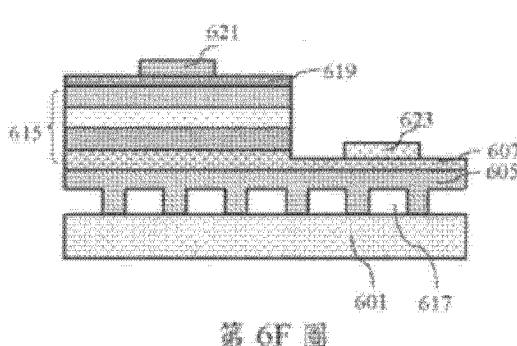
提高光萃取效率之半導體光電結構及其製造方法

SEMICONDUCTOR OPTOELECTRONIC STRUCTURE OF INCREASED LIGHT EXTRACTION EFFICIENCY AND FABRICATED THEREOF

(57)摘要

本發明為一種提高光萃取效率的半導體光電結構及其製造方法，其特徵在發光層下方形成連續性的孔洞，用以反射發光層發射的光，提高出光面的光強度以及亮度。

The present invention discloses a semiconductor optoelectronic structure of increased light extraction efficiency and fabricated thereof. The feature includes a step of forming continuous grooves under an active layer to reflect light from the active layer and increased the light of output power and brightness from the emitting surface of light, simultaneously.



第 6F 圖

- | |
|------------------|
| 601 · · · 基板 |
| 605 · · · 孔洞填補層 |
| 615 · · · 半導體層 |
| 617 · · · 連續性的孔洞 |
| 619 · · · 透明導電層 |
| 621 · · · p 型電極 |
| 623 · · · n 型電極 |

【發明說明書】

【中文發明名稱】 提高光萃取效率之半導體光電結構及其製造方法

【英文發明名稱】 SEMICONDUCTOR OPTOELECTRONIC STRUCTURE OF INCREASED LIGHT EXTRACTION EFFICIENCY AND FABRICATED THEREOF

【技術領域】

【0001】 本發明是有關一種III族氮化物半導體發光元件之結構及其製造方法，特別是有關於一種提高光萃取率的結構及其製造方法。

【先前技術】

【0002】 傳統的發光二極體結構受限於全反射及橫向波導效應，無法將發光層所產生的光全部取出，有一部份會被活性層、緩衝層、材料缺陷以及金屬電極等內部元件吸收，使得發光二極體整體的取光率偏低。

【0003】 以藍白光的氮化鎵(GaN)三族氮化物發光二極體為例，氮化鎵(GaN)的折射率為2.5，空氣折射率為1，假定光的射出是在均勻的光學表面，可以計算出來全反射的臨界角為23.5度。當光從氮化鎵(GaN)發光二極體發光層射出，只要入射角度大於23.5度，就會全部反射回發光層，並且繼續在發光層反射直到光被吸收為止。

【0004】 一種可以減少發光層內部光反射比例的方法是產生一些散射中心在不規則或粗糙結構的發光表面上，然而在發光層最上方的 p型 GaN 層的厚度很薄，因此在操作過程中並不容易控制乾蝕刻的深度和電漿的損害。其他方法則有在發光二極體的表面或是切割平

台側壁粗糙化，以提高光萃取效率。

【0005】 第1A 圖至第1B 圖係為美國第US 6,441,403 號專利之發光二極體表面粗糙化結構。請參考第1A 圖，其方法係以形成一磊晶層117於藍寶石基板101上，在成長p-GaN層109過程中利用降低溫度、調整成長速率及III/V族比例而得到一粗糙化表面。接下來蝕刻形成切割平台以暴露出n-GaN層105，在p-GaN層109及n-GaN層105上個別形成n型電極113與p型電極115，最後切割成晶片。再者，請參考第1B 圖，磊晶層117的形成過程中，p-GaN層109與n-GaN層105亦可相反，在n-GaN層105上更區分出一含有粗糙化表面的n-GaN層111。本方法為單面表面粗糙化，雖然可達到提升光萃取率，但是能然無法避免部分光線進入藍寶石基板而侷限在晶體內部。而且，電極直接形成於粗糙化表面上容易造成元件驅動電壓升高的問題。

【0006】 第2A圖及第2B圖係為美國第7,053,420號專利之發光二極體結構。請參考第2A圖，先在藍寶石基板201上形成凹面和凸面203a，形成一含有不同折射係數的緩衝層205於前述凹面和凸面203a上，在前述緩衝層205上形成一半導體層213，包含一n型導通層207、一發光層209及一p型導通層211。另外，第2B圖與第2A圖之差異在於藍寶石基板上形成凹凸面的三角波形203b。本方法在藍寶石基板上加工形成圖案化表面，由於藍寶石基板具有硬度高、熱穩定性佳及化學性質高等特性，因此製程困難較高。此外，由於氮化物半導體的折射係數為2.3與藍寶石基板的折射係數1.8相差0.5，仍有部分光線會進入藍寶石基板而無法有效的被利用。

【0007】 第3A圖至第3C圖以及第3A' 圖至第3C' 圖係說明學術期刊“

Improved luminance intensity of InGaN-GaN light-emitting diode by roughening both the p-GaN surface and the undoped-GaN surface”, APPLIED PHYSICS LETTERS 89, 041116 (2006)。前述期刊結合表面粗糙化 (surface-roughening)、晶片接合製程(wafer-bonding)以及雷射分離(laser lift-off)三種技術，提出一種雙面表面粗糙化之發光二極體製程。請參考第3C圖，其方法係為在藍寶石基板301上形成一磊晶層311，並且利用感應耦合電漿儀(Inductively Coupled Plasma；ICP)進行乾式蝕刻，在p-GaN層307形成一粗糙表面。接著沉積一透明導電層309於前述p-GaN層307粗糙表面上，以及形成一p型電極313於前述透明導電層309上，一n型電極315於未摻雜-GaN層305上。之後，以雷射將藍寶石基板301及磊晶層311分離，於未摻雜-GaN層305進行濕式蝕刻後塗佈一層膠層303，將磊晶層311與藍寶石基板301再一次黏合，達到雙面粗糙化。第3A圖即為一般發光二極體，並未在任何的出光表面進行加工。第3B圖即為單面表面粗造化發光二極體，係在正向發光表面(p-GaN)進行表面粗造化加工。第3C圖即為雙面表面粗造化發光二極體，係在正向出光表面(p-GaN)以及相對於正向出光表面的未摻雜的GaN層表面進行表面粗造化加工。

【0008】 利用前述三個不同結構之發光二極體比較其發光效益。第3A' 圖對應第3A圖，即為一般發光二極體光子的行徑。由於發光面為平面，若光子的射出角度大於 23.5° 則會被全部反射回發光層，使得發光效益低。第3B' 圖對應第3B圖，即為單面表面粗造化發光二極體光子的行徑。可以看出出光表面的粗糙化使得光子的射出的角度不再被限制於 23.5° 以下，因此增加出光效率。第3C' 圖

對應第3C圖，即為雙面表面粗造化發光二極-體光子的行徑。利用雙面表面粗造化其未摻雜的GaN表面粗糙化可反射光子，再提高正向出光表面表面粗糙化的出光效率，比第3B圖更增加出光效率。雖然上述方法可達到提高光萃取效率，但是對於晶片實施二次晶片接合的製程有其製程穩定性及良率問題。

【0009】因此，本發明除了可改善上述缺點以外，亦可提升發光二極體結構之光萃取效率。另外，本發明可減少磊晶的缺陷密度，提高磊晶品質。

【發明內容】

【0010】鑑於上述之發明背景中，為了符合產業利益之需求，本發明提供一種提高光萃取效率之半導體光電元件結構。其結構包含：一基板，一緩衝層位於前述基板上，其中前述緩衝層具有一連續性的孔洞圖案於前述緩衝層與前述基板之間，一半導體層位於前述緩衝層上，其中前述半導體層包含：一n型導通層位於前述緩衝層上，一發光層位於前述n型導通層上，一p型導通層位於前述發光層上，一透明導電層位於前述半導體層上，一p型電極位於前述透明導電層上，以及一n型電極位於前述n型導通層上。

【0011】本發明進一步提出一種提高光萃取效率之半導體光電元件結構，其結構包含：一基板，一緩衝層位於前述基板上，其中前述緩衝層中間具有一連續性的孔洞圖案，一半導體層位於前述緩衝層上，其中前述半導體層包含：一n型導通層位於前述緩衝層上，一發光層位於前述n型導通層上，一p型導通層位於前述發光層上，一透明導電層位於前述半導體層上，一p型電極位於前述透明導電層上，以及一n型電極位於前述n型導通層上。

- 【0012】 另外，本發明提供一種提高光萃取效率之半導體光電元件之製造方法，其方法包含下列步驟：提供一基板，形成一圖案化二氧化矽層位於前述基板上，形成一填補層位於前述圖案化二氧化矽層上，形成一半導體層位於前述填補層上，移除該圖案化二氧化矽層後形成連續性的孔洞位於前述基板與前述填補層之間，蝕刻前述半導體層形成一切割平台，形成一透明導電層於前述半導體層上。
- 【0013】 本發明更進一步提供一種提高光萃取效率之半導體光電元件之製造方法，其方法包含下列步驟：提供一基板，形成一緩衝層位於前述基板上，形成一圖案化二氧化矽層位於前述緩衝層上，形成一填補層位於前述圖案化二氧化矽層上，形成一半導體層位於前述填補層上，移除前述圖案化二氧化矽層後形成連續性的孔洞位於前述基板與前述填補層之間，蝕刻前述半導體層形成一切割平台，以及形成一透明導電層於前述半導體層上。
- 【0014】 本發明之半導體層更包含一電子阻擋層位於該發光層與上述p型導通層之間。
- 【0015】 本發明更包含一絕緣層覆蓋於上述p型導通層及上述n型導通層上並且暴露出p型電極以及n型電極。
- 【0016】 本發明之絕緣層可為二氧化矽(SiO_2)、環氧樹脂(Epoxy)、氮化矽(Si_3N_4)、二氧化鈦(Ti O_2)或是氮化鋁(AlN)。
- 【0017】 本發明之連續性的孔洞表面可為一平面或是一粗糙化表面。
- 【0018】 本發明之p型導通層表面可為一平面或是一粗糙化表面。
- 【0019】 本發明之透明導電層為鎳金合金(Ni / Au)、氧化銻錫(Indium Tin

Oxide; ITO)、氧化銻鋅(Indium Zinc Oxide; IZO)、氧化銻鎢(Indium Tungsten Oxide; IWO)或是氧化銻鎵(Indium Gallium Oxide; IGO)。

- 【0020】本發明之基板可為藍寶石(Al_2O_3)基板、碳化矽(SiC)基板、鋁酸鋰基板(AlLiO_2)、鎵酸鋰基板(LiGaO_2)、矽(Si)基板、氮化鎵(GaN)基板，氧化鋅(ZnO)基板、氧化鋁鋅基板(AlZnO)、砷化鎵(GaAs)基板、磷化鎵(GaP)基板、銻化鎵(GaSb)、磷化銦(InP)基板、砷化銦(InAs)基板或硒化鋅(ZnSe)基板。
- 【0021】本發明之緩衝層可為氮化鎵(GaN)、氮化鋁鎵(AlGaN)、氮化鋁(AlN)、或是InGaN/InGaN超晶格結構。
- 【0022】本發明之發光層為單異質結構、雙異質結構、單量子井層或是多重量子井層結構。
- 【0023】本發明之半導體層為 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ，其中 $0 \leq x \leq 1$ 及 $0 \leq y \leq 1$ 。
- 【0024】本發明之圖案為連續或是部份連續。
- 【0025】本發明之圖案為圓柱狀孔洞、多角柱狀孔洞或是長條狀孔洞。
- 【0026】本發明之連續性的孔洞的高度介於 $0.05\sim 2.0\mu\text{m}$ 。
- 【0027】本發明之連續性的孔洞的寬度介於 $0.1\sim 10.0\mu\text{m}$ 。
- 【0028】本發明之發光層與該連續性的孔洞的距離介於 $3.0\sim 4.0\mu\text{m}$ 。
- 【0029】本發明之發光層與該p型導通層表面距離介於 $0.15\sim 0.3\mu\text{m}$ 。
- 【0030】本發明更包含以KOH、 H_2SO_4 或是 H_3PO_4 化學蝕刻液蝕刻上述連續性的孔洞表面形成粗糙表面。

【0031】 本發明移除上述圖案化二氧化矽層的方法是使用BOE化學蝕刻液。

【圖式簡單說明】

【0032】 第1A 圖至第1B 圖係為美國第US 6,441,403 號專利之發光二極體表面粗糙化結構；

【0033】 第2A圖及第2B圖係為美國第7,053,420號專利之發光二極體結構；

【0034】 第3A圖至第3C圖以及第3A' 圖至第3C' 圖係說明學術期刊“Improved luminance intensity of InGaN-GaN light-emitting diode by roughening both the p-GaN surface and the undoped-GaN surface”, APPLIED PHYSICS LETTERS 89, 041116 (2006)；

【0035】 第4圖係為本發明之第一種製造方法之方法流程圖；

【0036】 第5圖係為本發明之第二種製造方法之方法流程圖；

【0037】 第6A圖至第6F及第6F' 圖至第6G' 係本發明第一種製造方法的結構與各步驟的形成方式；

【0038】 第7A圖至第7B圖及第7A' 圖至第7B' 圖係本發明第一種製造方法的另一結構與各步驟的形成方式；

【0039】 第8A圖至第8F圖及第8F' 圖至第8G' 係本發明第二種製造方法的結構與各步驟的形成方式；

【0040】 第9A圖至第9C圖及第9A' 圖至第9B' 圖係本發明第二種製造方法的另一結構與各步驟的形成方式；以及

【0041】 第10A~10D圖為二氧化矽層之各式圖案示意圖。

【實施方式】

【0042】 本發明在此所探討的方向為一種提高光萃取效率之半導體光電元件結構及其製造方法。為了能徹底地瞭解本發明，將在下列的描述中提出詳盡的步驟及其組成。顯然地，本發明的施行並未限定於半導體光電製程之技藝者所熟習的特殊細節。另一方面，眾所周知的組成或步驟並未描述於細節中，以避免造成本發明不必要之限制。本發明的較佳實施例會詳細描述如下，然而除了這些詳細描述之外，本發明還可以廣泛地施行在其他的實施例中，且本發明的範圍不受限定，其以之後的專利範圍為準。

【0043】 本發明之一目的係提高發光二極體結構之光萃取效率，進而增加發光二極體之發光亮度。

【0044】 本發明之另一目的係減少磊晶過程的缺陷密度並提高磊晶品質。

【0045】 為達到上述目的，本發明提供一種提高光萃取效率之半導體光電元件結構。其結構包含：一基板，一緩衝層位於前述基板上，其中前述緩衝層具有連續性的孔洞圖案於前述緩衝層與前述基板之間，一半導體層位於前述緩衝層上，其中前述半導體層包含：一n型導通層位於前述緩衝層上，一發光層位於前述n型導通層上，一p型導通層位於前述發光層上，一透明導電層位於前述半導體層上，一p型電極位於前述透明導電層上，以及一n型電極位於前述n型導通層上。

【0046】 本發明進一步提出一種提高光萃取效率之半導體光電元件結構，其結構包含：一基板，一緩衝層位於前述基板上，其中前述緩衝

層中間具有連續性的孔洞圖案，一半導體層位於前述緩衝層上，其中前述半導體層包含：一n型導通層位於前述緩衝層上，一發光層位於前述n型導通層上，一p型導通層位於前述發光層上，一透明導電層位於前述半導體層上，一p型電極位於前述透明導電層上，以及一n型電極位於前述n型導通層上。

- 【0047】 另外，本發明提供一種提高光萃取效率之半導體光電元件之製造方法，其方法包含下列步驟：提供一基板，形成一圖案化二氧化矽層位於前述基板上，形成一填補層位於前述圖案化二氧化矽層上，形成一半導體層位於前述填補層上，移除該圖案化二氧化矽層後形成連續性的孔洞位於前述基板與前述填補層之間，蝕刻前述半導體層形成一切割平台，形成一透明導電層於前述半導體層上。
- 【0048】 本發明更進一步提供一種提高光萃取效率之半導體光電元件之製造方法，其方法包含下列步驟：提供一基板，形成一緩衝層位於前述基板上，形成一圖案化二氧化矽層位於前述緩衝層上，形成一填補層位於前述圖案化二氧化矽層上，形成一半導體層位於前述填補層上，移除前述圖案化二氧化矽層後形成連續性的孔洞位於前述基板與前述填補層之間，蝕刻前述半導體層形成一切割平台，以及形成一透明導電層於前述半導體層上。
- 【0049】 本發明之半導體層更包含一電子阻擋層位於該發光層與上述p型導通層之間。
- 【0050】 本發明更包含一絕緣層覆蓋於上述p型導通層及上述n型導通層上並且暴露出p型電極以及n型電極。

- 【0051】 本發明之絕緣層可為二氧化矽(Si O₂)、環氧樹脂(Epoxy)、氮化矽(Si₃N₄)、二氧化鈦(Ti O₂)或是氮化鋁(AlN)。
- 【0052】 本發明之連續性的孔洞表面可為一平面或是一粗糙化表面。
- 【0053】 本發明之p型導通層表面可為一平面或是一粗糙化表面。
- 【0054】 本發明之透明導電層為鎳金合金(Ni /Au)、氧化銻錫(Indium Tin Oxide; ITO)、氧化銻鋅(Indium Zinc Oxide; IZO)、氧化銻鎢(Indium Tungsten Oxide; IWO)或是氧化銻鎵(Indium Gallium Oxide; IGO)。
- 【0055】 本發明之基板可為藍寶石(Al₂ O₃)基板、碳化矽(SiC)基板、鋁酸鋰基板(AlLi O₂)、鎵酸鋰基板(LiGa O₂)、矽(Si)基板、氮化鎵(GaN)基板，氧化鋅(ZnO)基板、氧化鋁鋅基板(AlZnO)、砷化鎵(GaAs)基板、磷化鎵(GaP)基板、鎵化鎵基板(GaSb)、磷化銻(InP)基板、砷化銻(InAs)基板或硒化鋅(ZnSe)基板。
- 【0056】 本發明之緩衝層可為氮化鎵(GaN)、氮化鋁鎵(AlGaN)、氮化鋁(AlN)、或是InGaN/InGaN超晶格結構。
- 【0057】 本發明之發光層為單異質結構、雙異質結構、單量子井層或是多重量子井層結構。
- 【0058】 本發明之半導體層為Al_xIn_yGa_{1-x-y} N，其中0≤x≤1及0≤y≤1。
- 【0059】 本發明之圖案為連續或是部份連續。
- 【0060】 本發明之圖案為圓柱狀孔洞、多角柱狀孔洞或是長條狀孔洞。
- 【0061】 本發明之連續性的孔洞的高度介於0.05~2.0 μm。

- 【0062】 本發明之連續性的孔洞的寬度介於0.1~10.0 μm 。
- 【0063】 本發明之發光層與該連續性的孔洞的距離介於3.0~4.0 μm 。
- 【0064】 本發明之發光層與該p型導通層表面距離介於0.15~0.3 μm 。
- 【0065】 本發明更包含以KOH、 H_2SO_4 或是 H_3PO_4 化學蝕刻液蝕刻上述連續性的孔洞表面形成粗糙表面。
- 【0066】 本發明移除上述圖案化二氧化矽層的方法是使用BOE化學蝕刻液。
- 【0067】 請參考第4圖，係為本發明之第一種製造方法之方法流程圖。步驟4-1，提供一基板。前述基板可為藍寶石(Al_2O_3)基板、碳化矽(SiC)基板、鋁酸鋰基板(AlLiO_2)、鎵酸鋰基板(LiGaO_2)、矽(Si)基板、氮化鎵(GaN)基板，氧化鋅(ZnO)基板、氧化鋁鋅基板(AlZnO)、砷化鎵(GaAs)基板、磷化鎵(GaP)基板、鎢化鎵基板(GaSb)、磷化銦(InP)基板、砷化銦(InAs)基板或硒化鋅(ZnSe)基板，一般多使用藍寶石(Al_2O_3)基板。步驟4-2，形成一圖案化二氧化矽層於上述基板上。以化學氣相沉積法(Chemical Vapor Deposition；CVD)或是低溫濺鍍(Sputtering)的方法將二氧化矽材料沉積在上述基板上形成一薄層。然後在前述二氧化矽層之表面上方形成光阻膜，再以光微影法(Photolithography)將光阻膜圖案化使得預計蝕刻部份顯露。最後以濕式蝕刻、乾式蝕刻或是電感式電漿蝕刻系統(Inductively coupled plasma etcher；ICP)進行圖案化製程以得到一圖案化二氧化矽層。步驟4-3，形成一填補層位於上述圖案化二氧化矽層上。先形成一III族氮化物填補層於圖案化之二氧化矽層上。由於二氧化矽層

屬於多晶系，使得單晶系的III族氮化物層無法直接磊晶於多晶系表面上，因而產生一種側向磊晶(Epitaxially Lateral Overgrowth；ELOG)的現象。在磊晶過程中，III族氮化物層與二氧化矽層會產生不連續的空隙。從孔洞中開始成長的III族氮化物材料在到達二氧化矽層表面後，會以側向成長的方式直到銜接另一端的III族氮化物材料而形成一平面填補層。前述填補層又可作為一緩衝層，以提高半導體層的磊晶品質。步驟4-4，形成一半導體層位於上述填補層上。可利用有機金屬氣相沉積法(Metal Organic Chemical Vapor Deposition；MOCVD)或是分子束磊晶法(Molecular Beam Epitaxy；MBE)等技術將半導體發光結構沉積於前述填補層上。前述半導體層包含一n型導通層、一發光層、一電子阻擋層以及一p型導通層。步驟4-5，移除上述圖案化二氧化矽層後形成一連續性的孔洞位於上述基板與上述填補層之間。本發明以化學濕式蝕刻的方法去除二氧化矽層。選擇可與氧化物反應的化學溶液並調配至適當比例，將二氧化矽層浸泡在化學溶液中，利用化學溶液與二氧化矽材料產生化學反應除去二氧化矽層。在完成二氧化矽層的移除後會留下柱狀III族氮化物與前述基板連接。若進一步用第二種蝕刻液蝕刻III族氮化物表面以增加表面之不規則，更可提升半導體層之發光效率。步驟4-6，蝕刻上述半導體層形成一切割平台。藉由光阻自旋塗佈機以離心力將光阻劑全面塗佈於p型導通層之表面上方以形成光阻膜。再以光微影法(Photolithography)將光阻膜圖案化而形成遮罩，使得預計蝕刻部份顯露。再以濕式蝕刻、乾式蝕刻或是電感式電漿蝕刻系統(Inductively coupled plasma etcher；ICP)形成一切割平台。步驟4-7，形成一透明導電層於上述半導體

層上。一般以蒸鍍，濺鍍等物理氣相沉積法形成透明導電層於半導體層上。其材料可為鎳/金 (Ni/Au)、氧化銻錫 (Indium Tin Oxide; ITO)、氧化銻鋅 (Indium Zinc Oxide; IZO)、氧化銻錫 (Indium Tungsten Oxide; IWO) 或是氧化銻鎵 (Indium Gallium Oxide; IGO)。

【0068】 第5圖係為本發明之第二種製造方法之方法流程圖。步驟5-1，提供一基板。前述基板可為藍寶石(Al_2O_3)基板、碳化矽(SiC)基板、鋁酸鋰基板(AlLiO_2)、鎵酸鋰基板(LiGaO_2)、矽(Si)基板、氮化鎵(GaN)基板，氧化鋅(ZnO)基板、氧化鋁鋅基板(AlZnO)、砷化鎵(GaAs)基板、磷化鎵(GaP)基板、銻化鎵基板(GaSb)、磷化銻(InP)基板、砷化銻(InAs)基板或硒化鋅(ZnSe)基板，一般多使用藍寶石(Al_2O_3)基板。步驟5-2，形成一緩衝層位於上述基板上。利用有機金屬氣相沉積法 (Metal Organic Chemical Vapor Deposition; MOCVD) 或是分子束磊晶法(Molecular Beam Epitaxy; MBE)等技術形成一緩衝層於上述基板上。步驟5-3，形成一圖案化二氧化矽層位於上述緩衝層上。以化學氣相沉積法 (Chemical Vapor Deposition; CVD) 或是低溫濺鍍 (Sputtering) 的方法將二氧化矽材料沉積在上述基板上形成一薄層。然後在前述二氧化矽層之表面上方形成光阻膜，再以光微影法 (Photolithography) 將光阻膜圖案化使得預計蝕刻部份顯露。最後以濕式蝕刻、乾式蝕刻或是電感式電漿蝕刻系統 (Inductively coupled plasma etcher; ICP) 進行圖案化製程以得到一圖案化二氧化矽層。步驟5-4，形成一填補層位於上述圖案化二氧化矽層上。先形成一III族氮化物填補層於圖案化之二氧化矽層上。由於二氧化矽層屬於多晶系，使得單晶系的III族

氮化物層無法直接磊晶於多晶系表面上，因而產生一種側向磊晶(Epitaxially Lateral Overgrowth；ELOG)的現象。從孔洞中開始成長的III族氮化物材料在到達二氧化矽層表面後，會以側向成長的方式直到銜接另一端的III族氮化物材料而形成一平面填補層。前述填補層又可作為一緩衝層，以提高半導體層的磊晶品質。步驟5-5，形成一半導體層位於上述填補層上。可利用有機金屬氣相沉積法(Metal Organic Chemical Vapor Deposition；MOCVD)或是分子束磊晶法(Molecular Beam Epitaxy；MBE)等技術將半導體發光結構沉積於前述填補層上。前述半導體層包含一n型導通層、一發光層、一電子阻擋層以及一p型導通層。步驟5-6，移除上述圖案化二氧化矽層後形成連續性的孔洞位於上述緩衝層與上述填補層之間。本發明以化學濕式蝕刻的方法去除二氧化矽層。選擇可與氧化物反應的化學溶液並調配至適當比例，將二氧化矽層浸泡在化學溶液中，利用化學溶液與二氧化矽材料產生化學反應除去二氧化矽層。在完成二氧化矽層的移除後會留下柱狀III族氮化物位於前述緩衝層和填補層之間。若進一步用第二種蝕刻液蝕刻III族氮化物表面以增加表面之不規則，更可提升半導體層之發光效率。步驟5-7，蝕刻上述半導體層形成一切割平台。藉由光阻自旋塗佈機以離心力將光阻劑全面塗佈於p型導通層之表面上方以形成光阻膜。再以光微影法(Photolithography)將光阻膜圖案化而形成遮罩，使得預計蝕刻部份顯露。再以濕式蝕刻、乾式蝕刻或是電感式電漿蝕刻系統(Inductively coupled plasma etcher；ICP)形成一切割平台。步驟5-8，形成一透明導電層於上述半導體層上。一般以蒸鍍，濺鍍等物理氣相沉積法形成透明導電層於半導體層上。其材料可

為鎳/金 (Ni/Au)、氧化銻錫 (Indium Tin Oxide; ITO)、氧化銻鋅 (Indium Zinc Oxide; IZO)、氧化銻鈦 (Indium Tungsten Oxide; IWO) 或是氧化銻鎵 (Indium Gallium Oxide; IGO)。

- 【0069】 經由上述步驟4-7和步驟5-8之後，按照一般發光二極體之製造過程，形成一p型電極於前述透明導電層上及一n型電極於n型導通層上。另外，可再形成一絕緣層用以保護半導體元件。
- 【0070】 上述之本發明方法流程圖其實施內容，將搭配圖示與各步驟的結構示意圖，詳細介紹本發明的結構與各步驟的形成方式。
- 【0071】 本發明先提出第一種製造方法。請參考第6A圖所示，進行基板表面淨化處理及形成一圖案化二氧化矽層於前述基板上。提供一基板601，前述基板可為藍寶石(Al_2O_3)基板、碳化矽(SiC)基板、鋁酸鋰基板(AlLiO_2)、鎵酸鋰基板(LiGaO_2)、矽(Si)基板、氮化鎵(GaN)基板，氧化鋅(ZnO)基板、氧化鋁鋅基板(AlZnO)、砷化鎵(GaAs)基板、磷化鎵(GaP)基板、銻化鎵基板(GaSb)、磷化銻(InP)基板、砷化銻(InAs)基板或硒化鋅(ZnSe)基板。將基板表面進行清洗。例如：於充滿氬氣之環境中以1200°C溫度進行熱清洗 (thermal cleaning)。再利用化學氣相沉積法 (Chemical Vapor Deposition; CVD) 或是低溫濺鍍 (Sputtering) 的方法將二氧化矽材料沉積在前述基板601上形成一薄層603。接下來在前述二氧化矽層603之表面上方形成光阻膜，再以光微影法 (Photolithography) 將光阻膜圖案化使得預計蝕刻部份顯露。最後以濕式蝕刻、乾式蝕刻或是電感式電漿蝕刻系統 (Inductively coupled plasma etcher; ICP) 進行圖案化製程以

得到一圖案化二氧化矽層603。前述圖案化二氧化矽層603可為連續或部分連續之圖案。請參考第10A~10D圖，即為二氧化矽層之各式圖案示意圖。如第10A圖為圓柱型凹槽圖案，第10B圖為六角柱型凹槽圖案，第10C圖為四角柱型凹槽圖案，第10D圖為長條狀凹槽圖案。除了前述之圖案外，亦不限制其他各式圖案。前述第10A~10C圖屬於連續的圖案，而前述第10D圖為部分連續的圖案。

【0072】接著，請參考第6B圖所示，形成一III族氮化物孔洞填補層605於圖案化二氧化矽層603上。前述孔洞填補層又可視為緩衝層。二氧化矽層屬於多晶系，由於晶格不匹配度太高，使得單晶系的III族氮化物層無法直接磊晶於多晶系表面上，藉而產生一種側向磊晶(Epitaxially Lateral Overgrowth；ELOG)的現象。本發明利用化學氣相沉積法(Chemical Vapor Deposition；CVD)的方法從凹洞627中開始成長III族氮化物材料，當到達二氧化矽層603表面後，前述III族氮化物材料會以側向成長的方式直到銜接至另一端的III族氮化物而形成一緩衝層平面。前述III族氮化物孔洞填補層605可為 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ，其中 $0 \leq x \leq 1$ 及 $0 \leq y \leq 1$ 。

【0073】再者，請參考第6C圖所示，形成一半導體層615於前述III族氮化物孔洞填補層605上。前述半導體層615包含一n型導通層607、一發光層609、一電子阻擋層611以及一p型導通層613。可利用有機金屬氣相沉積法(Metal Organic Chemical Vapor Deposition；MOCVD)或是分子束磊晶(Molecular Beam Epitaxy；MBE)等技術，將上述半導體層615沉積於前述III族氮化物孔洞填補層605上。首先摻雜四族的原子以形成n型導通層607在III族氮化物孔洞填補層605上。在本實施例中是矽原子(Si)，而矽的先驅

物在有機金屬化學氣相沉積機台中可以是矽甲烷（SiH₄）或是矽乙烷（Si₂H₆）。n型導通層605的形成方式依序由高濃度參雜矽原子（Si）的氮化鎵層（GaN）或是氮化鋁鎵層（AlGaN）至低濃度參雜矽原子（Si）的氮化鎵層或是氮化鋁鎵層（AlGaN）。高濃度參雜矽原子（Si）的氮化鎵層（GaN）或是氮化鋁鎵層（AlGaN）可以提供n型電極之間較佳的導電效果。

【0074】接著是形成一發光層609在n型導通層607上。其中發光層609可以是單異質結構、雙異質結構、單量子井層或是多重量子井層結構。目前多採用多重量子井層結構，也就是多重量子井層/阻障層的結構。量子井層可以使用氮化銦鎵（InGaN），而阻障層可以使用氮化鋁鎵（AlGaN）等的三元結構。另外，也可以採用四元結構，也就是使用氮化鋁鎵銦（Al_xIn_yGa_{1-x-y}N）同時作為量子井層以及阻障層。其中調整鋁與銦的比例使得氮化鋁鎵銦晶格的能量階可以分別成為高能階的阻障層與低能階的量子井層。發光層609可以摻雜n型或是p型的摻雜子（dopant），可以是同時摻雜n型與p型的摻雜子，也可以完全不摻雜。並且，可以是量子井層摻雜而阻障層不摻雜、量子井層不摻雜而阻障層摻雜、量子井層與阻障層都摻雜或是量子井層與阻障層都不摻雜。再者，亦可以在量子井層的部份區域進行高濃度的摻雜（delta doping）。

【0075】之後，在發光層609上形成一p型導通的電子阻擋層611。p型導通的電子阻擋層611包括第一種III-V族半導體層，以及第二種III-V族半導體層。這兩種III-V族半導體層之能隙不同，且係具有週期性地重複沉積在上述發光層609上，前週期性地重複沉積動作可形成能障較高的電子阻擋層（能障高於主動發光層的能障

)，用以阻擋過多電子(e-)溢流發光層609。前述第一種III-V族半導體層可為氮化鋁銦鎵(Al_xIn_yGa_{1-x-y}N)層，前述第二種III-V族半導體層可為氮化鋁銦鎵(Al_uIn_vGa_{1-u-v}N)層。其中，0 < x ≤ 1，0 ≤ y < 1，x+y ≤ 1，0 ≤ u < 1，0 ≤ v ≤ 1 以及 u+v ≤ 1。當 x=u 時，y ≠ v。另外，前述III-V族半導體層亦可為氮化鎵(GaN)、氮化鋁(AlN)、氮化銦(InN)、氮化鋁鎵(AlGaN)、氮化銦鎵(InGaN)、氮化鋁銦(AlInN)。

【0076】最後，摻雜二族的原予以形成p型導通層613於電子阻擋層611上。在本實施例中是鎂原子。而鎂的先驅物在有機金屬化學氣相沉積機台中可以是CP2Mg。p型導通層613的形成方式依序由低濃度參雜鎂原子(Mg)的氮化鎵層(GaN)或是氮化鋁鎵層(AlGaN)至高濃度參雜鎂原子(Mg)的氮化鎵層或是氮化鋁鎵層(AlGaN)。高濃度參雜鎂原子(Mg)的氮化鎵層(GaN)或是氮化鋁鎵層層可以提供p型電極之間較佳的導電效果。

【0077】由第6D圖所示，利用濕式蝕刻的方式移除前述二氧化矽層以形成連續性的孔洞617。藉由化學溶液的選取與調配，將二氧化矽層603浸入前述化學溶液，以超音波震盪加上UV照射提高溶液溫度的方式加速前述化學溶液與前述二氧化矽層之間的化學反應。前述化學溶液的溫度大約高至150°C左右。前述的化學溶液可選擇緩衝氧化蝕刻液(Buffer Oxide Etcher；BOE)，其主要蝕刻二氧化矽(Silicon Dioxide；Si O₂)或是氮化矽(Silicon Nitride；Si₃N₄)。前述緩衝氧化蝕刻液為氟化胺(NH₄F)溶液及氫氟酸(HF)之混合液，其配製方法可為配製約40%重量百分比的氟化胺(NH₄F)溶液，再與濃度約49%的氫氟酸(HF)溶液配製成約10%

體積百分比的緩衝氧化蝕刻液。更仔細的說明，取出透明顆粒狀之氟化胺（NH₄F）固體約90公克倒入約135 ml的去離子水中攪拌溶化。以量瓶取出約180 ml的氟化胺（NH₄F）溶液倒至一容器中，另外再取約49 %的氫氟酸(HF)溶液約20 ml倒入前述容器中一起混合至均勻即完成緩衝氧化蝕刻液的配製。將二氧化矽層603短暫浸泡於蝕刻液中，最後二氧化矽層603被侵蝕完成後剩下連續性的孔洞617，介於前述基板601與前述孔洞填補層605之間。

【0078】 請參考第6E圖所示，在半導體層上先形成一透明導電層，然後蝕刻切割平台並暴露出n型導通層。一般以蒸鍍，濺鍍等物理氣相沉積法形成透明導電層619於半導體層615上。其材料可為鎳/金(Ni/Au)、氧化銦錫(Indium Tin Oxide; ITO)、氧化銦鋅(Indium Zinc Oxide; IZO)、氧化銦鎢(Indium Tungsten Oxide; IWO)或是氧化銦鎵(Indium Gallium Oxide; IGO)。接著藉由光阻自旋塗佈機以離心力將光阻劑全面塗佈於透明導電層619之表面上方以形成光阻膜。再以光微影法(Photolithography)將光阻膜圖案化而形成遮罩，使得預計蝕刻部份顯露。再以濕式蝕刻、乾式蝕刻或是電感式電漿蝕刻系統(Inductively coupled plasma etcher; ICP)進行mesa製程。前述mesa製程係為蝕刻半導體層615，以形成切割平台631，同時暴露出n型導通層607。

【0079】 請參考第6F圖所示，形成一n型電極於n型導通層上，一p型電極於透明導電層上。上述n型電極623及p型電極621可利用濺鍍、蒸鍍等物理氣相層積的方法將金屬沉積於上述n型導通層607及上述透明導電層619上。上述n型電極623可為鈦/鋁/鈦/金(Ti / Al

/ Ti / Au)、鎔金合金(Cr/Au)或是鉛金合金(Pd / Au)，p型電極621可為鎳金合金(Ni / Au)、鉑金合金(Pt / Au)、鎢(W)、鎔金合金(Cr/Au)或鈀(Pd)。

【0080】最後，如第6G圖所示，可形成一絕緣層625包覆於半導體元件的外層並露出n型電極623與p型電極621。前述絕緣層可為二氧化矽(Si O₂)、環氧樹脂(Epoxy)、氮化矽(Si₃N₄)、二氧化鈦(Ti O₂)或是氮化鋁(AlN)。

【0081】另外，第6F圖與第6F' 圖以及第6G圖與第6G' 圖的差異在於p型導通層613的粗糙化表面。當第6D圖完成去圖案化二氧化矽層之後，於p型導通層613的表面先以濕式蝕刻、乾式蝕刻或是電感式電漿蝕刻系統(Inductively coupled plasma etcher；ICP)蝕刻出不規則表面，再進行第6E圖和第6F圖的製造程序。

【0082】本發明之第一種製造方法除了有第6F圖、第6F' 圖、第6G圖及第6G' 圖四種結構以外，更可再衍生出另外幾種結構，如第7A圖、第7A' 圖、第7B圖以及第7B' 圖。其製造方法的差異在於第6D圖完成去二氧化矽層形成連續性的孔洞617視為第一次蝕刻，則將已形成的覆數個孔洞617再增加一次濕式蝕刻並視為第二次蝕刻。第二次蝕刻主要是在孔洞填補層表面形成粗糙表面，藉以增加出半導體光電元件的出光效率。第二次蝕刻是將化學溶液藉由連續性的孔洞617滲入結構中，以侵蝕III族氮化物孔洞填補層605表面，使表面形成步粗糙表面。化學溶液可為氫氧化鉀(Potassium Hydroxide；KOH)、硫酸(Sulfuric Acid；H₂SO₄)或是磷酸(Phosphoric Acid；H₃PO₄)。在第二次蝕刻的過程中還是以超音波震盪加上UV照射提高溶液溫度的方式增加前述化學溶液

與前述III族氮化物之間的化學反應速率，注意蝕刻時間約在幾秒之內完成。後續的製程步驟與第6E圖及第6F圖相同，故不在此贅述之。

【0083】本發明再進一步提供第二種製造方法，其與第一種方法之主要差異在於將連續性的孔洞形成於緩衝層之間。請參考第8A圖，在一基板上先形成一緩衝層，再進行圖案化二氧化矽層。提供一基板801，前述基板可為藍寶石(Al_2O_3)基板、碳化矽(SiC)基板、鋁酸鋰基板(AlLiO_2)、鎵酸鋰基板(LiGaO_2)、矽(Si)基板、氮化鎵(GaN)基板，氧化鋅(ZnO)基板、氧化鋁鋅基板(AlZnO)、砷化鎵(GaAs)基板、磷化鎵(GaP)基板、銻化鎵基板(GaSb)、磷化銦(InP)基板、砷化銦(InAs)基板或硒化鋅(ZnSe)基板。將基板表面進行清洗。例如：於充滿氫氣之環境中以1200°C溫度進行熱清洗(thermal cleaning)。再利用有機金屬氣相沉積法(Metal Organic Chemical Vapor Deposition; MOCVD)或是分子束磊晶(Molecular Beam Epitaxy; MBE)等技術形成一緩衝層803於前述基板801上。前述緩衝層可為 $\text{Al}_{x}\text{In}_{y}\text{Ga}_{1-x-y}\text{N}$ ，其中 $0 \leq x \leq 1$ 及 $0 \leq y \leq 1$ 。

【0084】接著再利用化學氣相沉積法(Chemical Vapor Deposition; CVD)或是低溫濺鍍(Sputtering)的方法將二氧化矽材料沉積在前述緩衝層803上形成一薄層。雖然III族氮化物與二氧化矽的晶格不匹配數很高，由於III族氮化物的晶格排列比二氧化矽整齊，所以二氧化矽可以形成一薄膜層於III族氮化物上而不遭到排斥。接下來在前述二氧化矽層805之表面上方形成光阻膜，再以光微影法(Photolithography)將光阻膜圖案化使得預計蝕刻部份

顯露。最後以濕式蝕刻、乾式蝕刻或是電感式電漿蝕刻系統（Inductively coupled plasma etcher；ICP）進行圖案化製程以得到一圖案化二氧化矽層。前述圖案化二氧化矽層805可為連續或部分連續之圖案。請參考第10A~10D圖，即為二氧化矽層之各式圖案示意圖。如第10A圖為圓柱型凹槽圖案，第10B圖為六角柱型凹槽圖案，第10C圖為四角柱型凹槽圖案，第10D圖為長條狀凹槽圖案。除了前述之圖案外，亦不限制其他各式圖案。前述第10A~10C圖屬於連續的圖案，而前述第10D圖為部分連續的圖案。

【0085】接著，請參考第8B圖所示，形成一III族氮化物孔洞填補層於圖案化二氧化矽層上。前述孔洞填補層807又可視為緩衝層。二氧化矽層805屬於多晶系，由於晶格不配數太高，使得單晶系的III族氮化物層無法直接磊晶於多晶系表面上，藉而產生一種側向磊晶(Epitaxially Lateral Overgrowth；ELOG)的現象。本發明利用化學氣相沉積法(Chemical Vapor Deposition；CVD)的方法從凹洞833中開始成長III族氮化物材料，當到達二氧化矽層805表面後，前述III族氮化物材料會以側向成長的方式直到銜接至另一端的III族氮化物而形成一緩衝層807平面。前述III族氮化物孔洞填補層807可為 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ，其中 $0 \leq x \leq 1$ 及 $0 \leq y \leq 1$ 。

【0086】請參考第8C圖所示，形成一半導體層於III族氮化物孔洞填補層上。形成一半導體層819於前述III族氮化物孔洞填補層807上。前述半導體層819包含一n型導通層811、一發光層813、一電子阻擋層815以及一p型導通層817。可利用有機金屬氣相沉積法(Metal Organic Chemical Vapor Deposition；MOCVD)或是分子

束磊晶（Molecular Beam Epitaxy；MBE）等技術，將上述半導體層819沉積於前述III族氮化物孔洞填補層807上。首先摻雜四族的原子以形成n型導通層811在III族氮化物孔洞填補層807上。在本實施例中是矽原子（Si），而矽的先驅物在有機金屬化學氣相沉積機台中可以是矽甲烷（SiH₄）或是矽乙烷（Si₂H₆）。n型導通層811的形成方式依序由高濃度參雜矽原子（Si）的氮化鎵層（GaN）或是氮化鋁鎵層（AlGaN）至低濃度摻雜矽原子（Si）的氮化鎵層或是氮化鋁鎵層（AlGaN）。高濃度摻雜矽原子（Si）的氮化鎵層（GaN）或是氮化鋁鎵層（AlGaN）可以提供n型電極之間較佳的導電效果。

【0087】接著是形成一發光層813在n型導通層811上。其中發光層813可以是單異質結構、雙異質結構、單量子井層或是多重量子井層結構。目前多採用多重量子井層結構，也就是多重量子井層/阻障層的結構。量子井層可以使用氮化銦鎵（InGaN），而阻障層可以使用氮化鋁鎵（AlGaN）等的三元結構。另外，也可以採用四元結構，也就是使用氮化鋁鎵銦（Al_xIn_yGa_{1-x-y}N）同時作為量子井層以及阻障層。其中調整鋁與銦的比例使得氮化鋁鎵銦晶格的能量階可以分別成為高能階的阻障層與低能階的量子井層。發光層813可以摻雜n型或是p型的摻雜子（dopant），可以是同時摻雜n型與p型的摻雜子，也可以完全不摻雜。並且，可以是量子井層摻雜而阻障層不摻雜、量子井層不摻雜而阻障層摻雜、量子井層與阻障層都摻雜或是量子井層與阻障層都不摻雜。再者，亦可以在量子井層的部份區域進行高濃度的摻雜（delta doping）。

【0088】之後，在發光層813上形成一p型導通的電子阻擋層815。p型導通

的電子阻擋層815包括第一種III-V族半導體層，以及第二種III-V族半導體層。這兩種III-V族半導體層之能隙不同，且係具有週期性地重複沉積在上述發光層813上，前週期性地重複沉積動作可形成能障較高的電子阻擋層（能障高於主動發光層的能障），用以阻擋過多電子（e-）溢流發光層813。前述第一種III-V族半導體層可為氮化鋁銦鎵 $(Al_xIn_yGa_{1-x-y}N)$ 層，前述第二種III-V族半導體層可為氮化鋁銦鎵 $(Al_uIn_vGa_{1-u-v}N)$ 層。其中， $0 < x \leq 1$ ， $0 \leq y < 1$ ， $x+y \leq 1$ ， $0 \leq u < 1$ ， $0 \leq v \leq 1$ 以及 $u+v \leq 1$ 。當 $x=u$ 時， $y \neq v$ 。另外，前述III-V族半導體層亦可為氮化鎵(GaN)、氮化鋁(AlN)、氮化銦(InN)、氮化鋁鎵(AlGaN)、氮化銦鎵(InGaN)、氮化鋁銦(AlInN)。

【0089】最後，摻雜二族的原子以形成p型導通層817於電子阻擋層815上。在本實施例中是鎂原子。而鎂的先驅物在有機金屬化學氣相沉積機台中可以是CP2Mg。p型導通層817的形成方式依序由低濃度摻雜鎂原子(Mg)的氮化鎵層(GaN)或是氮化鋁鎵層(AlGaN)至高濃度參雜鎂原子(Mg)的氮化鎵層或是氮化鋁鎵層(AlGaN)。高濃度參雜鎂原子(Mg)的氮化鎵層(GaN)或是氮化鋁鎵層可以提供p型電極之間較佳的導電效果。

【0090】接著，請參考第8D圖所示，利用濕式蝕刻的方式移除前述二氧化矽層以形成連續性的孔洞。藉由化學溶液的選取與調配，將二氧化矽層805浸入前述化學溶液，以超音波震盪加上UV照射提高溶液溫度的方式加速前述化學溶液與前述二氧化矽層之間的化學反應。前述化學溶液的溫度大約高至150°C左右。前述的化學溶液可選擇緩衝氧化蝕刻液(Buffer Oxide Etcher；BOE)，其主要蝕

刻二氧化矽(Silicon Dioxide ; Si O₂)或是氮化矽(Silicon Nitride ; Si₃N₄)。前述緩衝氧化蝕刻液為氟化胺(NH₄F)溶液及氫氟酸(HF)之混合液，其配製方法可為配製約40%重量百分比的氟化胺(NH₄F)溶液，再與濃度約49%的氫氟酸(HF)溶液配製成約10%體積百分比的緩衝氧化蝕刻液。更仔細的說明，取出透明顆粒狀之氟化胺(NH₄F)固體約90公克倒入約135 ml的去離子水中攪拌溶化。以量瓶取出約180 ml的氟化胺(NH₄F)溶液倒至一容器中，另外再取約49%的氫氟酸(HF)溶液約20 ml倒入前述容器中一起混合至均勻即完成緩衝氧化蝕刻液的配製。將二氧化矽805短暫浸泡於前述蝕刻液中，最後二氧化矽層805被侵蝕完成後剩下連續性的孔洞821介於前述緩衝層803與前述孔洞填補層807之間。

【0091】請參考第8E圖所示，在半導體層上先形成一透明導電層，然後蝕刻切割平台並暴露出n型導通層。一般以蒸鍍，濺鍍等物理氣相沉積法形成透明導電層823於半導體層819上。其材料可為鎳/金(Ni/Au)、氧化銦錫(Indium Tin Oxide; ITO)、氧化銦鋅(Indium Zinc Oxide; IZO)、氧化銦鎢(Indium Tungsten Oxide; IWO)或是氧化銦鎵(Indium Gallium Oxide; IGO)。接著藉由光阻自旋塗佈機以離心力將光阻劑全面塗佈於透明導電層823之上方以形成光阻膜。再以光微影法(Photolithography)將光阻膜圖案化而形成遮罩，使得預計蝕刻部份顯露。再以濕式蝕刻、乾式蝕刻或是電感式電漿蝕刻系統(Inductively coupled plasma etcher; ICP)進行mesa製程。前述mesa製程係為蝕刻半導體層819，以形成切割平台825，同時暴露出n型導通層811。

- 【0092】 請參考第8F圖所示，形成一n型電極於n型導通層上，一p型電極於透明導電層上。上述n型電極829及p型電極827可利用濺鍍、蒸鍍等物理氣相層積的方法將金屬沉積於上述n型導通層811及上述透明導電層823上。上述n型電極829可為鈦/鋁/鈦/金(Ti / Al / Ti / Au)、鎳金合金(Cr/Au)或是鉑金合金(Pd / Au)，p型電極827可為鎳金合金(Ni / Au)、鉑金合金(Pt / Au)、鎢(W)、鎔金合金(Cr/Au)或鈀(Pd)。
- 【0093】 最後，如第8G圖所示，可形成一絕緣層831包覆於半導體元件的外層露出n型電極829與p型電極827。前述絕緣層可為二氧化矽(Si O₂)、環氧樹脂(Epoxy)、氮化矽(Si₃N₄)、二氧化鈦(Ti O₂)或是氮化鋁(AlN)。
- 【0094】 另外，第8F圖與第8F'圖以及第8G圖與第8G'圖的差異在於p型導通層817的粗糙化表面。當第8D圖完成去圖案化二氧化矽層之後，於p型導通層817的表面先以濕式蝕刻、乾式蝕刻或是電感式電漿蝕刻系統(Inductively coupled plasma etcher；ICP)蝕刻出不規則表面，再進行第8E圖和第8F圖的製造程序。
- 【0095】 本發明之第二種製造方法除了有第8F圖、第8F'圖、第8G圖及第8G'圖四種結構以外，更可再衍生出另外幾種結構，如第9A圖、第9A'圖、第9B圖以及第9B'圖。其製造方法的差異在於第8D圖完成去二氧化矽層805形成連續性的孔洞821視為第一次蝕刻，則將已形成的覆數個孔洞821再增加一次濕式蝕刻並視為第二次蝕刻。第二次蝕刻主要是將緩衝層803以及孔洞填補層807表面形成粗糙表面，藉以增加發光二極體的出光效率。第二次蝕刻是將化學溶液藉由連續性的孔洞821滲入結構中，以侵蝕III族氮化物緩

衝層803及孔洞填補層807表面，使表面形成步粗糙表面。化學溶液可為氫氧化鉀(Potassium Hydroxide；KOH)、硫酸(Sulfuric Acid；H₂SO₄)或是磷酸(Phosphoric Acid；H₃PO₄)。在第二次蝕刻的過程中還是以超音波震盪加上UV照射提高溶液溫度的方式增加前述化學溶液與前述III族氮化物之間的化學反應速率，注意蝕刻時間約在幾秒之內完成。後續的製程步驟與第8E圖及第8F圖相同。

【0096】依上述步驟所形成的連續性的孔洞，請參考第9C圖所示，其孔洞高度901介於0.05~2.0 μm之間，其孔洞寬度903介於0.1~10.0 μm之間。發光層與連續性的孔洞之間的距離905約在3.0~4.0 μm之間有助於發光層產生的光經由連續性的孔洞表面反射，增加出光面的光強度。而發光層與p型導電層表面距離907介於0.15~0.3 μm之間可有助於從發光層產生的光向出光面發射。

【0097】顯然地，依照上面實施例中的描述，本發明可能有許多的修正與差異。因此需要在其附加的權利要求項之範圍內加以理解，除了上述詳細的描述外，本發明還可以廣泛地在其他的實施例中施行。上述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成的等效改變或修飾，均應包含在下述申請專利範圍內。

【符號說明】

【0098】藍寶石基板：101

【0099】未摻雜GaN層：103

【0100】n-GaN層：105

- 【0101】 發光層：107
- 【0102】 含有不規則表面的p-GaN層：109
- 【0103】 含有不規則表面的n-GaN層：111
- 【0104】 n型電極：113
- 【0105】 p型電極：115
- 【0106】 磷晶層：117
- 【0107】 藍寶石基板：201
- 【0108】 凹面與凸面：203a
- 【0109】 凹凸面三角波形：203b
- 【0110】 緩衝層：205
- 【0111】 n型導通層：207
- 【0112】 發光層：209
- 【0113】 p型導通層：211
- 【0114】 半導體層：213
- 【0115】 藍寶石基板：301
- 【0116】 膠層：303
- 【0117】 未摻雜-GaN層：305
- 【0118】 p-GaN層：307
- 【0119】 透明導電層：309

- 【0120】磊晶層：311
- 【0121】p型電極：313
- 【0122】n型電極：315
- 【0123】基板：601
- 【0124】二氧化矽層：603
- 【0125】孔洞填補層：605
- 【0126】n型導通層：607
- 【0127】發光層：609
- 【0128】電子阻擋層：611
- 【0129】p型導通層：613
- 【0130】半導體層：615
- 【0131】一連續孔洞：617
- 【0132】透明導電層：619
- 【0133】p型電極：621
- 【0134】n型電極：623
- 【0135】絕緣層：625
- 【0136】凹洞：627
- 【0137】基板：801
- 【0138】切割平台：631

- 【0139】 二氧化矽層：805
- 【0140】 緩衝層：803
- 【0141】 發光層：813
- 【0142】 孔洞填補層：807
- 【0143】 p型導通層：817
- 【0144】 n型導通層：811
- 【0145】 連續性的孔洞：821
- 【0146】 電子阻擋層：815
- 【0147】 切割平台：825
- 【0148】 半導體層：819
- 【0149】 n型電極：829
- 【0150】 透明導電層：823
- 【0151】 凹洞：833
- 【0152】 p型電極：827
- 【0153】 孔洞寬度：903
- 【0154】 絝緣層：831
- 【0155】 發光層與p型導通層表面的距離：907
- 【0156】 孔洞高度：901
- 【0157】 發光層與孔洞的距離：905

【主張利用生物材料】

【0158】 無



申請日：98.7.15

IPC分類：H01L 33/00 (2010.01)

公告本

【發明摘要】

【中文發明名稱】提高光萃取效率之半導體光電結構及其製造方法

【英文發明名稱】SEMICONDUCTOR OPTOELECTRONIC STRUCTURE OF
INCREASED LIGHT EXTRACTION EFFICIENCY AND
FABRICATED THEREOF

【中文】

本發明為一種提高光萃取效率的半導體光電結構及其製造方法，其特徵在發光層下方形成連續性的孔洞，用以反射發光層發射的光，提高出光面的光強度以及亮度。

【英文】

The present invention discloses a semiconductor optoelectronic structure of increased light extraction efficiency and fabricated thereof. The feature includes a step of forming continuous grooves under an active layer to reflect light from the active layer and increased the light of output power and brightness from the emitting surface of light, simultaneously.

【發明申請專利範圍】

【第1項】 一種提高光萃取效率之半導體光電元件之製造方法，包含下列步驟：

提供一基板；

形成一圖案化二氧化矽層位於該基板上；

形成一墳補層位於該圖案化二氧化矽層上；

形成一半導體層位於該墳補層上；

移除該圖案化二氧化矽層後形成連續性的孔洞位於該基板與該墳補層之間；

蝕刻該半導體層形成一切割平台；以及

形成一透明導電層於該半導體層上。

【第2項】 依據申請專利範圍第1項所述之提高光萃取效率之半導體光電元件之製造方法，其中該半導體層更包含一n型導通層、一發光層以及一p型導通層。

【第3項】 依據申請專利範圍第2項所述之提高光萃取效率之半導體光電元件之製造方法，其中該半導體層更包含一電子阻擋層介於該發光層與該p型導通層之間。

【第4項】 依據申請專利範圍第1項所述之提高光萃取效率之半導體光電元件之製造方法，更包含以KOH、H₂SO₄或是H₃PO₄化學蝕刻液蝕刻該連續性的孔洞表面形成粗糙表面。

【第5項】 依據申請專利範圍第4項所述之提高光萃取效率之半導體光電元件之製造方法，其中該移除該圖案化二氧化矽層的方法是使用BOE化學蝕刻液。

【第6項】 依據申請專利範圍第1項所述之提高光萃取效率之半導體光電元件之製造方法，更包含形成一透明導電層前，於p型導通層上先形成一粗糙表面。

- 【第7項】** 依據申請專利範圍第6項所述之提高光萃取效率之半導體光電元件之製造方法，更包含一絕緣層覆蓋於該p型導通層及n型導通層上並且暴露出p型電極以及n型電極。
- 【第8項】** 依據申請專利範圍第7項所述之提高光萃取效率之半導體光電元件之製造方法，其中該絕緣層可為二氧化矽(SiO_2)、環氧樹脂(Epoxy)、氮化矽(Si_3N_4)、二氧化鈦(TiO_2)或是氮化鋁(AlN)。
- 【第9項】** 依據申請專利範圍第1項所述之提高光萃取效率之半導體光電元件之製造方法，其中該基板可為藍寶石(Al_2O_3)基板、碳化矽(SiC)基板、鋁酸鋰基板(AlLiO_2)、鎵酸鋰基板(LiGaO_2)、矽(Si)基板、氮化鎗(GaN)基板，氧化鋅(ZnO)基板、氧化鋁鋅基板(AlZnO)、砷化鎵(GaAs)基板、磷化鎵(GaP)基板、銻化鎵基板(GaSb)、磷化銦(InP)基板、砷化銦(InAs)基板或硒化鋅(ZnSe)基板。
- 【第10項】** 依據申請專利範圍第9項所述之提高光萃取效率之半導體光電元件之製造方法，其中該緩衝層可為氮化鎵(GaN)、氮化鋁鎵(AlGaN)、氮化鋁(AlN)、或是InGaN/InGaN超晶格結構。
- 【第11項】** 依據申請專利範圍第10項所述之提高光萃取效率之半導體光電元件之製造方法，其中該發光層為單異質結構、雙異質結構、單量子井層或是多重量子井層結構。
- 【第12項】** 依據申請專利範圍第11項所述之提高光萃取效率之半導體光電元件之製造方法，其中該半導體層為 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ，其中 $0 \leq x \leq 1$ 及 $0 \leq y \leq 1$ 。
- 【第13項】** 依據申請專利範圍第5項所述之提高光萃取效率之半導體光電元件之製造方法，其中圖案化孔洞層亦可為部份連續之圖案。
- 【第14項】** 依據申請專利範圍第13項所述之提高光萃取效率之半導體光電元件之製造方法，其中圖案化孔洞層為圓柱狀孔洞、多角柱狀孔洞或是長條狀孔洞。

- 【第15項】** 依據申請專利範圍第14項所述之提高光萃取效率之半導體光電元件之製造方法，其中圖案化孔洞層高度介於 $0.05\sim2.0\mu\text{m}$ 。
- 【第16項】** 依據申請專利範圍第14項所述之提高光萃取效率之半導體光電元件之製造方法，其中圖案化孔洞層寬度介於 $0.1\sim10.0\mu\text{m}$ 。
- 【第17項】** 依據申請專利範圍第14項所述之提高光萃取效率之半導體光電元件之製造方法，其中該發光層與該圖案化孔洞層表面距離介於 $3.0\sim4.0\mu\text{m}$ 。
- 【第18項】** 依據申請專利範圍第14項所述之提高光萃取效率之半導體光電元件之製造方法，其中該發光層與該p型導通層表面距離介於 $0.15\sim0.3\mu\text{m}$ 。
- 【第19項】** 一種提高光萃取效率之半導體光電元件之製造方法，包含下列步驟：
- 提供一基板；
 - 形成一緩衝層位於該基板上；
 - 形成一圖案化二氧化矽層位於該緩衝層上；
 - 形成一墳補層位於該圖案化二氧化矽層上；
 - 形成一半導體層位於該墳補層上；
 - 移除該圖案化二氧化矽層後形成一連續性孔洞位於該基板與該墳補層之間；
 - 蝕刻該半導體層形成一切割平台；以及
 - 形成一透明導電層於該半導體層上。
- 【第20項】** 依據申請專利範圍第19項所述之提高光萃取效率之半導體光電元件之製造方法，其中該半導體層更包含一n型導通層、一發光層以及一p型導通層。
- 【第21項】** 依據申請專利範圍第20項所述之提高光萃取效率之半導體光電元件之製造方法，其中該半導體層更包含一電子阻擋層介於該發光層與該p型導通層之間。
- 【第22項】** 依據申請專利範圍第21項所述之提高光萃取效率之半導體光電元件之製

造方法，更包含以KOH、H₂SO₄或是H₃PO₄化學蝕刻液蝕刻該一連續性孔洞表面形成粗糙表面。

【第23項】 依據申請專利範圍第22項所述之提高光萃取效率之半導體光電元件之製造方法，其中該移除該圖案化二氧化矽層的方法是使用BOE化學蝕刻液。

【第24項】 依據申請專利範圍第19項所述之提高光萃取效率之半導體光電元件之製造方法，更包含形成一透明導電層前，於p型導通層上先形成一粗糙表面。

【第25項】 依據申請專利範圍第24項所述之提高光萃取效率之半導體光電元件之製造方法，更包含一絕緣層覆蓋於該p型導通層及n型導通層上並且暴露出p型電極以及n型電極。

【第26項】 依據申請專利範圍第25項所述之提高光萃取效率之半導體光電元件之製造方法，其中該絕緣層可為二氧化矽(SiO₂)、環氧樹脂(Epoxy)、氮化矽(Si₃N₄)、二氧化鈦(TiO₂)或是氮化鋁(AlN)。

【第27項】 依據申請專利範圍第26項所述之提高光萃取效率之半導體光電元件之製造方法，其中該基板可為藍寶石(Al₂O₃)基板、碳化矽(SiC)基板、鋁酸鋰基板(AlLiO₂)、鎵酸鋰基板(LiGaO₂)、矽(Si)基板、氮化鎵(GaN)基板，氧化鋅(ZnO)基板、氧化鋁鋅基板(AlZnO)、砷化鎵(GaAs)基板、磷化鎵(GaP)基板、鎵化鎵基板(GaSb)、磷化銦(InP)基板、砷化銦(InAs)基板或硒化鋅(ZnSe)基板。

【第28項】 依據申請專利範圍第27項所述之提高光萃取效率之半導體光電元件之製造方法，其中該緩衝層可為氮化鎵(GaN)、氮化鋁鎵(AlGaN)、氮化鋁(AlN)、或是InGaN/InGaN超晶格結構。

【第29項】 依據申請專利範圍第28項所述之提高光萃取效率之半導體光電元件之製造方法，其中該填補層可為氮化鎵(GaN)、氮化鋁鎵(AlGaN)、氮化鋁(AlN)、或是InGaN/InGaN超晶格結構。

- 【第30項】 依據申請專利範圍第29項所述之提高光萃取效率之半導體光電元件之製造方法，其中該發光層為單異質結構、雙異質結構、單量子井層或是多重量子井層結構。
- 【第31項】 依據申請專利範圍第30項所述之提高光萃取效率之半導體光電元件之製造方法，其中該半導體層為 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ，其中 $0 \leq x \leq 1$ 及 $0 \leq y \leq 1$ 。
- 【第32項】 依據申請專利範圍第23項所述之提高光萃取效率之半導體光電元件之製造方法，其中圖案化孔洞層亦可為部份連續之圖案。
- 【第33項】 依據申請專利範圍第32項所述之提高光萃取效率之半導體光電元件之製造方法，其中圖案化孔洞層為圓柱狀孔洞、多角柱狀孔洞或是長條狀孔洞。
- 【第34項】 依據申請專利範圍第33項所述之提高光萃取效率之半導體光電元件之製造方法，其中圖案化孔洞層高度介於 $0.05\sim 2.0\mu\text{m}$ 。
- 【第35項】 依據申請專利範圍第33項所述之提高光萃取效率之半導體光電元件之製造方法，其中圖案化孔洞層寬度介於 $0.1\sim 10.0\mu\text{m}$ 。
- 【第36項】 依據申請專利範圍第33項所述之提高光萃取效率之半導體光電元件之製造方法，其中該發光層與該圖案化孔洞層表面距離介於 $3.0\sim 4.0\mu\text{m}$ 。
- 【第37項】 依據申請專利範圍第33項所述之提高光萃取效率之半導體光電元件之製造方法，其中該發光層與該p型導通層表面距離介於 $0.15\sim 0.3\mu\text{m}$ 。

【指定代表圖】 第（ 6F ）圖

【代表圖之符號簡單說明】

基板：601

孔洞填補層：605

半導體層：615

連續性的孔洞：617

透明導電層：619

p型電極：621

n型電極：623

【特徵化學式】

無