



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0041607
(43) 공개일자 2017년04월17일

- (51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) G11C 11/14 (2006.01)
G11C 11/56 (2006.01)
(52) CPC특허분류
G11C 11/161 (2013.01)
G11C 11/14 (2013.01)
(21) 출원번호 10-2016-0023327
(22) 출원일자 2016년02월26일
심사청구일자 2016년02월26일
(30) 우선권주장
1020150140849 2015년10월07일 대한민국(KR)

- (71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
박중선
서울특별시 서초구 신반포로 9, 85동 403호 (반포동, 반포아파트)
정진일
경기도 남양주시 도농로 34, 205동 1503호 (도농동, 부영그린타운)
(74) 대리인
특허법인엠에이피에스

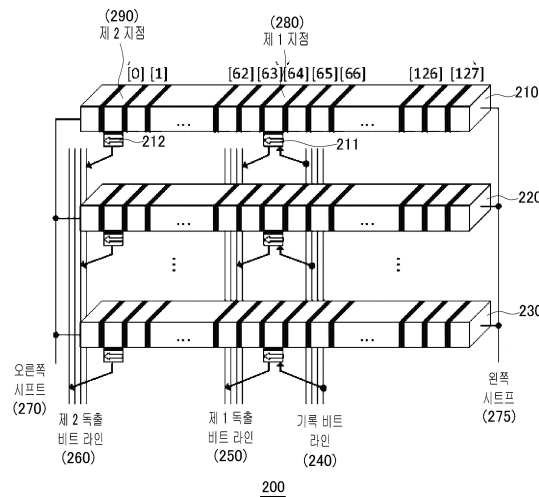
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 도메인 월 메모리 기반의 메모리 장치, 메모리 장치를 이용한 메모리 기록 및 독출 방법, 및 디지털 신호 처리기

(57) 요약

본 발명은 복수의 셀을 포함하는 하나 이상의 자기 나노와이어, 자기 나노와이어의 제 1 지점에 결합된 기록-독출 겸용 헤드 및 자기 나노와이어의 제 2 지점에 결합된 독출 전용 헤드를 포함하며, 기록-독출 겸용 헤드에 포함된 기록 헤드를 통해 저장된 데이터는 후입선출 방식에 따라 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출된다.

대표도 - 도2



(52) CPC특허분류

G11C 11/1673 (2013.01)

G11C 11/5607 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345244343
부처명	교육과학기술부
연구관리전문기관	한국연구재단
연구사업명	BK21플러스사업
연구과제명	BK21 플러스 휴먼웨어 정보기술사업단
기 여 율	5/100
주관기관	고려대학교 산학협력단
연구기간	2015.03.01 ~ 2016.02.29이 발명을 지원한 국가연구개발사업
과제고유번호	2015M3D1A1035354
부처명	미래창조과학부
연구관리전문기관	한국연구재단
연구사업명	창의소재디스커버리사업
연구과제명	Logic-in-Memory 구현을 위한 Spin-Orbitronics 소재개발
기 여 율	75/100
주관기관	고려대학교 산학협력단
연구기간	2015.11.20 ~ 2021.11.19이 발명을 지원한 국가연구개발사업
과제고유번호	1711011647
부처명	미래창조과학부
연구관리전문기관	한국연구재단
연구사업명	핵심개인연구
연구과제명	저면적 저전력 임베디드 메모리 설계
기 여 율	20/100
주관기관	고려대학교
연구기간	2012.05.01 ~ 2015.04.30

명세서

청구범위

청구항 1

도메인 월 메모리 기반 메모리 장치에 있어서,
 복수의 셀을 포함하는 하나 이상의 자기 나노와이어,
 상기 자기 나노와이어의 제 1 지점에 결합된 기록-독출 겸용 헤드 및
 상기 자기 나노와이어의 제 2 지점에 결합된 독출 전용 헤드를 포함하며,
 상기 기록-독출 겸용 헤드에 포함된 기록 헤드를 통해 저장된 데이터는 후입선출 방식에 따라 상기 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출되는 것인, 메모리 장치.

청구항 2

제 1 항에 있어서,
 상기 후입선출 방식에 따른 독출 동작에 따라 상기 제 1 지점부터 상기 자기 나노와이어의 제 1 측 단부사이에 포함되는 셀에 저장된 데이터는 상기 제 2 지점부터 상기 제 1 지점의 직전 셀까지의 셀에 각각 순차적으로 저장되는 것인, 메모리 장치.

청구항 3

제 1 항에 있어서,
 상기 제 1 지점부터 상기 자기 나노와이어의 제 1 측 단부사이에 포함되는 셀의 개수와, 상기 제 2 지점부터 상기 제 1 지점의 직전셀까지의 셀의 개수는 동일한 것인 메모리 장치.

청구항 4

제 1 항에 있어서,
 상기 기록-독출 겸용 헤드에 포함된 기록 헤드에 결합된 하나 이상의 기록 비트 라인 및
 상기 기록-독출 겸용 헤드에 포함된 독출 헤드 및 상기 독출 전용 헤드에 각각 결합된 하나 이상의 독출 비트 라인을 더 포함하는, 메모리 장치.

청구항 5

제 1 항에 있어서,
 상기 메모리 장치는 비터비 복호기에 포함되는 생존 메모리이고, 역추적 독출 동작에 따라 상기 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 생존 경로를 추적하기 위한 역추적 데이터가 출력되는 것인, 메모리 장치.

청구항 6

비터비 복호기를 포함하는 디지털 신호 처리기에 있어서,
 상기 비터비 복호기는 생존 메모리를 포함하되,
 상기 생존 메모리는 도메인 월 메모리로서,
 복수의 셀을 포함하는 하나 이상의 자기 나노와이어,
 상기 자기 나노와이어의 제 1 지점에 결합된 기록-독출 겸용 헤드 및
 상기 자기 나노와이어의 제 2 지점에 결합된 독출 전용 헤드를 포함하며,
 상기 기록-독출 겸용 헤드에 포함된 기록 헤드를 통해 저장된 데이터는 후입선출 방식에 따라 상기 기록-독출

검용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출되는 것이고,

상기 비터비 복호기의 역추적 독출 동작에 따라 상기 기록-독출 검용 헤드에 포함된 독출 헤드를 통해 생존 경로를 추적하기 위한 데이터가 출력되는 것인, 디지털 신호 처리기.

청구항 7

제 6 항에 있어서,

상기 후입선출 방식에 따른 독출 동작에 따라 상기 제 1 지점부터 상기 자기 나노와이어의 제 1 측 단부사이에 포함되는 셀에 저장된 데이터는 상기 제 2 지점부터 상기 제 1 지점의 직전 셀까지의 셀에 각각 순차적으로 저장되는 것인, 디지털 신호 처리기.

청구항 8

제 6 항에 있어서,

상기 비터비 복호기는 후입선출 블록을 포함하되,

상기 후입선출 블록은 도메인 월 메모리로서,

복수의 셀을 포함하는 하나 이상의 자기 나노와이어 및

상기 후입선출 블록의 자기 나노와이어의 제 1 지점에 결합된 상기 후입선출 블록의 기록-독출 검용 헤드를 포함하며,

상기 후입선출 블록의 기록-독출 검용 헤드에 포함된 기록 헤드를 통해 저장된 데이터는 후입선출 방식에 따라 상기 후입선출 블록의 기록-독출 검용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출되는 것인, 디지털 신호 처리기.

청구항 9

제 6 항에 있어서,

상기 디지털 신호 처리기는 파이프라인 고속 푸리에 변환 처리부를 더 포함하고,

상기 파이프라인 고속 푸리에 변환 처리부는 선입선출 레지스터 파일을 포함하되,

상기 선입선출 레지스터 파일은 도메인 월 메모리로서,

복수의 셀을 포함하는 자기 나노와이어,

상기 선입선출 레지스터 파일의 자기 나노와이어의 제 1 지점에 결합된 기록 전용 헤드 및

상기 선입선출 레지스터 파일의 자기 나노와이어의 제 2 지점에 결합된 독출 전용 헤드를 포함하며,

상기 선입선출 레지스터 파일의 기록 전용 헤드를 통해 저장된 데이터는 선입선출 방식에 따라 상기 선입선출 레지스터 파일의 독출 전용 헤드를 통해 순차적으로 독출되는 것인,

상기 선입선출 레지스터 파일의 기록 전용 헤드를 통한 데이터 저장 및 상기 선입선출 레지스터 파일의 독출 전용 헤드를 통한 독출은 교대로 수행되는 것인, 디지털 신호 처리기.

청구항 10

제 9 항에 있어서,

상기 디지털 신호 처리기는 파이프라인 정렬 처리부를 더 포함하고,

상기 파이프라인 정렬 처리부는 상기 선입선출 레지스터 파일을 포함하는, 디지털 신호 처리기.

청구항 11

제 6 항에 있어서,

상기 디지털 신호 처리기는 분산 산술연산 기반 유한 임펄스 응답 필터 처리부를 더 포함하고,

상기 분산 산술연산 기반 유한 임펄스 응답 필터 처리부는 입력 레지스터를 포함하되,

상기 입력 레지스터는 도메인 월 메모리로서,

복수의 셀을 포함하는 자기 나노와이어,

상기 입력 레지스터의 자기 나노와이어의 제 1 지점에 결합된 기록 전용 헤드 및

상기 입력 레지스터의 상기 제 1 지점과 상이한 자기 나노와이어의 복수의 지점에 결합된 복수의 독출 전용 헤드를 포함하며,

상기 입력 레지스터의 기록 전용 헤드를 통해 저장된 데이터는 선입선출 방식에 따라 상기 입력 레지스터의 독출 전용 헤드 통해 순차적으로 독출되는 것이되,

상기 입력 레지스터의 기록 전용 헤드를 통한 데이터 저장 및 상기 입력 레지스터의 복수의 독출 전용 헤드를 통한 독출은 교대로 수행되는 것인, 디지털 신호 처리기.

청구항 12

도메인 월 메모리 기반의 메모리 장치에서의 메모리 기록 및 독출 방법에 있어서,

상기 메모리 장치에 포함된 자기 나노와이어가 기록-독출 겸용 헤드에 포함된 기록 헤드를 통해 데이터를 저장하는 단계; 및

상기 자기 나노와이어가 후입선출 방식에 따라 상기 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출하는 단계를 포함하되,

상기 메모리 장치는 복수의 셀을 포함하는 하나 이상의 자기 나노와이어,

상기 자기 나노와이어의 제 1 지점에 결합된 상기 기록-독출 겸용 헤드 및

상기 자기 나노와이어의 제 2 지점에 결합된 독출 전용 헤드를 포함하는, 메모리 기록 및 독출 방법.

청구항 13

제 12 항에 있어서,

상기 순차적으로 독출하는 단계 이후에, 상기 자기 나노와이어가 상기 후입선출 방식에 따른 독출 동작에 따라 상기 제 1 지점부터 상기 자기 나노와이어의 제 1 측 단부사이에 포함되는 셀에 저장된 데이터를 상기 제 2 지점부터 상기 제 1 지점의 직전 셀까지의 셀에 각각 순차적으로 저장하는 단계를 더 포함하는, 메모리 기록 및 독출 방법.

청구항 14

제 12 항에 있어서,

상기 메모리 장치는 비터비 복호기에 포함되는 생존 메모리이고,

상기 순차적으로 독출하는 단계는,

역추적 독출 동작에 따라 상기 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 생존 경로를 추적하기 위한 데이터를 출력하는 것인, 메모리 기록 및 독출 방법.

발명의 설명

기술 분야

[0001] 본 발명은 도메인 월 메모리 기반의 메모리 장치, 메모리 장치를 이용한 메모리 기록 및 독출 방법 및 디지털 신호 처리기에 관한 것이다.

배경 기술

[0002] 종래의 디지털 신호 처리기(digital signal processor; DSP)는 정적 임의 접근 메모리(static random access memory; SRAM) 기반 내장형 메모리와 플립플롭(flip-flop) 기반의 시프트 레지스터(shift resistor)를 포함할

수 있다. 그러므로 종래의 디지털 신호 처리기는 메모리 및 시프트 레지스터에 의한 전력 및 면적 소모가 클 수 있다. 그러므로 종래의 디지털 신호 처리기는 전력 및 면적에 대한 제약이 큰 스마트 폰 또는 사물 인터넷(internet of Thing; IoT)에 사용하는 경우, 이러한 문제가 심각해 질 수 있다.

[0003] 그러므로 최근에는 디지털 신호 처리기는 정적 임의 접근 메모리를 대신하여, 스핀-토크 자기 임의 접근 메모리(spin-transfer torque magnetic random-access memory; STT-RAM), 도메인 월 메모리(domain wall memory) 및 저항 랜덤 접근 메모리(resistive random-access memory; ReRAM)와 같은, 비휘발성 메모리(non-volatile memory)를 사용하는 연구가 활발하게 진행 중이다.

[0004] 비휘발성 메모리는 고용량, 저전력 및 저비용이라는 장점이 있다. 그러므로 비휘발성 메모리를 디지털 신호 처리기에 이용하는 경우, 면적 및 전력 비용 절감에 효율적이다. 또한, 비휘발성 메모리는 읽기 및 쓰기 동작의 속도의 차이가 비대칭적이다.

[0005] 디지털 신호 처리기는 메모리 접근이 상당히 규칙적이다. 그러므로 디지털 신호 처리기는 메모리 접근 패턴에 대한 예측이 가능하다. 그러므로 순차적 메모리 접근과 읽기 및 쓰기 동작이 비대칭적인 비휘발성 메모리를 사용하기 위한 디지털 신호 처리기 아키텍처가 필요하다.

[0006] 이와 관련하여, 한국 공개특허공보 제10-2014-0134515호(발명의 명칭: "디지털 신호처리 프로세서 및 데이터 입출력 방법")는 기생 커패시터에 데이터를 저장하는 복수의 메모리 셀을 포함하는 DRAM 및 미리 설정된 디지털 신호 처리 알고리즘에 기초하여, DRAM에 대하여 데이터 기록, 독출 또는 갱신 동작을 수행하는 코어 로직을 포함하는 디지털 신호처리 프로세서 및 데이터 입출력 방법을 개시하고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 도메인 월 메모리 기반의 메모리 장치와 메모리 장치를 이용한 데이터 기록 및 독출 방법을 제공한다. 또한, 본 발명은 도메인 월 메모리 기반의 메모리 장치를 이용한, 비터비 복호기, 파이프라인 고속 푸리에 변환 처리부, 파이프라인 정렬 처리부 및 분산 산술연산 기반 유한 임펄스 응답 필터 처리부를 포함하는 디지털 신호 처리기를 제공할 수 있다.

[0008] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

[0009] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 도메인 월 메모리 기반 메모리 장치는 복수의 셀을 포함하는 하나 이상의 자기 나노와이어, 자기 나노와이어의 제 1 지점에 결합된 기록-독출 겸용 헤드 및 자기 나노와이어의 제 2 지점에 결합된 독출 전용 헤드를 포함하며, 기록-독출 겸용 헤드에 포함된 기록 헤드를 통해 저장된 데이터는 후입선출 방식에 따라 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출된다.

[0010] 또한, 본 발명의 제 2 측면에 따른 비터비 복호기를 포함하는 디지털 신호 처리기는 비터비 복호기는 생존 메모리를 포함하되, 생존 메모리는 도메인 월 메모리로서, 복수의 셀을 포함하는 하나 이상의 자기 나노와이어, 자기 나노와이어의 제 1 지점에 결합된 기록-독출 겸용 헤드 및 자기 나노와이어의 제 2 지점에 결합된 독출 전용 헤드를 포함한다. 이때, 기록-독출 겸용 헤드에 포함된 기록 헤드를 통해 저장된 데이터는 후입선출 방식에 따라 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출되는 것이고, 비터비 복호기의 역추적 독출 동작에 따라 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 생존 경로를 추적하기 위한 데이터가 출력된다.

[0011] 그리고 본 발명의 제 3 측면에 따른 도메인 월 메모리 기반의 메모리 장치에서의 메모리 기록 및 독출 방법은 메모리 장치에 포함된 자기 나노와이어가 기록-독출 겸용 헤드에 포함된 기록 헤드를 통해 데이터를 저장하는 단계; 및 자기 나노와이어가 후입선출 방식에 따라 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출하는 단계를 포함한다. 이때, 메모리 장치는 복수의 셀을 포함하는 하나 이상의 자기 나노와이어, 자기 나노와이어의 제 1 지점에 결합된 기록-독출 겸용 헤드 및 자기 나노와이어의 제 2 지점에 결합된 독출 전용 헤드를 포함한다.

발명의 효과

[0012] 본 발명은 도메인 월 메모리를 사용하므로, 종래의 정적 임의 접근 메모리를 사용한 메모리 장치에 비하여, 메모리 사용 면적과 데이터 기록 및 독출에 대한 전력 소모가 작으므로 에너지 및 공간 효율적이다. 또한, 본 발명은 복수 개의 자기 나노와이어를 번갈아 사용하여, 종래의 정적 임의 접근 메모리 기반의 메모리 장치와 유사한 성능을 보장할 수 있다. 그러므로 본 발명은 스마트 폰과 사물 인터넷 기기에 적합하다.

도면의 간단한 설명

[0013] 도 1은 도메인 월 메모리의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 도메인 월 메모리 기반 메모리 장치의 블록도이다.

도 3은 본 발명의 일 실시예에 따른 메모리 장치에 대한 입출력 방법 및 입출력 셀의 개수에 따른 분류에 대한 예시도이다.

도 4는 본 발명의 일 실시예에 따른 비터비 복호기의 블록도이다.

도 5는 본 발명의 일 실시예에 따른 비터비 복호기의 생존 메모리의 신호 처리 과정에 대한 예시도이다.

도 6은 본 발명의 일 실시예에 따른 디지털 신호 처리기의 블록도이다.

도 7은 본 발명의 일 실시예에 따른 후입선출 블록의 예시도이다.

도 8은 본 발명의 일 실시예에 따른 후입선출 블록의 데이터 기록 및 독출 과정의 예시도이다.

도 9는 본 발명의 일 실시예에 따른 선입선출 레지스터 파일의 예시도이다.

도 10은 본 발명의 일 실시예에 따른 선입선출 레지스터 파일의 데이터 기록 및 독출 과정에 대한 예시도이다.

도 11은 본 발명의 일 실시예에 따른 입력 레지스터의 예시도이다.

도 12는 본 발명의 일 실시예에 따른 입력 레지스터의 데이터 기록 및 독출 과정의 예시도이다.

도 13은 본 발명의 일 실시예에 따른 메모리 장치에서의 기록 및 독출 방법의 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0015] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0016] 다음은 도 1을 참조하여, 도메인 월 메모리(100)를 설명한다.

[0017] 도 1은 도메인 월 메모리(100)의 블록도이다.

[0018] 도메인 월 메모리(100)는 자기 나노와이어(magnetic nanowire; 130)를 포함한다. 또한, 도메인 월 메모리(100)는 기록 헤드(110) 및 독출 헤드(120)와 같은 자기터널접합(magnetic tunnel junction; 140)을 포함할 수 있다.

[0019] 자기 나노와이어(130)는 자기 극성(magnetic polarity) 형태의 비트셀을 포함할 수 있다. 비트셀을 통하여, 자기 나노와이어(130)는 여러 비트를 가질 수 있다. 그러므로 도메인 월 메모리(100)는 고용량을 제공할 수 있다.

[0020] 또한, 자기 나노와이어(130)는 시프트 레지스터와 유사하다. 자기 나노와이어(130)는 일반적으로 동일한 단위로 이동하기 위한 복수의 물리적인 노치(physical notch)를 포함한다. 이때, 두 개의 물리적인 노치 사이에 도메인 월이 포함되지 않게 한다. 시프트 펄스는 도메인 월을 제자리에서 벗어나게 할 정도로 충분하며, 자기 나노와이어(130)를 따라 시프트할 수 있다.

- [0021] 기록 헤드(110) 및 독출 헤드(120)와 같은 자기터널접합(140)은 자기 나노와이어(130)와 고정된 자기층 (fixed magnetic layer) 사이에서 형성될 수 있다. 자기터널접합(140)은 터널 산화 장벽 (tunnel oxide barrier)로 분리될 수 있다. 예를 들어, 자기 나노와이어(130) 상에서 왼쪽 자기 방향이 '0', 오른쪽 방향이 '1'이 될 수 있다.
- [0022] 이와 같이, 자기 나노와이어(130)는 반대 극성의 도메인 간의 도메인 월(150)을 형성할 수 있다. 도메인 월 (150)은 충전 전류(charge current)를 SL+(160)와 SL-(161) 지점에 넣어, 오른쪽 또는 왼쪽으로 시프트 연산을 수행할 수 있다.
- [0023] 그러므로 도메인 월 메모리(100)는 시프트 연산을 수행하기 위하여, 쉬프트 라인(shift line)인 SL+(160) 및 SL-(161)을 통해 전류를 삽입한다. 이때, 도메인 월 메모리(100)는 기존 비트를 동일한 단위로 이동할 수 있다. 도메인 월 메모리(100)는 자기 나노와이어(130)에 기록하길 원하는 비트를 기록 헤드를 통하여, 자기 나노와이어(130)에 기록할 수 있다.
- [0024] 구체적으로 도메인 월 메모리(100)는 자기 나노와이어(130)에 '1' 또는 '0'을 기록하기 위하여, 스핀 극성을 가지는 전류를 쓰기 헤드(120)를 통해 양 또는 음 방향으로 삽입한다. 이때, 기록 헤드(120)는 기록 비트 라인 (171)와 SL+(160) 및 SL-(161) 중 어느 하나를 이용할 수 있다.
- [0025] 기록 연산은 쓰기는 자유층(free layer)의 자화를 반전시키기 위하여, 스핀-전송 토크(spin-transfer torque)를 일으키는 전류가 수반된다. 반면에, 독출 연산은 시프트 연산을 통하여, 독출하기를 원하는 비트를 독출 헤드 (110)와 결합된 셀에 우선 가져온 후 독출 헤드(110) 아래의 도메인 월을 통하여 형성된 저항을 감지함으로써 수행된다. 이와 관련하여, 고정된 층과 자유 층이 역병렬(anti-parallel) 설정이면 자기터널접합(140)의 저항은 높고 이들 층이 서로 병렬(parallel)이면 자기터널접합(140)의 저항은 낮다.
- [0026] 도메인 월 메모리(100)에서 기록 동작 및 독출 동작은 시프트 연산이 포함된다. 그러므로 기록 동작을 수행한 이후, 시프트되었던 비트는 독출 동작을 수행하면, 초기 상태로 다시 시프트 될 수 있다.
- [0027] 이때, 도메인 월 메모리(100)에서 임의 접근에 대한 최악의 지연시간은 수많은 시프트와 기록 및 독출 동작의 지연시간의 합이 될 수 있다. 그러나 직렬 접근을 사용한다면, 도메인 월 메모리(100)에서 직렬 접근에 대해 지연시간은 단일 시프트와 기록 및 독출 동작의 지연시간의 합이 될 수 있다.
- [0028] 다음은 도 2 내지 도 5를 참조하여, 본 발명의 일 실시예에 따른 도메인 월 메모리 기반의 메모리 장치(200)를 설명한다.
- [0029] 도 2는 본 발명의 일 실시예에 따른 도메인 월 메모리 기반 메모리 장치(200)의 블록도이다.
- [0030] 도메인 월 메모리 기반 메모리 장치(200)는 복수의 셀을 포함하는 하나 이상의 자기 나노와이어(magnetic nanowire; 210, 220, 230)를 포함할 수 있다.
- [0031] 또한, 각각의 자기 나노와이어(210, 220, 230)는 복수의 셀을 포함할 수 있다. 자기 나노와이어(210, 220, 230)는 자기 나노와이어(210, 220, 230)의 특정 지점의 셀에 결합된 독출 전용 헤드(212), 기록 전용 헤드(미도시) 및 독출-기록 겸용 헤드(211) 중 하나 이상을 포함할 수 있다. 이때, 독출-기록 겸용 헤드(211)는 독출-기록 겸용 헤드(211)에 포함된 기록 헤드 또는 독출 헤드를 통하여, 데이터를 저장하거나, 출력할 수 있다.
- [0032] 또한, 메모리 장치(200)는 독출 헤드에 접속된 독출 비트 라인(250, 260), 기록 헤드에 접속된 기록 비트 라인 (240)을 포함할 수 있다. 또한, 메모리 장치(200)는 저전력 시프트를 지원하기 위하여 각 자기 나노와이어 (210, 220, 230)에 접속된 오른쪽 시프트(right shift; 270) 및 왼쪽 시프트(left shift; 275)를 포함할 수 있다.
- [0033] 또한, 메모리 장치(200)는 데이터를 입출력하는 방법 및 데이터가 입출력되는 셀의 개수에 따라, 각각 분류할 수 있다.
- [0034] 일반적으로 메모리의 입출력 방법은 입력되는 데이터의 출력 순서에 따라, 선입선출(first in first out; FIFO) 및 후입선출(last in first out; LIFO)로 분류될 수 있다.
- [0035] 또한, 메모리에서 입출력되는 셀의 개수는 단일입력-단일출력(single input-single output), 단일입력-병렬출력 (single input-parallel output) 등으로 구분할 수 있다.
- [0036] 이하에서는 도 3을 참조하여, 본 발명의 일 실시예에 따른 도메인 월 메모리 기반의 메모리 장치(200)에서의 단

일입력 시 수행될 수 있는 입출력 방법에 대하여 설명한다. 이때, 도 3은 예시일 뿐이며, 메모리 장치(200)에서의 데이터 입출력 방법 및 입출력 되는 셀의 개수는 이에 한정된 것이 아니다.

- [0037] 도 3은 본 발명의 일 실시예에 따른 메모리 장치(200)에 대한 입출력 방법 및 입출력 셀의 개수에 따른 분류에 대한 예시도이다.
- [0038] 도 3의 (a)는 메모리 장치(200)에서 후입선출 방식으로 단일입력-단일출력을 수행하는 경우에 대한 예시도이다.
- [0039] 메모리 장치(200)는 자기 나노와이어(300)와 자기 나노와이어(300)의 제 1 셀(304)과 결합된 독출-기록 겸용 헤드(301)를 포함할 수 있다. 메모리 장치(200)는 독출-기록 겸용 헤드(301)에 포함된 기록 헤드(302)를 이용하여, 제 1 셀(304)에 제 1 데이터를 기록할 수 있다.
- [0040] 메모리 장치(200)는 독출-기록 겸용 헤드(301)에 대응하는 제 1 셀(304)에 다음 데이터인 제 2 데이터를 기록할 수 있다. 이때, 기저장된 제 1 데이터가 제 2 데이터에 의해 지워지는 것을 방지하기 위하여, 메모리 장치(200)는 자기 나노와이어(300)에 시프트 동작을 수행할 수 있다. 예를 들어, 메모리 장치(200)가 기록 후 오른쪽 시프트를 수행하는 경우, 메모리 장치(200)는 제 1 데이터를 제 2 셀(305)로 시프트할 수 있다. 그리고 메모리 장치(200)는 제 1 셀(304)에 제 2 데이터를 기록할 수 있다.
- [0041] 이와 같이, 메모리 장치(200)가 제 3 데이터 및 제 4 데이터를 순차적으로 기록한다면, 메모리 장치(200)의 자기 나노와이어는 제 1 셀(304)에 제 4 데이터를 저장하고, 제 2 셀(305)에 제 3 데이터, 제 3 셀(306)에 제 2 데이터, 제 4 셀(307)에 제 1 데이터를 저장할 수 있다.
- [0042] 메모리 장치(200)는 제 1 데이터의 기록이 완료된 이후, 독출-기록 겸용 헤드(301)에 포함된 독출 헤드(303)에 기초하여, 제 1 셀(304)에 저장된 데이터를 독출할 수 있다. 메모리 장치(200)는 데이터를 독출한 이후, 제 2 셀(305)에 저장된 데이터를 읽기 위하여, 시프트 동작을 수행할 수 있다. 이때, 메모리 장치(200)는 왼쪽 시프트 동작을 수행할 수 있다. 즉, 메모리 장치(200)는 자기 나노와이어(300)의 각 셀에 저장된 데이터를 시프트하여, 독출-기록 겸용 헤드(301)와 대응된 제 1 셀(304)에 제 3 데이터가 저장되도록 할 수 있다. 그리고 메모리 장치(200)는 독출-기록 겸용 헤드(301)에 포함된 독출 헤드(303)에 기초하여, 제 3 데이터를 독출할 수 있다.
- [0043] 이러한 방법을 통하여, 메모리 장치(200)는 제 4 데이터, 제 3 데이터, 제 2 데이터 및 제 1 데이터 순으로 독출할 수 있다. 즉, 메모리 장치(200)는 기록한 데이터의 순서와 반대 순서로 데이터를 독출할 수 있다.
- [0044] 도 3의 (b)는 메모리 장치(200)에서 후입선출 방식으로 단일입력-병렬출력을 수행하는 경우에 대한 예시도이다.
- [0045] 메모리 장치(200)는 자기 나노와이어와 자기 나노와이어의 특정 지점에 결합된 후입선출 및 단일입력-병렬출력을 위한, 독출 전용 헤드 및 독출-기록 겸용 헤드를 포함할 수 있다.
- [0046] 예를 들어, 자기 나노와이어(310) 상에 4개의 셀이 있을 때, 독출 전용 헤드(314)는 자기 나노와이어(310)의 제 1 셀(315)과 결합될 수 있다. 또한, 독출-기록 겸용 헤드(311)는 자기 나노와이어(310)의 제 3 셀(317) 및 제 4 셀(318)에 대한 기록 및 독출을 수행할 수 있다.
- [0047] 즉, 메모리 장치(200)는 독출-기록 겸용 헤드(311)에 포함된 기록 헤드(312)를 통하여, 제 3 셀(317)에 제 1 데이터를 기록할 수 있다. 그리고 메모리 장치(200)는 자기 나노와이어(310)의 오른쪽 시프트 동작을 수행할 수 있다. 그러므로 제 3 셀(317)에 저장된 제 1 데이터는 제 4셀(318)로 이동할 수 있다. 그리고 메모리 장치(200)는 독출-기록 겸용 헤드(311)에 포함된 기록 헤드(312)를 통하여, 제 3 셀(317)에 제 2 데이터를 기록할 수 있다.
- [0048] 메모리 장치(200)는 자기 나노와이어(310)의 왼쪽 시프트 동작을 수행하여, 제 3 셀(317)에 저장된 제 2 데이터를 제 2 셀(316)로 이동시키고, 제 4셀(318)에 저장된 제 1 데이터를 제 3 셀(317)로 이동시킬 수 있다. 그리고 메모리 장치(200)는 독출 전용 헤드(313)를 통하여, 제 3 셀(317)에 저장된 제 1 데이터를 독출할 수 있다.
- [0049] 메모리 장치(200)는 제 1 데이터를 독출한 이후, 자기 나노와이어의 왼쪽 시프트 동작을 수행할 수 있다. 즉, 자기 나노와이어의 제 1 셀(315)에 제 2 데이터가 저장되며, 제 2 셀(316)에 제 1 데이터가 저장될 수 있다.
- [0050] 메모리 장치(200)는 제 1 셀(315)에 연결된 독출 전용 헤드에 기초하여 제 1 셀(315)에 저장된 제 2 데이터를 독출할 수 있다. 메모리 장치(200)는 제 2 데이터를 독출한 다음, 왼쪽 시프트 동작을 수행할 수 있다. 그리고 메모리 장치(200)는 제 1 셀(315)과 연결된 독출 전용 헤드에 기초하여 제 1 셀(315)에 저장된 제 1 데이터를 독출할 수 있다.

- [0051] 이러한 방법을 통하여, 메모리 장치(200)는 제 1 데이터, 제 2 데이터 순으로 데이터를 기록하고, 제 2 데이터, 제 1 데이터 순으로 두 번 데이터를 독출할 수 있다.
- [0052] 도 3의 (c)는 메모리 장치(200)에서 선입선출 방식으로 단일입력-단일출력을 수행하는 경우에 대한 예시도이다.
- [0053] 메모리 장치(200)는 선입선출 및 단일입력-단일출력을 위하여, 자기 나노와이어(320), 자기 나노와이어(320) 상의 특정 셀과 연결된 기록 전용 헤드(321) 및 자기 나노와이어 상의 특정 셀과 연결된 독출 전용 헤드(322)를 포함할 수 있다.
- [0054] 메모리 장치(200)는 기록 전용 헤드(321)을 통한 데이터를 기록하고, 독출 전용 헤드(322)를 통한 데이터를 독출할 수 있다. 또한, 메모리 장치(200)는 데이터 독출 이후, 시프트 동작을 수행할 수 있다.
- [0055] 구체적으로 메모리 장치(200)는 제 1 셀(323)과 결합된 기록 전용 헤드(321)를 통하여, 제 1 셀(323)에 제 1 데이터를 입력할 수 있다. 메모리 장치(200)는 제 4 셀(326)과 연결된 독출 전용 헤드(322)에 기초하여, 제 4 셀(326)에 저장된 데이터를 독출하고, 시프트 동작을 수행할 수 있다. 이때, 제 4 셀(326)에 저장된 데이터가 없으므로, 메모리 장치(200)는 시프트 동작만 수행할 수 있다. 오른쪽 시프트 동작을 수행하는 경우, 메모리 장치(200)는 제 1 셀(323)에 저장된 제 1 데이터를 제 2 셀(324)로 이동할 수 있다.
- [0056] 그리고 메모리 장치(200)는 기록 전용 헤드(321)를 통하여, 제 1 셀(323)에 제 2 데이터, 제 3 데이터를 순서대로 기록하고, 시프트 동작을 수행할 수 있다. 시프트 동작을 수행한 이후, 메모리 장치(200)는 제 2 셀(324)에 제 3 데이터, 제 3 셀(325)에 제 2 데이터, 제 4셀(326)에 제 1 데이터를 저장할 수 있다.
- [0057] 메모리 장치(200)는 제 4 데이터를 제 1 셀(323)에 기록한 후, 제 4 셀(326)과 연결된 독출 전용 헤드(322)에 기초하여, 제 4 셀(326)에 저장된 제 1 데이터를 독출할 수 있다. 그리고 메모리 장치(200)는 시프트 동작을 수행할 수 있다.
- [0058] 이를 통하여, 기록 전용 헤드(321)와 독출 전용 헤드(322) 간의 일정한 지연(delay)을 설정할 수 있다. 그러므로 메모리 장치(200)는 이와 같이, 입력과 출력 간의 일정한 지연을 가지는 선입선출을 수행할 수 있다.
- [0059] 도 3의 (d)는 메모리 장치(200)에서 선입선출 방식으로 단일입력-병렬출력을 수행하는 경우에 대한 예시도이다.
- [0060] 메모리 장치(200)는 선입선출 및 단일입력-병렬출력을 위하여, 자기 나노와이어(330), 자기 나노와이어(330)의 특정 셀과 결합된 기록 전용 헤드(331) 및 자기 나노와이어(330)의 특정 셀과 결합된 복수의 독출 전용 헤드(332, 333)를 포함할 수 있다.
- [0061] 메모리 장치(200)는 기록 전용 헤드(331)를 통하여 자기 나노와이어(330)에 데이터를 기록하고, 복수의 독출 전용 헤드(332, 333)를 통하여 자기 나노와이어(330)에 기록된 데이터를 독출할 수 있다. 또한, 메모리 장치(200)는 데이터 독출 이후, 시프트 동작을 수행할 수 있다.
- [0062] 예를 들어, 자기 나노와이어(330)에 4개의 셀이 있을 때, 메모리 장치(200)의 기록 전용 헤드(331)는 기록 전용 헤드(331)와 연결된 제 1 셀(334)에 데이터 기록을 수행한 이후, 오른쪽 시프트를 수행할 수 있다. 그리고 제 1 독출 전용 헤드(332) 및 제 2 독출 전용 헤드(333)는 각각 연결된 제 2 셀(335) 및 제 4 셀(337)에 기록된 데이터를 독출하고, 기록 전용 헤드(331)와 동일한 방향으로 시프트를 수행할 수 있다.
- [0063] 이와 같이, 메모리 장치(200)는 기록과 독출 간의 일정한 지연을 가지는 병렬적인 선입선출을 수행할 수 있다. 또한, 복수의 독출 전용 헤드(332, 333)를 이용하여, 병렬출력을 수행할 수 있다.
- [0064] 본 발명의 일 실시예에 따른 메모리 장치(200)는 비터비 복호기(400)에 포함된 생존 메모리(450) 일 수 있다.
- [0065] 도 4는 본 발명의 일 실시예에 따른 비터비 복호기(400)의 블록도이다.
- [0066] 비터비 복호기(400)는 길쌈 부호(convolutional codes)에 대한 최대 우도 복호(maximum likelihood decoding)를 수행한다. 비터비 복호기(400)에서 길쌈 부호는 격자 다이어그램(trellis diagram)을 모델링 될 수 있다. 이때, 격자 다이어그램에서, 직렬 입력은 연속적으로 상태 전이들(state transitions)을 일으키고, 상태 전이들이 남긴 흔적들은 가능한 모든 경로들 사이에서 올바른 경로로서 복호될 수 있다. 비터비 복호기(400)는 트릴리스 다이어그램 내의 각 상태로 들어가는 모든 경로들은 원래 입력 시퀀스를 복원하기 위해 계산되고 비교될 수 있다.
- [0067] 비터비 복호기(400)는 가지 메트릭 유닛(branch metric unit; BMU; 410), 가산비교선택 유닛(add-compare select unit; ACSU; 420), 트레이스백 유닛(traceback unit; TBU; 430), 후입선출 처리부(440) 및 생존 메모리

(450)를 포함할 수 있다.

- [0068] 가지 메트릭 유닛(410)은 디지털 신호 상에 포함된 수신된 심볼과 기저장된 심볼 간의 거리를 산출한다. 이때, 가지 메트릭 유닛(410)은 유클리디안 거리(Euclidean distance)를 사용할 수 있다.
- [0069] 가산비교선택 유닛(420)은 격자 다이어그램에서 경로를 선택하기 위하여, 가능한 경로들의 거리를 누적할 수 있다. 가산비교선택 유닛(420)은 기산출된 누적된 값과 비교하고, 결정 비트(decision bits)를 생성할 수 있다. 이때, 생성된 결정 비트는 도메인 월 메모리에 저장될 수 있다.
- [0070] 트레이스백 유닛(430)은 도메인 월 메모리에 저장된 결정 비트를 확인하면서 역추적하여 생존 경로를 생성한다. 이때, 트레이스백 유닛(430)은 미리 정해진 역추적 깊이에 따라, D 단계만큼 생존 경로를 역추적할 수 있다.
- [0071] 비터비 복호기(400)는 가산비교선택 유닛(420)을 통하여 생성된 결정 비트를 도메인 월 메모리에 저장할 수 있다. 또한, 비터비 복호기(400)는 트레이스백 유닛(430)을 통하여, 저장된 결정 비트를 통하여, 생존 경로를 역추적하고 복호 읽기를 수행할 수 있다.
- [0072] 이때, 비터비 복호기(400)는 메모리 장치(200)를 생존 메모리(450)로서 이용할 수 있다. 즉, 메모리 장치(200)는 역추적 독출 동작에 따라 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 트레이스백 유닛(430)에 입력될 생존 경로에 대한 데이터를 출력할 수 있다.
- [0073] 구체적으로, 다시 도 2를 참조하면, 메모리 장치(200)의 제 1 자기 나노와이어(210)는 제 1 자기 나노와이어(210)의 제 1 지점(280)에 결합된 기록-독출 겸용 헤드(211), 제 2 지점(290)에 결합된 독출 전용 헤드(212)를 포함한다.
- [0074] 그리고 메모리 장치(200)는 하나 이상의 기록 비트 라인(240), 하나 이상의 독출 비트 라인(250, 260)을 포함할 수 있다. 이때, 기록-독출 겸용 헤드(211)에 포함된 독출 헤드는 제 1 독출 비트 라인(250)과 결합되며, 독출 전용 헤드(212)는 제 2 독출 비트 라인(260)에 결합될 수 있다. 또한, 기록-독출 겸용 헤드(211)에 포함된 기록 헤드는 기록 비트 라인(240)과 결합될 수 있다.
- [0075] 메모리 장치(200)는 기록-독출 겸용 헤드(211)에 포함된 기록 헤드를 통해 자기 나노와이어(210)의 셀에 데이터를 저장한다. 이때, 메모리 장치(200)는 시프트 동작을 통하여, 기록-독출 겸용 헤드(211)와 결합된 제 1 지점(280)부터 제 1측 단부까지 데이터를 저장할 수 있다.
- [0076] 메모리 장치(200)는 자기 나노와이어(210)의 셀에 저장된 데이터를 기록-독출 겸용 헤드(211)에 포함된 독출 헤드를 통해 후입선출 방식에 따라, 순차적으로 독출한다. 이때, 메모리 장치(200)는 시프트 동작을 통하여, 순차적으로 독출된 데이터를 시프트할 수 있다. 독출 동작에서 사용되는 시프트 동작은, 기록 동작에서 사용되는 시프트 동작과 반대 방향의 시프트 동작일 수 있다. 예를 들어, 기록 동작에서 사용되는 시프트 동작이 오른쪽 시프트(270)라면, 독출 동작에서 사용되는 시프트 동작은 왼쪽 시프트(275)가 될 수 있다.
- [0077] 그러므로 메모리 장치(200)는 후입선출 방식에 따른 독출 동작에 따라, 제 1 지점(280)부터 자기 나노와이어(210)의 제 1측 단부사이에 포함되는 셀에 저장된 데이터를 제 2 지점(290)부터 제 1 지점(280)의 직전 셀까지의 셀에 각각 순차적으로 저장할 수 있다.
- [0078] 이때, 제 1 지점(280)부터 자기 나노와이어(210)의 제 1측 단부 사이에 포함되는 셀의 개수와, 제 2 지점(290)부터 제 1 지점(280)의 직전 셀까지의 셀의 개수는 동일할 수 있다. 예를 들어, 제 1 지점(280)부터 자기 나노와이어(210)의 제 1측 단부 사이에 포함되는 셀의 개수는 64개가 될 수 있다. 그러므로 자기 나노와이어(210)는 128개의 셀을 포함할 수 있다.
- [0079] 또한, 메모리 장치(200)는 자기 나노와이어(210) 셀의 제 2 지점(290)과 결합된 독출 전용 헤드(212)를 통하여, 후입선출 방식에 따라 제 2 지점(290)에 저장된 데이터를 독출할 수 있다. 이때, 메모리 장치(200)는 시프트 동작을 통하여, 순차적으로 독출된 데이터를 시프트할 수 있다.
- [0080] 도 5는 본 발명의 일 실시예에 따른 비터비 복호기(400)의 생존 메모리(450)의 신호 처리 과정에 대한 예시도이다.
- [0081] 예를 들어, 메모리 장치(200)는 4개의 셀(503, 504, 505, 506)을 포함하는 자기 나노와이어(500)를 포함할 수 있다. 이때, 기록-독출 겸용 헤드(510)는 4개의 셀 중 제 3 셀(505)과 결합할 수 있으며, 독출 전용 헤드는 제 1 셀(503)과 결합할 수 있다.

- [0082] 이때, 메모리 장치(200)는 자기 나노와이어(500)의 제 1 지점(501)과 결합된 기록-독출 겸용 헤드(510)의 기록 헤드(511) 및 오른쪽 시프트 동작을 통하여, 자기 나노와이어(500)에 데이터를 순차적으로 저장할 수 있다. 즉, 메모리 장치(200)는 자기 나노와이어(500)의 제 1 지점(501)인 제 3 셀(505)로부터 자기 나노와이어(500)의 오른쪽 단부인 제 4 셀(506)까지 제 1 데이터 및 제 2 데이터를 기록할 수 있다. 즉, 제 3 셀(505)에는 제 2 데이터, 제 4 셀(506)에는 제 1 데이터가 기록된다.
- [0083] 그리고 메모리 장치(200)는 기록-독출 겸용 헤드(510)의 독출 헤드(512) 및 왼쪽 시프트 동작을 통하여, 자기 나노와이어(500)에 기록된 데이터를 순차적으로 독출할 수 있다. 이때, 독출되는 데이터는 왼쪽 시프트 동작을 통하여, 제 2 지점(502)으로부터 제 1 지점(501)의 직전 셀까지 저장될 수 있다. 즉, 독출되는 데이터는 제 3 셀(505)부터 제 4 셀(506)에 저장된 데이터일 수 있다.
- [0084] 기록-독출 겸용 헤드(510)를 통한 독출 동작은 역추적 독출일 수 있다. 구체적으로 메모리 장치(200)는 기록-독출 겸용 헤드(510)를 통하여, 먼저 제 2 데이터를 독출할 수 있다. 그리고 메모리 장치(200)는 왼쪽 시프트 동작을 통하여, 제 2 셀(504)에 제 2 데이터를 저장하고, 제 3 셀(505)에 제 1 데이터를 저장할 수 있다. 메모리 장치(200)는 다시 기록-독출 겸용 헤드(510)를 통하여, 제 1 데이터를 독출할 수 있다. 그리고 메모리 장치(200)는 시프트 동작을 통하여, 제 1 셀(503)에 제 2 데이터를 저장하고, 제 2 셀(504)에 제 1 데이터를 저장할 수 있다.
- [0085] 메모리 장치(200)는 제 2 지점(502)인 제 1 셀(503)과 결합된 독출 전용 헤드 및 왼쪽 시프트 동작을 통하여, 데이터를 순차적으로 독출할 수 있다. 또한, 독출 전용 헤드(520)를 통한 독출 동작은 후입선출 독출일 수 있다. 이때, 후입선출 독출은 복호 읽기일 수 있다.
- [0086] 구체적으로, 메모리 장치(200)는 독출 전용 헤드(520)와 결합한 제 1 셀(503)에 저장된 제 2 데이터를 독출할 수 있다. 그리고 메모리 장치(200)는 왼쪽 시프트 동작을 수행할 수 있다. 왼쪽 시프트 동작이 완료하면, 메모리 장치(200)는 제 1 셀(503)에 제 1 데이터를 저장할 수 있다. 그러므로 메모리 장치(200)는 다시 독출 전용 헤드(520)에 기초하여 제 1 셀(503)에 저장된 제 1 데이터를 읽을 수 있다.
- [0087] 이와 같이, 메모리 장치(200)는 트레이스 백 독출 및 후입선출 독출을 통하여, "제 2 데이터, 제 1 데이터" 순으로 2번 독출할 수 있다.
- [0088] 다음은 도 6 내지 도 12를 참조하여, 본 발명의 일 실시예에 따른 디지털 신호 처리기를 설명한다.
- [0089] 도 6은 본 발명의 일 실시예에 따른 디지털 신호 처리기(600)의 블록도이다.
- [0090] 디지털 신호 처리기(600)는 비터비 복호기(400)를 포함한다.
- [0091] 이때, 비터비 복호기(400)는 앞에서 설명한 바와 같이, 생존 메모리(450)를 포함한다. 생존 메모리(450)는 도메인 월 메모리로서, 복수의 셀을 포함하는 하나 이상의 자기 나노와이어, 자기 나노와이어의 제 1 지점에 결합된 기록-독출 겸용 헤드 및 자기 나노와이어의 제 2 지점에 결합된 독출 전용 헤드를 포함한다.
- [0092] 이때, 기록-독출 겸용 헤드에 포함된 기록 헤드를 통해 저장된 데이터는 후입선출 방식에 따라 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출되는 것일 수 있다. 또한, 기록-독출 겸용 헤드에 포함된 기록 헤드를 통해 저장된 데이터는 비터비 복호기(400)의 역추적 독출 동작에 따라 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 생존 경로를 추적하기 위한 데이터가 출력되는 것일 수 있다.
- [0093] 비터비 복호기(400)는 기록-독출 겸용 헤드를 통하여, 후입선출 방식에 따른 독출 동작을 수행하면, 제 1 지점부터 자기 나노와이어의 제 1 측 단부사이에 포함되는 셀에 저장된 데이터는 제 2 지점부터 제 1 지점의 직전 셀까지의 셀에 각각 순차적으로 저장될 수 있다.
- [0094] 비터비 복호기(400)는 제 2 지점과 결합된 독출 전용 헤드를 통하여, 후입선출 방식에 따른 독출 동작을 수행할 수 있다.
- [0095] 일반적으로 독출 동작에 비하여, 느린 것으로 알려진, 도메인 월 메모리에서의 기록 동작을 위하여, 두 클럭을 할당할 수 있다. 그러므로 비터비 복호기(400)에서는 두 클럭 주기 동안 기록 동작 및 시프트 동작을 수행하고, 한 클럭 주기 동안 독출 동작 및 시프트 동작을 수행할 수 있다.
- [0096] 한편, 디지털 신호 처리기(600)는 후입선출 처리부(440)를 더 포함할 수 있다. 이때, 후입선출 처리부(440)는 도 4를 참조하여 설명한 바와 같이, 비터비 복호기(400)에 포함될 수 있다. 또는, 후입선출 처리부(440)는 비터비 복호기(400)와 연결되어, 비터비 복호기(400)에서 처리된 신호를 입력으로 수신할 수 있으나, 이에 한정된

것은 아니다. 후입선출 처리부(440)는 도 7을 참조하여 설명한다.

- [0097] 도 7은 본 발명의 일 실시예에 따른 후입선출 블록의 예시도이다.
- [0098] 비터비 복호기(400)는 비터비 복호기(400)에 포함된 가산비교선택 유닛(420)을 통하여, 짝수 클럭 주기마다 n 개의 데이터를 생성하고, 홀수 클럭 주기마다 n 개의 데이터를 생성할 수 있다. 이때, 각각의 클럭 주기에 생성되는 n 개의 데이터는 결정 비트일 수 있다.
- [0099] 즉, 비터비 복호기(400)는 짝수 클럭 주기에 생성된 n 개의 데이터 및 홀수 클럭 주기에 생성된 n 개의 데이터를 병합하여, $2n$ 개의 비트를 생성할 수 있다.
- [0100] 즉, 비터비 복호기(400)는 역추적 동작을 통하여, $2n$ 개의 데이터를 생성할 수 있다. 이때, 생성된 $2n$ 개의 데이터는 역순으로 저장되어 있다. 그러므로 비터비 복호기(400)는 역순의 데이터를 정순으로 정렬할 필요가 있다.
- [0101] 역순의 데이터를 정순으로 정렬하기 위하여, 일반적인 비터비 복호기(400)의 후입선출 처리부(440)는 복수의 셀을 포함하는 시프트 레지스터(shift register; SHREG)를 포함할 수 있다. 이때, 시프트 레지스터는 오른쪽 및 왼쪽 시프트 연산이 가능한 양방향 시프트 레지스터 일 수 있다.
- [0102] 또한, 시프트 레지스터는 핑 레지스터(ping register) 및 뽕 레지스터(pong register)를 포함할 수 있다. 핑 레지스터는 미리 정해진 방향의 시프트 연산을 통하여, 시프트 레지스터에 데이터를 기록할 수 있다. 그리고 데이터 기록이 완료되면 뽕 레지스터는 미리 정해진 방향과 반대 방향의 시프트 연산을 통해, 데이터를 독출할 수 있다.
- [0103] 예를 들어, 시프트 레지스터는 오른쪽 시프트 연산을 통하여, 시프트 레지스터에 데이터를 기록할 수 있다. 데이터 기록이 완료되면, 시프트 레지스터는 시프트 방향을 스위치하여, 왼쪽 시프트 연산을 통해, 시프트 레지스터에 데이터를 독출할 수 있다. 그리고 데이터 독출이 완료되면, 시프트 레지스터는 다시 시프트 방향을 스위치하여, 오른쪽 시프트 연산을 통해, 시프트 레지스터에 데이터를 기록할 수 있다. 이와 같이, 시프트 레지스터는 시프트 방향을 스위칭하며, 데이터 기록 및 독출을 수행할 수 있다.
- [0104] 본 발명의 일 실시예에 따른 후입선출 처리부(440)는 비터비 복호기(400)에 의해서 출력된 역순의 역추적 데이터의 순서를 정순으로 변경하기 위하여, 후입선출 블록의 포함할 수 있다. 이때, 후입선출 블록은 일반적인 비터비 복호기(400)의 시프트 레지스터를 대체할 수 있다.
- [0105] 후입선출 블록은 도메인 월 메모리로서, 자기 나노와이어(700) 및 자기 나노와이어(700)의 제 1 지점(740)에 결합된 후입선출 블록의 기록-독출 겸용 헤드(710), 독출 비트 라인, 기록 비트 라인 및 복수의 시프트를 포함할 수 있다. 또한, 자기 나노와이어(700)는 복수의 셀을 포함할 수 있다.
- [0106] 예를 들어, 64개의 셀을 포함하는 시프트 레지스터는 2개의 32개의 셀을 포함하는 자기 나노와이어로 대체될 수 있다. 이를 통하여, 비터비 복호기(400)는 기록 동작과 대응되는 시프트 연산을 통하여, 발생할 수 있는 지연 이슈를 해결할 수 있다.
- [0107] 후입선출 처리부(440)는 후입선출 블록의 기록-독출 겸용 헤드를 통하여, 비터비 복호기(400)의 기록-독출 겸용 헤드와 유사한 방식으로 자기 나노와이어에 데이터를 저장할 수 있다. 또한, 후입선출 처리부(440)는 비터비 복호기(400)의 기록-독출 겸용 헤드와 유사한 방식으로 후입선출 방식에 따라 후입선출 블록의 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출할 수 있다. 도 8을 참조하여, 후입선출 처리부(440)의 데이터 기록 및 독출 과정을 구체적으로 설명한다.
- [0108] 도 8은 본 발명의 일 실시예에 따른 후입선출 블록의 데이터 기록 및 독출 과정의 예시도이다.
- [0109] 구체적으로 도 8과 같이, 후입선출 처리부(440)의 후입선출 블록은 2개의 셀을 포함하는 2개의 자기 나노와이어(800, 810)를 포함할 수 있다. 이때, 후입선출 블록이 포함하는 자기 나노와이어(800, 810)는 짝수 클럭에 대응하는 제 1 자기 나노와이어(800) 및 홀수 클럭 주기에 대응하는 제 2 자기 나노와이어(810)를 포함할 수 있다.
- [0110] 또한, 후입선출 블록은 제 1 자기 나노와이어의 제 1 지점과 결합한 제 1 기록-독출 겸용 헤드(820) 및 제 2 자기 나노와이어의 제 1 지점과 결합한 제 2 기록-독출 겸용 헤드(830)를 포함할 수 있다.
- [0111] 후입선출 블록은 각각의 자기 나노와이어와 결합된 기록-독출 겸용 헤드(820, 830)에 포함된 기록 헤드 및 오른쪽 시프트 연산을 통해 저장된 데이터를 기록할 수 있다. 이때, 후입선출 블록은 짝수 클럭 주기에 오른쪽 시

프트를 수행한 다음, 제 1 기록-독출 겸용 헤드(820)의 기록 헤드를 통하여, 제 1 자기 나노와이어(800)에 제 3 데이터를 기록한다.

- [0112] 후입선출 블록은 홀수 클럭 주기에 오른쪽 시프트를 수행한 다음, 제 2 기록-독출 겸용 헤드(830)의 기록 헤드를 통하여, 제 2 자기 나노와이어(810)에 제 2 데이터를 기록할 수 있다. 이와 같이, 후입선출 블록은 짝수 클럭 주기 및 홀수 클럭 주기 동안 각각의 자기 나노와이어에 데이터를 기록할 수 있다.
- [0113] 후입선출 블록은 제 1 자기 나노와이어(800) 및 제 2 자기 나노와이어(810)에 데이터 기록이 완료된 이후, 기록-독출 겸용 헤드(820, 830)에 포함된 독출 헤드 및 왼쪽 시프트 연산을 통해 저장된 데이터를 독출할 수 있다. 이때, 후입선출 블록이 독출하는 데이터는 기록한 순서와 역순이다.
- [0114] 한편, 디지털 신호 처리기(600)는 파이프라인 고속 푸리에 변환(fast Fourier transform; FFT) 처리부(610) 및 파이프라인 정렬 처리부(620)를 더 포함할 수 있다.
- [0115] 이때, 파이프라인 고속 푸리에 변환 처리부(610)는 나비(butter fly) 연산 및 트위들 인자(twiddle factor) 곱셈 연산을 수행할 수 있다.
- [0116] 또한, 파이프라인 정렬 처리부(620)는 순차적으로 입력되는 데이터의 실시간 정렬을 수행할 수 있다. 예를 들어, 파이프라인 정렬 처리부(620)는 바이토닉 정렬 알고리즘에 기초하여, 고속 실시간 정렬을 수행할 수 있다.
- [0117] 파이프라인 고속 푸리에 변환 처리부(610) 및 파이프라인 정렬 처리부(620)는 선입선출 레지스터 파일을 포함할 수 있다. 이때, 선입선출 레지스터 파일은 도메인 월 메모리일 수 있다. 또한, 선입선출 레지스터 파일은 자기 나노와이어, 기록 전용 헤드 및 독출 전용 헤드를 포함할 수 있다.
- [0118] 선입선출 레지스터 파일의 자기 나노와이어는 복수의 셀을 포함할 수 있다. 예를 들어, 복수의 셀은 32개 일 수 있다.
- [0119] 또한, 기록 전용 헤드는 선입선출 레지스터 파일의 자기 나노와이어의 제 1 지점과 결합될 수 있다. 그리고 독출 전용 헤드는 선입선출 레지스터 파일의 자기 나노와이어의 제 2 지점과 결합될 수 있다.
- [0120] 도 9는 본 발명의 일 실시예에 따른 선입선출 레지스터 파일의 예시도이다.
- [0121] 도 9를 참조하면, 선입선출 레지스터 파일은 복수의 자기 나노와이어(900)를 포함할 수 있다. 또한, 각각의 자기 나노와이어(900)는 제 1 지점(903)과 결합한 기록 전용 헤드(901) 및 제 2 지점(904)과 결합된 독출 전용 헤드(902)를 포함할 수 있다.
- [0122] 선입선출 레지스터 파일은 기록 전용 헤드(901)와 연결된 기록 비트 라인(930) 및 독출 전용 헤드(902)와 연결된 독출 비트 라인(940)을 포함할 수 있다.
- [0123] 선입선출 레지스터 파일은 단방향으로 데이터가 기록되고 독출되므로, 단방향의 시프트(950)를 포함할 수 있다. 도 10을 참조하여, 선입선출 레지스터 파일의 데이터 기록 및 독출 과정을 구체적으로 설명한다.
- [0124] 도 10은 본 발명의 일 실시예에 따른 선입선출 레지스터 파일의 데이터 기록 및 독출 과정에 대한 예시도이다.
- [0125] 선입선출 레지스터 파일은 선입선출 레지스터 파일에 포함된 기록 전용 헤드(1010)를 통해, 기록 전용 헤드(1010)와 결합된 셀에 제 1 데이터를 기록할 수 있다. 그리고 선입선출 레지스터 파일은 독출 전용 헤드(1020)를 통해, 독출 전용 헤드(1020)와 결합된 셀로부터 데이터를 독출할 수 있다. 아직, 독출 전용 헤드(1020)와 결합된 셀에 저장된 데이터가 없으므로, 독출되는 데이터는 없다. 선입선출 레지스터 파일은 독출 동작을 수행한 다음, 시프트 연산을 수행할 수 있다.
- [0126] 선입선출 레지스터 파일은 위에 설명한 제 1 데이터의 기록 방법에 따라, 제 2 데이터, 제 3 데이터 및 제 4 데이터를 기록할 수 있다. 그리고 독출 전용 헤드(1020)와 결합된 셀에 제 1 데이터가 시프트되면, 선입선출 레지스터 파일은 독출 전용 헤드(1020)의 독출 헤드를 통하여, 제 1 데이터를 독출할 수 있다.
- [0127] 이와 같이, 선입선출 레지스터 파일은 기록 전용 헤드 및 독출 전용 헤드의 위치에 따라, 기록되는 데이터를 지연되어 독출될 수 있다.
- [0128] 또한, 디지털 신호 처리기(600)는 분산 산술연산(distributed arithmetic; DA) 기반 유한 임펄스 응답(finite impulse response) 필터 처리부(630)를 더 포함할 수 있다. 분산 산술연산 기반 유한 임펄스 응답 필터 처리부(630)는 분산 산술연산을 통하여, 입력 또는 계수를 비트 단위로 나눈 후 이를 누적하는 연산을 수행할 수 있다. 그러므로 분산 산술연산 기반 유한 임펄스 응답 필터 처리부(630)는 곱셈기 없이도 필터링 동작을 수행

할 수 있다.

- [0129] 도 11은 본 발명의 일 실시예에 따른 입력 레지스터의 예시도이다.
- [0130] 분산 산술연산 기반 유한 임펄스 응답 필터 처리부(630)는 입력 레지스터를 포함할 수 있다. 이때, 입력 레지스터는 도메인 월 메모리일 수 있다. 입력 레지스터는 자기 나노와이어(1100), 기록 전용 헤드(1110) 및 복수의 독출 전용 헤드(1120)를 포함할 수 있다.
- [0131] 기록 전용 헤드(1110)는 입력 레지스터의 자기 나노와이어의 제 1 지점에 결합된 것일 수 있다. 또한, 복수의 독출 전용 헤드(1120)는 각각 입력 레지스터의 자기 나노와이어의 임의의 지점에 결합된 것일 수 있다. 이때, 독출 전용 헤드(1120)와 연결된 임의의 지점은 자기 나노와이어 상의 제 1 지점 및 다른 독출 전용 헤드와 연결된 지점과 상이한 지점일 수 있다.
- [0132] 또한, 입력 레지스터는 기록 전용 헤드(1110)와 연결된 기록 비트 라인(1150) 및 복수의 독출 전용 헤드(1120)와 연결된 독출 비트 라인(1160)을 포함할 수 있다.
- [0133] 예를 들어, 입력 레지스터는 자기 나노와이어(1100)에 하나의 기록 전용 헤드(1110) 및 자기 나노와이어는 64비트의 주소를 생성하기 위하여, 64개의 데이터를 독출하는 64개의 독출 전용 헤드(1120)를 포함할 수 있다.
- [0134] 이때, 입력 레지스터의 기록 전용 헤드를 통한 데이터 저장 및 입력 레지스터의 복수의 독출 전용 헤드를 통한 독출은 교대로 수행될 수 있다. 입력 레지스터의 데이터 기록 및 독출 과정은 도 12를 참조하여 설명한다.
- [0135] 도 12는 본 발명의 일 실시예에 따른 입력 레지스터의 데이터 기록 및 독출 과정의 예시도이다.
- [0136] 도 12에서는 입력 데이터의 크기가 8개이고, 필터 탭의 수가 2인 분산 산술연산 기반 유한 임펄스 응답 필터 처리부(630)를 위한 입력 레지스터가 도시되어 있다. 이때, 입력 레지스터는 두 개의 자기 나노와이어(1200, 1210)를 포함할 수 있다. 또한, 입력 레지스터는 두 개의 자기 나노와이어(1200, 1210)와 각각 결합된 기록 전용 헤드(1220, 1230), 제 1 독출 전용 헤드(1240, 1250) 및 제 2 독출 전용 헤드(1260, 1270)를 포함할 수 있다.
- [0137] 입력 레지스터에 포함된 어느 한 자기 나노와이어는 짝수 클럭 동안, 기록 동작을 수행할 수 있다. 또한, 입력 레지스터는 기록 전용 헤드(1220, 1230)와 결합된 자기 나노와이어(1200, 1210)의 셀에 데이터를 기록할 수 있다.
- [0138] 그리고 입력 레지스터는 기록 동작을 수행한 다음, 제 1 독출 전용 헤드(1240, 1250) 및 제 2 독출 전용 헤드(1260, 1270)를 통하여, 독출 동작을 수행할 수 있다.
- [0139] 입력 레지스터는 제 1 독출 전용 헤드(1240, 1250) 및 제 2 독출 전용 헤드(1260, 1270)를 통한 독출 동작을 수행한 다음 시프트 연산을 수행할 수 있다. 이때 시프트 연산은 오른쪽 시프트 연산일 수 있다.
- [0140] 이와 같이, 입력 레지스터는 기록 및 독출 동작이 교대로 동작하게 된다. 또한, 입력 레지스터는 한 클럭 주기 동안 독출 동작과 함께 시프트 연산을 수행할 수 있다.
- [0141] 입력 레지스터는 입력 레지스터의 기록 전용 헤드를 통해 데이터를 기록할 수 있다. 또한, 입력 레지스터는 선입선출 방식에 따라, 입력 레지스터의 독출 전용 헤드를 통해 순차적으로 데이터를 독출할 수 있다.
- [0142] 다음은 도 13을 참조하여 본 발명의 일 실시예에 따른 도메인 월 메모리 기반의 메모리 장치(200)에서의 기록 및 독출 방법을 설명한다.
- [0143] 도 13은 본 발명의 일 실시예에 따른 메모리 장치(200)에서의 기록 및 독출 방법의 순서도이다.
- [0144] 메모리 장치(200)에 포함된 자기 나노와이어는 기록-독출 겸용 헤드에 포함된 기록 헤드를 통해 데이터를 저장한다(S1300). 이때, 메모리 장치(200)는 복수의 셀을 포함하는 하나 이상의 자기 나노와이어, 자기 나노와이어의 제 1 지점에 결합된 기록-독출 겸용 헤드 및 자기 나노와이어의 제 2 지점에 결합된 독출 전용 헤드를 포함한다.
- [0145] 자기 나노와이어는 후입선출(last in first out) 방식에 따라 기록-독출 겸용 헤드에 포함된 독출 헤드를 통해 순차적으로 독출한다(S1310).
- [0146] 자기 나노와이어는 후입선출 방식에 따른 독출 동작에 따라 제 1 지점부터 자기 나노와이어의 제 1 측 단부 사이에 포함되는 셀에 저장된 데이터를 제 2 지점부터 제 1 지점의 직전 셀까지의 셀에 각각 순차적으로 저장할 수

있다(S1320).

- [0147] 그리고 자기 나노와이어는 독출 전용 헤드를 통하여, 제 2 지점부터 제 1 지점의 직전 셀까지의 셀에 저장된 데이터를 순차적으로 독출할 수 있다.
- [0148] 이때, 메모리 장치(200)는 비터비 복호기(400)에 포함되는 생존 메모리(450)일 수 있다. 그러므로 자기 나노와이어는 순차적으로 독출하기 위하여, 역추적 독출 동작에 따라 기록-독출 검용 헤드에 포함된 독출 헤드를 통해 생존 경로를 추적하기 위한 데이터를 출력할 수 있다.
- [0149] 도메인 월 메모리 기반의 메모리 장치(200), 메모리 장치(200)를 이용한 메모리 기록 및 독출 방법, 및 디지털 신호 처리기(600)는 도메인 월 메모리를 사용하므로, 종래의 정적 임의 접근 메모리를 사용한 메모리 장치에 비하여, 메모리 사용 면적과 데이터 기록 및 독출에 대한 전력 소모가 작고, 작은 면적을 차지하여, 에너지 및 공간 효율적이다. 또한, 도메인 월 메모리 기반의 메모리 장치(200), 메모리 장치(200)를 이용한 메모리 기록 및 독출 방법, 및 디지털 신호 처리기(600)는 복수 개의 자기 나노와이어를 번갈아 사용하여, 종래의 정적 임의 접근 메모리 기반의 메모리 장치와 유사한 성능을 보장할 수 있다. 그러므로 도메인 월 메모리 기반의 메모리 장치(200), 메모리 장치(200)를 이용한 메모리 기록 및 독출 방법, 및 디지털 신호 처리기(600)는 스마트 폰과 사물 인터넷 기기에 적합하다.
- [0150] 본 발명의 일 실시예는 컴퓨터에 의해 실행되는 프로그램 모듈과 같은 컴퓨터에 의해 실행가능한 명령어를 포함하는 기록 매체의 형태로도 구현될 수 있다. 컴퓨터 판독 가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있고, 휘발성 및 비휘발성 매체, 분리형 및 비분리형 매체를 모두 포함한다. 또한, 컴퓨터 판독가능 매체는 컴퓨터 저장 매체 및 통신 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함한다. 통신 매체는 전형적으로 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈, 또는 반송파와 같은 변조된 데이터 신호의 기타 데이터, 또는 기타 전송 메커니즘을 포함하며, 임의의 정보 전달 매체를 포함한다.
- [0151] 본 발명의 방법 및 시스템은 특정 실시예와 관련하여 설명되었지만, 그것들의 구성 요소 또는 동작의 일부 또는 전부는 범용 하드웨어 아키텍처를 갖는 컴퓨터 시스템을 사용하여 구현될 수 있다.
- [0152] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0153] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

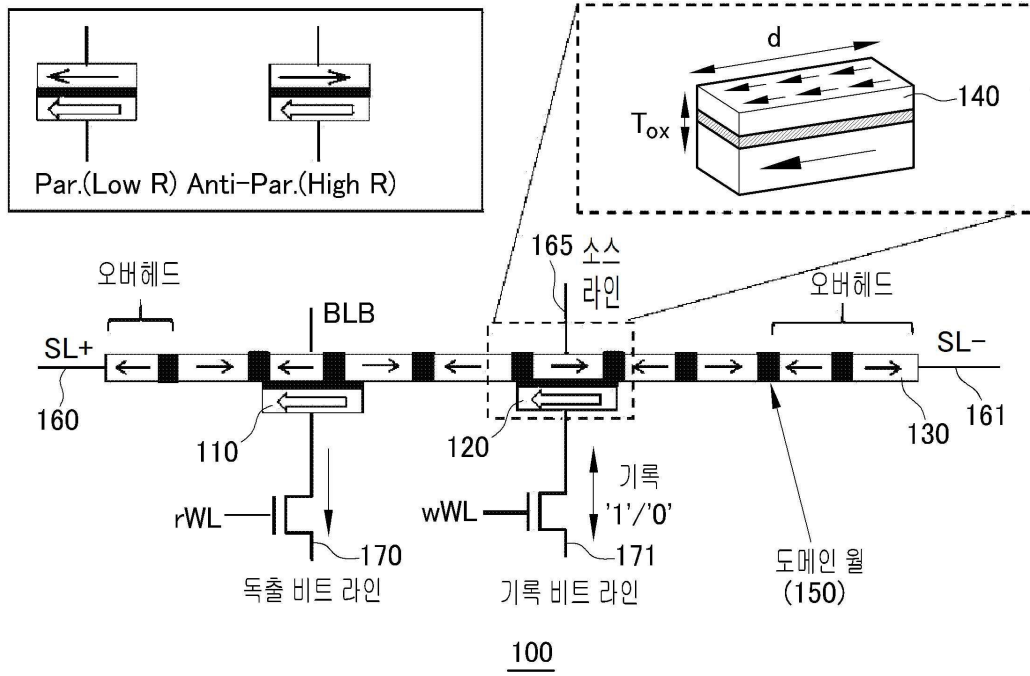
부호의 설명

- [0154] 200: 메모리 장치
400: 비터비 복호기
410: 가시 메트릭 유닛
420: 가산비교선택 유닛
430: 트레이스백 유닛
440: 후입선출 처리부
450: 생존 메모리
600: 디지털 신호 처리기
610: 파이프라인 고속 푸리에 변환 처리부
620: 파이프라인 정렬 처리부

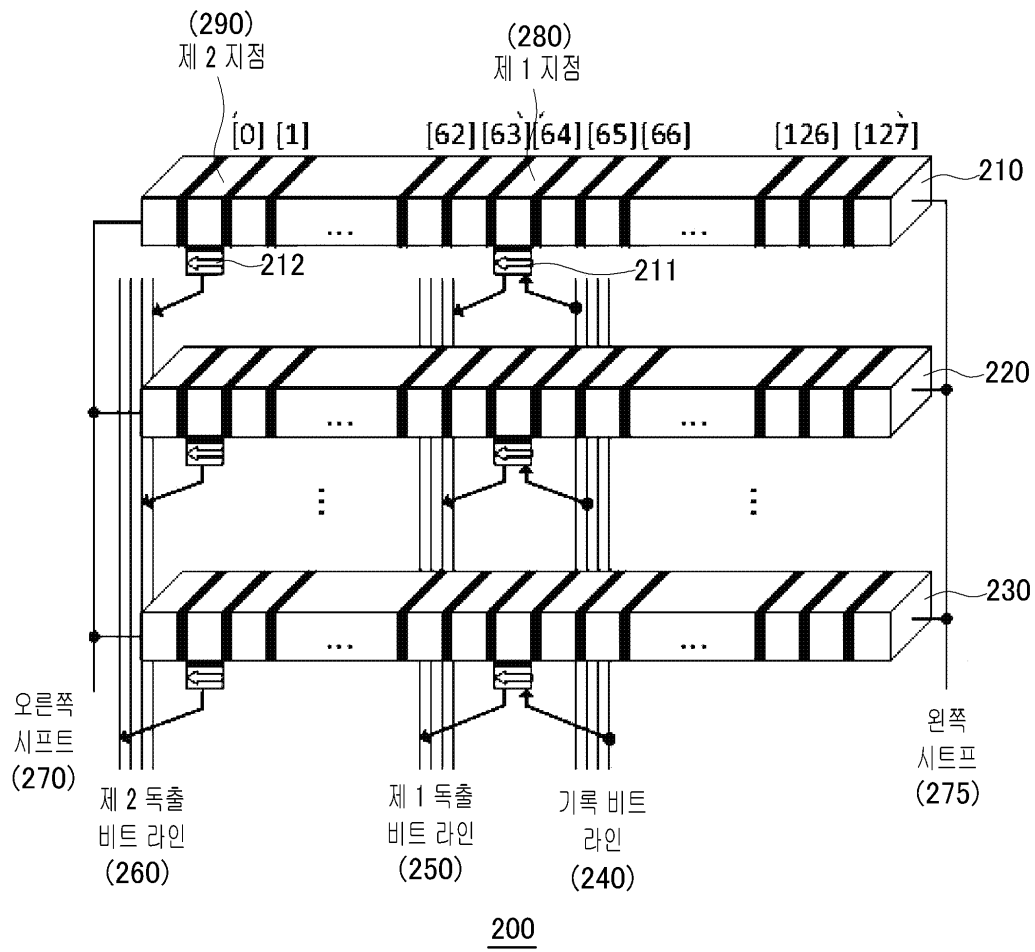
630: 분산 산술연산 기반 유한 임펄스 응답 필터 처리부

도면

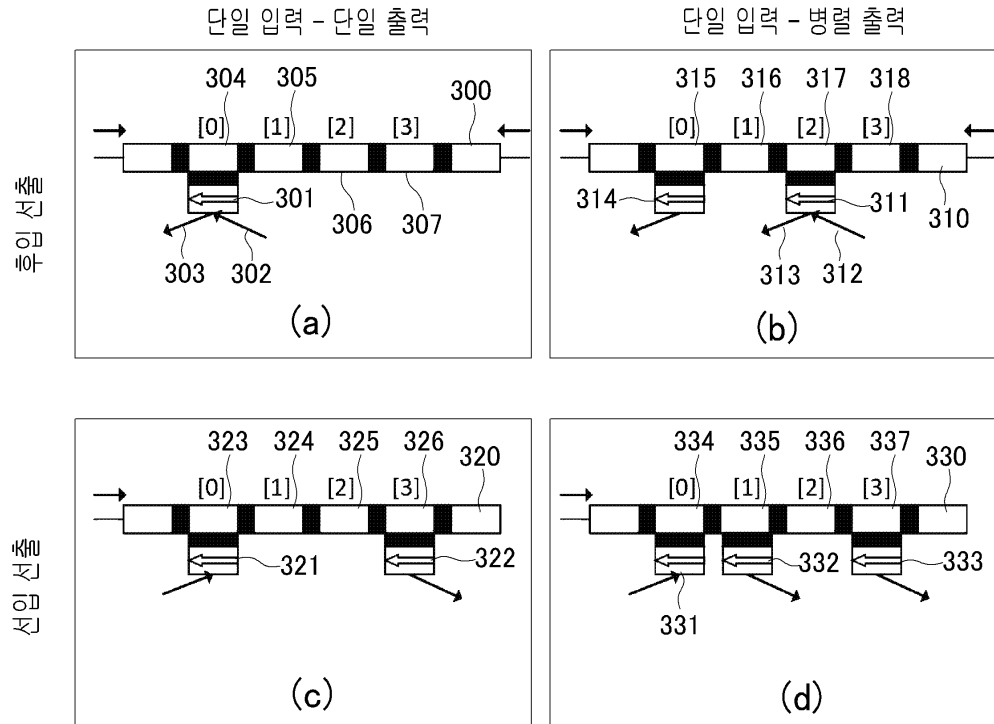
도면1



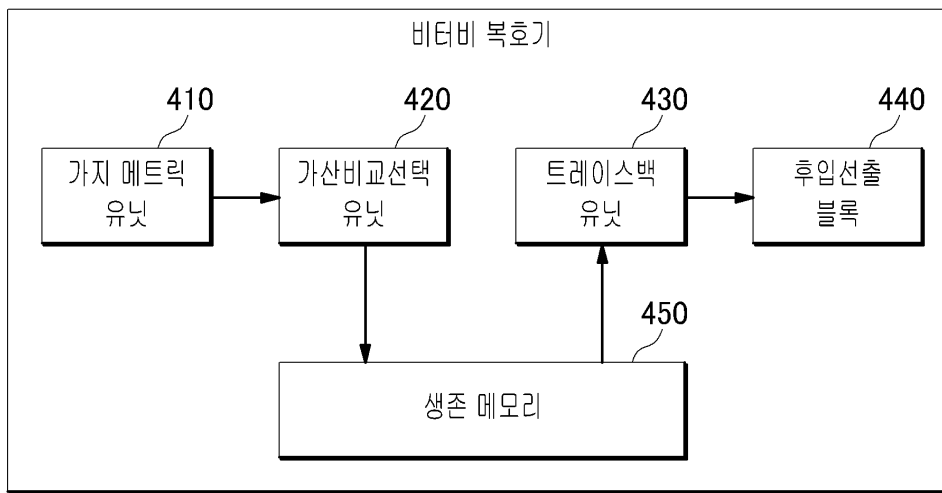
도면2



도면3

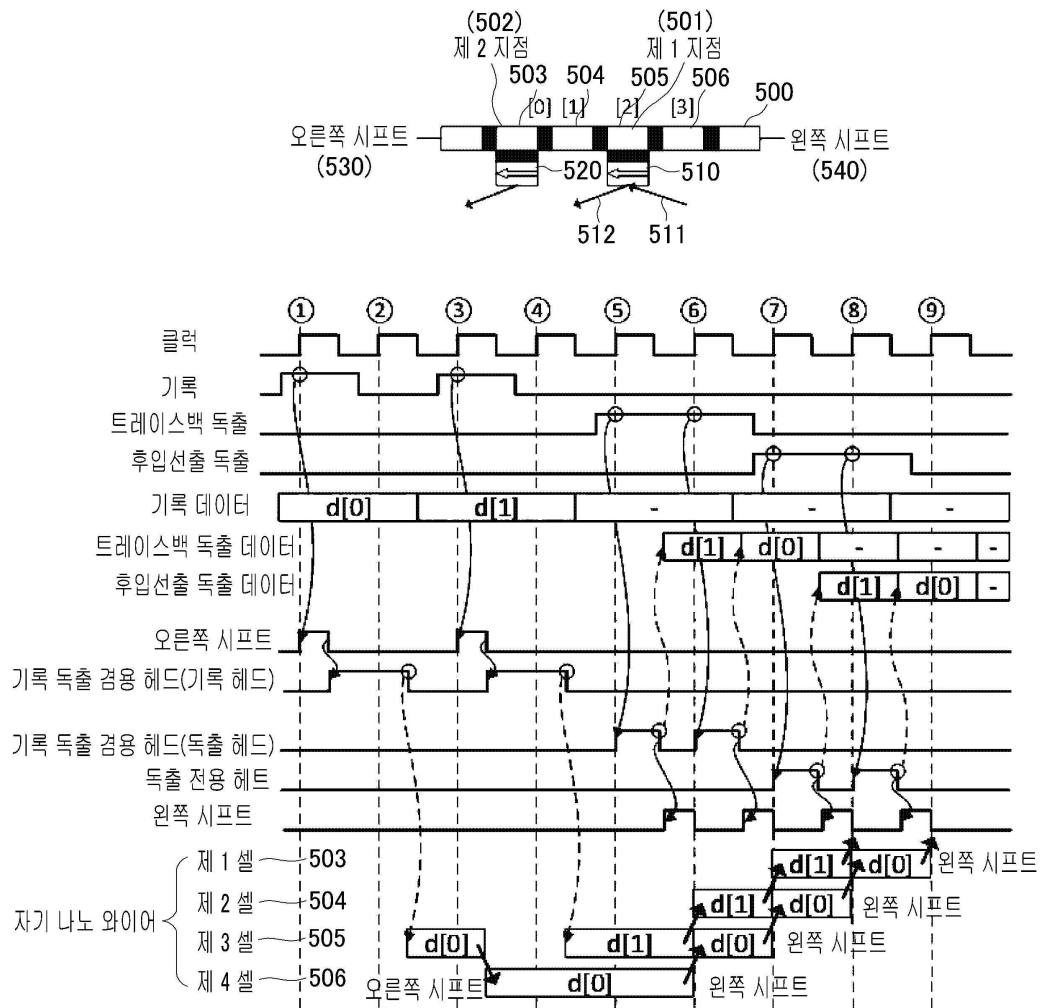


도면4

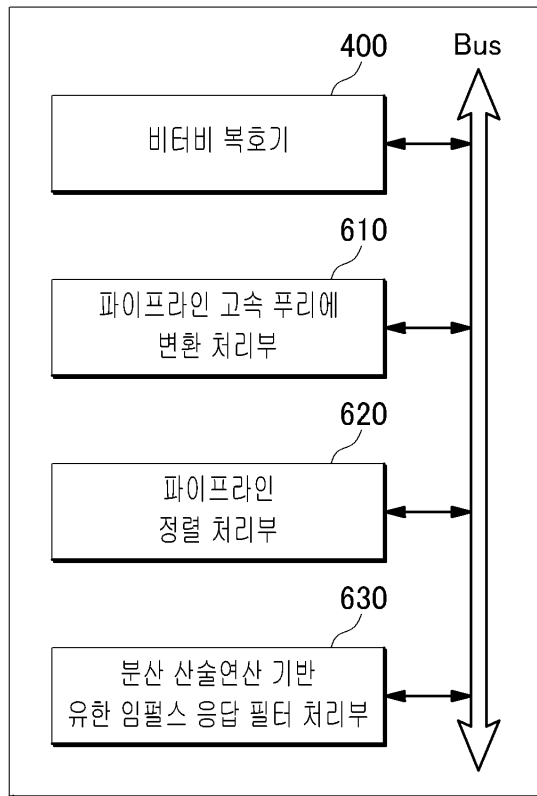


400

도면5

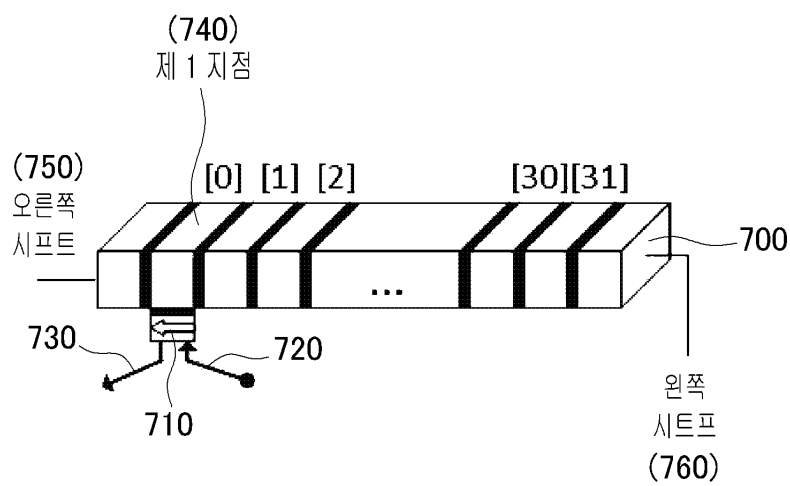


도면6

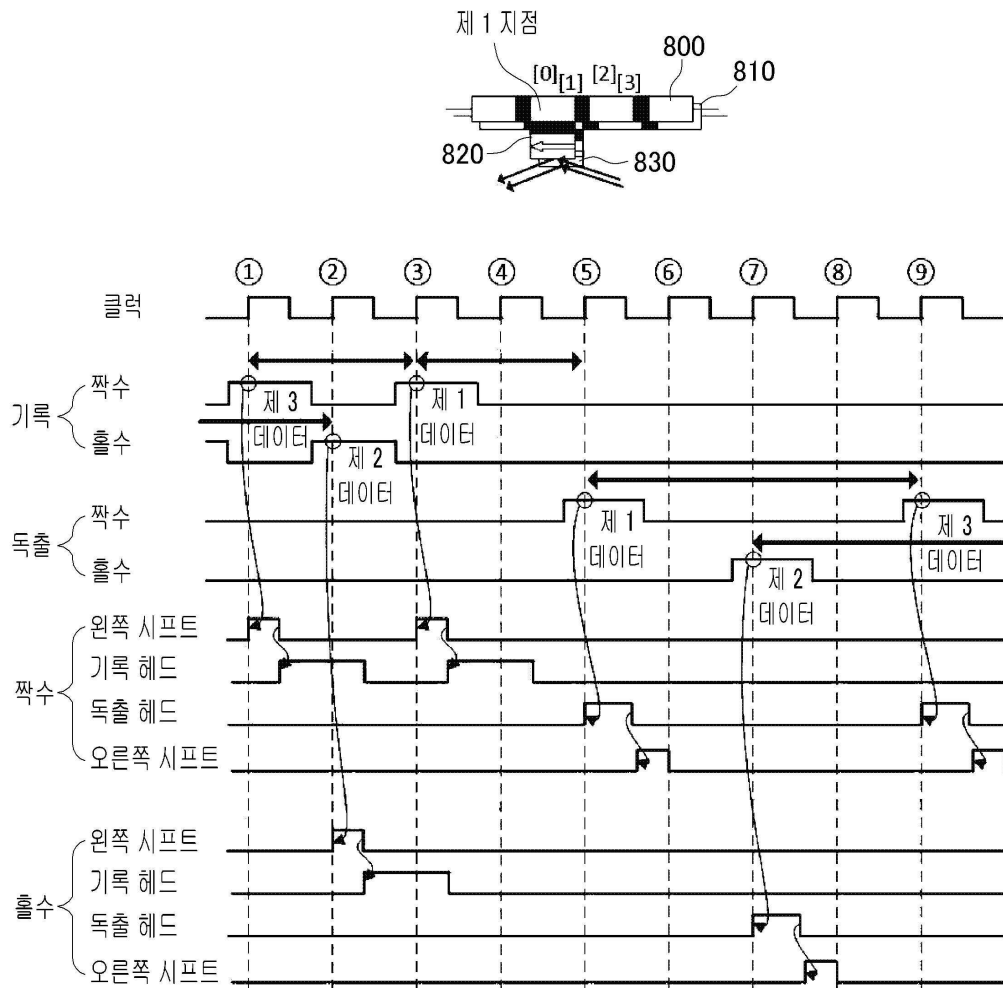


600

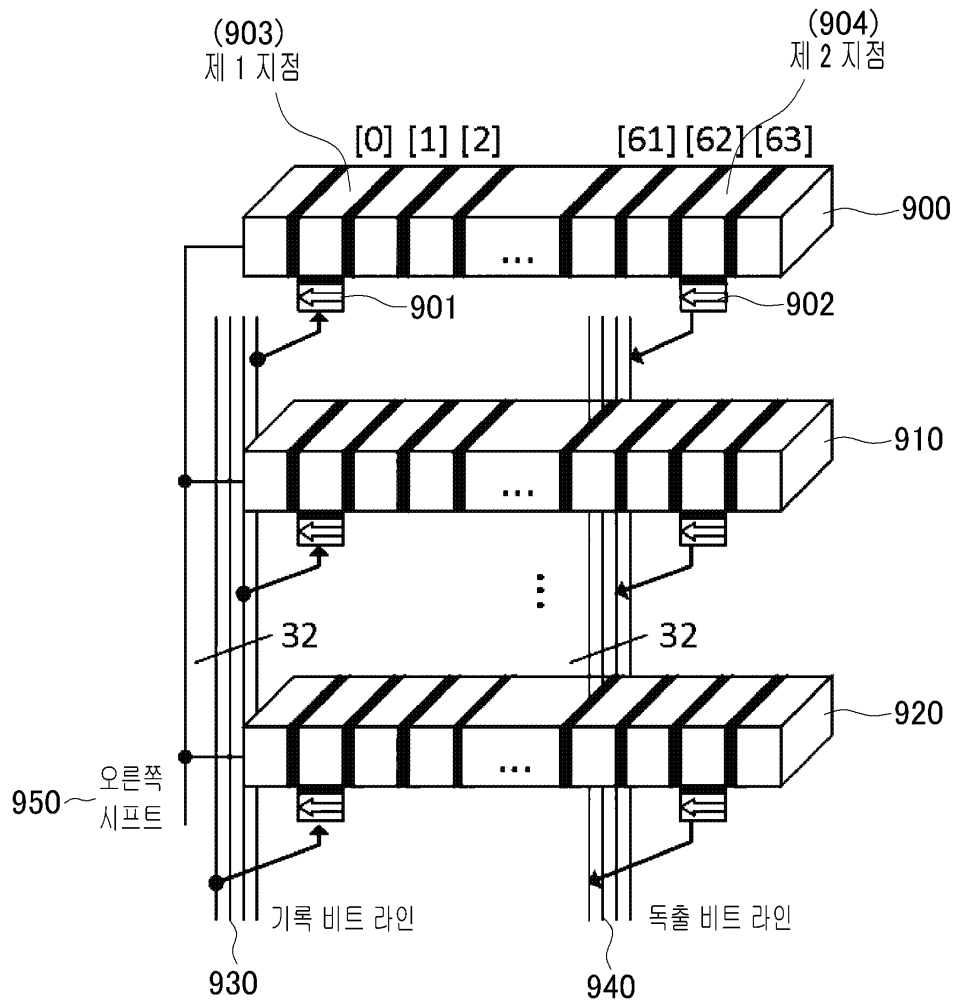
도면7



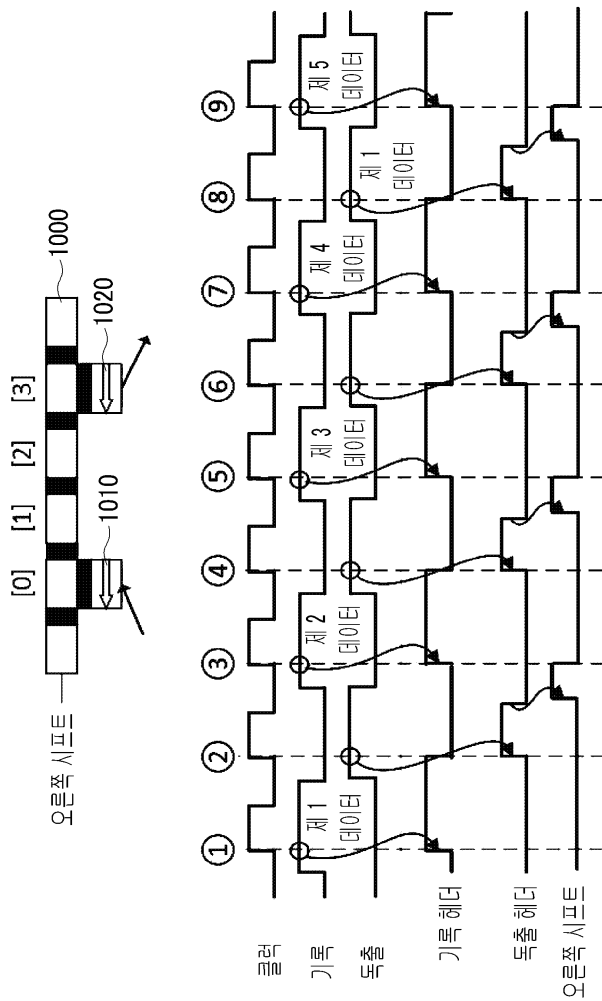
도면8



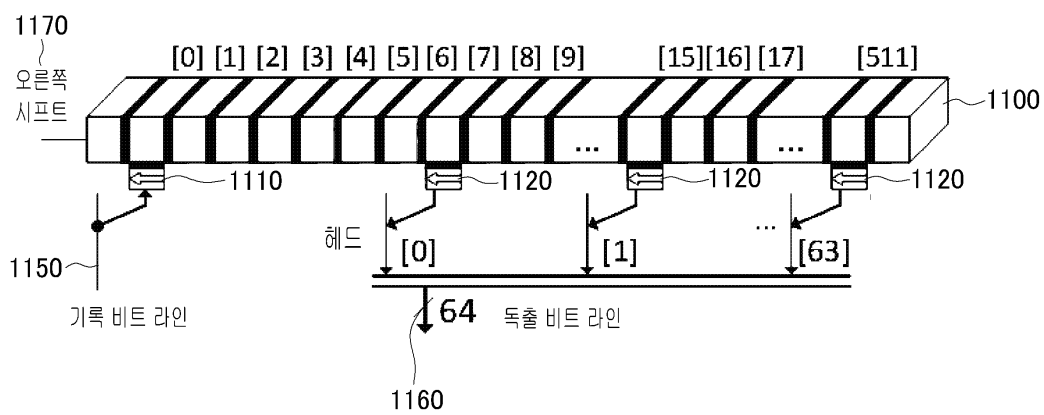
도면9



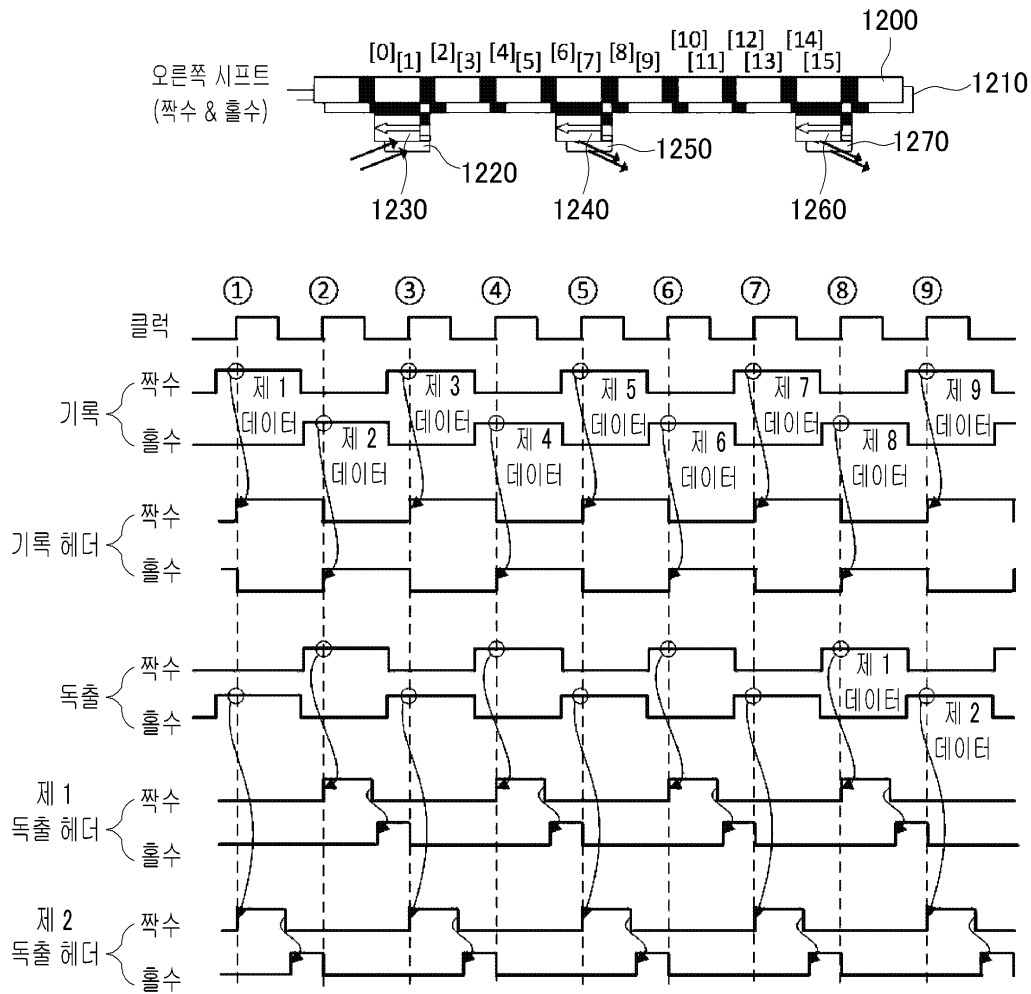
도면10



도면11



도면12



도면13

