

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4255715号
(P4255715)

(45) 発行日 平成21年4月15日(2009.4.15)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)
H01L 29/78 (2006.01)H01L 29/78 622
H01L 29/78 617K
H01L 29/78 616T
H01L 29/78 301X
H01L 29/78 301J

請求項の数 6 (全 12 頁)

(21) 出願番号

特願2003-50406 (P2003-50406)

(22) 出願日

平成15年2月27日 (2003.2.27)

(65) 公開番号

特開2003-332584 (P2003-332584A)

(43) 公開日

平成15年11月21日 (2003.11.21)

審査請求日

平成18年2月21日 (2006.2.21)

(31) 優先権主張番号

特願2002-58541 (P2002-58541)

(32) 優先日

平成14年3月5日 (2002.3.5)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 本田 達也

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 河本 充雄

(56) 参考文献 特開平10-200123 (JP, A)

(58) 調査した分野 (Int.Cl., DB名)

H01L 29/78

H01L 29/786

H01L 21/336

(54) 【発明の名称】トランジスタ

(57) 【特許請求の範囲】

【請求項 1】

チャネル領域、前記チャネル領域に接するソース領域、および前記チャネル領域に接するドレイン領域が設けられている半導体層と、該半導体層に接する絶縁膜と、該絶縁膜を介して前記半導体層に重なるゲート電極とを有するトランジスタにおいて、

前記半導体層には、前記チャネル領域に接する他の半導体領域がさらに設けられ、

前記絶縁膜を介して、前記ゲート電極が前記チャネル領域に接する前記他の半導体領域に重なり、前記チャネル領域に重ならないように設けられていることを特徴とするトランジスタ。

【請求項 2】

チャネル領域、前記チャネル領域に接するソース領域、および前記チャネル領域に接するドレイン領域が設けられている半導体層と、該半導体層に接する絶縁膜と、該絶縁膜を介して前記半導体層に重なるゲート電極とを有するトランジスタにおいて、

前記半導体層には、前記チャネル領域および前記ソース領域に接する他の半導体層がさらに設けられ、

前記絶縁膜を介して、前記ゲート電極が前記チャネル領域および前記ソース領域に接する前記他の半導体領域に重なり、前記チャネル領域に重ならないように設けられていることを特徴とするトランジスタ。

【請求項 3】

請求項 1において、前記チャネル領域に接する前記他の半導体領域の導電型は i 型又は

10

20

、前記ソース領域および前記ドレイン領域と逆の導電型であることを特徴とするトランジスタ。

【請求項 4】

請求項 2において、前記チャネル領域および前記ソース領域に接する前記他の半導体領域の導電型は i 型又は、前記ソース領域および前記ドレイン領域と逆の導電型であることを特徴とするトランジスタ。

【請求項 5】

請求項 1乃至 4 のいずれか一項において、前記チャネル領域の導電型は、前記ソース領域および前記ドレイン領域と逆の導電型であることを特徴とするトランジスタ。

【請求項 6】

請求項 1乃至 5 のいずれか一項において、前記他の半導体領域は反転層形成領域であることを特徴とするトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、增幅作用およびスイッチング作用を備えたトランジスタ、およびこのトランジスタを用いた集積回路や、この集積回路の用いた半導体装置に関するものである。

【0002】

【従来の技術】

トランジスタは、電子と正孔双方のキャリアの働きによって動作するバイポーラ（双極性型）トランジスタと、電子又は正孔のいずれか一方のキャリアの働きによって動作するユニポーラ（単極性型）トランジスタの 2 種類に大別される。

【0003】

例えば、電界効果型トランジスタは、ゲート絶縁膜を介してゲート電極により半導体に電圧を印加することで、ゲート絶縁膜と半導体の界面に電荷を誘起させて、半導体表面に反転層（チャネル）を形成し、ソースとドレインを導通させている。すなわち、ゲート電圧により半導体の抵抗を変化させることで、ソース - ドレイン間に流れる電流を変化させている。

【0004】

上述のように、電界効果型トランジスタはゲート電圧によって、半導体のフェルミレベルを変動させて動作させるものであるので、ゲート電極に印加する電圧が変動すると、動作原理上、トランジスタを流れる電流が変動するのは避けられない。

【0005】

また、電界効果型トランジスタが導通状態（オン状態）では、ゲート電圧により、チャネルにはチャネル長方向（キャリアの移動方向）に対して垂直な電界が形成されているが、このような垂直方向の電界は、ホットキャリアがゲート絶縁膜に注入される大きな原因の 1 つとなっている。

【0006】

ホットキャリアがゲート絶縁膜に注入されると、ゲート絶縁膜に捕獲されて捕獲準位を形成したり、ゲート絶縁膜と半導体層の界面の結合を絶って界面準位を形成したりするため、トランジスタのしきい値電圧の変動を引き起こす。しきい値電圧が変動すると、例えばトランジスタのスイッチングのタイミングがずれたり、ドレイン電流が変動したりするので、回路の誤動作の原因となる。

【0007】

例えば、素子の縮小化に伴うホットキャリアによる劣化を抑制している例として、チャネルを形成する領域にゲート電極により電圧を印加することにより、キャリアがゲート絶縁膜をトンネリングするようにして、半導体にキャリアを注入し、チャネルを形成するトランジスタがある（特許文献 1 参照。）。

【0008】

ホットキャリアの原因は、ゲート電極による電界によりゲート絶縁膜界面に誘起される電

10

20

30

40

50

荷であるが特許文献1のトランジスタは、ゲート電極から活性層へとキャリアを注入することで、ホットキャリアの劣化を抑制していると考えられる。しかしながら、特許文献1では、ゲート電極から活性層へとキャリアを注入するため、ごく薄いゲート絶縁膜が要求され、おそらく10nm以下とすることが要求されると考えられる。

【0009】

絶縁膜の厚さを10nm以下とすることは、膜厚制御が非常に困難になることであり、基板サイズが大きくなればなるほど、その困難さは増す。特許文献1では、ゲート絶縁膜の厚さによってトンネリングのゲートしきい値電圧が決り、ゲート絶縁膜の厚さが元々ごく薄いために、少しのゲート絶縁膜の厚さのばらつきがソース・ドレイン電流のばらつきにつながりやすいと思われる。

10

【0010】

【特許文献1】

特開平7-263691号公報

【0011】

【発明が解決しようとする課題】

本発明は、上述した問題点を鑑み、ゲート電圧を変化させても、ソース・ドレイン間を流れる電流を一定に保つことが可能な従来と異なる動作原理のトランジスタを提供することを目的とする。さらに、本発明は、ホットキャリア注入による劣化を解消することを目的とする。

【0012】

20

【課題を解決するための手段】

本発明に係るトランジスタは、ソース領域およびドレイン領域、ソース領域とドレイン領域間の電流（キャリア）の通り道となるチャネル領域が設けられている半導体層と、該半導体層に接するゲート絶縁膜として機能する絶縁膜と、該絶縁膜を介して前記半導体層に重なるゲート電極とを有し、前記半導体層に、前記チャネル領域に接する他の半導体領域が設けられている。ゲート電極は、前記半導体層に重なるように設けられているものの、前記チャネル領域に重ならないように設け、前記チャネル領域に接する他の半導体領域に重なるように設けられていることを特徴とする。

【0013】

すなわち、本発明に係るトランジスタは、半導体層に設けられたチャネル領域にゲート電圧を印加しないようにゲート電極を設け、かつゲート電極の電界により反転層を形成するための他の半導体領域（反転層形成領域）をチャネル形成領域に接するように半導体層に設けることを特徴とする。

30

【0014】

また、本発明に係るトランジスタにおいて、トランジスタの半導体層を構成する半導体は、SiやGeなどの単体の半導体の他、GaAs, InP, SiC, ZnSe, GaNなど化合物半導体や、 $SiGe$, Al_xGaAs_{1-x} のような混晶でなる半導体で製作することができる。また半導体の結晶構造は、単結晶、多結晶、微結晶や非晶質のいずれでもよい。

【0015】

40

例えば、半導体層として、シリコンウェハーや、CVD法やスパッタ法などで成膜した非晶質シリコン膜や、このような非晶質シリコン膜を結晶化した多結晶シリコン膜などを用いることができる。

【0016】

また、半導体層に形成されるチャネル領域、ソース領域などの領域は、後述するが、トランジスタの導電型（nチャネル型、pチャネル型）に応じて適当な導電型が付与される。

【0017】

このように導電型を付与するために半導体層に添加されるドーパントは、半導体層を構成する半導体がシリコンやゲルマニウムの場合には、p型の半導体領域を形成するためならば、B（硼素）、Sn, Alなどのアクセプターとして働く不純物を添加する。n型の半

50

導体領域を形成するためならばP(燐), As, Sbなどのドナーとして働く不純物を添加すればよい。

【0018】

上記構成を備えた本発明に係るトランジスタは、ゲート絶縁膜を介してゲート電極により半導体に電圧を印加し、静電誘導により半導体表面にキャリア(電子又はホール)を誘起し、この電子又はホールいずれか一方のキャリアの働きにより動作させる点で電界効果型トランジスタと同様である。

【0019】

しかし、本発明に係るトランジスタが従来の電界効果型トランジスタや、上記特許文献1に記載されたトランジスタと全く異なる点は、ゲート電圧をチャネル領域に直接的に印加するのではなく、チャネル領域に接する他の半導体領域にゲート絶縁膜を介してゲート電圧を印加して、キャリアを誘起させて反転層を形成することである。

【0020】

本発明に係るトランジスタをオン状態(導通状態)にするには、しきい値電圧以上の電圧をゲート電極により半導体領域に印加して、反転層を形成する。

反転層に誘起された電荷は、チャネル領域に移動する。この結果、チャネル領域のフェルミレベルが移動し、ソース領域とチャネル領域とのポテンシャル障壁が小さくなつていき、やがて、この障壁を乗り越えてソース領域からドレイン領域へと電荷が移動できるようになり、ドレイン電流が流れようになる。

【0021】

このように、本発明に係るトランジスタは、後に詳述するが、従来のトランジスタと同様の動作が可能であり、従来のMOSトランジスタや薄膜トランジスタが用いられている各種の集積回路に適用が可能である。例えば、SRAMやDRAMのようなメモリーや、演算処理回路や、CMOSトランジスタを用いたイメージセンサなど各種の集積回路に適用できる。

【0022】

また、近年、TFTが用いられている液晶や有機ELを用いたアクティブマトリクス型ディスプレイなどに適用が可能である。

【0023】

また、上述したように、本発明に係るトランジスタは、電界により半導体表面に電荷を誘起させて反転層(チャネル)を形成することで、ソース領域とチャネル領域との障壁を小さくするのではなく、外部からチャネル領域にキャリアを注入することで、チャネル領域のフェルミレベルを変化させて、ソース領域とチャネル領域との障壁を小さくすることを特徴とする。

【0024】

したがって、本発明では、ソース領域-チャネル領域間の障壁は、ゲート電圧の変動に影響しないため、ドレイン電流はゲート電圧が変動しても変動せず、一定となる。

【0025】

また、上記特許文献1ではトンネル電流を用いて動作させているのに対して、本発明に係るトランジスタは、通常の電界効果型トランジスタと同様ゲート電極の電界により電荷を誘起させるため、特許文献1よりもゲート絶縁膜の膜厚制御のマージンは大きく、これに伴ってドレイン電流の制御のマージンも大きくなる。よって、本発明のほうが、特許文献1のものよりも、ドレイン電流の制御が優位であり、この優位さは基板のサイズが大きくなるほど顕著なものとなる。

【0026】

【発明の実施の形態】

[実施形態1]

本実施形態では、本発明に係るトランジスタの一実施形態として、nチャネル型トランジスタの動作原理について説明する。また、本実施形態では、トップゲート型の薄膜トランジスタ(TFT)に適用した場合を説明する。

10

20

30

40

50

【 0 0 2 7 】

図1は、nチャネル型TFTの構成を示す図である。図1(a)は薄膜トランジスタの上面図であり、図1(b)は図1(a)のy-y'断面図であり、図1(c)は図1(a)のx-x'断面図であり、図1(d)は、半導体膜でなる半導体層の上面図である。

【 0 0 2 8 】

本実施形態のTFTは、素子として機能する半導体膜でなる半導体層10が設けられ、半導体層10に密着して、ゲート絶縁膜として機能する絶縁膜11が設けられ、絶縁膜11上に密着してゲート電極12が設けられている(図1(b)参照)。

【 0 0 2 9 】

さらに、ゲート電極12の上方に層間絶縁膜13が設けられ、層間絶縁膜13上にソース電極14、ドレイン電極15が設けられている(図1(c)参照)。

【 0 0 3 0 】

半導体層10には、n型の導電型のソース領域16及びドレイン領域17が設けられている。ソース領域16とドレイン領域17の間には、ソース領域16とドレイン領域17を導通させるためチャネル領域18が設けられている(図1(d)参照)。

【 0 0 3 1 】

ソース電極14、ドレイン電極15はそれぞれ、層間絶縁膜13に設けられたコンタクトホールにおいて、ソース領域16、ドレイン領域17に接続されている(図1(a), (c)参照)。

【 0 0 3 2 】

半導体層10には、チャネル領域18に接する領域19がさらに設けられている。そして、ゲート電極12は、絶縁膜11を介して、チャネル領域18からオフセットして重ならないように設けられ、この領域19に重なるように設けられている(図1(d)参照)。本実施形態のトランジスタは、公知のTFTの製造技術を用いることで作製することが可能である。

【 0 0 3 3 】

領域19は、トランジスタを導電状態にするために、ゲート電極12のつくる電界により反転層(nチャネル型トランジスタの場合なら電子の濃度が大きくなる層、pチャネル型トランジスタであればホール濃度が大きくなる層)を形成するための半導体領域である。以下、このような半導体領域を反転層形成領域とする。

【 0 0 3 4 】

本実施形態では、反転層形成領域19の導電型はp型としている。反転層形成領域19やチャネル領域18の半導体の導電型については、後で説明する。

【 0 0 3 5 】

次に、図2に示すエネルギーバンド図を用いて、図1に示すnチャネル型トランジスタの動作原理を説明する。なお、図2のエネルギー bandwidth 図は、チャネル領域18、反転層形成領域19は、導電型がp型であって、キャリア濃度が同一、即ちフェルミレベルが一致している場合を想定している(図2参照)。

【 0 0 3 6 】

図2(a)において、左図はy-y'断面図をより模式的にした図面であり、右図はx-x'断面図をより模式的にした図面である。

図2(b)～(d)は、半導体層10のエネルギー bandwidth 図であり、図2(a)に対応して、左図にy-y'断面のエネルギー bandwidth が示され、右図にx-x'断面のエネルギー bandwidth が図示されている。

また、図2(b)～(d)の各エネルギー bandwidth 図において、一点鎖線はフェルミレベルを示し、一点鎖線の上側の実線は伝導帯の底を示し、下側の実線は価電子帯の頂上を示し、実線の間が禁制帯になる。また、「丸」はキャリアである電子を表している。

【 0 0 3 7 】

図2(b)は熱平衡状態で、ゲート電圧Vg=0V、ドレイン電圧Vd=0Vの状態を表している。この状態では、トランジスタは遮断状態となっている。ソース領域16とチャ

10

20

30

40

50

ネル領域 18 との障壁が高いため、キャリア（電子）が乗り越えることができないので、ドレイン電流 I_d は流れることができない（図 2（b）参照）。

【0038】

ソース領域 16 とドレイン領域 17 間に電流 I_d を流すには、ゲート電極 12 にしきい値電圧 V_{th} 以上の電圧を印加する。図 2（c）に、ゲート電圧 $V_g = V_{th} > 0 \text{ V}$ 、ドレイン電圧 $V_d > 0 \text{ V}$ とした直後のエネルギー・バンドを示す（図 2（c））参照）。

【0039】

ゲート電極 12 にしきい値電圧 $V_{th} (> 0 \text{ V})$ 以上の電圧を印加すると、領域 19 の表面に電子（キャリア）が誘起されて、電子の濃度が高くなる反転層が形成される。その結果、図 2（c）左図に示すように、反転層形成領域 19 から、電子（キャリア）がチャネル領域 18 に移動する。10

【0040】

この移動に伴って、チャネル領域 18 の伝導帯の電子濃度が大きくなり、図 2（d）に示すように、チャネル領域 18 の伝導帯の底が上昇し、フェルミレベルが伝導帯へ向かって上昇する。理論的には、チャネル領域 18 のフェルミレベルが反転層形成領域 19 のフェルミレベルと一致するまで、反転層形成領域 19 からチャネル領域 18 へと電子が移動する（図 2（d））参照）。

【0041】

図 2（c）のように、チャネル領域 18 への電子の注入が少ない状態では、ソース領域 16 とチャネル領域 18 の間のポテンシャル障壁が大きいためにドレイン電流 I_d はほとんど流れない。20

【0042】

チャネル領域 18 へ電子の注入が多くなり、チャネル領域 18 のフェルミレベルが伝導帯に近づき、やがて、図 2（d）右図に示すようにソース領域 16 とチャネル領域 18 の間のポテンシャル障壁が小さくなると、ドレイン電流 I_d が流れようになる。

【0043】

上述のとおり、本実施形態の半導体素子は、ゲート電極に印加する電圧 V_g を制御することにより、トランジスタとして動作するものである。

【0044】

[実施形態 2]30
本実施形態は、n チャネル型薄膜トランジスタについて説明する。本実施形態は、実施形態 1 の変形例である。

【0045】

図 3 は、n チャネル型 TFT の構成を示す図であり、図 1 と同じ構成要素には、同一の符号を付している。図 3（a）は薄膜トランジスタの上面図であり、図 3（b）は図 3（a）の y - y' 断面図であり、図 3（c）は図 1（a）の x - x' 断面図であり、図 3（d）は、半導体膜である半導体層の上面図である。

【0046】

本実施形態では、半導体層 30 に、p 型のチャネル領域 18 のみに接して 2 つの p 型の反転層形成領域 31 と 32 が設けられている（図 3（d）参照）。40

【0047】

他の構成は実施形態 1 と同じであって、2 つの反転層形成領域 31 と 32 に対応して、2 つのゲート電極 33 と 34 を設けている。ゲート電極 33 と 34 は絶縁膜 11 を介して、一対の反転層形成領域 31、32 に重なるように、かつチャネル領域 18 からオフセットして重ならずに設けられている（図 3（c）参照）。

本実施形態のトランジスタも、公知の TFT の製造技術を用いて、製造することができるものである。

【0048】

本実施形態のトランジスタは、2 つの反転層形成領域 31 と 32 を半導体層 30 に設け、2 つの反転層形成領域 31 と 32 に対応させて、一対のゲート電極 33 と 34 を設けたも50

のであり、トランジスタの動作原理は実施形態1と同様である。

【0049】

本実施形態では、2つの反転層形成領域31と32から、電子(キャリア)がチャネル領域18に注入されるため、実施形態1よりもはやく、チャネル領域18によってソース領域16とドレイン領域17とが導通された状態にすることができ、カットオフ周波数を高くすることができる。

【0050】

《実施形態1、2のトランジスタのシミュレーション結果》

実施形態1および2のn型薄膜トランジスタの特性を理論計算で算出した。図4はドレイン電流Id - ゲート電圧Vg特性であり、図5は、ドレイン電流Id - ドレイン電圧Vd特性である。
10

【0051】

図4、図5の特性カーブは、実施形態1、2の半導体素子が増幅作用及びスイッチング作用を有するトランジスタとして機能していることを示している。

【0052】

なお、図4、5の特性カーブの計算はISE社製の計算ソフトT C A D G E N E S I S e 7.0を使用し、トランジスタの条件は次の通りである。

【0053】

- ・ チャネル長 $L = 5 \mu m$ 、チャネル幅 $W = 2 \mu m$
- ・ ゲート絶縁膜は SiO_2 とし、その膜厚 $t_{ox} = 10 nm$ とする。
- ・ 半導体層は単結晶 Si とし、その膜厚 $t_{si} = 50 nm$ とする。
- ・ チャネル領域18、及び反転層形成領域19は、単結晶シリコンにドーパントとしてボロンを $1 \times 10^{15} / cm^3$ の濃度で含む領域とする。

20

【0054】

図4において、参照例は、従来構造のMOS型のTFTあり、参照例および実施形態1、2はそれぞれ構造が違うが、条件は上記と同じにしている(図4参照)。

【0055】

図4のId-Vg特性はドレイン電圧 $V_d = 1 [V]$ の場合である。本発明に係るトランジスタは、飽和領域において、ゲート電圧 V_g の変動に対して、ドレイン電流 I_d の変化が従来の電界効果型トランジスタに比べて非常に小さいことが特徴である。この特性は次の理由により得られると考えられる。

30

【0056】

nチャネル型トランジスタの場合、導通状態では、しきい値電圧 V_{th} 以上の電圧範囲では、ゲート電圧を変動しても、反転層形成領域のフェルミレベルはほとんど変わらない。つまり、ソース領域とチャネル領域の障壁高さが、ゲート電圧にほとんど依存しないということであり、ゲート電圧 V_g の変動に対し、ドレイン電流 I_d が一定に流れるのである。

【0057】

また、遮断状態でもゲート電圧 V_g をしきい値以下で変動させても、反転層形成領域のフェルミレベルはほとんど変わらず、ソース領域とチャネル領域の障壁高さが変動しないので、ゲート電極の変動に対してもオフ電流がほぼ一定となる。

40

【0058】

これに対して、従来の電界効果型トランジスタは、ゲート電圧によってチャネルの障壁の高さを変動させることで、動作させるものである。したがって、動作原理上、制御電極に印加する電圧が変動すると、電流が変動するのは避けられず、参照例に示すように、トランジスタを流れるドレイン電流 I_d が一定の値にならないのである。

【0059】

このことは、バイポーラトランジスタについても同様である。バイポーラトランジスタは、ベースに電圧を印加して、ベースのフェルミレベルを変化させることで、電流を流すようになっているため、やはりベースの電圧が変動してしまうと、電流が変動してしまうのは

50

動作原理上、避けられない。

【0060】

図5はゲート電圧 $V_g = 0, 1, 2, 3 [V]$ のときの $I_d - V_d$ 特性カーブである(図5参照)。

図5(a)と図5(b)の $I_d - V_d$ 特性を対比すると、実施形態2のトランジスタは、実施形態1のトランジスタの2倍程度のオン電流が流れることがわかる。これは、実施形態2では、反転層形成領域を2つ設けたことの効果と考えられる。

【0061】

[実施形態3]

本実施形態では、nチャネル型TFTに本発明を適用した例であり、実施形態1の変形例である。

10

【0062】

図6は、nチャネル型TFTの構成を示す図であり、図1と同じ構成要素には、同一の符号を付している。図6(a)は薄膜トランジスタの上面図であり、図6(b)は半導体膜でなる半導体層40の上面図である。 $y-y'$ 断面図は、図1(c)と同様であり、 $x-x'$ 断面図は図1(b)と同様である。

【0063】

図6(b)に示すように、本実施形態の場合、半導体層40において、n型のソース領域41を反転層形成領域19に接するように設けることを特徴とする。本実施形態の場合も、公知のTFTの製造技術を用いることで、製造することができる。

20

【0064】

トランジスタを導通状態にするには、ゲート電圧 $V_g > V_{th} > 0 V$ 、ドレイン電圧 $V_d > 0 V$ となるように、ゲート電極12とドレイン電極に電圧を印加する。すると、実施形態1で説明したように、反転層形成領域19には、反転層が形成される。そして、反転層形成領域19とソース領域41との障壁が小さくなり、図6(c)に示すように、ソース領域41から、電子(ソース領域における多数キャリア)が反転層形成領域19に移動し、さらにチャネル領域18に注入される。

【0065】

キャリアの注入に伴って、チャネル領域18のフェルミレベルが上昇し、ソース領域41とチャネル領域18とのポテンシャル障壁が小さくなり、ドレイン電流 I_d が流れようになる。

30

【0066】

本実施形態は、チャネル領域18に注入される電子は、領域19の反転層に誘起された電子も含まれるが、注入される電子のほとんどがソース領域41から供給されることを特徴とする。

【0067】

実施形態1や2では、チャネル領域18に注入されるキャリア(電子)は、ゲート電極がつくる電界によって、静電誘導されたキャリアのみである。このキャリアはゲート絶縁膜との界面付近や、禁制帯の欠陥準位を介した熱生成によって誘起されるものである。

そのためキャリアが誘起されるためには、ある程度の時間を必要とするので、トランジスタのカットオフ周波数に制限される。単結晶シリコンウェハーでは、電子を誘起できるカットオフ周波数は100Hz以下であることが知られている。

40

【0068】

本実施形態の場合、チャネル領域18に注入されるキャリア(電子)は、n型のソース領域41にもともと存在する多数キャリアであり、熱生成の過程を経ているものではないため、トランジスタのカットオフ周波数をMHz程度にすることが期待される。

【0069】

なお、本実施形態は実施形態1の変形例として説明したが、図6(d)に示すように、実施形態2のトランジスタについても、ソース領域42を2つの反転層形成領域31及び32に接するように設けることもできる。

50

【 0 0 7 0 】

以上の実施形態 1 ~ 3 では、n チャネル型トランジスタについて説明したが、公知の M O S トランジスタと同様、p チャネル型トランジスタとする場合は、n 型の半導体領域を p 型の半導体領域とし、ゲート電極などの電極に印加する電圧の極性を逆にすればよい。

【 0 0 7 1 】

また実施形態 1 ~ 3 では、チャネル領域と反転層形成領域は同じ導電型であり、かつキャリア濃度が等しい場合を想定したが、この場合に限定されるものではない。このように導電型とキャリア濃度を同一としておくと、半導体層に添加するドーパントの濃度の制御が、ソース領域・ドレイン領域と、チャネル領域・反転層形成領域の 2 つになり、プロセスが単純化される。

10

【 0 0 7 2 】

本発明のトランジスタでは、反転層形成領域は、ゲート電極による電圧の制御により、ソース領域・ドレイン領域と同じ導電型の反転層が形成されればよい。そのため、反転層形成領域の導電型は、n チャネル型のトランジスタでは p 型又は i 型の半導体領域とすることができます、p チャネル型のトランジスタの場合は、n 型又は i 型の半導体領域で設けることができる。

【 0 0 7 3 】

また、反転層形成領域のドーパント濃度で、しきい値電圧が制御できるので、しきい値電圧にあわせて、反転層形成領域のドーパント濃度を決定すればよい。

【 0 0 7 4 】

他方、チャネル領域の導電型は、n チャネル型のトランジスタでは p 型の半導体領域とし、p チャネル型トランジスタの場合は、n 型とする。本発明の場合、チャネル領域のドーパント濃度によって、ソース領域との障壁の高さが決まる。

20

【 0 0 7 5 】

そのため i 型（真性）の半導体でチャネル領域を形成すると、パンチスルーハーが発生するおそれがあるので、パンチスルーハーの問題がないように、上記のように、チャネル領域の導電型をソース領域・ドレイン領域と逆の導電型に設定するのが好ましい。

【 0 0 7 6 】

しかしながら、チャネル領域のドーパント濃度が高くなるほど、ドレイン電流が流れにくくなるので、トランジスタの利用目的に合わせて、チャネル領域のドーパント濃度を設定する。例えば、ソース領域・ドレイン領域のドーパント（n チャネル型トランジスタの場合なら、電子濃度）が $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ 程度であれば、チャネル領域のドーパント濃度（n チャネル型トランジスタの場合、ホール濃度）は $1 \times 10^{14} \sim 1 \times 10^{17} / \text{cm}^3$ が好ましい。

30

【 0 0 7 7 】

また本発明に係るトランジスタは、実施形態 1 ~ 3 の図面に図示された形状や、構造に限定されるものではないのはもちろんのことである。例えば、各実施形態において、ゲート電極、ソース電極およびドレイン電極の各電極には、電圧を制御したり、電力を取出したりするための配線に適宜に接続されるものである。

【 0 0 7 8 】

40

また、上記実施形態 1 ~ 3 では、本発明をトップゲート型薄膜トランジスタに適用した場合を説明したが、逆スタガーなど、他の構成の薄膜トランジスタに適用することもできる。また、シリコンウェハーを用いた M O S トランジスタに適用することもできる。

【 0 0 7 9 】

さらに、反転層形成領域に対して、絶縁膜を介して、上側と下側にゲート電極を設ける D u a l G a t e 構造とすることもできる。この場合、反転層形成領域の上面と下面双方に反転層を形成することができるので、オン電流を大きくすることができる。

【 0 0 8 0 】

また、本発明のトランジスタは公知の様々なトランジスタの構成を適用が可能である。例えばソース領域やドレイン領域については、上記の実施形態のようにシングルドレイン構

50

造にのみでなく、高耐圧型のトランジスタにするため、LDD構造などにしたりすることができる。

【0081】

また、本発明に係るトランジスタは、公知のMOSトランジスタ、薄膜トランジスタなどの製造技術を用いることで、作製することができるものであるので、既存の製造設備をそのまま利用できる。

【0082】

【発明の効果】

本発明のトランジスタは、ゲート電極によりチャネル領域に電圧を印加することなく動作が可能であり、従来の電界効果トランジスタと異なり本発明は、ゲート電極の変化がチャネル領域のフェルミレベルの変動に直接的に作用するものでないため、ゲート電圧を変化させても、ソース・ドレイン間を流れる電流を一定に保つことができる。10

【0083】

また、本発明のトランジスタはチャネル領域にキャリアの移動方向に対して垂直な電界を形成しないで、ソース・ドレイン間を電流が流れるため、ホットキャリア注入による劣化が抑えられ、トランジスタの特性の経時的变化（劣化）を抑えることができる。

【0084】

本発明のトランジスタは従来のトランジスタや薄膜トランジスタと同様に、様々な集積回路や半導体装置に用いることができる。例えば、液晶表示装置やEL（エレクトロルミネセンス）表示装置の画素トランジスタ、あるいは定電流で動作させるセンサーなどがあげられる。20

【図面の簡単な説明】

【図1】本発明のトランジスタの構成を説明する図（実施形態1）

【図2】本発明のトランジスタの動作原理を説明する図（半導体層のエネルギー・バンド図）（実施形態1）

【図3】本発明のトランジスタの構成を説明する図（実施形態2）

【図4】本発明のトランジスタのドレイン電流 - ゲート電圧特性（理論計算）

【図5】本発明のトランジスタのドレイン電流 - ドレイン電圧特性（理論計算）

【図6】本発明のトランジスタの構成を説明する図（実施形態3）

【符号の説明】

10、30、40 半導体層

11 絶縁膜（ゲート絶縁膜）

12、33、34 ゲート電極

13 層間絶縁膜

14 ソース電極

15 ドレイン電極

16、41、42 ソース領域

17 ドレイン領域

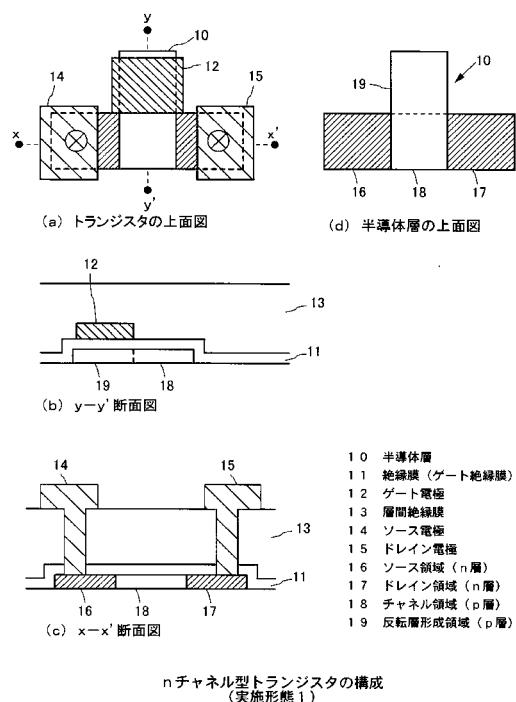
18 チャネル領域

19、31、32 反転層形成領域

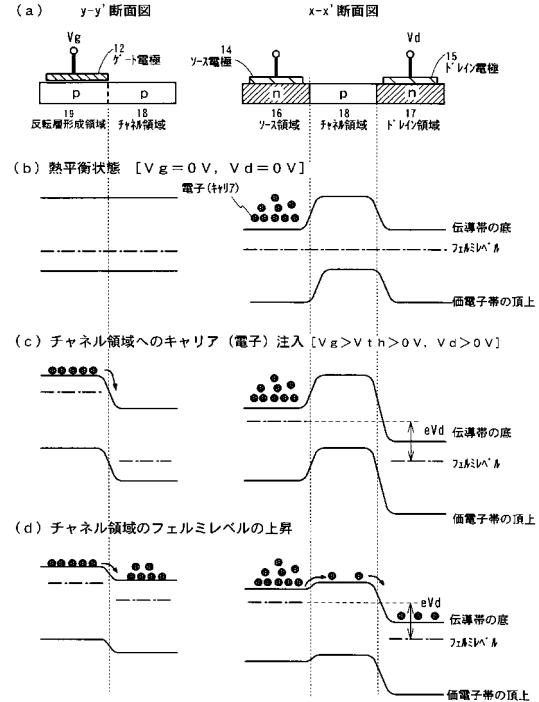
30

40

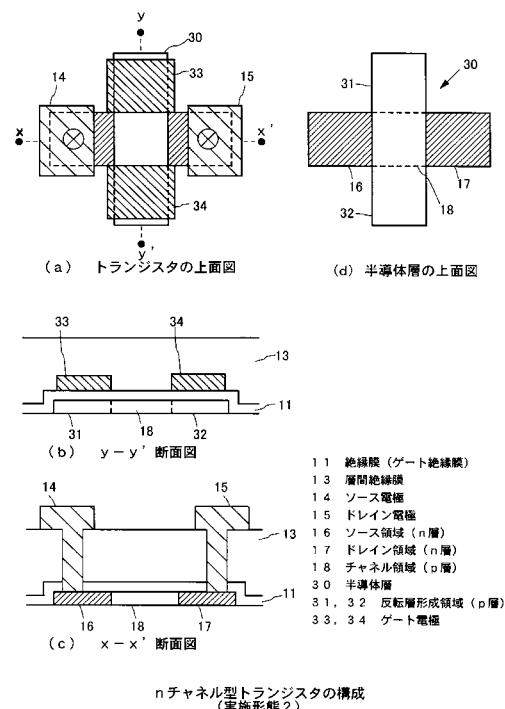
【図1】



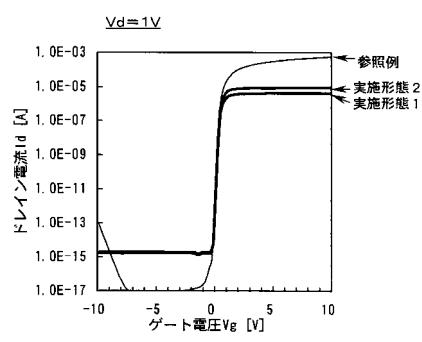
【図2】



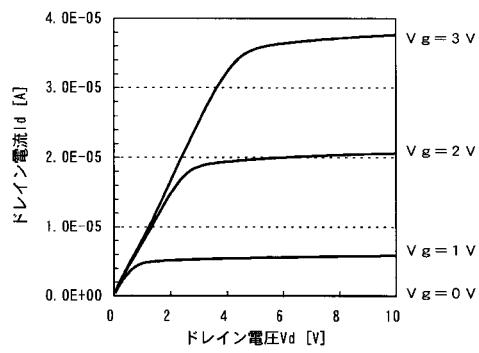
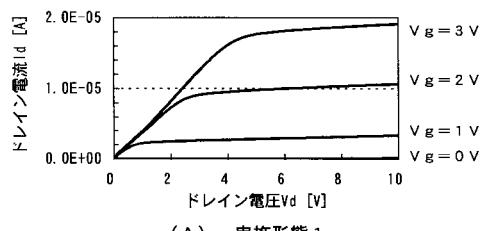
【図3】



【図4】

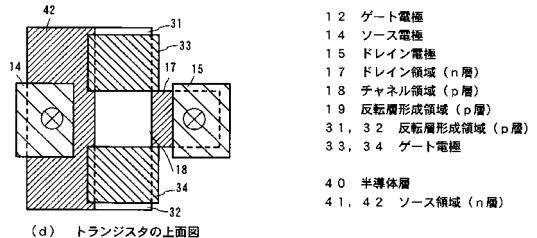
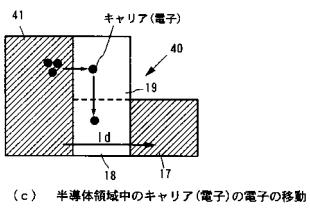
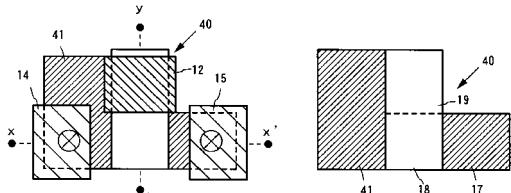


【図5】



Id - Vd 特性カーブ

【図6】

nチャネル型トランジスタの構成
(実施形態3)

12	ゲート電極
14	ソース電極
15	ドレイン電極
17	ドレイン領域 (n層)
18	チャネル領域 (p層)
19	反転層形成領域 (p層)
31, 32	反転層形成領域 (p層)
33, 34	ゲート電極
40	半導体層
41, 42	ソース領域 (n層)