

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)



(10) 国際公開番号

WO 2020/183965 A1

(51) 国際特許分類:

H01L 43/08 (2006.01) H01L 21/3205 (2006.01)
H01L 43/10 (2006.01) H01L 21/768 (2006.01)
H01L 43/12 (2006.01) H01L 23/522 (2006.01)
H01L 25/065 (2006.01) H01L 21/8239 (2006.01)
H01L 25/07 (2006.01) H01L 27/105 (2006.01)
H01L 25/18 (2006.01) H01L 27/146 (2006.01)
H01L 21/02 (2006.01) H04N 5/369 (2011.01)

(21) 国際出願番号: PCT/JP2020/003434

(22) 国際出願日: 2020年1月30日(30.01.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-047653 2019年3月14日(14.03.2019) JP

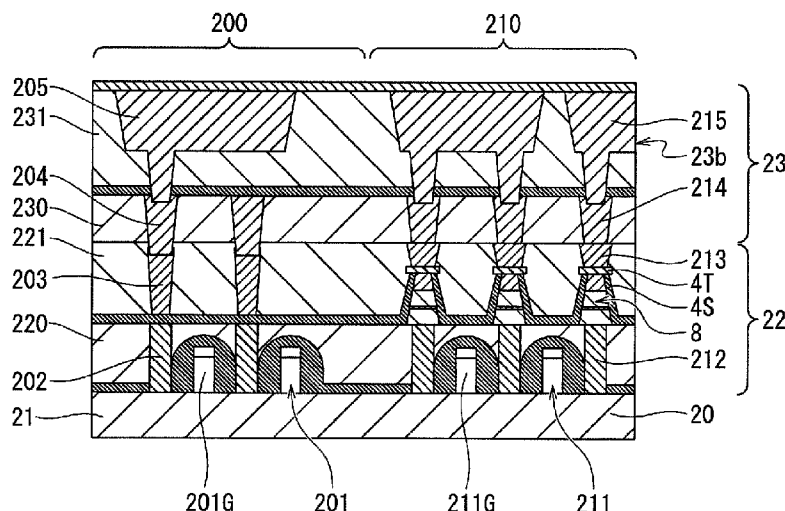
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 木村 忠之 (KIMURA Tadayuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 亀嶋 隆季 (KAMESHIMA Takatoshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四

(54) Title: SOLID-STATE IMAGING DEVICE, METHOD FOR MANUFACTURING SAME, AND ELECTRONIC INSTRUMENT

(54) 発明の名称: 固体撮像装置及びその製造方法、並びに電子機器



(57) Abstract: This solid-state imaging device comprises: a first structure that has a first substrate, and a pixel region formed on the first substrate, for which a plurality of pixels that output pixel signals according to the amount of charge generated by photoelectric conversion are arrayed in a two-dimensional grid; and a second structure that is stacked with the first structure, and that has a second substrate, and a logic circuit and a non-volatile memory formed on the second substrate. On the end surface of the side opposing the first structure of the storage element constituting the non-volatile memory, a first protective film having the characteristic of blocking infiltration of hydrogen is formed, and on the side surface of the storage element, a second protective film having the characteristic of blocking infiltration of hydrogen is formed.

丁目3番1号 城山トラストタワー32階 特許
業務法人日栄国際特許事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 固体撮像装置は、第1の基板と、第1の基板に形成された、光電変換により生じた電荷の量に応じた画素信号を出力する複数の画素が2次元格子状に配列された画素領域とを有する第1の構造体と、第1の構造体と積層されていると共に、第2の基板と、第2の基板に形成されたロジック回路及び不揮発性メモリとを有する第2の構造体と、を備え、不揮発性メモリを構成する記憶素子の第1の構造体と対向する側の端面には、水素の侵入を阻害する特性を有する第1の防御膜が形成されており、記憶素子の側面には、水素の侵入を阻害する特性を有する第2の防御膜が形成されている。

明 細 書

発明の名称： 固体撮像装置及びその製造方法、並びに電子機器
技術分野

[0001] 本開示は、固体撮像装置及びその製造方法、並びに電子機器に関する。

背景技術

[0002] 近年、2以上の半導体基板を接合して積層することにより、1つのシステムを構成する3次元積層集積回路が研究されている。

例えば、固体撮像装置では、メモリ機能の向上を目的として、画素領域（画素アレイ）の形成された基板と、固体撮像装置の動作に関連する信号処理を行うロジック回路と不揮発性メモリとが混在して形成された基板とを積層してなる3次元積層集積回路が研究されている（例えば、特許文献1を参照）。

[0003] また、近年、不揮発性メモリとしては、磁気抵抗変化メモリ(MRAM: Magneto-resistive RAM)、強誘電体メモリ(FRAM: Ferroelectric RAM)、相変化メモリ(PRAM: Phase-change RAM)、抵抗変化メモリ(ReRAM: Resistive RAM)などが注目されている。

[0004] 特に磁気抵抗変化メモリは、磁気トンネル接合(MTJ: Magnetic Tunnel Junction)素子のトンネル磁気抵抗効果を利用したメモリであり、STT(Spin Transfer Torque)書込み方式を採用したSTT-MRAMは、高密度化、低消費電力化及び低リーク化に有利とされている。そのため、大量の画素データを取り扱う固体撮像装置への適用が考えられている。

[0005] しかし、不揮発性メモリを構成するMTJ素子等の記憶素子は、BEOL(Back End Of Line)工程、接合工程、接合工程より後の工程において、積層型の固体撮像装置を構成する層間絶縁膜から発生する活性化した水素等の影響を受けて、特性が劣化するという問題を抱えている。

[0006] これに対して、活性化した水素等から記憶素子を保護するために、記憶素子の側壁を絶縁性を有する保護膜で保護する構造が開示されている（例えば

、特許文献2を参照）。

先行技術文献

特許文献

[0007] 特許文献1：特開2015-65407号公報

特許文献2：特開2012-59805号公報

発明の概要

発明が解決しようとする課題

[0008] ところで、接合領域の近傍に水素含有率の高い酸化膜と耐湿性に優れた窒化膜とが隣接して積層された層間絶縁膜を有する積層型の構成では、接合工程において350°C～400°Cでの高温処理を行った場合に高温スチームクロスリンク現象が発生する。この高温スチームクロスリンク現象によって、活性化した水素が発生する。この活性化した水素は、アルミニウム、銅、タングステンなどの金属も通過するため、上記従来技術のように側壁の保護だけでは水素の記憶素子への侵入を防ぐには不十分である。

[0009] 本開示はこのような事情に鑑みてなされたもので、記憶素子の側面だけでなく、接合面側の端面からの水素の侵入も防御できるようにした固体撮像装置、電子機器及び固体撮像装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0010] 本開示の第1の態様は、第1の基板と、該第1の基板に形成された、光電変換により生じた電荷の量に応じた画素信号を出力する複数の画素が2次元格子状に配列された画素領域とを有する第1の構造体と、前記第1の構造体と積層されていると共に、第2の基板と、該第2の基板に形成されたロジック回路及び不揮発性メモリとを有する第2の構造体と、を備え、前記不揮発性メモリを構成する記憶素子の前記第1の構造体と対向する側の端面には、水素の侵入を阻害する特性を有する第1の防御膜が形成されており、前記記憶素子の側面には、水素の侵入を阻害する特性を有する第2の防御膜が形成されている、固体撮像装置又はこの固体撮像装置を備えた電子機器である。

[0011] また、本技術の第2の態様は、第1の基板に複数の画素が2次元格子状に配列された画素領域を形成して第1の構造体を構成する工程と、第2の基板にロジック回路と不揮発性メモリとを形成して第2の構造体を構成する工程と、前記第1の構造体と前記第2の構造体とを積層する工程と、を含み、前記第2の構造体を構成する工程においては、前記不揮発性メモリを構成する記憶素子の前記第1の構造体と対向する側の端面に水素の侵入を阻害する特性を有する第1の防御膜を形成し、前記記憶素子の側面に水素の侵入を阻害する特性を有する第2の防御膜を形成する、固体撮像装置の製造方法である。

[0012] 本開示の固体撮像装置及び電子機器によれば、記憶素子の接合面側の端面に設けられた第1の防御膜及び記憶素子の側面に設けられた第2の防御膜によって、水素などの記憶素子に悪影響を与える原子及び分子の側面からの侵入に加えて接合面側の端面からの侵入も防ぐことが可能である。

図面の簡単な説明

- [0013] [図1]本開示の実施形態に係る固体撮像装置の構成例を示す図である。
- [図2]本開示の実施形態に係る固体撮像装置の構成例を示す模式図である。
- [図3]本開示の実施形態に係る固体撮像装置の構成例を示す断面図である。
- [図4]図3のA部の要部を拡大した図である。
- [図5]高温スチームクロスリンク現象を説明するための図である。
- [図6]第1実施形態に係るMTJ素子の構成を示す断面図である。
- [図7A]本開示の第1実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。
- [図7B]第1実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。
- [図7C]第1実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。
- [図7D]第1実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。

[図7E]第1実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。

[図7F]第1実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。

[図8A]従来のメモリ部の構成例を示す断面図である。

[図8B]図8Aの従来のメモリ部において導電ビアのあわせずれが発生した例を示す断面図である。

[図9]第1実施形態に係るメモリ部において導電ビアのあわせずれが発生した例を示す断面図である。

[図10A]第1実施形態の変形例1に係るメモリ部の構成例を示す断面図である。

[図10B]第1実施形態の変形例2に係るメモリ部の構成例を示す断面図である。

[図11A]本開示の第2実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。

[図11B]第2実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。

[図11C]第2実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。

[図11D]第2実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。

[図11E]第2実施形態に係るロジック・メモリチップのメモリ部の製造方法を工程順に示す断面図である。

[図12]第2実施形態に係るメモリ部において導電ビアのあわせずれが発生した例を示す断面図である。

[図13A]本開示の第3実施形態に係る固体撮像装置の構成例を示す断面図である。

[図13B]本開示の第3実施形態に係る固体撮像装置の製造方法を工程順に示す

断面図である。

[図13C]第3実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図13D]第3実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図14]第3実施形態に係る固体撮像装置のツインコンタクト型のT S Vにてチップ間の電氣的接続を行った場合の構成例を示す断面図である。

[図15]第3実施形態の変形例1に係る固体撮像装置の構成例を示す断面図である。

[図16A]本開示の第4実施形態に係る固体撮像装置の構成例を示す断面図である。

[図16B]本開示の第4実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図16C]第4実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図16D]第4実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図17]第4実施形態に係る金属電極パッドの構成例を示す断面図である。

[図18]第4実施形態の変形例1に係る金属電極パッドの構成例を示す断面図である。

[図19]第4実施形態の変形例2に係る金属電極パッドの構成例を示す断面図である。

[図20]第4実施形態の変形例3に係る金属電極パッドの構成例を示す断面図である。

[図21A]本開示の第5実施形態に係る固体撮像装置の構成例を示す断面図である。

[図21B]本開示の第5実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図21C]第5実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図21D]第5実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図22A]本開示の第6実施形態に係る固体撮像装置の構成例を示す断面図である。

[図22B]本開示の第6実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図22C]第6実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図22D]第6実施形態に係る固体撮像装置の製造方法を工程順に示す断面図である。

[図23]電子機器としての撮像装置の構成例を示すブロック図である。

発明を実施するための形態

[0014] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0015] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。

[0016] 図1は、本開示の実施形態に係る固体撮像装置の構成例を示す図である。この固体撮像装置100は、例えばCMOS固体撮像装置である。図1に示すように、固体撮像装置100は、複数の光電変換部を含む画素102が規

則的に2次元格子状に配列された画素領域103と、周辺回路部とを備える。画素領域103は、画素アレイ103と称してもよい。画素102は、光電変換部と、複数の画素トランジスタとを有する。例えば、光電変換部はフォトダイオードPDで構成されている。画素トランジスタは、転送トランジスタ Tr_tra 、リセットトランジスタ Tr_res 、増幅トランジスタ Tr_amp 、選択トランジスタ Tr_sel を有する。転送トランジスタ Tr_tra 、リセットトランジスタ Tr_res 、増幅トランジスタ Tr_amp 、選択トランジスタ Tr_sel は、それぞれMOSトランジスタで構成されている。

[0017] フォトダイオードPDは、光入射で光電変換され、その光電変換で生成された信号電荷を蓄積する領域を有して成る。転送トランジスタ Tr_tra は、フォトダイオードPDに蓄積された信号電荷をフローティングディフュージョン(FD)領域に読み出すトランジスタである。リセットトランジスタ Tr_res は、フローティングディフュージョン(FD)領域の電位を規定の値に設定するためのトランジスタである。増幅トランジスタ Tr_amp は、フローティングディフュージョン(FD)領域に読み出された信号電荷を電氣的に増幅するためのトランジスタである。選択トランジスタ Tr_sel は、画素1行を選択して画素信号を垂直信号線109に読み出すためのトランジスタである。なお、図示しないが、選択トランジスタ Tr_sel を省略した3トランジスタとフォトダイオードPDとで画素を構成することも可能である。

[0018] 画素102の回路構成では、転送トランジスタ Tr_tra のソースがフォトダイオードPDに接続され、そのドレインがリセットトランジスタ Tr_res のソースに接続される。転送トランジスタ Tr_tra とリセットトランジスタ Tr_res 間の電荷－電圧変換手段となるフローティングディフュージョン領域FD(転送トランジスタのドレイン領域、リセットトランジスタのソース領域に相当する)が増幅トランジスタ Tr_amp のゲートに接続される。増幅トランジスタ Tr_amp のソースは選択トランジスタ

Tr__selのドレインに接続される。リセットトランジスタTr__resのドレイン及び増幅トランジスタTr__ampのドレインは、電源電圧供給部に接続される。また、選択トランジスタTr__selのソースが垂直信号線109に接続される。

[0019] 周辺回路部は、垂直駆動回路104と、カラム信号処理回路105と、水平駆動回路106と、出力回路107と、制御回路108を有する。制御回路108は、垂直駆動回路104、カラム信号処理回路105及び水平駆動回路106等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路108は、これらの信号を垂直駆動回路104、カラム信号処理回路105及び水平駆動回路106等に入力する。

[0020] 垂直駆動回路104は、例えばシフトレジスタによって構成されている。垂直駆動回路104は、画素領域103の各画素102を行単位で順次垂直方向に選択走査する。そして、垂直駆動回路104は、各画素102において受光量に応じて生成した信号電荷に基づく画素信号を、垂直信号線109を通してカラム信号処理回路105に供給する。

[0021] 例えば、垂直駆動回路104は、転送トランジスタTr__traのゲートと、リセットトランジスタTr__resのゲートと、選択トランジスタTr__selのゲートとにそれぞれ配線を介して接続している。垂直駆動回路104は、配線を介して、転送トランジスタTr__traと、リセットトランジスタTr__resと、選択トランジスタTr__selの各ゲートにそれぞれ信号を印加することによって、各ゲートをそれぞれオン状態又はオフ状態にすることができる。

[0022] 画素102における動作は、次の手順で行われる。まず、垂直駆動回路104は、転送トランジスタTr__traのゲートとリセットトランジスタTr__resのゲートをオン状態にして、フォトダイオードPDの電荷を全て空にする。次いで、垂直駆動回路104は、転送トランジスタTr__traのゲートとリセットトランジスタTr__resのゲートをオフ状態にして電荷蓄積を行う。次に、垂直駆動回路104は、フォトダイオードPDの電荷

を読み出す直前にリセットトランジスタ Tr_res のゲートをオン状態にしてフローティングディフュージョン領域 FD の電位をリセットする。その後、垂直駆動回路 104 は、リセットトランジスタ Tr_res のゲートをオフ状態にし、転送トランジスタ Tr_tra のゲートをオン状態にしてフォトダイオード PD からの電荷をフローティングディフュージョン領域 FD へ転送する。増幅トランジスタ Tr_amp ではゲートに電荷が印加されたことを受けて信号電荷を電氣的に増幅する。垂直駆動回路 104 は、選択トランジスタ Tr_sel のゲートをオン状態にして、増幅トランジスタ Tr_amp で電荷－電圧変換された画像信号を垂直信号線 109 に出力する。

[0023] カラム信号処理回路 105 は、画素 102 の列ごとに配置されている。カラム信号処理回路 105 は、画素 102 固有の固定パターンノイズを除去するための処理や、信号増幅、 AD 変換等の信号処理を行う。カラム信号処理回路 105 の出力段は、水平選択スイッチ（図示せず）を介して水平信号線 110 に接続されている。水平駆動回路 106 は、例えばシフトレジスタによって構成されている。水平駆動回路 106 は、カラム信号処理回路 105 の各々を順番に選択し、カラム信号処理回路 105 の各々から水平信号線 110 に画素信号を出力させる。

[0024] 出力回路 107 は、カラム信号処理回路 105 の各々から水平信号線 110 を通して順次に供給される信号に対し、信号処理を行って出力する。例えば、出力回路 107 は、バッファリングだけする場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理などが行われる場合もある。入出力端子 112 は、外部と信号のやりとりをする。

[0025] 図 2 は、本開示の実施形態に係る固体撮像装置 100 の構成例を示す模式図である。図 2 に示すように、固体撮像装置 100 は、画素チップ 1 と、画素チップ 1 に積層されたロジック・メモリチップ 2（以下、「 $L \cdot M$ チップ 2」という）と、を備える。

[0026] 画素チップ 1 には、その一方の面側である第 1 の主面 $S1$ 側に、複数の画素 102 を有する画素領域 103 が設けられている。また、図示省略するが

、第1の裏面B1側に、各画素102に対応するカラーフィルタやマイクロレンズが設けられている。

[0027] L・Mチップ2には、その一方の面側である第2の主面S2側に、固体撮像装置100の動作に関する各種信号処理を実行するロジック回路を有するロジック回路部200と、不揮発性メモリを有するメモリ部210とが設けられている。

[0028] ロジック回路部200は、ロジック回路として、例えば、図1に示した垂直駆動回路104、カラム信号処理回路105、水平駆動回路106、出力回路107、制御回路108のいずれか1つ以上を含んでいる。なお、本実施形態では、L・Mチップ2だけでなく、画素チップ1にも、ロジック回路の一部が設けられていてもよい。例えば、垂直駆動回路104、カラム信号処理回路105及び制御回路108の少なくとも一部が、画素チップ1に設けられていてもよい。

[0029] また、不揮発性メモリとして、例えば、磁気抵抗変化メモリ、強誘電体メモリ、相変化メモリ、抵抗変化メモリなどがあるが、本実施形態のメモリ部210は、磁気抵抗変化メモリから構成されているものとする。

ここで、画素チップ1が特許請求の範囲に記載の第1の構造体に対応し、L・Mチップ2が特許請求の範囲に記載の第2の構造体に対応する。

[0030] 画素チップ1とL・Mチップ2とは、画素チップ1の画素領域103の形成された側の面である第1の主面S1と、L・Mチップ2のロジック回路部200及びメモリ部210が形成された側の面である第2の主面S2とが層間絶縁膜を介して接合されている。このように、画素チップ1とL・Mチップ2とは、両者の主面側を接合することで積層されている。これにより、接合部Cが形成される。この接合方式は、一般に、Face to Face接合と呼ばれている。また、本実施形態では、画素チップ1とL・Mチップ2とを貼り合わせた構造体を、積層チップ3という。

なお、図2では、画素チップ1とL・Mチップ2との主面同士を接合することで両者を積層する構成を例に挙げたが、この構成に限らず、画素チップ

1の第1の主面S1とL・Mチップ2の第2の裏面B2とを接合して積層する構成としてもよい。

[0031] また、画素チップ1とL・Mチップ2との2層の積層構成としたが、この構成に限らず3層以上の積層構成としてもよい。例えば、画素チップ1と、ロジック回路部200のみを設けたロジックチップと、メモリ部210のみを設けたメモリチップとを積層した3層構成などにしてもよい。

[0032] 図3に示す固体撮像装置100は、例えば裏面照射型のCMOS固体撮像装置である。図3に示すように、固体撮像装置100は、画素領域103を有する画素チップ1と、ロジック回路部200及びメモリ部210を有するL・Mチップ2とを備える。L・Mチップ2の第2の主面S2に画素チップ1の第1の主面S1が貼り合わされて、積層チップ3が構成されている。

[0033] 画素チップ1は、第1の半導体基板10を備える。第1の半導体基板10は、シリコンで構成されている。第1の半導体基板10には、一部図示省略するが、ウェル領域11と、光電変換部となる複数のフォトダイオードと、複数の画素トランジスタとが設けられている。図1に示したように、画素トランジスタは、転送トランジスタ $T_{r_t r a}$ 、リセットトランジスタ $T_{r_r e s}$ 、増幅トランジスタ $T_{r_a m p}$ 、選択トランジスタ $T_{r_s e l}$ を有する。ウェル領域11に、フォトダイオードと画素トランジスタとが設けられている。図示省略するが、第1の半導体基板10には、ロジック回路部200の一部を構成する複数のMOSトランジスタが設けられていてもよい。

[0034] 第1の半導体基板10の表面（図3では、下面）10A側には、多層配線層12が設けられている。多層配線層12は、層間絶縁膜12aと、層間絶縁膜12aを介して多層に配置された複数の多層配線12bとを有する。即ち、複数の多層配線12bのそれぞれの間は、層間絶縁膜12aによって絶縁されている。

多層配線12bは、例えば銅（Cu）又は金（Au）で構成されている。
多層配線12bは、シングルダマシン法又はデュアルダマシン法で形成され

ている。

- [0035] 第1の半導体基板10の裏面（図3では、上面）10B側には、平坦化層16が設けられている。平坦化層16は、図示省略するが、絶縁膜と、この絶縁膜を介して設けられた遮光膜と、絶縁膜上に設けられた平坦化膜とを有している。遮光膜は、平坦化膜によって覆われている。平坦化層16上には、カラーフィルタ層17及びマイクロレンズ18が設けられている。
- [0036] 第1の半導体基板10の表面10A側には、図示省略するが、ゲート絶縁膜を介してゲート電極が設けられている。ゲート絶縁膜と、ゲート電極と、ソース・ドレイン領域とにより画素トランジスタが構成されている。各単位画素は、例えばSTI（Shallow Trench Isolation）構造の素子分離領域（図示せず）で分離されている。フォトダイオードは、例えばn型半導体領域とp型半導体領域とで構成されている。
- [0037] 更に、多層配線層12上には、層間絶縁膜13が設けられ、層間絶縁膜13上には画素チップ1の反りを調整するための層間絶縁膜14が設けられている。層間絶縁膜14上には接合用の層間絶縁膜15が設けられている。
- [0038] 画素トランジスタと多層配線12bとの間や、上下方向で隣り合う配線部同士の間は、導電ビアを介して電氣的に接続されている。また、多層配線12bを構成する複数の配線部のうち、いずれか一部の配線部には、電極が電氣的に接続している。この電極は、画素チップ1の画素トランジスタと、L・Mチップ2のロジック回路部200及びメモリ部210とを電氣的に接続するように構成されている。電極としては、例えば、TSV（Through Silicon Via）などの貫通電極や、Cu-Cu（銅-銅）接合などのチップ同士の直接接合に用いられる金属電極などが挙げられる。
- [0039] L・Mチップ2は、第2の半導体基板20を備える。第2の半導体基板20は、シリコンで構成されている。第2の半導体基板20の表面（図3では、上面）20A側には、ロジック回路部200及びメモリ部210が形成されたロジック・メモリ混載層（以下、「L・M混載層」という）22が設けられている。L・M混載層22は、ロジック回路部200及びメモリ部21

0を構成するトランジスタ、記憶素子8及び電極等（図3では図示略）を有している。L・M混載層22上には、多層配線層23が設けられている。多層配線層23は、層間絶縁膜23aと、層間絶縁膜23aを介して多層に配置された複数の多層配線23bとを有している。多層配線層23上には、L・Mチップ2の反り調整のための層間絶縁膜25が設けられている。層間絶縁膜25上には、接合用の層間絶縁膜26が設けられている。

[0040] 即ち、画素チップ1とL・Mチップ2とは、画素チップ1の第1の主面S1である層間絶縁膜15の接合面（図3では、下面）と、L・Mチップ2の第2の主面S2である層間絶縁膜26の接合面（図3では、上面）とを接合することで積層されている。

[0041] チップの接合方法としては、例えばプラズマ接合と、接着剤による接合とがあるが、本実施の形態では、プラズマ接合により行われるものとする。プラズマ接合の場合は、MTJ素子の温度耐性を考慮して、プラズマ活性化接合により行われるものとする。即ち、画素チップ1とL・Mチップ2の接合面に、プラズマ活性化処理を施して、常温で両者を重ね合わせて仮接合し、その後350°C～450°Cでアニール処理（熱処理）をすることにより、両者が強固に接合される。また、他の接合方法として、例えば、上述したCu-Cu接合などのように、層間絶縁膜15及び層間絶縁膜26の対向面（接合界面）から表面（接合面）が露出するように銅パッドを設け、銅パッド同士を直接接合する接合方法もある。このCu-Cu接合であれば、チップ間の電気的な接続も兼ねることが可能である。

[0042] なお、層間絶縁膜12a、13～15、23a、25、26は、シリコン酸化膜（SiO₂膜、SiO₂H膜、SiOCH膜など）又はシリコン窒化膜（SiN膜、SiNH膜など）である。一例を挙げると、層間絶縁膜11a、13、15、23a及び26は、シリコン酸化膜であり、層間絶縁膜14及び25は、シリコン窒化膜である。

[0043] 図4に示すように、ロジック回路部200は、層間絶縁膜220を介して配置された、CMOSトランジスタを含む複数のMOSTランジスタ201

と、複数のコンタクト202とを有している。加えて、層間絶縁膜221を介して配置された複数のコンタクト203を有している。コンタクト202は、層間絶縁膜220を深さ方向に貫通して設けられており、一端部（図4では、下端部）が各MOSトランジスタ201の拡散領域の一方に接続され、他端部（図4では、上端部）がコンタクト203の一端部（図4では、下端部）に接続されている。コンタクト203は、層間絶縁膜221を深さ方向に貫通して設けられており、他端部（図4では、上端部）が多層配線23bを構成する金属配線204の一端部（図4では、下端部）に接続されている。

[0044] メモリ部210は、複数のメモリセルが2次元格子状に配列されたメモリセルアレイを有する。各メモリセルは、記憶素子8と、選択トランジスタ211と、コンタクト212とを有する。コンタクト212は、選択トランジスタ211の拡散領域の一方と記憶素子とを電氣的に接続するものである。メモリ部210は、更に、記憶素子8の一方の端面（図4では、上端面）を覆う上部防御膜4Tと、記憶素子8の側面を覆う側部防御膜4Sと、導電ビア213を有している。導電ビア213は、記憶素子8と多層配線23bとを電氣的に接続するものである。

[0045] なお、第1の半導体基板10が特許請求の範囲に記載の第1の基板に対応し、第2の半導体基板20が特許請求の範囲に記載の第2の基板に対応する。また、上部防御膜4Tが特許請求の範囲に記載の第1の防御膜に対応し、側部防御膜4Sが特許請求の範囲に記載の第2の防御膜に対応する。

[0046] 選択トランジスタ211は、層間絶縁膜220を介して配置され、MOSトランジスタより構成されている。コンタクト212は、層間絶縁膜220を深さ方向に貫通して設けられている。このコンタクト212は、一端部（図4では、上端部）が記憶素子8の他方の端面（図4では、下端面）と接続され、他端部（図4では、下端部）が選択トランジスタ211の拡散領域の一方と接続されている。導電ビア213は、層間絶縁膜221を深さ方向に穿設して設けられており、一端部（図4では、下端部）が上部防御膜4Tと

接続され、他端部（図４では、上端部）が金属配線２１４と接続されている。

[0047] ここで、図４では、ロジック回路部２００に含まれる複数のＭＯＳトランジスタ２０１と、メモリ部２１０に含まれる複数の選択トランジスタ２１１とを代表で示している。ウェル領域２１のロジック回路部２００側には、ゲート絶縁膜を介してゲート電極２０１Ｇが設けられている。ゲート絶縁膜と、ゲート電極２０１Ｇとソース・ドレイン領域とによりＭＯＳトランジスタ２０１が構成されている。同様に、ウェル領域２１のメモリ部２１０側には、ゲート絶縁膜を介してゲート電極２１１Ｇが設けられている。ゲート絶縁膜と、ゲート電極２１１Ｇとソース・ドレイン領域とにより選択トランジスタ２１１が構成されている。複数のＭＯＳトランジスタ２０１及び複数の選択トランジスタ２１１は、それぞれのトランジスタが、例えばＳＴＩ構造の素子分離領域（図示せず）で分離されている。

[0048] 多層配線層２３を構成する多層配線２３ｂは、層間絶縁膜２３ａを構成する層間絶縁膜２３０及び２３１を介して配置された、ロジック回路部２００側の金属配線２０４及び２０５と、メモリ部２１０側の金属配線２１４及び２１５とを有している。金属配線２０４は、一端部（図４では、下端部）がコンタクト２０３の他端部（図４では、上端部）に接続され、他端部（図４では、上端部）が金属配線２０５の一端部（図４では、下端部）に接続されている。金属配線２１４は、一端部（図４では、下端部）が導電ビア２１３の他端部（図４では、上端部）に接続され、他端部（図４では、上端部）が金属配線２１５の一端部（図４では、下端部）に接続されている。

[0049] なお、金属配線２０４、２０５、２１４、２１５は、例えばＣｕ又はＡｕで構成されている。

また、コンタクト２０２、２０３、２１２は、例えばタングステン（Ｗ）から構成されている。なお、Ｗに限らず、チタン（Ｔｉ）、白金（Ｐｔ）、パラジウム（Ｐｄ）、Ｃｕ、タングステンチタン（ＴｉＷ）、タングステン窒化チタン（ＴｉＮＷ）、タングステンシリサイド（ＷＳｉ₂）、モリブデン

シリサイド (MoSi_2) 等によって構成されてもよい。また、不純物がドーピングされたポリシリコン、又は金属シリサイド等によって構成されてもよい。また、コンタクト202、203、212は、上記いずれかの材料を充填したプラグの構成としてもよいし、コンタクトホールの内壁に上記いずれかの材料を成膜したホールの構成としてもよい。

また、導電ビア213は、例えばCu又はAuで構成されている。

また、層間絶縁膜220、221、230、231は、シリコン酸化膜又はシリコン窒化膜である。一例を挙げると、層間絶縁膜220、221、230、231は、いずれもシリコン酸化膜である。

[0050] (第1実施形態)

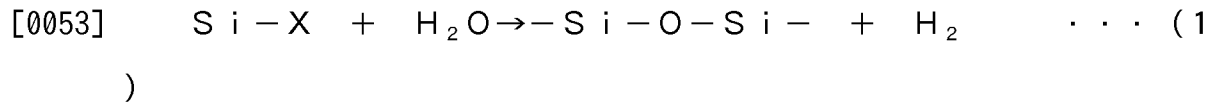
次に、固体撮像装置100が備えるL・Mチップ2について、より詳しく説明する。

まず、チップ接合時のアニール処理（熱処理）によって発生する高温スチームクロスリンク現象について説明する。

[0051] 先述したように、画素チップ1とL・Mチップ2とは、互いの第1の主面S1及び第2の主面S2を構成する層間絶縁膜15及び26（以下、「シリコン酸化膜15及び26」という）の接合面同士を、プラズマ活性化接合することで接合される。図5に示すように、接合状態にあるシリコン酸化膜15及び26は、層間絶縁膜14及び25（以下、「シリコン窒化膜14及び25」という）によって上下に挟まれた状態となる。即ち、この挟まれた状態で、アニール処理が行われる。アニール処理では、例えば400°Cの熱履歴がシリコン酸化膜15及び26にかかることになる。

[0052] ここで、シリコン酸化膜15及び26は、シラノール基 ($-\text{OH}$) を多く含んだ絶縁膜である。また、シリコン窒化膜14及び25は、耐湿性に優れた絶縁膜である。そのため、400°Cの熱履歴がかかると、シリコン酸化膜15及び26から水 (H_2O) が離脱する。そして、この離脱した水は、シリコン窒化膜14及び25によって閉じこめられるため外方拡散できない状態となる。このように、熱履歴の高いプロセスに起因して封止された水はス

チーム化（高压化）する。その際、下記反応式（１）に示すように、酸化反応が促進され、活性化した水素（ H_2 ）が発生する。この現象が高温スチームクロスリンク現象である。



高温スチームクロスリンク現象が発生すると、図５に示すように、活性化した水素（ H_2 ）がシリコン窒化膜１４及び２５を突き抜ける。この水素は、多層配線層２３も突き抜けてＬ・Ｍ混載層２２へと到達する。

[0054] なお、高温スチームクロスリンク現象の発生源となり得る膜構成は、接合部Ｃの近傍の膜構成以外にも多層配線層１２及び２３などにも存在する。しかし、トータルの層膜厚並びに水素脱ガス量から接合部Ｃの近傍のシリコン酸化膜１５及び２６並びにシリコン窒化膜１４及び２５の積層構造が記憶素子８の特性劣化に対して支配的となる。

[0055] 次に、記憶素子８の構成について説明する。第１実施形態において、記憶素子８は、耐熱性（～４００℃）を有するＭＴＪ素子から構成されている。以下、記憶素子８を、ＭＴＪ素子８という。

[0056] ＭＴＪ素子８は、垂直磁気異方性を有する磁性材料から構成されている。このＭＴＪ素子８は、磁化方向が可変のフリー層（記憶層、記録層、磁化反転層、磁化自由層、Magnetic Free Layer と呼ばれる）８１を備える。加えて、磁化が固着されたピン層（磁化固定層、Magnetic Pinned Layer と呼ばれる）８３と、フリー層８１及びピン層８３との間に形成されたトンネルバリア層（トンネル絶縁層とも呼ばれる）８２とを備える。更に、フリー層８１上に設けられた上部電極８４を備える。

[0057] 第１実施形態に係るＭＴＪ素子８は、下部電極（コンタクト２１２）の上にピン層８３を形成し、ピン層８３の上にトンネルバリア層８２を介してフリー層８１を形成するボトムピン構造となっている。なお、この構造に限らず、下部電極の上にフリー層８１を形成し、フリー層８１の上にトンネルバリア層８２を介してピン層８３を形成するトップピン構造であってもよい。

また、MTJ素子8は選択トランジスタ211と接続されており、選択トランジスタ211として、通常、NMOS型FETが用いられる。

[0058] フリー層81の磁化方向が、ピン層83の磁化方向と平行のとき、MTJ素子8は低抵抗状態となり、反平行のとき、MTJ素子8は高抵抗状態となる。この抵抗状態の違いを情報の記憶に用いる。

[0059] フリー層81は、例えば、コバルト(Co)、鉄(Fe)などを主成分とする磁性体金属膜から構成されている。第1実施形態では、フリー層81は、Co、Fe及びホウ素(B)の合金(以下、「CoFeB合金」という)から構成されている。トンネルバリア層82は、例えば、酸化マグネシウム(MgO)、酸化アルミニウム(AlO)などから構成されている。第1実施形態では、トンネルバリア層82は、酸化マグネシウム(MgO)から構成されている。トンネルバリア層82をMgO層から構成することで、磁気抵抗変化率(MR比)を大きくすることができる。ピン層83は、フリー層81と同様の磁性体金属膜から構成されている。即ち、第1実施形態では、ピン層83は、CoFeB合金から構成されている。

[0060] 上部電極84は、例えば、タンタル(Ta)、Al、Cu、Wなどから構成されている。第1実施形態では、上部電極84は、Taから構成されている。

かかる構成のMTJ素子8は、高温スチームクロスリンク現象によって発生した活性水素の影響を受けて、例えば、MgOの還元反応などが生じて磁気特性が劣化する。活性水素は、MTJ素子8の側面から侵入するだけでなく、上部電極84に用いられるTa、Al、Cu、Wなども貫通して侵入してくる。そのため、MTJ素子8の側面及び上面からの水素の侵入を防ぐ必要がある。

[0061] そこで、第1実施形態では、MTJ素子8の上面(上部電極84の上面)に水素の侵入を阻害する特性を有する導電性の上部防御膜4Tを形成し、MTJ素子8の側面に水素の侵入を阻害する特性を有する絶縁性の側部防御膜4Sを形成している。

[0062] 以下、図7Aから図7Fに基づき、L・Mチップ2のメモリ部210の製造方法の一例を工程順に説明する。なお、選択トランジスタ211の形成後の工程を説明する。メモリ部210は、成膜装置（CVD（Chemical Vapor Deposition）装置、スパッタ装置を含む）、熱処理装置、リソグラフィー装置、エッチング装置、CMP（Chemical Mechanical Polishing）装置など、各種の装置を用いて製造される。以下、これらの装置を、製造装置と総称する。

[0063] 製造装置は、周知の方法により第2の半導体基板20上に選択トランジスタ211を形成した後に、図7Aに示すように、プラズマCVD法を用いてシリコン酸化膜からなる層間絶縁膜220（以下、「シリコン酸化膜220」という）を形成する。その後、リソグラフィー、エッチング、プラズマCVD法等を用いて、選択トランジスタ211の拡散領域（ここでは、ソース領域211S）上に、シリコン酸化膜220を深さ方向（図7Aでは、上下方向）に貫通するコンタクト212を形成する。第1実施形態において、コンタクト212は、例えばWから構成されている。

[0064] 続いて、製造装置は、図7Bに示すように、周知の方法によりコンタクト212上にMTJ素子8を形成した後に、MTJ素子8の上面及び側面を含むシリコン酸化膜220上にプラズマCVD法により絶縁膜40を例えば30[nm]程度全面に形成する。ここで、絶縁膜40は、側部防御膜4Sを形成するための膜であり、第1実施形態では活性水素の侵入を阻害する特性を有する絶縁材料から形成されている。具体的に、第1実施形態では、シリコン窒化膜から形成されている。以下、絶縁膜40を、シリコン窒化膜40という。なお、絶縁膜40は、シリコン窒化膜に限らず、同様の機能を有するものであれば他の材料の膜から形成してもよい。

[0065] 続いて、製造装置は、図7Cに示すように、プラズマCVD法を用いて、シリコン窒化膜40上にシリコン酸化膜からなる層間絶縁膜221（以下、「シリコン酸化膜221」という）を例えば500[nm]形成する。続いて、製造装置は、図7Dに示すように、CMP装置を用いてMTJ素子8上

のシリコン窒化膜40が露出するまでシリコン酸化膜221を除去する。引き続き、異方性エッチングによって上部電極84の上面が露出するまでMTJ素子8上のシリコン窒化膜40を除去する。これにより、シリコン窒化膜40のMTJ素子8の側面を覆う部分が側部防御膜4Sとなる。

[0066] 続いて、製造装置は、スパッタ法によって、上部電極84の上面を含むシリコン酸化膜221上に上部防御膜4Tとなる金属膜を例えば30[nm]形成する。その後、図7Eに示すように、リソグラフィー装置を用いて、金属膜に対して所望の形状にパターニングを行い、その後、エッチングによって上部防御膜4Tを形成する。上部防御膜4Tは、第1実施形態において、MTJ素子8への水素の侵入を阻害する機能を有する導電性の金属材料によって形成されている。具体的に、上部防御膜4Tは、水素を吸蔵する機能を有する金属（以下、「水素吸蔵金属」という）の1つであるパラジウム（Pd）を含んで構成されている。なお、Pdに限らず、Ti、Mg、Ni、バナジウム（V）、マンガン（Mn）、ジルコニウム（Zr）、イリジウム（Ir）などの他の水素吸蔵金属を含んで構成してもよいし、これらのいずれかの合金を含んで構成してもよい。

[0067] また、上部防御膜4Tの形状は、例えば、平面視で矩形状、円形状等に形成される。また、上部防御膜4Tは、第1実施形態では、平面視で上部電極84の上面（接合部C側の端面）の全体を含み且つ隣接する他のMTJ素子8と短絡しない範囲で上面を包囲する形状に形成される。第1実施形態では、少なくとも、上部電極84の上面及び側部防御膜4Sの上面の全体とその周囲を含む範囲を覆うように形成し、短絡しない範囲で可能な限り大きく形成している。これにより、上方からのMTJ素子8への活性水素の侵入をより確実に阻むことが可能となり、また、導電ビア213の形成が容易となる。

ここで、上部防御膜4Tが特許請求の範囲に記載の第1の防御膜に対応し、側部防御膜4Sが特許請求の範囲に記載の第2の防御膜に対応する。

[0068] 続いて、製造装置は、図7Fに示すように、リソグラフィー及びエッチン

グによって、シリコン酸化膜 2 2 1 の上部防御膜 4 T 上にビアホールを形成し、その後、成膜装置にてビアホール内にバリア層及びシード層を形成する。続いて、めっき法によって、シード層に覆われたビアホール内に配線材料（例えば、Cu又はAu）を埋込み、その後、CMP装置にて平坦化して導電ビア 2 1 3 を形成する。引き続き、プラズマCVD法を用いてシリコン酸化膜 2 2 1 上にシリコン酸化膜からなる層間絶縁膜 2 3 0（以下、「シリコン酸化膜 2 3 0」という）を形成する。続いて、リソグラフィー及びエッチングによって、導電ビア 2 1 3 上のシリコン酸化膜 2 3 0 にトレンチ（配線溝）を形成し、その後、成膜装置にてトレンチ内にバリア層及びシード層を形成する。続いて、めっき法によって、シード層に覆われたトレンチ内に配線材料（例えば、Cu又はAu）を埋込み、その後、CMP装置にて平坦化して金属配線 2 1 4 を形成する。

[0069] ここで、バリア層は、ビアホール又はトレンチ内に形成される電極部を構成する材料（例えば、Cu又はAu）が、電極部の周囲に拡散することを防ぐために形成される。バリア層は、例えば、タンタル（Ta）、窒化タンタル（Ta₂N₃）、チタン（Ti）、窒化チタン（TiN）、又は、これらを含む合金膜で構成されている。また、シード層は、めっきをする際の電流供給のための電極層である。シード層は、例えば、Cu又はAuで構成されている。なお、導電ビア 2 1 3 及び金属配線 2 1 4 を、シングルダマシン法によって形成する例を説明したが、これに限らず、デュアルダマシン法を用いて形成してもよい。

[0070] 以降、製造装置は、金属配線 2 1 4 上に、層間絶縁膜 2 3 0、2 3 1 等の複数の層間絶縁膜、並びに金属配線 2 1 5 等の多層配線 2 3 b を構成する複数層の金属配線を形成する。なお、1つのメモリセルに着目して製造方法を説明したが、メモリ部 2 1 0 を構成する全てのメモリセルに対して同様の製造方法が適用される。また、各工程は、複数のメモリセル毎に又は全メモリセルに対して同時並行して行われる。

[0071] 以上説明したように、本開示の第 1 実施形態に係る固体撮像装置 1 0 0 は

、第1の半導体基板10と、該第1の半導体基板10に形成された、光電変換により生じた電荷の量に応じた画素信号を出力する複数の画素102が2次元格子状に配列された画素領域103とを有する画素チップ1と、画素チップ1と積層されていると共に、第2の半導体基板20と、第2の半導体基板20に形成されたロジック回路部200及びメモリ部210（不揮発性メモリから構成）とを有するロジック・メモリチップ2と、を備える。メモリ部210の各メモリセルを構成する記憶素子8の画素チップ1と対向する側の端面には、水素の侵入を阻害する特性を有する上部防御膜4Tが形成されている。更に、記憶素子8の側面には、水素の侵入を阻害する特性を有する側部防御膜4Sが形成されている。

[0072] この構成によれば、記憶素子8の接合面側の端面に設けられた上部防御膜4T及び記憶素子8の側面に設けられた側部防御膜4Sによって、水素などの記憶素子8に悪影響を与える原子及び分子の側面からの侵入に加えて接合面側の端面（第1実施形態では上端面）からの侵入も防ぐことが可能である。

[0073] また、固体撮像装置100において、メモリ部210は、記憶素子8として耐熱性を有する磁気トンネル接合素子（MTJ素子）8と、選択トランジスタ211と、選択トランジスタ211の拡散領域の一方（例えば、ソース領域211S）とMTJ素子8とを接続するコンタクト212とを有する磁気抵抗変化メモリである。更に、MTJ素子8は選択トランジスタ211の近傍（第1実施形態では、コンタクト212の直上）に設けられている。

[0074] この構成によれば、メモリ部210を構成する不揮発性メモリを、MTJ素子8を有する磁気抵抗変化メモリから構成するようにしたので、メモリ部210の高密度化、低消費電力化且つ低リーク化が可能となる。更に、耐熱性を有するMTJ素子8を選択トランジスタ211の近傍に設けるようにしたので、メモリ部210の機能を向上することが可能である。

[0075] また、固体撮像装置100において、上部防御膜4Tは、水素吸蔵金属を含んで構成された金属膜である。具体的に、上部防御膜4Tは、水素吸蔵金

属である、例えば、チタン、マグネシウム、ニッケル、パラジウム、バナジウム、マンガン、ジルコニウム、イリジウムのうちいずれか１種類又はいずれか複数種類を含んで構成された金属膜である。そして、上部防御膜４Ｔは、ＭＴＪ素子８の上端面を形成する上部電極８４上に設けられている。

[0076] この構成によれば、上部電極８４の通電を妨げることなく、例えば、高温スチームクロスリンク現象によって、ＭＴＪ素子８の上端面側からやってくる活性水素を上部防御膜４Ｔによって吸蔵して、ＭＴＪ素子８へと到達するのを阻害することが可能となる。その結果、活性水素等の原子や分子によるＭＴＪ素子８の劣化を防止又は低減することが可能となる。

[0077] また、固体撮像装置１００において、上部防御膜４Ｔは、ＭＴＪ素子８の上端面の面積よりも大きい面積を有する。具体的には、平面視で、上端面の全体を内側に含み且つ隣接する他の素子と短絡しない範囲で上端面を包囲するように形成されている。第１実施形態では、隣接する他のＭＴＪ素子８と短絡しない範囲で、可能な限り大きく形成した。

[0078] ここで、コンタクト２１２の直上にＭＴＪ素子８を形成する従来構成では、図８（Ａ）に示すように、コンタクト抵抗の低減のために上部電極８４の径のサイズに対して、導電ビア２１３の径のサイズを可能な限り大きくしている。そのため、導電ビア２１３の形成位置のあわせずれが発生すると、図８（Ｂ）に示すように、導電ビア２１３を介してフリー層８１とピン層８３とが短絡するといった問題が発生する恐れがあった。導電ビア２１３の径のサイズを小さくして対応することも可能であるが、コンタクト抵抗が大きくなるため好ましくない。なお、上記第１実施形態では、ＭＴＪ素子８の側面を、絶縁性を有した側部防御膜４Ｓで覆うようにしているが、あわせずれによって導電ビア２１３が側部防御膜４Ｓを突き抜けた状態で形成され、短絡を避けられない恐れがある。

[0079] そこで、本開示の第１実施形態に係る固体撮像装置１００では、上述したように、上部防御膜４Ｔを、隣接する他のＭＴＪ素子８と短絡しない範囲で、平面視で上端面を包囲すると共に可能な限り大きく形成した。これによっ

て、例えば、図9に示すように、従来は合わせずれとなるような位置ずれが生じて、上部防御膜4 Tにて導電ビア2 1 3を受けることが可能となり、フリー層8 1とピン層8 3とが短絡するといった問題を回避することが可能となる。

[0080] また、固体撮像装置1 0 0において、画素チップ1は、その一方の面側である第1の主面S 1側に画素領域1 0 3を構成する複数の画素トランジスタと多層配線層1 2とが形成されていると共に、これらの上層に接合用の層間絶縁膜1 5が形成されている。加えて、ロジック・メモリチップ2は、その一方の面側である第2の主面S 2側にロジック回路部2 0 0及びメモリ部2 1 0と多層配線層2 3とが形成されていると共に、これらの上層に接合用の層間絶縁膜2 6が形成されている。更に、画素チップ1及びロジック・メモリチップ2は、第1の主面S 1側と第2の主面S 2側とにそれぞれ形成された層間絶縁膜1 5及び2 6同士の接合により積層されている。

[0081] この構成によれば、画素チップ1の画素領域1 0 3の設けられた第1の主面S 1と、L・Mチップ2のロジック回路部2 0 0及びメモリ部2 1 0の設けられた第2の主面S 2とを接合して積層チップ3を構成するようにした。これにより、例えば第1の主面S 1と第2の裏面B 2とを接合した場合と比較して、優れたメモリ機能を有する積層チップを構成することが可能となる。

(第1実施形態の変形例1)

上述の第1実施形態では、コンタクト2 1 2の直上にMTJ素子8を設けた構成を説明した。第1実施形態の変形例1は、コンタクト2 1 2の直上にMTJ素子8を形成していない点が上記第1実施形態と異なる。

[0082] 本変形例1では、例えば、図1 0 Aに示すように、コンタクト2 1 2の上部に、MTJ素子8の幅(図1 0 Aでは、左右の幅)よりも大きい幅の下部電極8 5を設ける。そして、下部電極8 5上のコンタクト2 1 2から離れた位置にMTJ素子8を形成する。なお、下部電極8 5は、上部電極8 4と同様の材料から構成してもよいし、導電性の材料であれば異なる材料から構成

してもよい。

[0083] 図10Aの構成であれば、上記第1実施形態と同等の作用及び効果に加えて、上記第1実施形態と比較して、MTJ素子8の配置自由度を向上することが可能となる。

(第1実施形態の変形例2)

上述の第1実施形態では、上部防御膜4Tを、平面視で、MTJ素子8の上端面及び側部防御膜4Sの上端部の全体を内側に含み且つ隣接する他の素子と短絡しない範囲でこれら包囲する大きさに構成した例を説明した。第1実施形態の変形例2は、平面視で、側部防御膜4Sの上端部を包囲しない大きさに構成した点が上記第1実施形態と異なる。

[0084] 本変形例2では、例えば、図10Bに示すように、MTJ素子8の上端面及び側部防御膜4Sの上端部の全体のみを覆うように上部防御膜4Tを形成した。なお、この構成に限らず、MTJ素子8の上端面のみを覆うように上部防御膜4Tを形成してもよい。

[0085] 図10Bの構成であれば、上部防御膜4Tが小さくなった分、防御範囲が小さくなり且つあわせずれに対して対応できなくなるが、MTJ素子8への接合部C側からの活性水素の侵入を防ぐ又は低減するという点に関しては上記第1実施形態と同様の作用及び効果が得られる。

[0086] (第2実施形態)

上述の第1実施形態では、MTJ素子8の上端面に水素吸蔵金属を含んで構成された金属膜（以下、「水素吸蔵金属製膜」という）からなる上部防御膜4Tを設け、側面に絶縁膜（シリコン窒化膜）からなる側部防御膜4Sを設けた構成を説明した。第2実施形態は、MTJ素子8の側面側にも水素吸蔵金属製膜を設けた点が上記第1実施形態と異なる。

以下、上記第1実施形態と同様の構成部については同様の符号を付して適宜説明を省略し、異なる点を詳細に説明する。

[0087] ここで、上記第1実施形態では、MTJ素子8の側面に絶縁性のシリコン窒化膜からなる側部防御膜4Sを設けたが、水素吸蔵金属製膜と比較して、

高温スチームクロスリンク現象によって発生した活性水素の侵入を防ぐ能力は劣っている。

そこで、第2実施形態では、側部防御膜4 S（第2実施形態では「側部防御膜4 S 1」という）上に、更に、水素吸蔵金属製膜からなる側部防御膜4 S 2を形成した。

[0088] 以下、図1 1 Aから図1 1 Eに基づき、第2実施形態のL・Mチップ2のメモリ部2 1 0の製造方法の一例を工程順に説明する。なお、メモリ部2 1 0は、上記第1実施形態と同様の製造装置を用いて製造する。

[0089] ここで、第2実施形態において、上記第1実施形態の図7 A～図7 Bに示す工程までは同様となるので説明を省略し、この後の工程から説明する。

図7 Bに示す工程の後に、製造装置は、スパッタ法によって、シリコン窒化膜4 0上のMT J素子8を覆う部分を含む全面に側部防御膜4 S 2となる水素吸蔵金属製膜を例えば3 0 [nm] 形成する。続いて、製造装置は、図1 1 Aに示すように、MT J素子8の側面側のみ水素吸蔵金属製膜が残るように異方性エッチングを行う。これにより、水素吸蔵金属製膜のMT J素子8の側面側を覆う部分が側部防御膜4 S 2となる。

[0090] なお、側部防御膜4 S 2は、第2実施形態において、水素吸蔵金属の1つであるPdを含んで構成されている。なお、Pdに限らず、Ti、Mg、Ni、V、Mn、Zr、Irなどの他の水素吸蔵金属を含んで構成されていてもよいし、これらのいずれかの合金を含んで構成されていてもよい。

[0091] 続いて、製造装置は、図1 1 Bに示すように、プラズマCVD法を用いて、シリコン窒化膜4 0及び側部防御膜4 S 2上にシリコン酸化膜2 2 1を例えば5 0 0 [nm] 形成する。続いて、製造装置は、図1 1 Cに示すように、CMP装置を用いてMT J素子8上のシリコン窒化膜4 0及び側部防御膜4 S 2の上端面が露出するまでシリコン酸化膜2 2 1を除去する。引き続き、異方性エッチングを用いて上部電極8 4の上面が露出するまでMT J素子8上のシリコン窒化膜4 0を除去する。これにより、シリコン窒化膜4 0のMT J素子8の側面を覆う部分が側部防御膜4 S 1となる。

[0092] 続いて、製造装置は、スパッタ法によって、上部電極 8 4、側部防御膜 4 S 1 及び 4 S 2 の上面を含むシリコン酸化膜 2 2 1 上に上部防御膜 4 T となる金属膜を例えば 30 [nm] 形成する。その後、図 1 1 D に示すように、リソグラフィーによって、金属膜に対して上記第 1 実施形態と同様の形状にパターニングを行い、その後、エッチングによって上部防御膜 4 T を形成する。

[0093] 続いて、製造装置は、図 1 1 E に示すように、リソグラフィー及びエッチングによって、シリコン酸化膜 2 2 1 の上部防御膜 4 T 上にビアホールを形成し、その後、成膜装置にてビアホール内にバリア層及びシード層を形成する。続いて、めっき法によって、シード層に覆われたビアホール内に配線材料（例えば、Cu 又は Au）を埋込み、その後、CMP 装置にて平坦化して導電ビア 2 1 3 を形成する。引き続き、プラズマ CVD 法を用いてシリコン酸化膜 2 2 1 上にシリコン酸化膜からなる層間絶縁膜 2 3 0（以下、「シリコン酸化膜 2 3 0」という）を形成する。続いて、リソグラフィー及びエッチングによって、導電ビア 2 1 3 上のシリコン酸化膜 2 3 0 にトレンチ（配線溝）を形成し、その後、成膜装置にてトレンチ内にバリア層及びシード層を形成する。続いて、めっき法によって、シード層に覆われたトレンチ内に配線材料（例えば、Cu 又は Au）を埋込み、その後、CMP 装置にて平坦化して金属配線 2 1 4 を形成する。

[0094] 以降、製造装置は、金属配線 2 1 4 上に、層間絶縁膜 2 3 0、2 3 1 等の複数の層間絶縁膜、並びに金属配線 2 1 5 等の多層配線 2 3 b を構成する複数層の金属配線を形成する。なお、1 つのメモリセルに着目して製造方法を説明したが、メモリ部 2 1 0 を構成する全てのメモリセルに対して同様の製造方法が適用される。また、各工程は、複数のメモリセル毎又は全メモリセルに対して同時並行して行われる。

[0095] なお、第 2 実施形態の上部防御膜 4 T は、平面視で、上部電極 8 4、側部防御膜 4 S 1 及び 4 S 2 の上面の全体を内側に含み且つ隣接する他の MTJ 素子 8 と短絡しない範囲でこれらを包囲するように構成されている。この構

成によって、図12に示すように、導電ビア213の合わせずれがおきても上部防御膜4Tで受けることが可能である。その結果、あわせずれによる、フリー層81とピン層83との短絡を防ぐことが可能となる。

[0096] 以上説明したように、本開示の第2実施形態に係る固体撮像装置100は、第1の半導体基板10と、該第1の半導体基板10に形成された、光電変換により生じた電荷の量に応じた画素信号を出力する複数の画素102が2次元格子状に配列された画素領域103とを有する画素チップ1と、画素チップ1と積層されていると共に、第2の半導体基板20と、第2の半導体基板20に形成されたロジック回路部200及びメモリ部210（磁気抵抗変化メモリから構成）とを有するロジック・メモリチップ2と、を備える。メモリ部210の各メモリセルを構成するMTJ素子8の画素チップ1と対向する側の端面（第2実施形態では上端面）には、水素吸蔵金属を含んで構成された金属膜からなる上部防御膜4Tが形成されている。更に、MTJ素子8の側面には、水素の侵入を阻害する特性を有する絶縁性の側部防御膜4S1が形成されている。加えて、側部防御膜4S1上には、水素吸蔵金属を含んで構成された金属膜からなる側部防御膜4S2が形成されている。

具体的に、側部防御膜4S2は、水素吸蔵金属として、例えば、チタン、マグネシウム、ニッケル、パラジウム、バナジウム、マンガン、ジルコニウム、イリジウムのうちいずれか1種類又は複数種類を含んで構成された金属膜である。

[0097] この構成によれば、MTJ素子8の接合面側の端面に設けられた上部防御膜4T及びMTJ素子8の側面に設けられた側部防御膜4S1及び4S2によって、水素などのMTJ素子8に悪影響を与える原子及び分子の側面からの侵入だけでなく接合面側の端面からの侵入も防ぐことが可能である。加えて、MTJ素子の側面側に絶縁性の側部防御膜4S1だけでなく水素吸蔵金属製の側部防御膜4S2も設けたので、水素などのMTJ素子8に悪影響を与える原子及び分子の側面からの侵入をより確実に防止又は低減することが可能である。

[0098] (第2実施形態の変形例1)

上述の第2実施形態では、水素の侵入を阻害する特性を有する絶縁性のシリコン窒化膜から形成された側部防御膜4S1上に水素吸蔵金属製膜からなる側部防御膜4S2を設けた構成を説明した。第2実施形態の変形例1は、側部防御膜4S1に代えて水素の侵入を阻害する特性を有さない絶縁膜をMTJ素子8の側面に設け、この絶縁膜上に側部防御膜4S2を設けた点が上記第2実施形態と異なる。

即ち、本変形例1では、図示省略するが、MTJ素子8の側面にシリコン窒化膜以外の水素の侵入を阻害する特性を有さない絶縁膜を形成し、この絶縁膜上に水素吸蔵金属製の側部防御膜4S2を設ける。水素の侵入を阻害する特性を有さない絶縁膜としては、例えば、シリコン酸化膜などが挙げられる。

[0099] この構成によれば、シリコン窒化膜の分だけ防御性能は落ちるが、上部防御膜4T及び側部防御膜4S2によって、記憶素子8に悪影響を与える原子及び分子の側面からの侵入に加えて上端面からの侵入を防ぐ又は低減することが可能となる。

[0100] (第3実施形態)

上記の第1及び第2実施形態では、記憶素子8の側面及び上面に防御膜を形成することで、活性水素の記憶素子8への侵入を防ぐ構成を説明した。第3実施形態は、第1又は第2実施形態の構成に加えて、活性水素の発生要因を除去する構成とした点が上記第1及び第2実施形態と異なる。

以下、上記第1及び第2実施形態と同様の構成部については同様の符号を付して適宜説明を省略し、異なる点を詳細に説明する。

[0101] 第3実施形態に係る固体撮像装置100Aは、図13Aに示すように、画素チップ1Aと、L・Mチップ2Aとを備えている。

第3実施形態に係る画素チップ1Aは、画素部1aと、レンズ部1bとを備えている。画素部1aは、ウェル領域11に画素トランジスタ等の画素が形成された第1の半導体基板10と、多層配線層12と、層間絶縁膜（シリ

コン酸化膜) 13と、層間絶縁膜(シリコン酸化膜) 15とを備えている。これは、上記第1実施形態の画素チップ1において、シリコン窒化膜14を除去し、層間絶縁膜13上に接合用のシリコン酸化膜15を直接形成した構成となる。第3実施形態では、層間絶縁膜13をシリコン酸化膜で形成し、多層配線層12よりもL・Mチップ2A側の層間絶縁膜をシリコン酸化膜のみで構成している。即ち、多層配線層12よりもL・Mチップ2A側に、高温スチームクロスリンク現象の発生要因となる反り調整用のシリコン窒化膜14等の窒化膜を設けない構成となっている。レンズ部1bは、平坦化層16と、カラーフィルタ層17と、マイクロレンズ18とを備えている。

[0102] L・Mチップ2Aは、上記第1実施形態のL・Mチップ2において、層間絶縁膜(シリコン窒化膜) 25及び層間絶縁膜(シリコン酸化膜) 26を除去した構成となっている。第3実施形態では、多層配線層23よりも画素チップ1A側の層間絶縁膜をシリコン酸化膜のみで構成している。即ち、画素チップ1Aと同様に、多層配線層23よりも画素チップ1A側に、高温スチームクロスリンク現象の発生要因となる反り調整用のシリコン窒化膜25等の窒化膜を設けない構成となっている。また、多層配線層23の層間絶縁膜(シリコン酸化膜) 23aを接合用のシリコン酸化膜として利用するためシリコン酸化膜26も除去した構成となっている。なお、この構成に限らず、シリコン酸化膜26を除去せずに接合用の層間絶縁膜として残してもよい。

[0103] そして、第3実施形態では、画素チップ1Aの第1の主面S1となるシリコン酸化膜15の端面と、L・Mチップ2Aの第2の主面S2となるシリコン酸化膜23aの端面とを接着剤5を介して接合している。これによって、画素チップ1AとL・Mチップ2Aとが積層された第3実施形態に係る積層チップ3(以下、「積層チップ3A」という)が構成されている。なお、第3実施形態では、接着剤5を介して画素チップ1A側の接合部C1とL・Mチップ2A側の接合部C2とが形成される。

[0104] 第3実施形態において、接着剤5は、例えば、樹脂材料を含んで構成されている。樹脂材料としては、例えば、BCB(Benzocyclobutene(ベンゾシ

クロブテン)) 樹脂、Polyimide (ポリイミド) 樹脂、Benzoxazole (ベンゾオキサゾール) 樹脂、Polyarylene (ポリアリーレン) 樹脂などが挙げられる。これらの樹脂材料は、それぞれ物性値が異なっており、接合以降のプロセスに応じて適切なものを選択することになる。ここで、半導体チップの接合に用いる接着剤の特性として重要視するのは、接合工程以降のプロセスの熱履歴に耐え得る耐熱温度、主に架橋時の脱ガス性、動粘度、塗布膜厚などである。これらは、製品歩留りに直結する。

[0105] 以下、図13Aから図13Dに基づき、第3実施形態の積層チップ3Aの製造方法の一例を工程順に説明する。

図13Aに示すように、周知の製造方法にて、上記構成の画素部1a及びL・Mチップ2Aを製造する。その後、図13Bに示すように、接合工程へと移行して、塗布装置により、L・Mチップ2Aのシリコン酸化膜23aの接合面である第2の主面S2 (図13Cでは、上端面) 上に、ペースト状の樹脂製の接着剤5を全体に均一となるように塗布する。塗布の方法としては特に限定はされないが、例えば、精密ノズルを取り付けたシリンジを有するディスペンサ等で塗布することができる。

[0106] 引き続き、図13Dに示すように、貼り合わせ装置により、L・Mチップ2Aの接着剤5の塗布面上に、画素部1aのシリコン酸化膜15の接合面である第1の主面S1 (図13Dでは、下端面) を重ねて圧着する。続いて、乾燥装置にて、接着 (硬化) に必要な温度及び時間にて加熱して、接着剤5を硬化させることで接合が完了する。接着剤5の乾燥方法としては特に限定されないが、例えば、70～80℃の熱風を所定時間あてた後に、150℃～220℃で所定時間加熱することで接着剤5を硬化させることができる。即ち、接合工程において、上記第1及び第2実施形態のような、350℃～400℃といった高温処理が不要となる。

[0107] 続いて、図13Aに示すように、第1の半導体基板10の裏面10B上に、周知の方法にて、レンズ部1bを形成する。これにより、積層チップ3Aが形成される。

なお、上記工程において図示及び説明を省略したが、レンズ部 1 b の形成前に積層チップ 3 のチップ間の電氣的な接続を行う。この接続方法としては、例えば、シリコン貫通電極（TSV）によってチップの内部で接続させる方法や、上述した Cu-Cu 接合によって接合部を介して接続させる方法などがある。

[0108] ここで、第 3 実施形態の固体撮像装置 100A では、TSV を用いて接続を行う。具体的に、図 14 に示すように、画素チップ 1A 及び L・M チップ 2A の各々に備わる多層配線層 12 及び 23 に形成された信号線同士及び電源線同士をツインコンタクト型の TSV 6A によって電氣的に接続している。

[0109] この TSV 6A は、周知の方法によって形成され、画素チップ 1A の画素部 1a の上側の表面から第 1 の半導体基板 10 を貫通し多層配線層 12 に至る第 1 貫通電極 61A を有する。加えて、画素部 1a の上側の表面から第 1 の半導体基板 10 と多層配線層 12 を貫通し L・M チップ 2A の多層配線層 23 に至る第 2 貫通電極 62A を有する。更に、第 1 及び第 2 貫通電極 61A 及び 62A を接続するための貫通電極接続配線 63A を有する。

このように、2 つの貫通電極（第 1 貫通電極 61A 及び第 2 貫通電極 62A）を介して、多層配線層 12 及び 23 に形成された信号線同士及び電源線同士が電氣的に接続されている。

[0110] なお、TSV 6A の各貫通電極は、上記導電ビア 213 と同様の製造方法にて形成される。また、TSV 6A の作成をチップ積層後に行う例を説明したが、これに限らず、画素チップ 1A 及び L・M チップ 2A の作成後や、多層配線層の作成途中など他のタイミングで作成するようにしてもよい。

[0111] 以上説明したように、本開示の第 3 実施形態に係る固体撮像装置 100A は、画素チップ 1A が、その一方の面側である第 1 の主面 S1 側に画素領域 103 を構成する複数の画素トランジスタと多層配線層 12 とが形成されていると共に、これらの上層に接合用の層間絶縁膜 15 が形成されている。加えて、ロジック・メモリチップ 2A が、その一方の面側である第 2 の主面 S

2側にロジック回路部200及びメモリ部210と多層配線層23とが形成されていると共に、これらの上層に接合用の層間絶縁膜23aが形成されている。更に、画素チップ1A及びロジック・メモリチップ2Aは、第1及び第2の主面S1及びS2である層間絶縁膜15及び23aの端面同士を樹脂製の接着剤5を介して接合することにより積層されている。

[0112] この構成であれば、接着剤5により接合が行われているので、プラズマ接合を用いた接合と比較して、接合工程において低温処理での接合が可能となる。これにより、層間絶縁膜からの活性水素の発生を抑制することが可能となるので、活性水素のMTJ素子8への侵入を防止又は低減することが可能となる。

[0113] また、本開示の第3実施形態に係る固体撮像装置100Aにおいて、画素チップ1Aの多層配線層12よりもL・Mチップ2A側と、L・Mチップ2Aの多層配線層23よりも画素チップ1A側とには、層間絶縁膜として酸化膜のみが形成されている。即ち、画素チップ1Aの多層配線層12よりもL・Mチップ2A側と、L・Mチップ2Aの多層配線層23よりも画素チップ1A側とには、チップの反りを調整するシリコン窒化膜等の窒化膜が形成されていない。

この構成であれば、特に反り調整用のシリコン窒化膜が要因の高温スチームクロスリンク現象の発生自体を防止することが可能となり、活性水素の発生をより抑制することが可能となる。また、接着剤5によって接合することで、反り調整用のシリコン窒化膜が存在しないことにより発生するチップの反りを吸収することが可能となり、平坦性を確保することが可能となる。

[0114] また、本開示の第3実施形態に係る固体撮像装置100Aにおいて、上記接着剤5は、BCB樹脂、ポリイミド樹脂、ベンゾオキサゾール樹脂、ポリアリーレン樹脂のうち少なくとも1種を含んで構成されている。

この構成であれば、上記いずれか1種の樹脂材料を含んで構成された接着剤を用いて接合するようにしたので、耐熱性、脱ガス性、動粘性、薄膜性などの良好な接合部を形成することが可能となる。これにより、接合工程にお

いて良質な接合が可能であると共に、接合工程よりも後の工程において発生する熱履歴に対して接合強度を損なうといったことを防ぐことが可能である。例えば、BCB樹脂は、高耐熱性を有すると共に、硬化を熱のみによる重合反応で行うことが可能である。そのため、触媒や開始剤が必要なく、それらに起因する不純物が少ない。また、加熱硬化時に揮発性物質の発生、例えばポリイミドの硬化時にみられるような縮合水の発生がないため、配線材料の腐食などの心配がない。

[0115] また、本開示の第3実施形態に係る固体撮像装置100Aにおいて、画素チップ1Aの多層配線層12の多層配線12bと、L・Mチップ2Aの多層配線層23の多層配線23bとは、ツインコンタクト型のTSV（貫通電極）6Aを介して電氣的に接続されている。

この構成であれば、TSV6Aによってチップ間の電氣的な接続が行われるので、MTJ素子8の配置自由度を向上することが可能になる。加えて、フレキシブルに配置されたMTJ素子8の特性を劣化させることがない積層チップ3Aひいては固体撮像装置100Aの作製が可能となる。

[0116] （第3実施形態の変形例1）

上記の第3実施形態では、ツインコンタクト型のTSV6Aにて、チップ間の信号線及び電極を電氣的に接続する構成を説明した。第3実施形態の変形例1は、シェアードコンタクト型のTSVによって接続を行う点が上記第3実施形態と異なる。

即ち、本変形例1に係る固体撮像装置100Bは、図15に示すように、画素チップ1A及びL・Mチップ2Aの各々に備わる多層配線層12及び23に形成された信号線同士及び電源線同士をシェアードコンタクト型のTSV6Bによって電氣的に接続している。

[0117] シェアードコンタクト型のTSV6Bは、画素チップ1Aの画素部1aの表面から第1の半導体基板10を貫通すると共に多層配線層12をその多層配線12bの一部と導通しつつ貫通し、更に、L・Mチップ2Aの多層配線層23に至って多層配線23bの一部と導通するように設けられた1つの貫

通電極 6 1 B を有する。更に、本変形例 1 の貫通電極 6 1 B は、貫通孔内に導電材料が埋め込まれた構造を有している。即ち、貫通電極 6 1 B は、画素チップ 1 A の多層配線層 1 2 b の一部を露出させつつ貫通し、更に、L・Mチップ 2 A の多層配線層 2 3 に至って多層配線 2 3 b の一部を露出させるように貫通する貫通孔を形成する。そして、この貫通孔内に導電材料（例えば、Cu など）を埋め込むことで形成される。なお、この構成に限らず、貫通孔の内壁に導電材料が成膜された構造としてもよい。

[0118] このように、画素チップ 1 A 及び L・Mチップ 2 A の各多層配線層が、共通の 1 つの貫通電極 6 1 B をシェアして、それぞれに形成された信号線同士及び電源線同士を電氣的に接続している。以下、かかる構成の画素チップ 1 A 及び L・Mチップ 2 A を積層した積層チップ 3 を「積層チップ 3 B」という。

この構成であれば、TSV 6 B によってチップ間の電氣的な接続が行われるので、MTJ 素子 8 の配置自由度を向上することが可能になる。加えて、フレキシブルに配置された MTJ 素子 8 の特性を劣化させることがない積層チップ 3 B については固体撮像装置 1 0 0 B の作製が可能となる。

[0119] （第 3 実施形態の変形例 2）

上記の第 3 実施形態では、画素チップ 1 A 及び L・Mチップ 2 A の双方ともに、多層配線層 1 2 よりも L・Mチップ 2 A 側及び多層配線層 2 3 よりも画素チップ 1 A 側に層間絶縁膜として酸化膜のみを形成する構成を説明した。即ち、多層配線層 1 2 よりも L・Mチップ 2 A 側及び多層配線層 2 3 よりも画素チップ 1 A 側に、チップの反り調整用のシリコン窒化膜を含む窒化膜を設けない構成を説明した。第 3 実施形態の変形例 2 は、画素チップ 1 A 及び L・Mチップ 2 A の多層配線層 1 2 よりも L・Mチップ 2 A 側及び多層配線層 2 3 よりも画素チップ 1 A 側のいずれか一方のみ窒化膜を設けない構成とした点が上記第 3 実施形態と異なる。

[0120] 即ち、本変形例 2 に係る固体撮像装置 1 0 0 A は、図示省略するが、図 1 4 に示す構成において、例えば、画素チップ 1 A 及び L・Mチップ 2 A の多

層配線層 1 2 よりも L・M チップ 2 A 側及び多層配線層 2 3 よりも画素チップ 1 A 側のいずれか一方のみ層間絶縁膜として酸化膜のみを形成する構成とした。即ち、画素チップ 1 A 及び L・M チップ 2 A の多層配線層 1 2 よりも L・M チップ 2 側及び多層配線層 2 3 よりも画素チップ 1 側のいずれか一方のみ層間絶縁膜として窒化膜を形成しない構成とした。加えて、かかる構成の画素チップ 1 A 及び L・M チップ 2 A の接合面を、接着剤 5 を介して接合する構成とした。

この構成であれば、第 1 及び第 2 実施形態の画素チップ 1 及び L・M チップ 2 の構成と比較して、活性水素の発生を抑制することが可能となる。また、例えば、反りがより大きくなるチップ側にのみ反り調整用のシリコン窒化膜を設ける等することで反りの調整を容易とすることが可能となる。

[0121] (第 3 実施形態の変形例 3)

上記の第 3 実施形態では、画素チップ 1 A 及び L・M チップ 2 A の双方ともに、多層配線層 1 2 よりも L・M チップ 2 A 側及び多層配線層 2 3 よりも画素チップ 1 A 側にチップの反り調整用のシリコン窒化膜等の窒化膜を設けない構成を説明した。即ち、多層配線層 1 2 よりも L・M チップ 2 A 側及び多層配線層 2 3 よりも画素チップ 1 A 側に、チップの反り調整用のシリコン窒化膜を含む窒化膜を設けない構成を説明した。第 3 実施形態の変形例 3 は、上記第 1 及び第 2 実施形態の画素チップ 1 及び L・M チップ 2 を、接着剤 5 を介して接合する点が上記第 3 実施形態と異なる。

即ち、本変形例 3 に係る固体撮像装置 100 は、図示省略するが、図 3 に示す構成において、プラズマ活性化接合に代えて、画素チップ 1 及び L・M チップ 2 のシリコン酸化膜 15 及び 26 の接合面を、接着剤 5 を介して接合する構成とした。

[0122] この構成であれば、プラズマ活性化接合と比較して低温処理にて接合を行うことが可能となるので、高温スチームクロスリンク現象の発生を抑制することが可能となる。これにより、活性水素の発生を抑制し、MTJ 素子 8 へと到達する活性水素の量を低減することが可能となる。

[0123] (第3実施形態の変形例4)

上記の第3実施形態では、上記第1及び第2実施形態のメモリ部210の構成において、多層配線層12よりもL・Mチップ2側及び多層配線層23よりも画素チップ1側にチップの反り調整用のシリコン窒化膜等の窒化膜を設けない構成とした。そして、かかる構成の画素チップ1A及びL・Mチップ2Aを、接着剤5を介して接合する構成を説明した。例えば、上記第1実施形態の構成を採用した場合、MTJ素子8の上面及び側面に上部防御膜4T及び側部防御膜4Sが設けられた構成において窒化膜を除去し且つ接着剤5を介して接合する構成を説明した。第3実施形態の変形例4は、MTJ素子8の上面及び側面の少なくとも一方に防御膜が設けられていない構成に対して、上記第3実施形態の構成を適用した点が上記第3実施形態と異なる。

即ち、本変形例4では、上記第3実施形態のメモリ部210の構成において、メモリセルの構成を、例えば、図8Aに示す構成とした。具体的に、MTJ素子8の上面及び側面の双方に防御膜を形成しない構成とした。

[0124] この構成であれば、金属膜やシリコン窒化膜による防御はできなくなるが、プラズマ活性化接合を行う従来の構成と比較して低温処理にて接合を行うことが可能となるので、活性水素の発生を抑制することが可能となり、反り調整用のシリコン窒化膜を有した構成や、プラズマ活性化接合を用いた場合と比較して活性水素等の悪影響を与える原子や分子のMTJ素子8への侵入を低減することが可能となる。

[0125] (第4実施形態)

上記の第3実施形態では、上記第1又は第2実施形態の構成において、画素チップ1及びL・Mチップ2Aの多層配線層12よりもL・Mチップ2側及び多層配線層23よりも画素チップ1側に層間絶縁膜として酸化膜のみを形成する構成の画素チップ1A及びL・Mチップ2Aの層間絶縁膜15及び23aの接合面同士を、接着剤5を介して接合する構成を説明した。第4実施形態では、接着剤5による接合に加えて、金属電極同士による直接接合も行う点が上記第3実施形態と異なる。

以下、上記第3実施形態と同様の構成部については同様の符号を付して適宜説明を省略し、異なる点を詳細に説明する。

[0126] 第4実施形態に係る固体撮像装置100Cは、図16Aに示すように、画素チップ1Cと、L・Mチップ2Cとを備えている。

第4実施形態に係る画素チップ1Cは、画素部1dと、レンズ部1bとを備えている。画素部1dは、上記第3実施形態の画素部1aにおいて、シリコン酸化膜15に設けられた複数の金属電極7P1及び複数のダミー電極7D1を備えた構成となっている。

[0127] 金属電極7P1は、接合部となる金属電極パッド71P1と、金属電極パッド71P1から伸びて多層配線12bに接続された金属電極ビア72P1とを備えている。ダミー電極7D1は、接合部となる金属電極パッド71D1を備えている。そして、複数の金属電極7P1及び複数のダミー電極7D1は、シリコン酸化膜15の接合側の面から少なくとも金属電極パッド71P1及び71D1のパッド面（接合面）を含む一部が露出するように設けられている。

[0128] L・Mチップ2Cは、上記第3実施形態のL・Mチップ2Aにおいて、シリコン酸化膜23aに設けられた複数の金属電極7P2及び複数のダミー電極7D2を備えた構成となっている。

金属電極7P2は、接合部となる金属電極パッド71P2と、金属電極パッド71P2から伸びて多層配線23bに接続された金属電極ビア72P2とを備えている。ダミー電極7D2は、接合部となる金属電極パッド71D2を備えている。そして、複数の金属電極7P2及び複数のダミー電極7D2は、シリコン酸化膜23aの接合側の面から少なくとも金属電極パッド71P2及び71D2のパッド面（接合面）を含む一部が露出するように設けられている。

[0129] なお、金属電極7P1及び7P2は、それぞれ直接接合に適した導電性の金属材料から構成されている。この金属材料としては、例えば、Cu、Au、Alなどがある。第4実施形態では、Cuから構成されているものとする。

。

[0130] ダミー電極 7 D 1 及び 7 D 2 は、金属電極 7 P 1 及び 7 P 2 と同様の材料から構成されており、いずれも金属電極パッドのみを備えた構成となっている。即ち、ダミー電極 7 D 1 及び 7 D 2 は、接合強度を高めるためのダミーの金属電極であり、電極の役割は有していないものとなる。

[0131] また、金属電極 7 P 1 及び 7 P 2 並びにダミー電極 7 D 1 及び 7 D 2 は、それぞれ対となっており、これらが複数対ずつ設けられている。更に、対となる金属電極 7 P 1 及び 7 P 2 並びにダミー電極 7 D 1 及び 7 D 2 は、それぞれのパッド面の少なくとも一部が接合時に対向する位置に設けられている。

。

[0132] また、金属電極 7 P 1 及び 7 P 2 は、例えば、シングルダマシン法又はデュアルダマシン法で形成され、ダミー電極 7 D 1 及び 7 D 2 は、例えば、シングルダマシン法で形成される。

以下、金属電極 7 P 1 及び 7 P 2 並びにダミー電極 7 D 1 及び 7 D 2 を、区別する必要が無い場合に、単に「金属電極 7」という。

[0133] そして、第 4 実施形態では、画素チップ 1 C の第 1 の主面 S 1 となるシリコン酸化膜 1 5 の端面並びに金属電極 7 P 1 及びダミー電極 7 D 1 のパッド面と、L・Mチップ 2 C の第 2 の主面 S 2 となるシリコン酸化膜 2 3 a の端面並びに金属電極 7 P 2 及びダミー電極 7 D 2 のパッド面とが接合されている。具体的に、金属電極 7 P 1 及びダミー電極 7 D 1 と金属電極 7 P 2 及びダミー電極 7 D 2 とは、それぞれ対となっており対向するもの同士が直接接合によって強固に接合されている。更に、これら電極間のシリコン酸化膜 1 5 とシリコン酸化膜 2 3 a との対向する部分は接着剤 5 を介して接合されている。これによって、画素チップ 1 C と L・Mチップ 2 C とが積層された第 4 実施形態に係る積層チップ 3（以下、「積層チップ 3 C」という）が構成されている。

[0134] 以下、図 1 6 A から図 1 6 D に基づき、第 4 実施形態の積層チップ 3 C の製造方法の一例を工程順に説明する。

図16Bに示すように、周知の製造方法にて、上記構成の画素部1d及びL・Mチップ2Cを製造する。その後、接合工程へと移行して、図16Cに示すように、塗布装置により、L・Mチップ2Cのシリコン酸化膜23a並びに金属電極7P2及びダミー電極7D2の接合面である第2の主面S2（図16Cでは、上端面）上に、接着剤5を全体に均一となるように塗布する。

[0135] 引き続き、図16Dに示すように、貼り合わせ装置により、L・Mチップ2Cの接着剤5の塗布面上に、画素部1dのシリコン酸化膜15並びに金属電極7P1及びダミー電極7D1の接合面である第1の主面S1（図16Dでは、下端面）を重ねて圧着する。即ち、図17に示すように、接合時の圧力によって対となる金属電極パッド71P1及び71P2並びに71D1及び71D2の間に存在する接着剤5を外へと押し出すことで対となる金属電極パッド71P1及び71P2並びに71D1及び71D2同士の直接接合が行われる。なお、第4実施形態において、金属電極7同士の接合は、常温等の比較的低温下において行われる。

[0136] 続いて、乾燥装置にて、接着（硬化）に必要な温度及び時間にて加熱して、接着剤5を硬化させることで接合が完了する。続いて、図16Aに示すように、第1の半導体基板10の裏面10B上に、周知の方法にて、レンズ部1bを形成する。これにより、積層チップ3Cが形成される。

[0137] 以上説明したように、本開示の第4実施形態に係る固体撮像装置100Cは、画素チップ1Cが、その一方の面側である第1の主面S1側に画素領域103を構成する複数の画素トランジスタと多層配線層12とが形成されていると共に、これらの上層に接合用の層間絶縁膜（シリコン酸化膜）15が形成されている。加えて、ロジック・メモリチップ2Aが、その一方の面側である第2の主面S2側にロジック回路部200及びメモリ部210と多層配線層23とが形成されていると共に、これらの上層に接合用の層間絶縁膜（シリコン酸化膜）23aが形成されている。更に、シリコン酸化膜15には、少なくともパッド面を含む一部が接合面側に露出するように複数の金属

電極 7 P 1 が設けられている。更に、シリコン酸化膜 2 3 a の金属電極 7 P 1 のパッド面と対向する位置には、少なくともパッド面を含む一部が接合面側に露出するように複数の金属電極 7 P 2 が設けられている。更に、画素チップ 1 C 及び L・M チップ 2 C との間で対向する各金属電極 7 同士（対となる金属電極パッド 7 1 P 1 及び 7 1 P 2 の接合面同士）が直接接合されていると共に、シリコン酸化膜 1 5 及び 2 3 a 同士が接着剤 5 を介して接合されている。

[0138] この構成であれば、接着剤 5 によるシリコン酸化膜 1 5 及び 2 3 a 同士の接合に加えて、金属電極 7 P 1 及び 7 P 2 同士を直接接合するようにしたので、接合強度を高めることが可能となる。加えて、接合面における金属電極同士の接続によって、例えば画素 1 0 2 とアナログデジタル変換回路（図示略）及び記憶素子 8 との間で一对一の接続が容易となるため、画素 1 0 2 ごとにアナログデジタル変換が行われる、いわゆる画素 A D C 方式の固体撮像装置を容易に構成することが可能となる。また、接着剤 5 を介した金属電極同士の圧着によって、プラズマ接合を用いた場合と比較して、接合工程において低温処理での接合が可能となる。これにより、層間絶縁膜からの活性水素の発生を抑制することが可能となるので、活性水素の M T J 素子 8 への侵入を防止又は低減することが可能となる。

[0139] また、本開示の第 4 実施形態に係る固体撮像装置 1 0 0 C において、シリコン酸化膜 1 5 には、金属電極パッド 7 1 P 1 及び金属電極ビア 7 2 P 1 を有する複数の金属電極 7 P 1 が設けられている。加えて、シリコン酸化膜 1 5 には、金属電極パッド 7 1 D 1 を有する複数のダミー電極 7 D 1 が設けられている。各金属電極 7 P 1 及びダミー電極 7 D 1 は、シリコン酸化膜 1 5 の接合面から、少なくともパッド面を含む一部が露出するように設けられている。更に、シリコン酸化膜 2 3 a の複数の金属電極 7 P 1 と対向する位置には、金属電極パッド 7 1 P 2 及び金属電極ビア 7 2 P 2 を有する複数の金属電極 7 P 2 が設けられている。加えて、シリコン酸化膜 2 3 a には、金属電極パッド 7 1 D 2 を有する複数のダミー電極 7 D 2 が設けられている。各

金属電極 7 P 2 及びダミー電極 7 D 2 は、シリコン酸化膜 2 3 a の接合面から、少なくともパッド面を含む一部が露出するように設けられている。そして、画素チップ 1 C 及び L・Mチップ 2 C との間で対向する各金属電極 7 同士（対となる金属電極パッド 7 1 P 1 及び 7 1 P 2 の接合面同士、対となる金属電極パッド 7 1 D 1 及び 7 1 D 2 接合面同士）が直接接合されている。加えて、シリコン酸化膜 1 5 及び 2 3 a の接合面同士が樹脂材料を含んで構成された接着剤 5 を介して接合されている。

この構成であれば、金属電極 7 P 1 及び 7 P 2 に加えて、ダミー電極 7 D 1 及び 7 D 2 を設け、これら同士も直接接合するようにしたので、接合強度をより高めることが可能となる。

[0140] また、本開示の第 4 実施形態に係る固体撮像装置 1 0 0 C において、画素チップ 1 C の多層配線層 1 2 よりも L・Mチップ 2 C 側と、L・Mチップ 2 C の多層配線層 2 3 よりも画素チップ 1 C 側とには、層間絶縁膜として酸化膜のみが形成されている。即ち、画素チップ 1 C の多層配線層 1 2 よりも L・Mチップ 2 C 側と、L・Mチップ 2 C の多層配線層 2 3 よりも画素チップ 1 C 側とには、チップの反りを調整するシリコン窒化膜等の窒化膜が形成されていない。

この構成であれば、特に反り調整用のシリコン窒化膜が要因の高温スチームクロスリンク現象の発生自体を防止することが可能となり、活性水素の発生をより抑制することが可能となる。また、接着剤 5 によって接合することで、反り調整用のシリコン窒化膜が存在しないことにより発生するチップの反りを吸収することが可能となり、平坦性を確保することが可能となる。

また、本開示の第 4 実施形態に係る固体撮像装置 1 0 0 C において、上記接着剤 5 は、BCB樹脂、ポリイミド樹脂、ベンゾオキサゾール樹脂、ポリアリーレン樹脂のうち少なくとも 1 種を含んで構成されている。

この構成であれば、上記いずれか 1 種の樹脂材料を含んで構成された接着剤を用いて接合するようにしたので、耐熱性、脱ガス性、動粘性、薄膜性などの良好な接合部を形成することが可能となる。これにより、接合工程にお

いて良質な接合が可能であると共に、接合工程よりも後の工程において発生する熱履歴に対して接合強度を損なうといったことを防ぐことが可能である。

[0141] (第4実施形態の変形例1)

上記の第4実施形態では、対となる金属電極7P1及び7P2並びにダミー電極7D1及び7D2の金属電極パッド71P1及び71P2並びに71D1及び71D2の接合面がいずれも平坦面となっている構成を説明した(図17を参照)。第4実施形態の変形例1は、対となる金属電極7P1及び7P2並びにダミー電極7D1及び7D2の金属電極パッド71P1及び71P2並びに71D1及び71D2のうち画素チップ1C側の金属電極パッド71P1及び71D1の接合面を凸形状に構成した点が上記第4実施形態と異なる。

即ち、本変形例1に係る固体撮像装置100Cは、図18に示すように、画素チップ1C側に形成された金属電極7P1及びダミー電極7D1の金属電極パッド71P1及び71D1の接合面の形状が接合方向(図18では、下方向)に向かって凸状に形成されている。

[0142] この構成であれば、画素チップ1C側の金属電極パッド71P1及び71D1の凸形状によって、圧着時における金属電極パッド71P1及び71P2並びに71D1及び71D2同士の間からの接着剤5の押し出し性能を向上することが可能となる。これにより、圧着処理時に金属電極7同士を直接接合しやすくすることが可能となり、追加の高温処理を不要とすることが可能となる。

[0143] (第4実施形態の変形例2)

上記の第4実施形態では、対となる金属電極7P1及び7P2並びにダミー電極7D1及び7D2の金属電極パッド71P1及び71P2並びに71D1及び71D2の接合面がいずれも平坦面となっている構成を説明した。第4実施形態の変形例2では、対となる金属電極7P1及び7P2並びにダミー電極7D1及び7D2の金属電極パッド71P1及び71P2並びに7

1 D 1 及び 7 1 D 2 のうち L・M チップ 2 C 側の金属電極 7 P 2 及びダミー電極 7 D 2 の金属電極パッド 7 1 P 2 及び 7 1 D 2 の接合面を凸形状に構成した点が上記第 4 実施形態と異なる。

[0144] 即ち、本変形例 2 に係る固体撮像装置 1 0 0 C は、図 1 9 に示すように、L・M チップ 2 C 側に形成された金属電極 7 P 2 及びダミー電極 7 D 2 の金属電極パッド 7 1 P 2 及び 7 1 D 2 の接合面の形状が接合方向（図 1 9 では、上方向）に向かって凸状に形成されている。

[0145] この構成であれば、L・M チップ 2 C 側の金属電極パッド 7 1 P 2 及び 7 1 D 2 の凸形状によって、圧着時に金属電極パッド 7 1 P 1 及び 7 1 P 2 並びに 7 1 D 1 及び 7 1 D 2 同士の間からの接着剤 5 の押し出し性能を向上することが可能となる。これにより、圧着処理時に金属電極 7 同士を直接接合しやすくすることが可能となり、追加の高温処理を不要とすることが可能となる。

[0146] （第 4 実施形態の変形例 3）

上記の第 4 実施形態の変形例 1 及び 2 では、対となる金属電極 7 の金属電極パッド 7 1 のうち、いずれか一方の金属電極パッド 7 1 の接合面を凸形状とした構成を説明した。第 4 実施形態の変形例 3 では、対となる金属電極 7 の金属電極パッド 7 1 の接合面を双方とも凸形状に構成した点が上記第 4 実施形態の変形例 1 及び 2 と異なる。

[0147] 即ち、本変形例 3 に係る固体撮像装置 1 0 0 C は、図 2 0 に示すように、画素チップ 1 C 側に形成された金属電極パッド 7 1 P 1 及び 7 1 D 1 の接合面の形状が接合方向（図 2 0 では、下方向）に向かって凸状に形成されている。加えて、L・M チップ 2 C 側に形成された金属電極パッド 7 1 P 2 及び 7 1 D 2 の接合面の形状が接合方向（図 2 0 では、上方向）に向かって凸状に形成されている。

[0148] この構成であれば、対となる金属電極パッド 7 1 P 1 及び 7 1 P 2 並びに 7 1 D 1 及び 7 1 D 2 同士の接合面の双方の凸形状によって、圧着時に金属電極パッド 7 1 P 1 及び 7 1 P 2 並びに 7 1 D 1 及び 7 1 D 2 同士の

間からの接着剤 5 の押し出し性能をより向上することが可能となる。これにより、圧着処理時に金属電極 7 同士を直接接合しやすくすることが可能となり、追加の高温処理を不要とすることが可能となる。

[0149] (第 4 実施形態の変形例 4)

上記の第 4 実施形態では、対となる金属電極 7 の接合面同士を圧着することで直接接合する構成を説明した。第 4 実施形態の変形例 4 は、常温等の比較的低温下における金属電極 7 同士の圧着処理の後で、追加のアニール処理（高温処理）を行う点が上記第 4 実施形態と異なる。

[0150] 即ち、本変形例 4 では、貼り合わせ装置による圧着処理で対となる金属電極 7 の間から接着剤 5 を完全に外へと押し出すことができない場合があることを想定して、圧着処理の後に、追加で、例えば 350 °C から 400 °C のアニール処理（高温処理）を行う。その際、対となる金属電極 7 同士の間の圧着時の接着剤 5 の厚さを 15 [nm] 以下に制御する。厚さを 15 [nm] 以下に制御することで金属電極 7 同士の固相拡散接合を実現することが可能である。即ち、追加の熱処理によって、金属電極 7 の接合面のヒロック成長を促進させ、金属電極 7 に接着剤 5 の樹脂層を突き破らせて、金属電極 7 同士の固相拡散接合を行わせる。なお、追加の高温処理を行う場合は、接着剤 5 の耐熱性からプロセス温度を設定する必要がある。

[0151] この構成であれば、金属電極 7 同士をより確実に接合することが可能になると共に、接合強度をより高めることが可能となる。また、高温処理を伴うことになるが、画素チップ 1 C 及び L・M チップ 2 C には、チップの反りを調整するシリコン窒化膜が形成されていない。そのため、高温スチームクロスリンク現象の発生自体が無く、活性水素の発生を抑制することが可能になると共に、シリコン窒化膜からの離脱水素も発生しない。

[0152] (第 5 実施形態)

上記の第 3 実施形態では、上記第 1 又は第 2 実施形態の構成において、画素チップ 1 及び L・M チップ 2 A の多層配線層 12 よりも L・M チップ 2 側及び多層配線層 23 よりも画素チップ 1 側に層間絶縁膜として酸化膜のみを

形成する構成の画素チップ 1 A 及び L・Mチップ 2 A を、接着剤 5 を介して接合する構成を説明した。第 5 実施形態は、上記第 3 実施形態の構成において、接着剤 5 を用いることなくシリコン酸化膜 1 5 及び 2 3 a 同士を直接接合する点が上記第 3 実施形態と異なる。

以下、上記第 3 実施形態と同様の構成部については同様の符号を付して適宜説明を省略し、異なる点を詳細に説明する。

[0153] 第 5 実施形態に係る固体撮像装置 1 0 0 D は、図 2 1 A に示すように、画素チップ 1 D と、L・Mチップ 2 D とを備えている。

第 5 実施形態に係る画素チップ 1 D は、画素部 1 e と、レンズ部 1 b とを備えている。画素部 1 e は、上記第 3 実施形態の画素部 1 a において、シリコン酸化膜 1 5 に代えて、シリコン酸化膜 1 5 F を備えた構成となっている。L・Mチップ 2 D は、上記第 3 実施形態の L・Mチップ 2 C において、シリコン酸化膜 2 3 a に代えて、シリコン酸化膜 2 3 a F を備えた構成となっている。

なお、第 5 実施形態において、シリコン酸化膜 1 5 F 及び 2 3 a F は、B E O L 工程時に反りがフラットとなるように設計されている。

[0154] そして、第 5 実施形態では、画素チップ 1 D の第 1 の主面 S 1 となるシリコン酸化膜 1 5 の端面と、L・Mチップ 2 D の第 2 の主面 S 2 となるシリコン酸化膜 2 3 a の端面とを直接接合している。これによって、画素チップ 1 D と L・Mチップ 2 D とが積層された第 5 実施形態に係る積層チップ 3 (以下、「積層チップ 3 D」という) が構成されている。

以下、図 2 1 A から図 2 1 D に基づき、第 5 実施形態の積層チップ 3 D の製造方法の一例を工程順に説明する。

[0155] 図 2 1 B 及び図 2 1 C に示すように、周知の製造方法にて、上記構成の画素部 1 e 及び L・Mチップ 2 D を製造する。その後、接合工程へと移行して、CMP 法によって、シリコン酸化膜 1 5 F 及び 2 3 a F の接合面を研磨して、高平坦な接合面を形成する。続いて、上記第 1 及び第 2 実施形態と同様に、プラズマ活性化接合により接合を行う。即ち、画素チップ 1 D と L・M

チップ2 Dの接合面に、プラズマ活性処理を施して、常温で両者を重ね合わせて仮接合し、その後350°C〜450°Cでアニール処理をすることにより、両者が強固に接合される。その後、図示省略するが、TSV等によりチップ間の電気的な接続を行う。

続いて、図21 Aに示すように、第1の半導体基板10の裏面10 B上に、周知の方法にて、レンズ部1 bを形成する。これにより、積層チップ3 Dが形成される。

[0156] 以上説明したように、チップの接合に接着剤5を用いないため、接着剤5の材料特性に起因するプロセス制限がなくなり、接合工程以降のプロセス自由度を向上させることが可能となる。また、高温処理を伴うことになるが、画素チップ1 D及びL・Mチップ2 Dには、多層配線層12よりもL・Mチップ2 D側及び多層配線層23よりも画素チップ1 D側に、チップの反りを調整するシリコン窒化膜を含む窒化膜が形成されていない。そのため、高温スチームクロスリンク現象の発生自体が無く、活性水素の発生を抑制することが可能となると共に、シリコン窒化膜からの離脱水素も発生しない。

[0157] (第6実施形態)

上記の第4実施形態では、上記第3実施形態の構成において、接着剤5による接合に加えて金属電極7による直接接合も行う構成を説明した。第6実施形態は、第4実施形態の構成において、接着剤5を介さずに接合を行う点が上記第4実施形態と異なる。

以下、上記第4実施形態と同様の構成部については同様の符号を付して適宜説明を省略し、異なる点を詳細に説明する。

[0158] 第6実施形態に係る固体撮像装置100 Eは、図22 Aに示すように、画素チップ1 Eと、L・Mチップ2 Eとを備えている。

第6実施形態に係る画素チップ1 Eは、画素部1 fと、レンズ部1 bとを備えている。画素部1 fは、上記第4実施形態の画素部1 dにおいて、複数の金属電極7 P1及び複数のダミー電極7 D1に代えて、複数の金属電極7 P F1及び複数のダミー電極7 D F1を備えた構成となっている。

[0159] 金属電極 7 P F 1 は、接合部となる金属電極パッド 7 1 P F 1 と、多層配線 1 2 b に接続された金属電極ビア 7 2 P 1 とを備えている。ダミー電極 7 D F 1 は、接合部となる金属電極パッド 7 1 D F 1 を備えている。そして、複数の金属電極 7 P F 1 及び複数のダミー電極 7 D F 1 は、シリコン酸化膜 1 5 の接合側の面から金属電極パッド 7 1 P F 1 及び 7 1 D F 1 のパッド面（接合面）が露出するように設けられている。

[0160] L・Mチップ 2 E は、上記第 4 実施形態の L・Mチップ 2 D において、シリコン酸化膜 2 3 a に設けられた複数の金属電極 7 P 2 及び複数のダミー電極 7 D 2 に代えて、複数の金属電極 7 P F 2 及び複数のダミー電極 7 D F 2 を備えた構成となっている。

[0161] 金属電極 7 P F 2 は、接合部となる金属電極パッド 7 1 P F 2 と、多層配線 2 3 b に接続された金属電極ビア 7 2 P 2 とを備えている。ダミー電極 7 D F 2 は、接合部となる金属電極パッド 7 1 D F 2 を備えている。そして、複数の金属電極 7 P F 2 及び複数のダミー電極 7 D F 2 は、シリコン酸化膜 2 3 a の接合側の面から金属電極パッド 7 1 P F 2 及び 7 1 D F 2 のパッド面（接合面）が露出するように設けられている。

第 6 実施形態において、金属電極 7 P F 1 及び 7 P F 2 並びにダミー電極 7 D F 1 及び 7 D F 2 は、B E O L 工程時に反りがフラットとなるように設計されている。

[0162] なお、金属電極 7 P F 1 及び 7 P F 2 並びにダミー電極 7 D F 1 及び 7 D F 2 は、それぞれ直接接合に適した導電性の金属材料から構成されている。この金属材料としては、例えば、C u、A u、A l などがある。第 6 実施形態では、C u から構成されているものとする。

[0163] また、金属電極 7 P F 1 及び 7 P F 2 並びにダミー電極 7 D F 1 及び 7 D F 2 は、それぞれ対となっており、これらが複数対ずつ設けられている。更に、対となる金属電極 7 P F 1 及び 7 P F 2 並びにダミー電極 7 D F 1 及び 7 D F 2 は、それぞれのパッド面の少なくとも一部が接合時に対向する位置に設けられている。

[0164] また、金属電極 7 P F 1 及び 7 P F 2 は、例えば、シングルダマシン法又はデュアルダマシン法で形成され、ダミー電極 7 D F 1 及び 7 D F 2 は、例えば、シングルダマシン法で形成される。

[0165] 以下、金属電極 7 P F 1 及び 7 P F 2 並びにダミー電極 7 D F 1 及び 7 D F 2 を、区別する必要が無い場合に、単に「金属電極 7 F」という。

そして、第 6 実施形態では、画素チップ 1 E の第 1 の主面 S 1 となるシリコン酸化膜 1 5 F の端面並びに金属電極 7 P F 1 及びダミー電極 7 D F 1 のパッド面と、L・Mチップ 2 E の第 2 の主面 S 2 となるシリコン酸化膜 2 3 a F の端面並びに金属電極 7 P F 2 及びダミー電極 7 D F 2 のパッド面とが直接接合されている。具体的に、金属電極 7 P F 1 及びダミー電極 7 D F 1 と金属電極 7 P F 2 及びダミー電極 7 D F 2 とは、それぞれ対となって対向するもの同士が直接接合によって強固に接合されている。更に、これら電極間のシリコン酸化膜 1 5 F とシリコン酸化膜 2 3 a F とが対向する部分同士で直接接合されている。これによって、画素チップ 1 E と L・Mチップ 2 E とが積層された第 6 実施形態に係る積層チップ 3 (以下、「積層チップ 3 E」という)が構成されている。

[0166] 以下、図 2 2 A から図 2 2 D に基づき、第 6 実施形態の積層チップ 3 E の製造方法の一例を工程順に説明する。

図 2 2 B 及び図 2 2 C に示すように、周知の製造方法にて、上記構成の画素部 1 f 及び L・Mチップ 2 E を製造する。その後、接合工程に移行して、CMP 法によって、シリコン酸化膜 1 5 F 及び 2 3 a F の接合面並びに金属電極 7 F の接合面を研磨して、高平坦な接合面を形成する。続いて、上記第 1 及び第 2 実施形態と同様に、プラズマ活性化接合により接合を行う。即ち、画素チップ 1 E と L・Mチップ 2 E の接合面に、プラズマ活性処理を施して、常温で両者を重ね合わせて仮接合し、その後 3 5 0 ° C ~ 4 5 0 ° C でアニール処理をすることにより、両者が強固に接合される。

続いて、図 2 2 A に示すように、第 1 の半導体基板 1 0 の裏面 1 0 B 上に、周知の方法にて、レンズ部 1 b を形成する。これにより、積層チップ 3 E

が形成される。

[0167] 以上説明したように、チップの接合に接着剤 5 を用いないため、接着剤 5 の材料特性に起因するプロセス制限がなくなり、接合工程以降のプロセス自由度を向上させることが可能となる。また、高温処理を伴うことになるが、画素チップ 1 E 及び L・M チップ 2 E には、多層配線層 1 2 よりも L・M チップ 2 E 側及び多層配線層 2 3 よりも画素チップ 1 E 側に、チップの反りを調整するシリコン窒化膜を含む窒化膜が形成されていない。そのため、高温スチームクロスリンク現象の発生自体が無く、活性水素の発生を抑制することが可能となると共に、シリコン窒化膜からの離脱水素も発生しない。

[0168] <電子機器への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

図 2 3 は、本技術が適用され得る電子機器としての撮像装置の構成例を示すブロック図である。図 2 3 に示される撮像装置 3 0 1 は、光学系 3 0 2、シャッタ装置 3 0 3、固体撮像素子 3 0 4、制御回路 3 0 5、信号処理回路 3 0 6、モニタ 3 0 7、および不揮発性メモリ 3 0 8 を備えて構成され、静止画像および動画像を撮像可能である。

[0169] 光学系 3 0 2 は、1 枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子 3 0 4 に導き、固体撮像素子 3 0 4 の受光面に結像させる。

シャッタ装置 3 0 3 は、光学系 3 0 2 および固体撮像素子 3 0 4 の間に配置され、制御回路 3 0 5 の制御に従って、固体撮像素子 3 0 4 への光照射期間および遮光期間を制御する。

[0170] 固体撮像素子 3 0 4 は、光学系 3 0 2 およびシャッタ装置 3 0 3 を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子 3 0 4 に蓄積された信号電荷は、制御回路 3 0 5 から供給される駆動信

号（タイミング信号）に従って転送される。

制御回路305は、固体撮像素子304の転送動作、および、シャッタ装置303のシャッタ動作を制御する駆動信号を出力して、固体撮像素子304およびシャッタ装置303を駆動する。

[0171] 信号処理回路306は、固体撮像素子304から出力された信号電荷に対して各種の信号処理を施す。信号処理回路306が信号処理を施すことにより得られた画像（画像データ）は、モニタ307に供給されて表示されたり、不揮発性メモリ308に供給されて記憶（記録）されたりする。

[0172] このように構成されている撮像装置301においても、上述した固体撮像素子304に代えて、固体撮像装置100、100A～100Eを適用することにより、活性水素等によるメモリの劣化を低減できる撮像装置を実現させることが可能となる。

[0173] 〔その他の実施形態〕

上記のように、本開示は実施形態及び変形例によって記載したが、この開示の一部をなす論述及び図面は本開示を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0174] 例えば、本実施形態において、メモリ部210は、必ずしも磁気抵抗変化メモリから構成されていなくてもよい。例えば、耐熱性等の条件が合えば、上述した、強誘電体メモリ、相変化メモリ、抵抗変化メモリなどから構成してもよい。

[0175] また、本実施形態において、MTJ素子8の上面及び側面に水素吸蔵金属を含んで構成された防御膜を設ける構成に限定されない。例えば、上面及び側面に加えて下面にも防御膜を設けてもよい。

[0176] このように、本開示はここでは記載していない様々な実施形態等を含むことは勿論である。上述した実施形態及び変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。また、本明細書に記載された効果はあくまでも例示であって限定され

るものではなく、また他の効果があってもよい。本開示の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

[0177] なお、本開示は以下のような構成も取ることができる。

(1) 第1の基板と、該第1の基板に形成された、光電変換により生じた電荷の量に応じた画素信号を出力する複数の画素が2次元格子状に配列された画素領域とを有する第1の構造体と、

前記第1の構造体と積層されていると共に、第2の基板と、該第2の基板に形成されたロジック回路及び不揮発性メモリとを有する第2の構造体と、を備え、

前記不揮発性メモリを構成する記憶素子の前記第1の構造体と対向する側の端面には、水素の侵入を阻害する特性を有する第1の防御膜が形成されており、

前記記憶素子の側面には、水素の侵入を阻害する特性を有する第2の防御膜が形成されている、固体撮像装置。

(2) 前記不揮発性メモリは、前記記憶素子としての磁気トンネル接合素子と、選択トランジスタと、該選択トランジスタの拡散領域の一方と前記磁気トンネル接合素子とを接続する電極部とを有する磁気抵抗変化メモリである、前記(1)に記載の固体撮像装置。

(3) 前記第1の防御膜は、水素を吸蔵する機能を有した金属を含んで構成された金属膜であり、前記磁気トンネル接合素子の前記端面を形成する前記電極部上に形成されている、前記(1)又は(2)に記載の固体撮像装置。

(4) 前記第1の防御膜は、水素を吸蔵する機能を有した金属として、チタン、マグネシウム、ニッケル、パラジウム、バナジウム、マンガン、ジルコニウム、イリジウムのうちいずれか1種類又は複数種類を含んで構成された金属膜である、前記(3)に記載の固体撮像装置。

(5) 前記第1の防御膜は、隣接する他の素子と短絡しない範囲で、平面視で前記端面の全体を包囲するように形成されている、前記(1)から(4)

のいずれか 1 項に記載の固体撮像装置。

(6) 前記第 2 の防御膜は、水素を吸蔵する機能を有した金属を含んで構成された金属膜であり、前記記憶素子の側面に絶縁膜を介して形成されている、前記 (1) から (4) のいずれか 1 項に記載の固体撮像装置。

(7) 前記第 2 の防御膜は、水素を吸蔵する機能を有した金属として、チタン、マグネシウム、ニッケル、パラジウム、バナジウム、マンガン、ジルコニウム、イリジウムのうちいずれか 1 種類又は複数種類を含んで構成された金属膜である、前記 (6) に記載の固体撮像装置。

(8) 前記第 1 の構造体は、その一方の面側である第 1 の主面側に前記画素領域を構成する複数のトランジスタと第 1 の配線層とが形成されていると共に、これらの上層に接合用の層間絶縁膜が形成されており、

前記第 2 の構造体は、その一方の面側である第 2 の主面側に前記ロジック回路及び前記不揮発性メモリと第 2 の配線層とが形成されていると共に、これらの上層に接合用の層間絶縁膜が形成されており、

前記第 1 の構造体及び前記第 2 の構造体は、前記第 1 の主面側と前記第 2 の主面側とにそれぞれ形成された前記層間絶縁膜同士の接合により積層されている、前記 (1) から (5) のいずれか 1 項に記載の固体撮像装置。

(9) 前記層間絶縁膜同士が樹脂材料を含んで構成された接着剤を介して接合されている、前記 (8) に記載の固体撮像装置。

(10) 前記接着剤は、BCB (Benzocyclobutene) 樹脂、Polyimide樹脂、Benzoxazole樹脂、Polyarylene樹脂のうち少なくとも 1 種を含んで構成されている、前記 (9) に記載の固体撮像装置。

(11) 前記第 1 の構造体の前記第 1 の配線層と、前記第 2 の構造体の前記第 2 の配線層とは、シリコン貫通電極を介して電氣的に接続されている、前記 (8) から (10) のいずれか 1 項に記載の固体撮像装置。

(12) 前記第 1 の構造体の前記第 1 の配線層よりも前記第 2 の構造体側と、前記第 2 の構造体の前記第 2 の配線層よりも前記第 1 の構造体側との少なくとも一方には、層間絶縁膜として酸化膜のみが形成されている、前記 (8)

）から（１１）のいずれか１項に記載の固体撮像装置。

（１３）前記第１の構造体及び前記第２の構造体のそれぞれの前記層間絶縁膜の接合面部分における互いに対向する位置に複数の金属電極が設けられており、

前記第１の構造体及び前記第２の構造体の間に対向する各前記金属電極同士が直接接合されていると共に、前記層間絶縁膜同士が樹脂材料を含んで構成された接着剤を介して接合されている、前記（８）に記載の固体撮像装置。

（１４）複数の前記金属電極は、前記第１の構造体と前記第２の構造体とを電氣的に接続するための接続用の金属電極と、金属電極パッドのみから構成されるダミーの金属電極とを含む、前記（１３）に記載の固体撮像装置。

（１５）前記第１の構造体及び前記第２の構造体の間に対向する前記金属電極のいずれか一方又は双方の先端部が凸形状となっている、前記（１３）又は（１４）に記載の固体撮像装置。

（１６）前記第１の構造体の前記第１の配線層よりも前記第２の構造体側と、前記第２の構造体の前記第２の配線層よりも前記第１の構造体側との少なくとも一方には、層間絶縁膜として酸化膜のみが形成されている、前記（１３）から（１５）のいずれか１項に記載の固体撮像装置。

（１７）前記接着剤は、BCB（Benzocyclobutene）樹脂、Polyimide樹脂、Benzoxazole樹脂、Polyarylene樹脂のうち少なくとも１種を含んで構成されている、前記（１３）から（１６）のいずれか１項に記載の固体撮像装置。

（１８）前記第１の構造体及び前記第２の構造体のそれぞれの前記層間絶縁膜の接合面部分における互いに対向する位置に複数の金属電極が設けられており、

前記第１の構造体及び前記第２の構造体の間に対向する各前記金属電極同士が直接接合されていると共に、前記層間絶縁膜同士が直接接合されている、前記（８）に記載の固体撮像装置。

（１９）第１の基板に複数の画素が２次元格子状に配列された画素領域を形

成して第1の構造体を構成する工程と、

第2の基板にロジック回路と不揮発性メモリとを形成して第2の構造体を構成する工程と、

前記第1の構造体と前記第2の構造体とを積層する工程と、を含み、

前記第2の構造体を構成する工程においては、前記記憶素子の側面に水素の侵入を阻害する特性を有する第2の防御膜を形成し、その後、前記不揮発性メモリを構成する記憶素子の前記第1の構造体と対向する側の端面に水素の侵入を阻害する特性を有する第1の防御膜を形成する、固体撮像装置の製造方法。

(20) 第1の基板と、該第1の基板に形成された、光電変換により生じた電荷の量に応じた画素信号を出力する複数の画素が2次元格子状に配列された画素領域とを有する第1の構造体と、

前記第1の構造体と積層されていると共に、第2の基板と、該第2の基板に形成されたロジック回路及び不揮発性メモリとを有する第2の構造体と、を備え、

前記不揮発性メモリを構成する記憶素子の前記第1の構造体と対向する側の端面には、水素の侵入を阻害する特性を有する第1の防御膜が形成されており、

前記記憶素子の側面には、水素の侵入を阻害する特性を有する第2の防御膜が形成されている、固体撮像装置を備えた電子機器。

符号の説明

[0178] 1、1A、1C、1D、1E 画素チップ

1a、1d、1e、1f 画素部

1b レンズ部

2、2A、2C、2D、2E ロジック・メモリチップ

3、3A、3B、3C、3D、3E 積層チップ

4T、4T' 上部防御膜

4S、4S1、4S2 側部防御膜

5 接着剤

6 A ツインコンタクト型のTSV

6 B シェアードコンタクト型のTSV

7 P 1、7 P F 1、7 P 2、7 P F 2 金属電極

7 D 1、7 D F 1、7 D 2、7 D F 2 ダミー電極

8 記憶素子

1 0 A、2 0 A 表面

1 0 B、2 0 B 裏面

1 1、2 1 ウェル領域

1 2 a、1 3～1 5、2 3 a、2 5、2 6、2 2 0、2 2 1、2 3 0、2 3

1 層間絶縁膜

1 2、2 3 多層配線層

1 2 b、2 3 b 多層配線

1 4、2 5 シリコン窒化膜

1 5、1 5 F、2 3 a、2 3 a F、2 6、4 0 シリコン酸化膜

1 6 平坦化層

1 7 カラーフィルタ層

1 8 マイクロレンズ

2 2 ロジック・メモリ混載層

8 1 フリー層

8 2 トンネルバリア層

8 3 ピン層

8 4 上部電極

8 5 下部電極

7 1 C、7 1 P 1、7 1 P F 1、7 1 P 2、7 1 P F 2、7 1 D 1、7 1 D
F 1、7 1 D F 2 金属電極パッド

7 2 P 1、7 2 P 2 金属電極ビア

1 0 0、1 0 0 A～1 0 0 E 固体撮像装置

200 ロジック回路部
201 MOSトランジスタ
201G、211G ゲート電極
202、203、212 コンタクト
204、205、214、215 金属配線
210 メモリ部
211、Tr__sel 選択トランジスタ
211S ソース領域
213 導電ビア
301 撮像装置
302 光学系
303 シャッタ装置
304 固体撮像素子
305 制御回路
306 信号処理回路
307 モニタ
308 不揮発性メモリ
B1 第1の裏面
B2 第2の裏面
C、C1、C2 接合部
FD フローティングディフージョン領域
PD フォトダイオード
S1 第1の主面
S2 第2の主面
Tr__amp 増幅トランジスタ
Tr__res リセットトランジスタ
Tr__tra 転送トランジスタ

請求の範囲

- [請求項1] 第1の基板と、該第1の基板に形成された、光電変換により生じた電荷の量に応じた画素信号を出力する複数の画素が2次元格子状に配列された画素領域とを有する第1の構造体と、
- 前記第1の構造体と積層されていると共に、第2の基板と、該第2の基板に形成されたロジック回路及び不揮発性メモリとを有する第2の構造体と、を備え、
- 前記不揮発性メモリを構成する記憶素子の前記第1の構造体と対向する側の端面には、水素の侵入を阻害する特性を有する第1の防御膜が形成されており、
- 前記記憶素子の側面には、水素の侵入を阻害する特性を有する第2の防御膜が形成されている、
- 固体撮像装置。
- [請求項2] 前記不揮発性メモリは、前記記憶素子としての磁気トンネル接合素子と、選択トランジスタと、該選択トランジスタの拡散領域の一方と前記磁気トンネル接合素子とを接続する電極部とを有する磁気抵抗変化メモリである、
- 請求項1に記載の固体撮像装置。
- [請求項3] 前記第1の防御膜は、水素を吸蔵する機能を有した金属を含んで構成された金属膜であり、前記磁気トンネル接合素子の前記端面を形成する電極部上に形成されている、
- 請求項2に記載の固体撮像装置。
- [請求項4] 前記第1の防御膜は、水素を吸蔵する機能を有した金属として、チタン、マグネシウム、ニッケル、パラジウム、バナジウム、マンガン、ジルコニウム、イリジウムのうちいずれか1種類又は複数種類を含んで構成された金属膜である、
- 請求項3に記載の固体撮像装置。
- [請求項5] 前記第1の防御膜は、平面視で前記端面の全体を内側に含み且つ隣

接する他の素子と短絡しない範囲で前記端面を包囲するように形成されている、

請求項 1 に記載の固体撮像装置。

[請求項6] 前記第 2 の防御膜は、水素を吸蔵する機能を有した金属を含んで構成された金属膜であり、前記磁気トンネル接合素子の側面に絶縁膜を介して形成されている、

請求項 2 に記載の固体撮像装置。

[請求項7] 前記第 2 の防御膜は、水素を吸蔵する機能を有した金属として、チタン、マグネシウム、ニッケル、パラジウム、バナジウム、マンガン、ジルコニウム、イリジウムのうちいずれか 1 種類又は複数種類を含んで構成された金属膜である、

請求項 6 に記載の固体撮像装置。

[請求項8] 前記第 1 の構造体は、その一方の面側である第 1 の主面側に前記画素領域を構成する複数のトランジスタと第 1 の配線層とが形成されていると共に、これらの上層に接合用の層間絶縁膜が形成されており、

前記第 2 の構造体は、その一方の面側である第 2 の主面側に前記ロジック回路及び前記不揮発性メモリと第 2 の配線層とが形成されていると共に、これらの上層に接合用の層間絶縁膜が形成されており、

前記第 1 の構造体及び前記第 2 の構造体は、前記第 1 の主面側と前記第 2 の主面側とにそれぞれ形成された前記層間絶縁膜同士の接合により積層されている、

請求項 1 に記載の固体撮像装置。

[請求項9] 前記層間絶縁膜同士が樹脂材料を含んで構成された接着剤を介して接合されている、

請求項 8 に記載の固体撮像装置。

[請求項10] 前記接着剤は、BCB (Benzocyclobutene) 樹脂、Polyimide樹脂、Benzoxazole樹脂、Polyarylene樹脂のうち少なくとも 1 種を含んで構成されている、

請求項 9 に記載の固体撮像装置。

[請求項11] 前記第 1 の構造体の前記第 1 の配線層と、前記第 2 の構造体の前記第 2 の配線層とは、シリコン貫通電極を介して電氣的に接続されている、

請求項 8 に記載の固体撮像装置。

[請求項12] 前記第 1 の構造体の前記第 1 の配線層よりも前記第 2 の構造体側と、前記第 2 の構造体の前記第 2 の配線層よりも前記第 1 の構造体側との少なくとも一方には、層間絶縁膜として酸化膜のみが形成されている、

請求項 8 に記載の固体撮像装置。

[請求項13] 前記第 1 の構造体及び前記第 2 の構造体のそれぞれの前記層間絶縁膜の接合面部分における互いに対向する位置に複数の金属電極が設けられており、

前記第 1 の構造体及び前記第 2 の構造体の間で対向する各前記金属電極同士が直接接合されていると共に、前記層間絶縁膜同士が接着剤を介して接合されている、

請求項 8 に記載の固体撮像装置。

[請求項14] 複数の前記金属電極は、前記第 1 の構造体と前記第 2 の構造体とを電氣的に接続するための接続用の金属電極と、金属電極パッドのみから構成されるダミーの金属電極とを含む、

請求項 13 に記載の固体撮像装置。

[請求項15] 前記第 1 の構造体及び前記第 2 の構造体の間で対向する前記金属電極のいずれか一方又は双方の先端部が凸形状となっている、

請求項 13 に記載の固体撮像装置。

[請求項16] 前記第 1 の構造体の前記第 1 の配線層よりも前記第 2 の構造体側と、前記第 2 の構造体の前記第 2 の配線層よりも前記第 1 の構造体側との少なくとも一方には、前記層間絶縁膜として酸化膜のみが形成されている、

請求項 13 に記載の固体撮像装置。

[請求項17] 前記接着剤は、BCB (Benzocyclobutene) 樹脂、Polyimide樹脂、Benzoxazole樹脂、Polyarylene樹脂のうち少なくとも 1 種を含んで構成されている、

請求項 13 に記載の固体撮像装置。

[請求項18] 前記第 1 の構造体及び前記第 2 の構造体のそれぞれの前記層間絶縁膜の接合面部分における互いに対向する位置に複数の金属電極が設けられており、

前記第 1 の構造体及び前記第 2 の構造体の間で対向する各前記金属電極同士が直接接合されていると共に、前記層間絶縁膜同士が直接接合されている、

請求項 8 に記載の固体撮像装置。

[請求項19] 第 1 の基板に複数の画素が 2 次元格子状に配列された画素領域を形成して第 1 の構造体を構成する工程と、

第 2 の基板にロジック回路と不揮発性メモリとを形成して第 2 の構造体を構成する工程と、

前記第 1 の構造体と前記第 2 の構造体とを積層する工程と、を含み、

前記第 2 の構造体を構成する工程においては、前記不揮発性メモリを構成する記憶素子の前記第 1 の構造体と対向する側の端面に水素の侵入を阻害する特性を有する第 1 の防御膜を形成し、前記記憶素子の側面に水素の侵入を阻害する特性を有する第 2 の防御膜を形成する、
固体撮像装置の製造方法。

[請求項20] 第 1 の基板と、該第 1 の基板に形成された、光電変換により生じた電荷の量に応じた画素信号を出力する複数の画素が 2 次元格子状に配列された画素領域とを有する第 1 の構造体と、

前記第 1 の構造体と積層されていると共に、第 2 の基板と、該第 2 の基板に形成されたロジック回路及び不揮発性メモリとを有する第 2

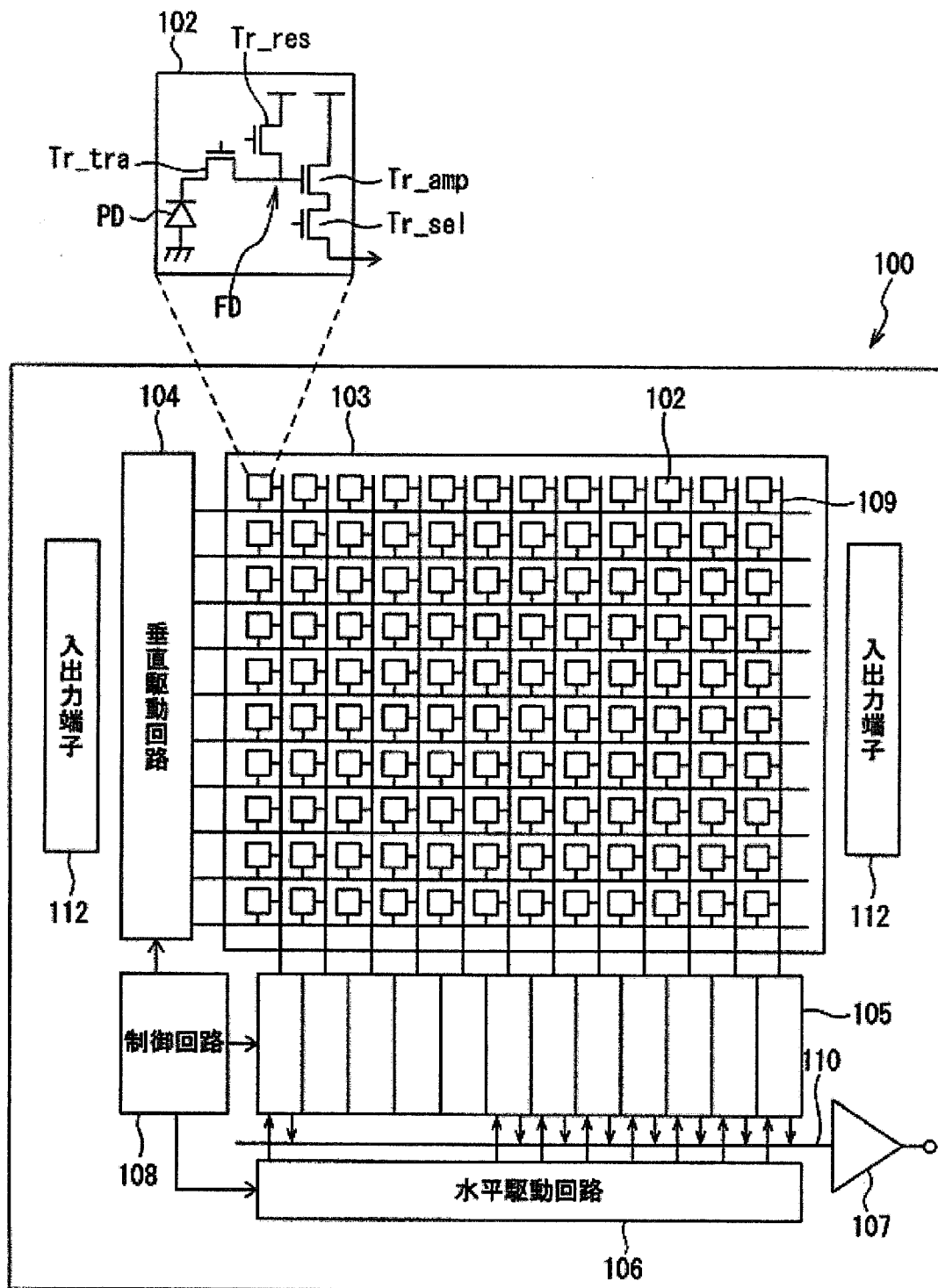
の構造体と、を備え、

前記不揮発性メモリを構成する記憶素子の前記第 1 の構造体と対向する側の端面には、水素の侵入を阻害する特性を有する第 1 の防御膜が形成されており、

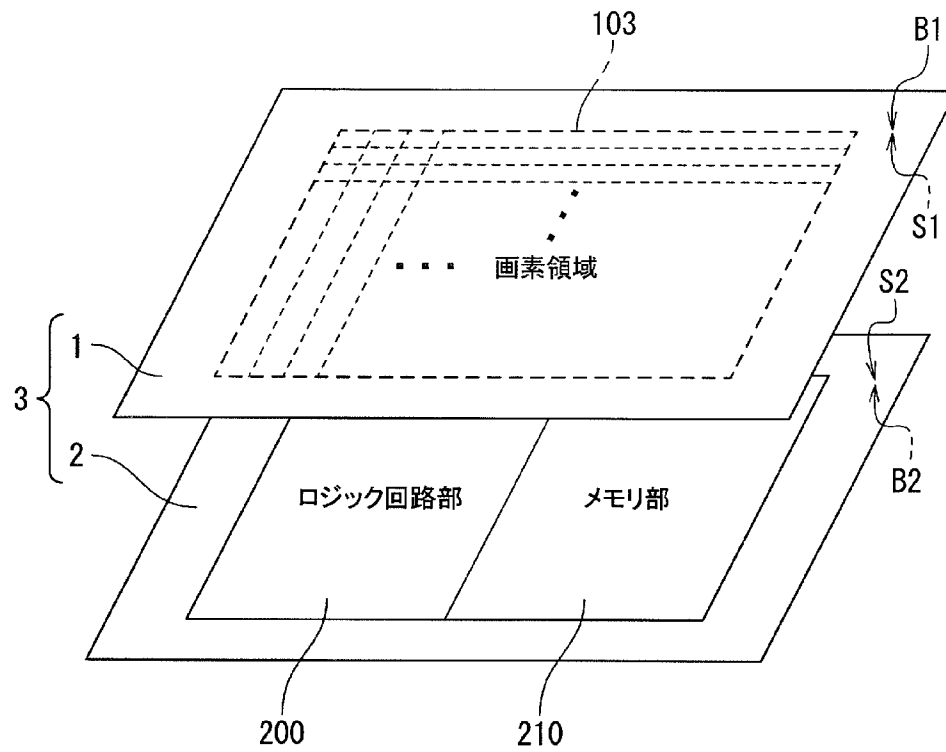
前記記憶素子の側面には、水素の侵入を阻害する特性を有する第 2 の防御膜が形成されている、

固体撮像装置を備えた電子機器。

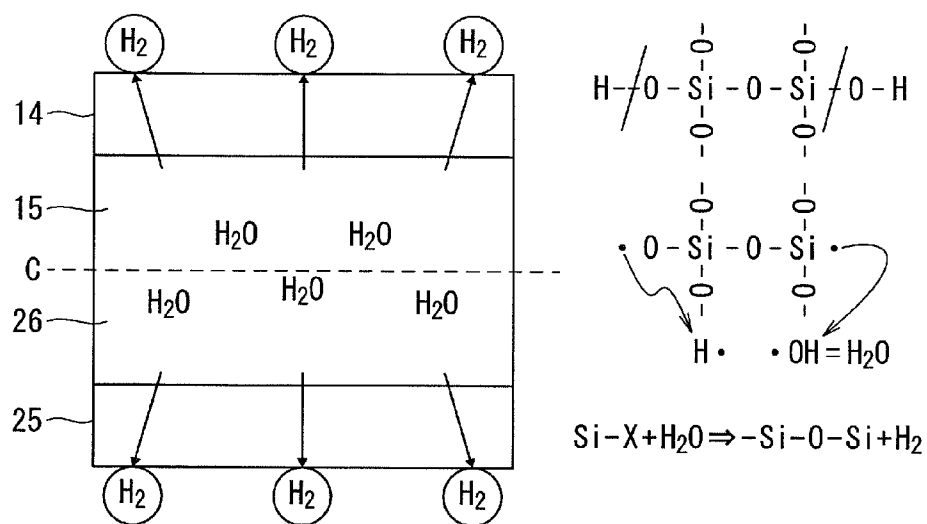
[図1]



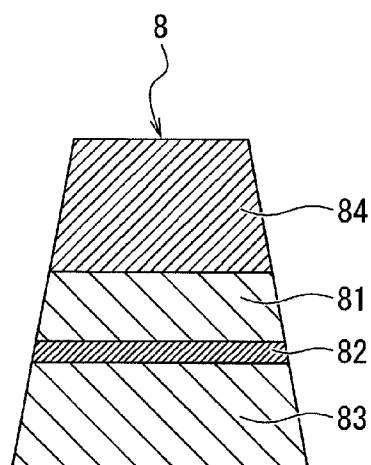
[図2]



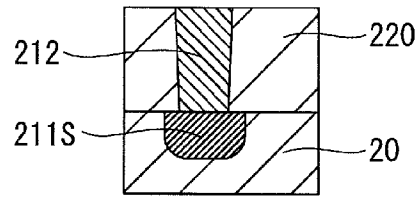
[図5]



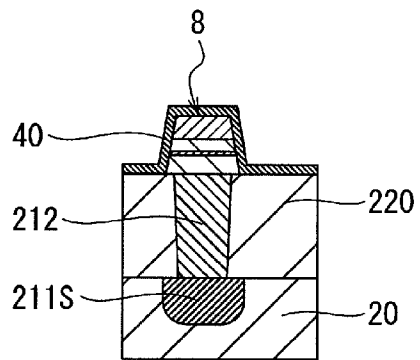
[図6]



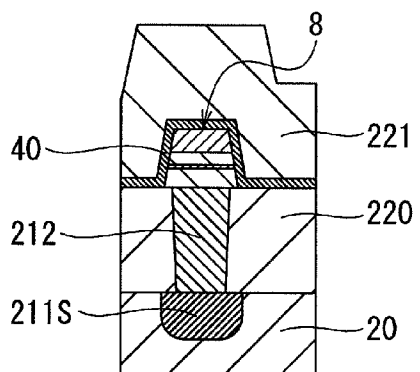
[図7A]



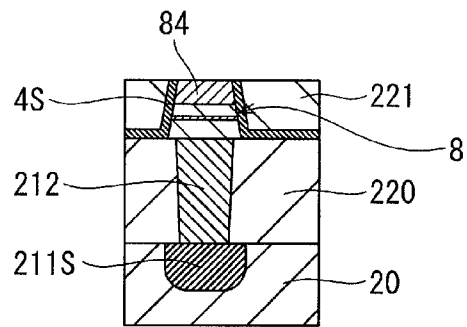
[図7B]



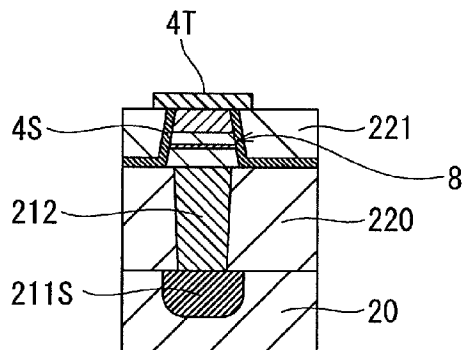
[図7C]



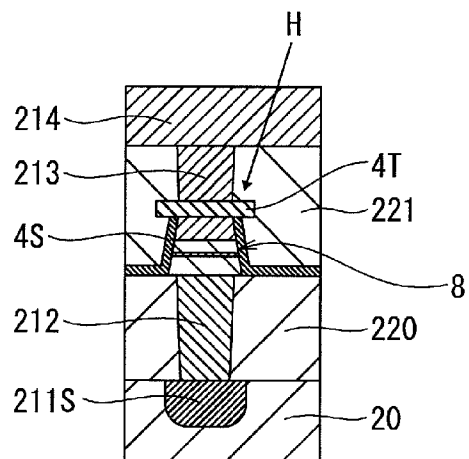
[図7D]



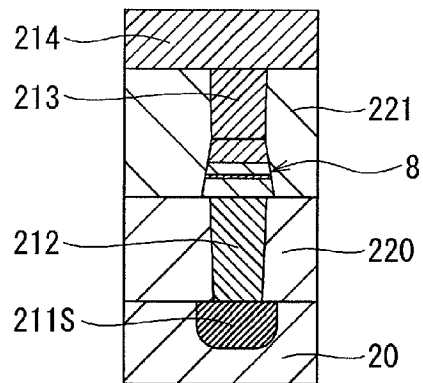
[図7E]



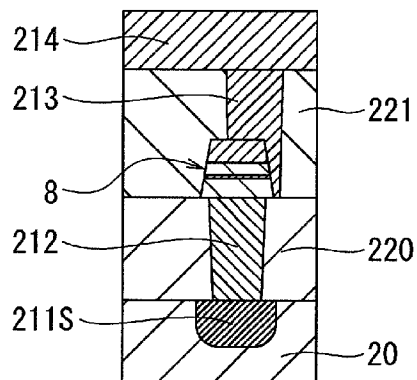
[図7F]



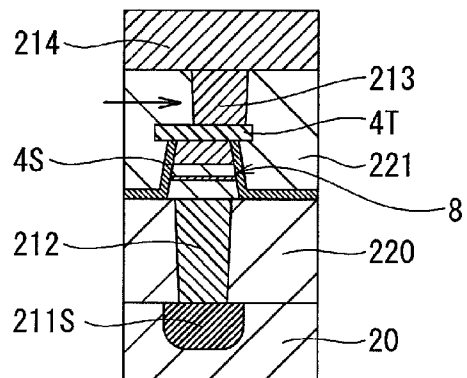
[図8A]



[図8B]

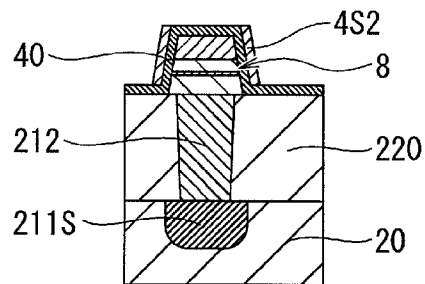


[図9]

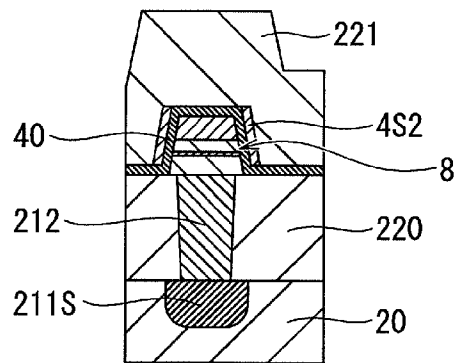


[illegible]

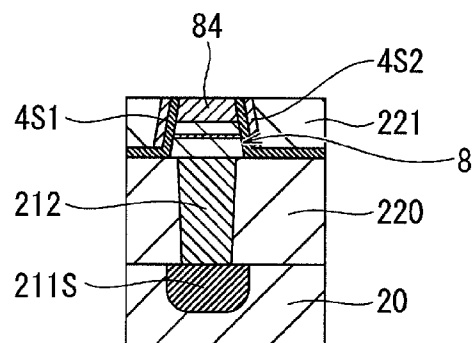
[図11A]



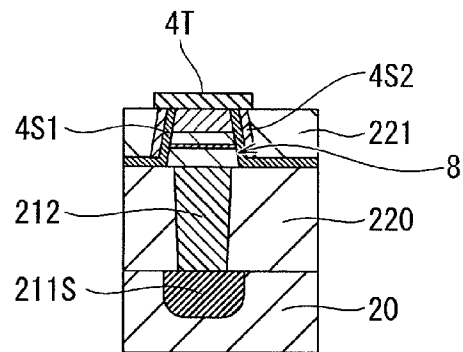
[図11B]



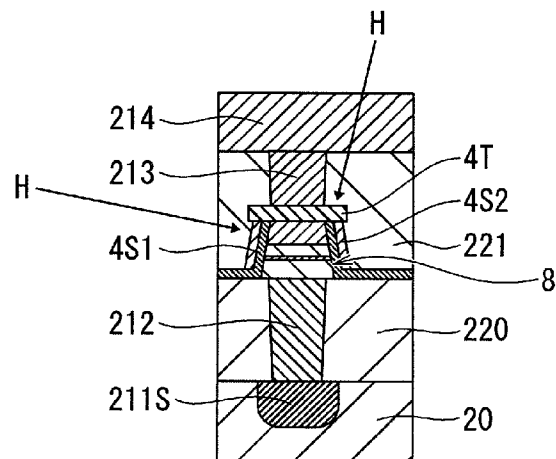
[図11C]



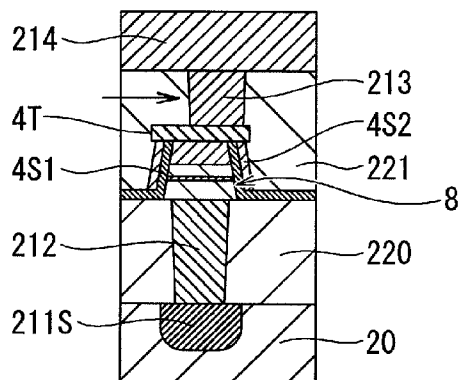
[図11D]



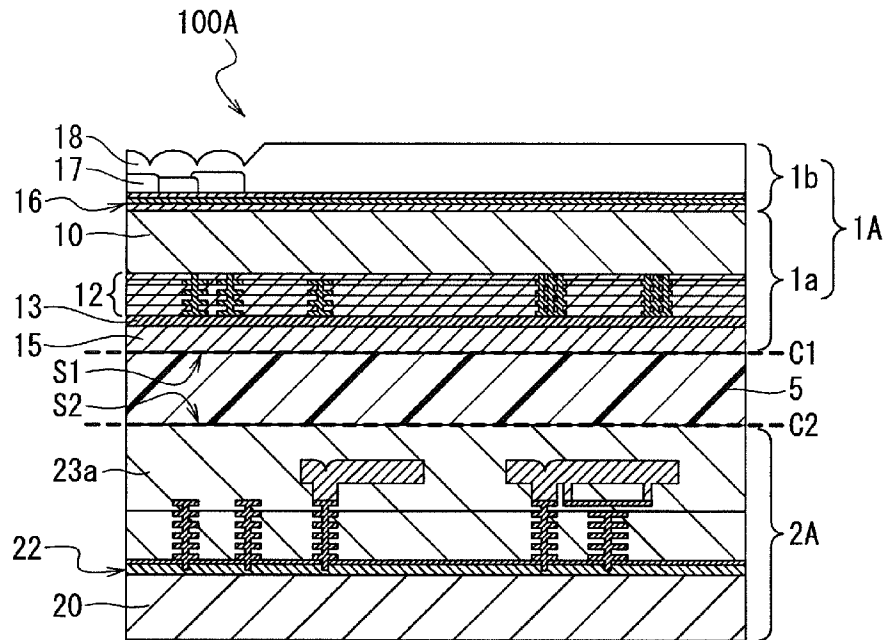
[図11E]



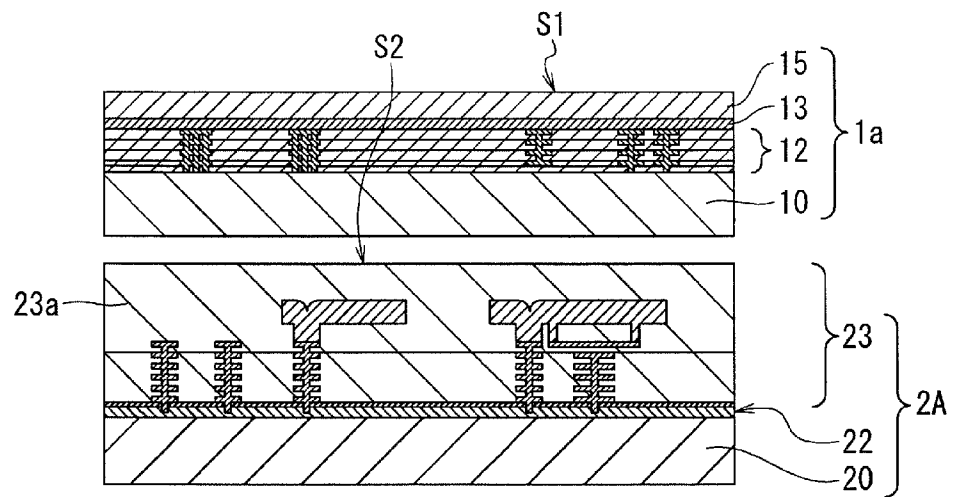
[図12]



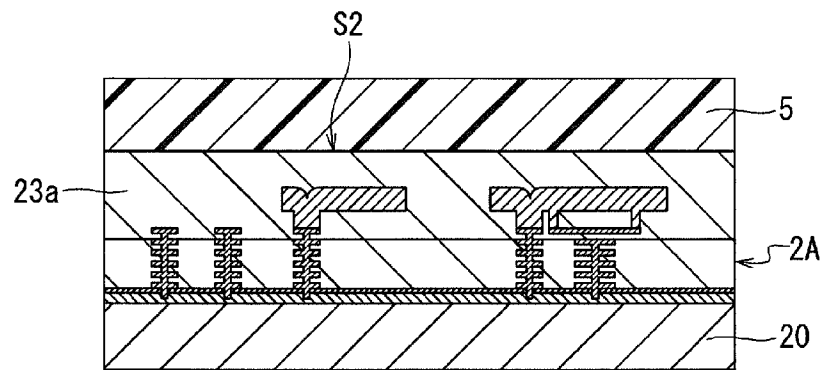
[図13A]



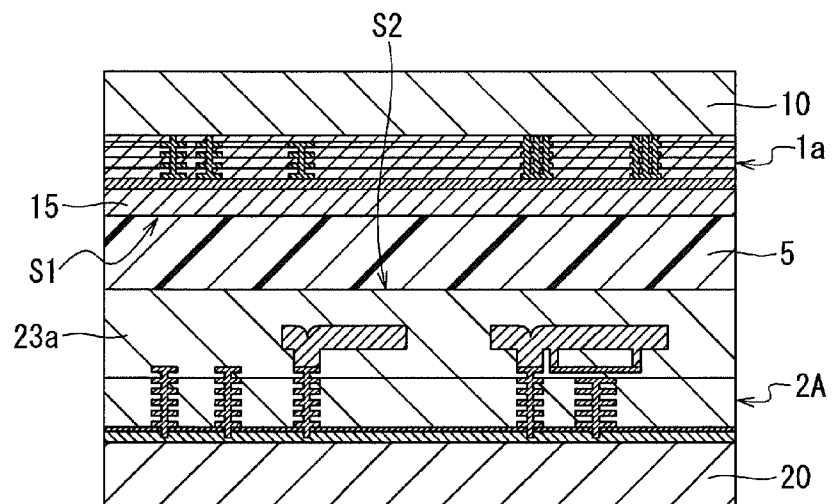
[図13B]



[図13C]



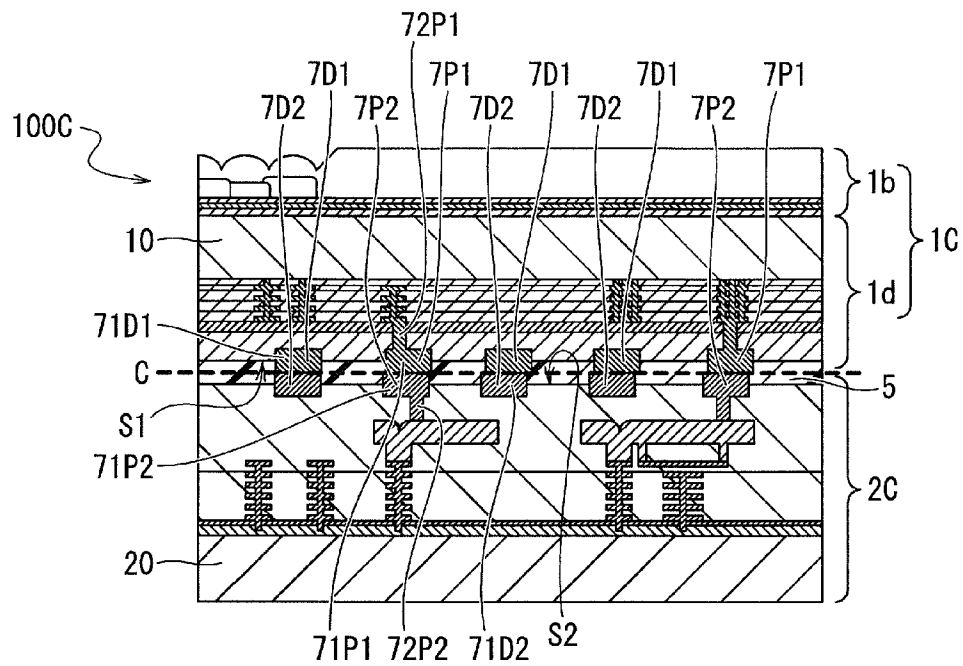
[図13D]



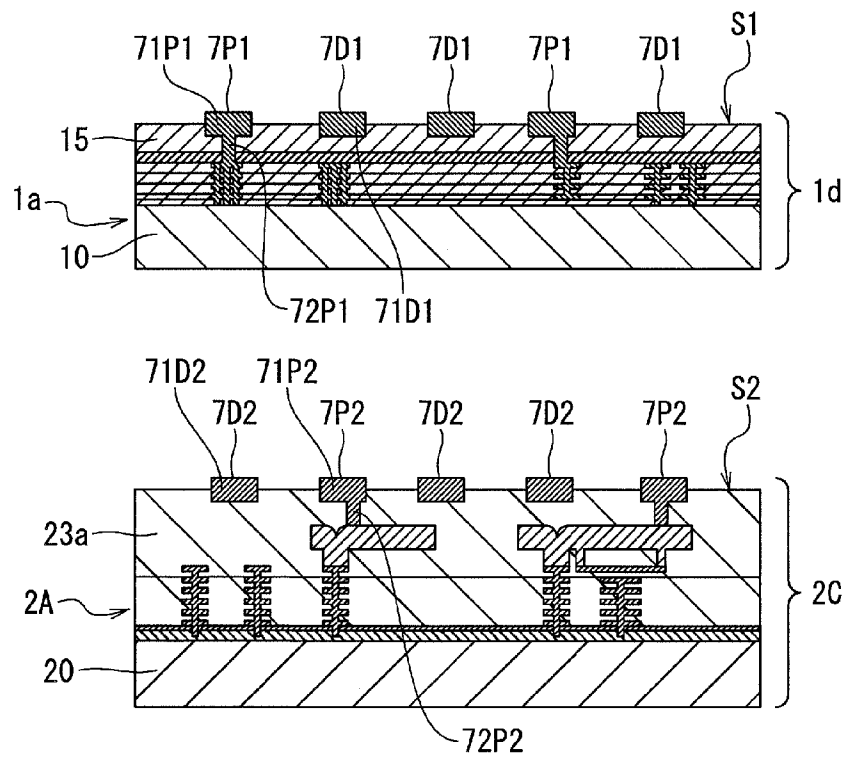
A cross-sectional view of a semiconductor device 100A. The device consists of a substrate 10 with a top surface layer 1b and a bottom surface layer 1a. A central vertical structure 6A is formed, with a top portion 61A and a bottom portion 63A. A layer 62A is located between the top and bottom portions of the central structure. The substrate 10 is divided into two regions, S1 and S2, by a horizontal dashed line. A layer 5 is located between the two regions S1 and S2. The bottom surface layer 1a is formed on the bottom surface of the substrate 10. A layer 20 is located on the bottom surface of the substrate 10. A layer 2A is located on the bottom surface of the substrate 10. A layer 2A is located on the bottom surface of the substrate 10.

[illegible]

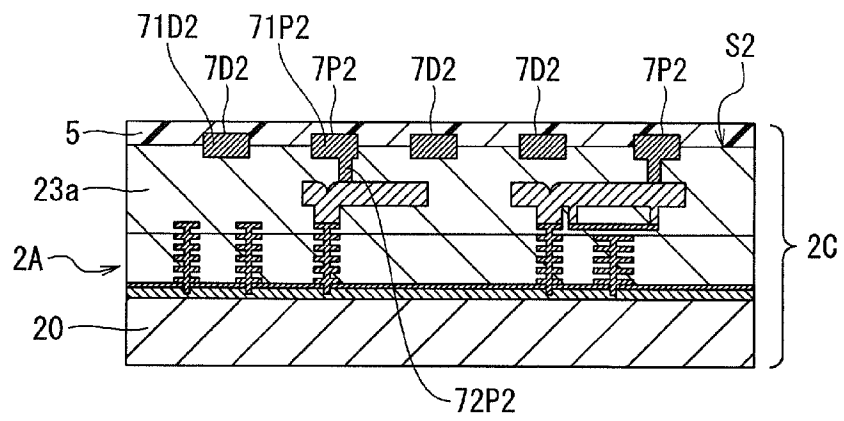
[図16A]



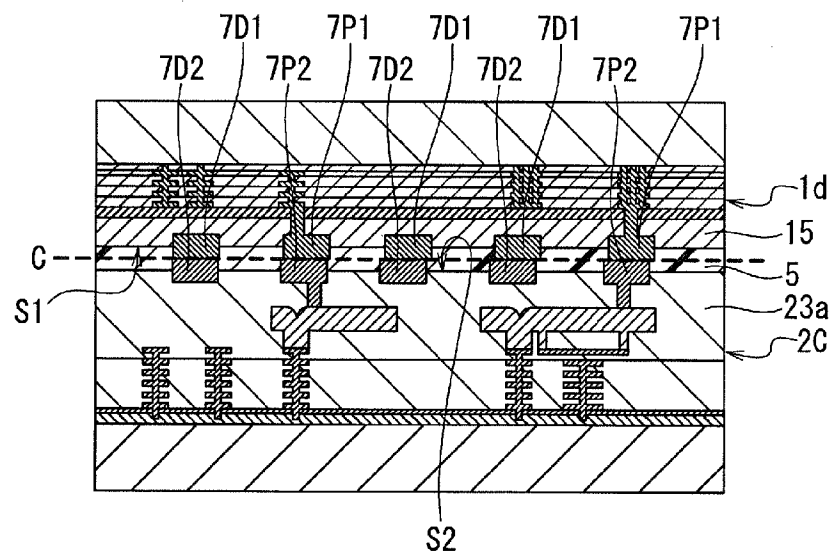
[図16B]



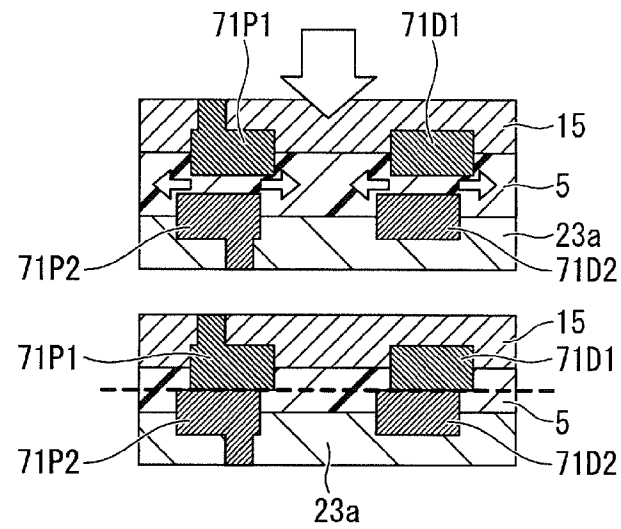
[図16C]



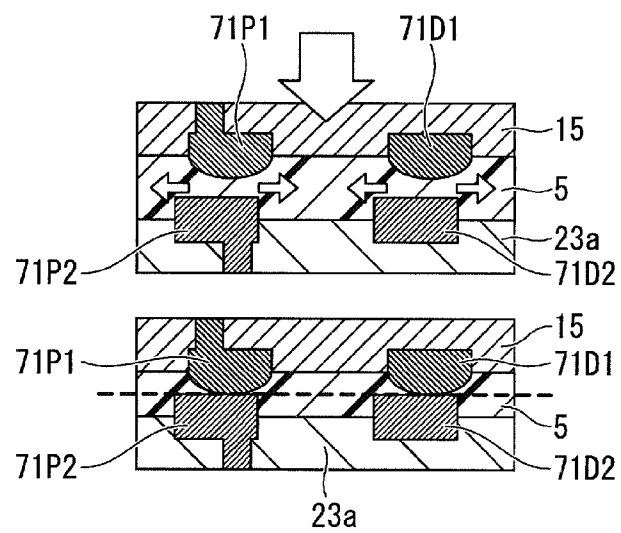
[図16D]



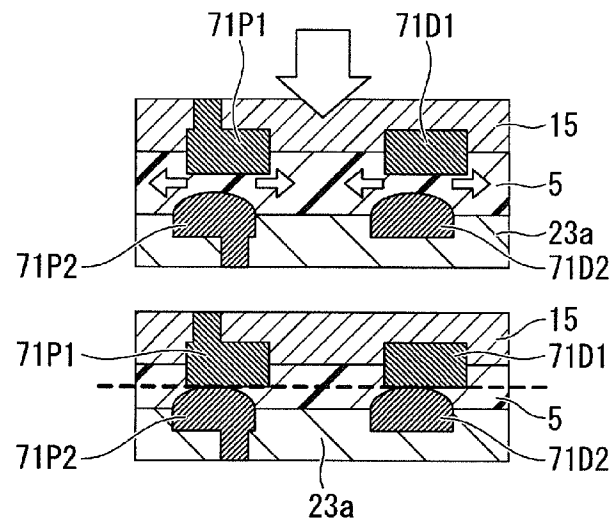
[図17]



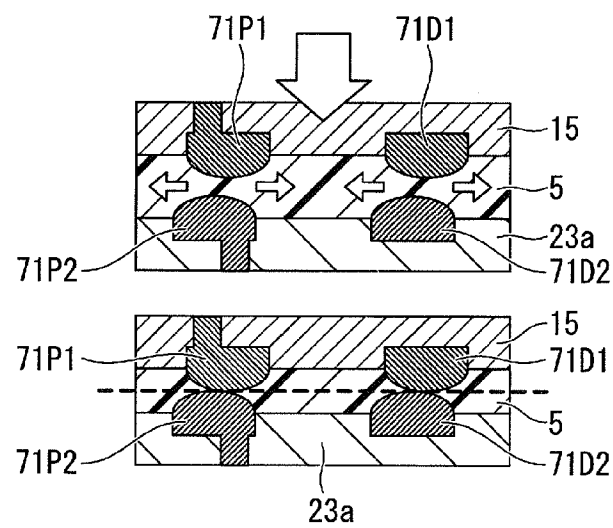
[図18]



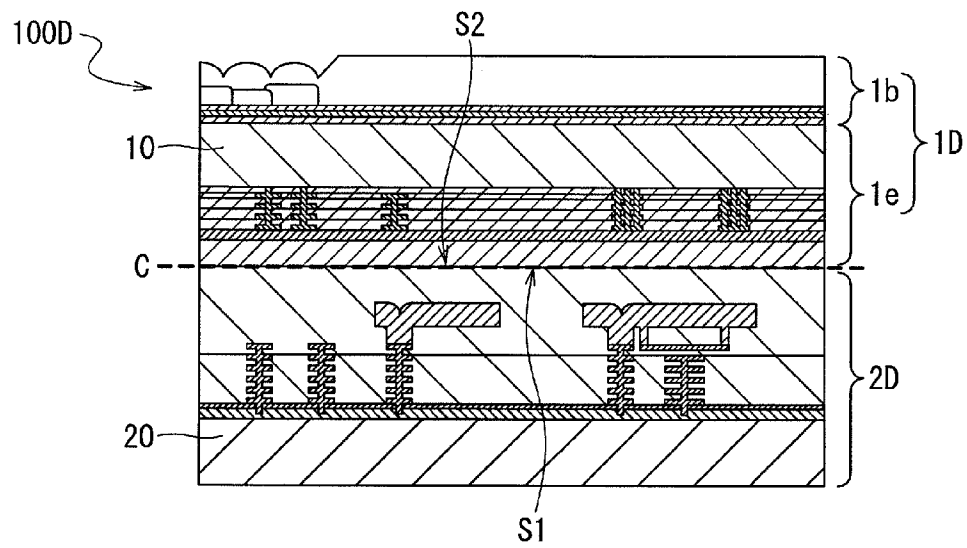
[図19]



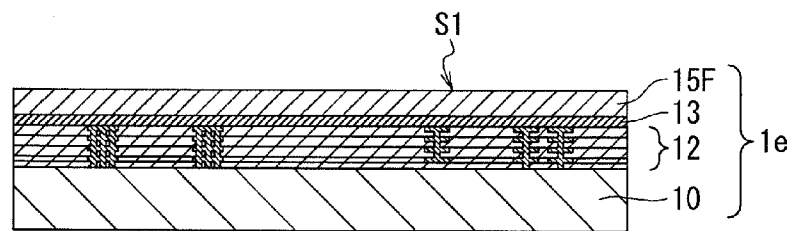
[図20]



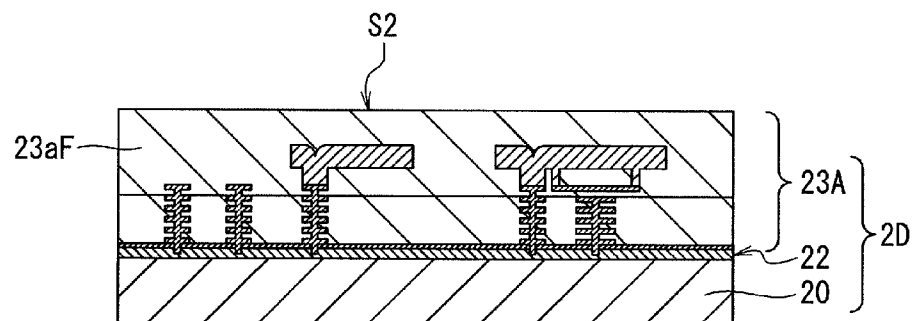
[図21A]



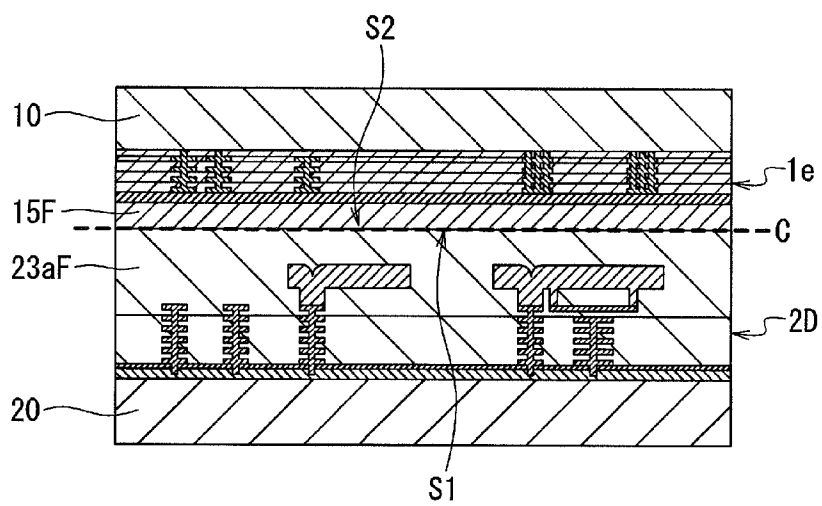
[図21B]



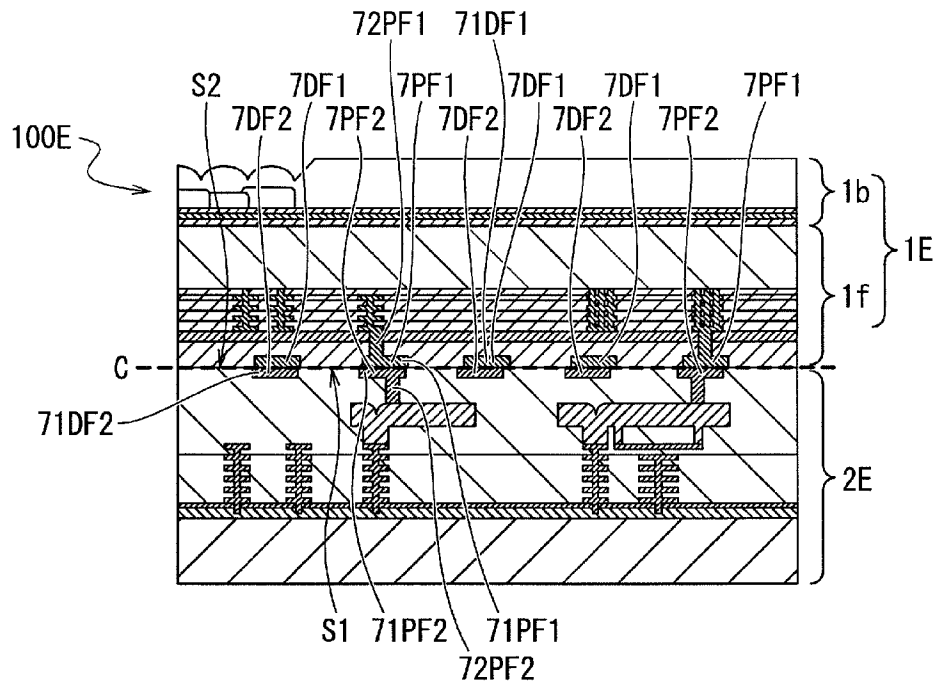
[図21C]



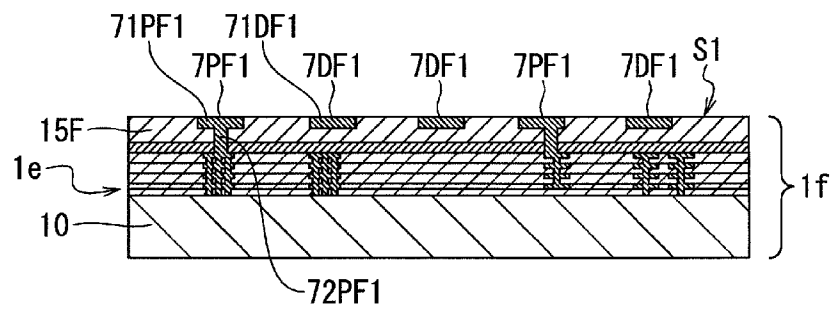
[図21D]



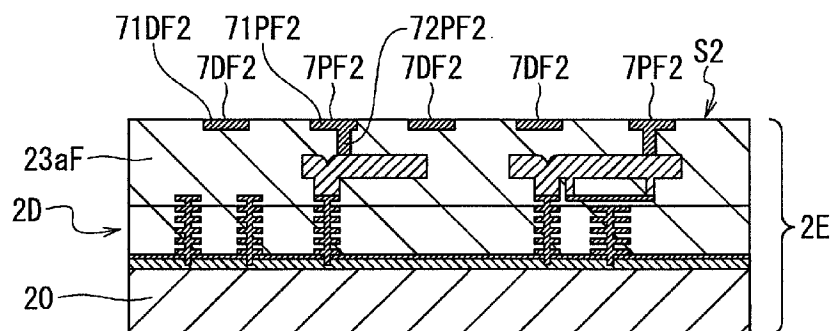
[図22A]



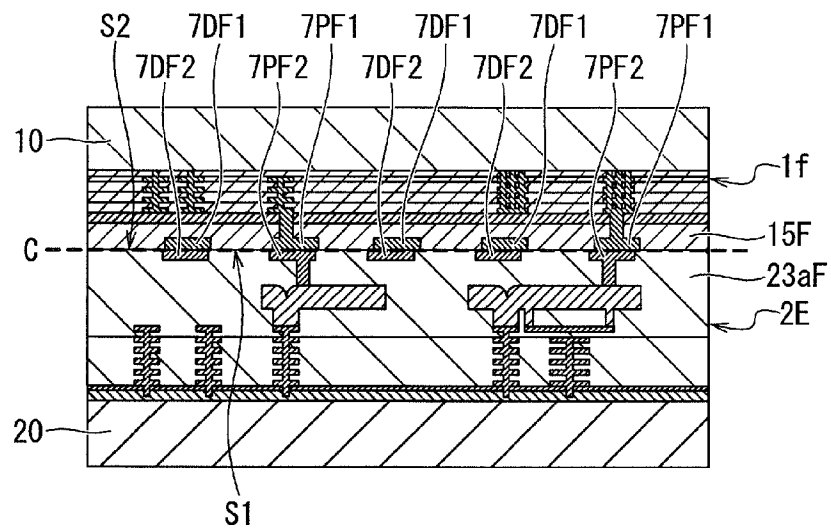
[図22B]



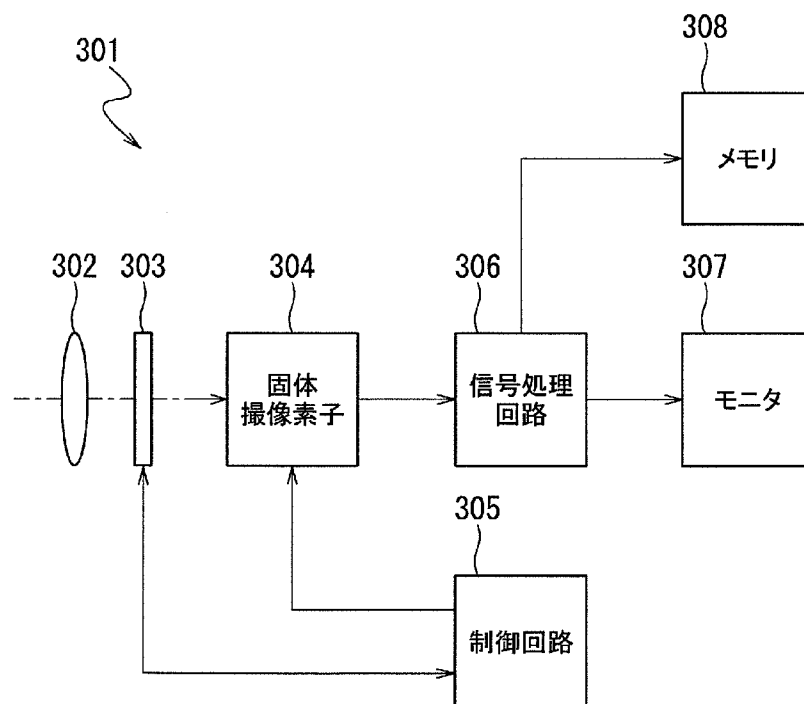
[図22C]



[図22D]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/003434

A. CLASSIFICATION OF SUBJECT MATTER

H01L 43/08(2006.01)i; H01L 43/10(2006.01)i; H01L 43/12(2006.01)i; H01L 25/065(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/02(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 21/8239(2006.01)i; H01L 27/105(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i

FI: H01L27/105 447; H01L27/146 F; H04N5/369; H01L21/02 B; H01L21/88 S; H01L43/12; H01L43/10; H01L43/08 Z; H01L43/08 D; H01L25/08 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L43/08; H01L43/10; H01L43/12; H01L25/065; H01L25/07; H01L25/18; H01L21/02; H01L21/3205; H01L21/768; H01L23/522; H01L21/8239; H01L27/105; H01L27/146; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-129374 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 16.08.2018 (2018-08-16) paragraphs [0014]-[0017], [0021], [0022], [0034], fig. 1-13	1-20
Y	JP 2014-56941 A (TOSHIBA CORP.) 27.03.2014 (2014-03-27) paragraphs [0047], [0059], [0061], [0062], [0075], [0129], [0130], fig. 1-29	1-20
Y	JP 2018-182038 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 15.11.2018 (2018-11-15) paragraphs [0061]-[0064], fig. 1-25	9, 10, 13-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 March 2020 (30.03.2020)

Date of mailing of the international search report
14 April 2020 (14.04.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/003434

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-174937 A (SONY CORP.) 10.09.2012 (2012-09-10) paragraph [0076], fig. 1-21	10, 17
Y	JP 2018-101800 A (SONY CORP.) 28.06.2018 (2018-06-28) paragraphs [0056], [0090], fig. 1-119	11, 12, 16
Y	US 2017/0154873 A1 (SAMSUNG ELECTRONICS CO., LTD.) 01.06.2017 (2017-06-01) paragraphs [0060], [0061], fig. 1-20	15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/003434

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2018-129374 A	16 Aug. 2018	US 2019/0363130 A1 paragraphs [0035]- [0038], [0042], [0043], [0055], fig. 1-13	
JP 2014-56941 A	27 Mar. 2014	WO 2018/146984 A1 US 2014/0070162 A1 paragraphs [0081], [0094], [0096], [0097], [0112], [0167], [0168], fig. 1-29	
JP 2018-182038 A	15 Nov. 2018	WO 2018/189994 A1 paragraphs [0062]- [0065], fig. 1-25	
JP 2012-174937 A	10 Sep. 2012	US 2012/0211849 A1 paragraph [0092], fig. 1-12	
JP 2018-101800 A	28 Jun. 2018	US 2016/0284753 A1 paragraphs [0338],[0377], fig. 1-119	
US 2017/0154873 A1	01 Jun. 2017	WO 2015/093017 A1 EP 3540776 A2 (Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 43/08(2006.01)i; H01L 43/10(2006.01)i; H01L 43/12(2006.01)i; H01L 25/065(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/02(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 21/8239(2006.01)i; H01L 27/105(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i FI: H01L27/105 447; H01L27/146 F; H04N5/369; H01L21/02 B; H01L21/88 S; H01L43/12; H01L43/10; H01L43/08 Z; H01L43/08 D; H01L25/08 C																				
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L43/08; H01L43/10; H01L43/12; H01L25/065; H01L25/07; H01L25/18; H01L21/02; H01L21/3205; H01L21/768; H01L23/522; H01L21/8239; H01L27/105; H01L27/146; H04N5/369 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2020年																			
日本国実用新案登録公報	1996 - 2020年																			
日本国登録実用新案公報	1994 - 2020年																			
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2018-129374 A（ソニーセミコンダクタソリューションズ株式会社）16.08.2018 （2018 - 08 - 16） 段落0014-0017, 0021, 0022, 0034, 図1-13</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>JP 2014-56941 A（株式会社東芝）27.03.2014（2014 - 03 - 27） 段落0047, 0059, 0061, 0062, 0075, 0129, 0130, 図1-29</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>JP 2018-182038 A（ソニーセミコンダクタソリューションズ株式会社）15.11.2018 （2018 - 11 - 15） 段落0061-0064, 図1-25</td> <td>9, 10, 13-18</td> </tr> <tr> <td>Y</td> <td>JP 2012-174937 A（ソニー株式会社）10.09.2012（2012 - 09 - 10） 段落0076, 図1-21</td> <td>10, 17</td> </tr> <tr> <td>Y</td> <td>JP 2018-101800 A（ソニー株式会社）28.06.2018（2018 - 06 - 28） 段落0056, 0090, 図1-119</td> <td>11, 12, 16</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2018-129374 A（ソニーセミコンダクタソリューションズ株式会社）16.08.2018 （2018 - 08 - 16） 段落0014-0017, 0021, 0022, 0034, 図1-13	1-20	Y	JP 2014-56941 A（株式会社東芝）27.03.2014（2014 - 03 - 27） 段落0047, 0059, 0061, 0062, 0075, 0129, 0130, 図1-29	1-20	Y	JP 2018-182038 A（ソニーセミコンダクタソリューションズ株式会社）15.11.2018 （2018 - 11 - 15） 段落0061-0064, 図1-25	9, 10, 13-18	Y	JP 2012-174937 A（ソニー株式会社）10.09.2012（2012 - 09 - 10） 段落0076, 図1-21	10, 17	Y	JP 2018-101800 A（ソニー株式会社）28.06.2018（2018 - 06 - 28） 段落0056, 0090, 図1-119	11, 12, 16
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
Y	JP 2018-129374 A（ソニーセミコンダクタソリューションズ株式会社）16.08.2018 （2018 - 08 - 16） 段落0014-0017, 0021, 0022, 0034, 図1-13	1-20																		
Y	JP 2014-56941 A（株式会社東芝）27.03.2014（2014 - 03 - 27） 段落0047, 0059, 0061, 0062, 0075, 0129, 0130, 図1-29	1-20																		
Y	JP 2018-182038 A（ソニーセミコンダクタソリューションズ株式会社）15.11.2018 （2018 - 11 - 15） 段落0061-0064, 図1-25	9, 10, 13-18																		
Y	JP 2012-174937 A（ソニー株式会社）10.09.2012（2012 - 09 - 10） 段落0076, 図1-21	10, 17																		
Y	JP 2018-101800 A（ソニー株式会社）28.06.2018（2018 - 06 - 28） 段落0056, 0090, 図1-119	11, 12, 16																		
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																				
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献							
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																			
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																			
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																			
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献																			
“O” 口頭による開示、使用、展示等に言及する文献																				
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																				
国際調査を完了した日	国際調査報告の発送日																			
30.03.2020	14.04.2020																			
名称及びあて先	権限のある職員（特許庁審査官）																			
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	小山 満 5F 9458 電話番号 03-3581-1101 内線 3516																			

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2017/0154873 A1 (SAMSUNG ELECTRONICS CO., LTD.) 01.06.2017 (2017 - 06 - 01) 段落0060, 0061, 図1-20	15

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/003434

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-129374	A	16.08.2018	US 2019/0363130 A1 段落 0035-0038, 0042, 0043, 0055, 図1-13 WO 2018/146984 A1	
JP	2014-56941	A	27.03.2014	US 2014/0070162 A1 段落 0081, 0094, 0096, 0097, 0112, 0167, 0168, 図1-29	
JP	2018-182038	A	15.11.2018	WO 2018/189994 A1 段落0062-0065, 図1-25	
JP	2012-174937	A	10.09.2012	US 2012/0211849 A1 段落0092, 図1-12	
JP	2018-101800	A	28.06.2018	US 2016/0284753 A1 段落0338, 0377, 図1-119 WO 2015/093017 A1 EP 3540776 A2	
US	2017/0154873	A1	01.06.2017	(ファミリーなし)	