



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201214438 A1

(43)公開日：中華民國 101 (2012) 年 04 月 01 日

(21)申請案號：099132249

(22)申請日：中華民國 99 (2010) 年 09 月 23 日

(51)Int. Cl.：

G11C16/02 (2006.01)

G11C16/06 (2006.01)

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.

(TW)

新竹市新竹科學工業園區力行路 16 號

(72)發明人：洪俊雄 HUNG, CHUN HSIUNG (TW)；洪碩男 HUNG, SHUO NAN (TW)；劉增

毅 LIU, TSENG YI (TW)

(74)代理人：李貴敏

申請實體審查：有 申請專利範圍項數：20 項 圖式數：7 共 29 頁

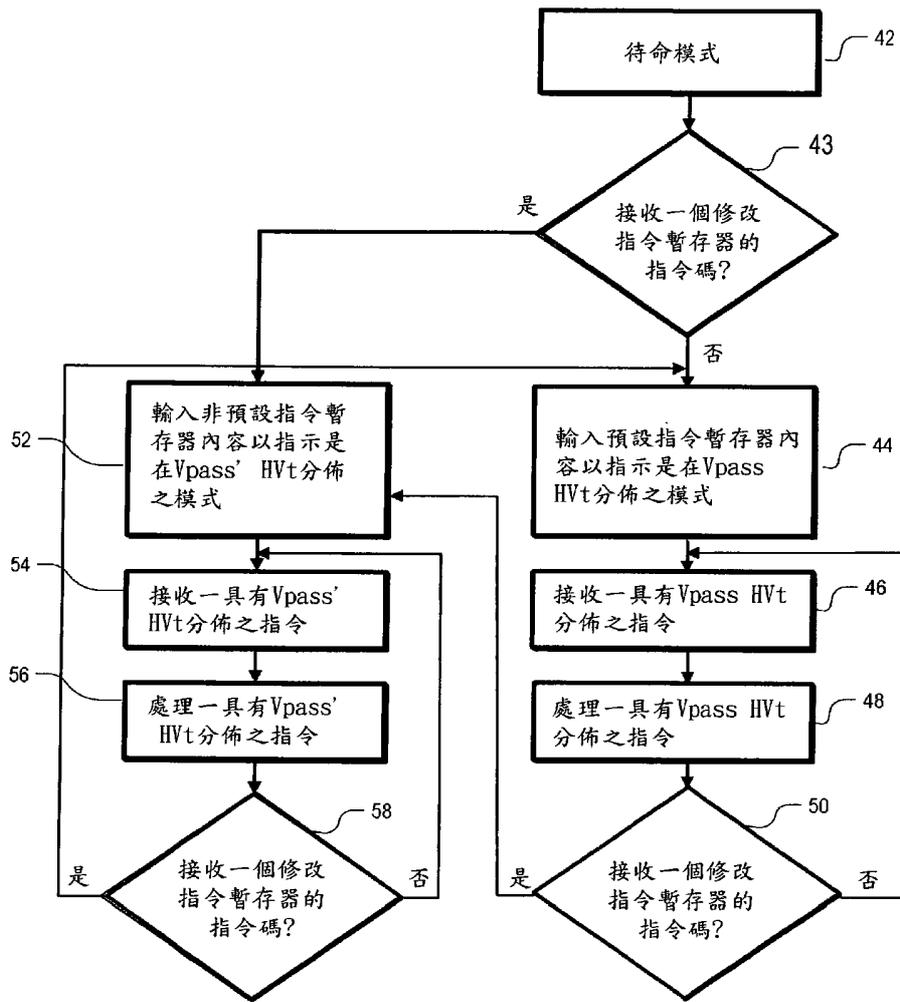
(54)名稱

減少反及閘非揮發記憶體中讀取干擾的方法與裝置

METHOD AND APPARATUS FOR REDUCING READ DISTURB IN NAND NONVOLATILE MEMORY

(57)摘要

本發明關於許多反及閘記憶體，其包括具有許多不同版本的高臨界電壓分佈-一版本具有降低的最大值及另一版本。具有降低最大值的版本具有一降低的字元線導通電壓。



六、發明說明：

【先前技術】

讀取干擾是例如浮動閘極和電荷捕捉記憶胞等非揮發記憶胞操作中的一個嚴重問題。讀取干擾會在非揮發記憶胞進行讀取操作時發生；雖然是施加讀取偏壓而不是程式化偏壓，某種程度的程式化仍會在施加一讀取偏壓時發生。在經過許多次讀取操作之後，讀取干擾會提升此受影響的非揮發記憶胞之臨界電壓。

讀取干擾會因為讀取偏壓配置 V_{pass} 足夠高可以導致程式化而發生於反及閘串列中。在一串聯安排的非揮發記憶胞之反及閘串列中，讀取電壓 V_{read} 被施加至此反及閘串列中所選取記憶胞的字元線上，及一導通電壓 V_{pass} 被施加至此反及閘串列中未選取記憶胞的字元線上。

第 1 圖為臨界電壓分佈的圖式，顯示高臨界電壓(HVt)和低臨界電壓(LVt)的分佈、字元線讀取電壓區間及字元線導通電壓區間。 V_{pass} 足夠高可以開啟此反及閘串列中未選取記憶胞之下的通道而不管儲存於此未選取記憶胞中之資料值。特別是， V_{pass} 足以開啟儲存與最高臨界電壓(HVt)分佈相關的資料值的一記憶胞之下的通道。 V_{read} 足以開啟此反及閘串列中一選取記憶胞之下的通道，其具有與一低於 V_{read} 的臨界電壓分佈相關的資料值，且足夠低而可以關閉此反及閘串列中一選取記憶胞之下的通道，其具有與一高於 V_{read} 的臨界電壓分佈相關的資料值。

【發明內容】

本發明關於許多藉由降低 V_{pass} 電壓來解決讀取干擾的方案。一般而言，此 V_{pass} 電壓超過最高臨界電壓分佈，所

以無論儲存於此未選取記憶胞中之資料值為何，在一反及開串列未選取記憶胞之下的通道總是開啟。然而，在不同的實施例中藉由降低最高臨界電壓分佈的最大值來降低 V_{pass} 電壓。

本發明之第一方式的高臨界電壓分佈具有許多不同版本-一版本具有降低的最大值及另一版本，其特定版本係取決於指令。本發明之第二方式的高臨界電壓分佈具有許多不同版本-一版本具有降低的最大值及另一版本，其特定版本係取決於指令及指令暫存器。本發明之第三方式為對應的方法。不同的方案會於底下描述。

本發明之第一方式為提供一種記憶體，具有記憶胞、字元線及控制電路。

複數個記憶胞串聯安排於一半導體主體中，該串聯之記憶胞具有一第一端及一第二端。該複數個記憶胞中的記憶胞具有一臨界電壓於與一第一資料值相關的一第一臨界電壓分佈及與一第二資料值相關的一第二臨界電壓分佈兩者之一，該第一臨界電壓分佈是較該第二臨界電壓分佈為低的臨界電壓分佈。

該複數條字元線中的字元線與該複數個記憶胞中對應的記憶胞耦接。

控制電路與該複數條字元線耦接，該控制電路具有複數組的指令，包括第一組指令及第二組指令。

此第一組指令包括程式化與讀取指令，該第一組指令對應於與該第二資料值相關的該第二臨界電壓分佈的一第一版本，該第二臨界電壓分佈的該第一版本具有一第一版本分佈最大值。

此第二組指令包括程式化與讀取指令，該第二組指令對應於與該第二資料值相關的該第二臨界電壓分佈的一第二版本，該第二臨界電壓分佈的該第二版本具有一第二版本分佈最大值。

該第一版本分佈最大值係大於該第二版本分佈最大值。

在一實施例中，該第二臨界電壓分佈的該第一版本係寬於該第二臨界電壓分佈的該第二版本。

在一實施例中，該控制電路執行具有一遞增幅之遞增步進脈衝程式化，其中在該第一組指令中程式化指令之該遞增幅係大於在該第二組指令中程式化指令之該遞增幅。

在一實施例中，該第一組指令中的程式化指令較在該第二組指令中的程式化指令更快。

在一實施例中，在該第一組指令中的讀取指令施加一第一讀取偏壓配置至該複數條字元線中的字元線，且該第一讀取偏壓配置施加一第一導通電壓至該複數條字元線中的未選取字元線。

在該第二組指令中的讀取指令施加一第二讀取偏壓配置至該複數條字元線中的字元線，且該第二讀取偏壓配置施加一第二導通電壓至該複數條字元線中的未選取字元線。該第一導通電壓係大於該第二導通電壓。

在一實施例中，該記憶體包括複數個記憶胞及一額外的複數個記憶胞，其中該控制電路使用該第一組指令於該複數個記憶胞，及該控制電路使用該第二組指令於該額外的複數個記憶胞，且儲存於該額外的複數個記憶胞中之資料與儲存於該複數個記憶胞中之資料相比較不易產生錯誤。

本發明之第二方式為提供一種記憶體，具有記憶胞、字元線、指令暫存器及控制電路。

該指令暫存器儲存一第一值與一第二值之一。

響應該指令暫存器中所儲存的該第一值，該程式化及讀取指令對應於與該第二資料值相關的該第二臨界電壓分佈的一第一版本，該第二臨界電壓分佈的該第一版本具有一第一版本分佈最大值。

響應該指令暫存器中所儲存的該第二值，該程式化及讀取指令對應於與該第二資料值相關的該第二臨界電壓分佈的一第二版本，該第二臨界電壓分佈的該第二版本具有一第二版本分佈最大值。

該第一版本分佈最大值係大於該第二版本分佈最大值。

在一實施例中，該第二臨界電壓分佈的該第一版本係寬於該第二臨界電壓分佈的該第二版本。

在一實施例中，該控制電路執行具有一遞增幅之遞增步進脈衝程式化，其中在該第一組指令中程式化指令之該遞增幅係大於在該第二組指令中程式化指令之該遞增幅。

在一實施例中，在該第一組指令中的程式化指令較在該第二組指令中的程式化指令更快。

在一實施例中，響應該指令暫存器中所儲存的該第一值，該讀取指令施加一第一讀取偏壓配置至該複數條字元線中的字元線，且該第一讀取偏壓配置施加一第一導通電壓至該複數條字元線中的未選取字元線。

響應該指令暫存器中所儲存的該第二值，該讀取指令施加一第二讀取偏壓配置至該複數條字元線中的字元線，且該第二讀取

偏壓配置施加一第二導通電壓至該複數條字元線中的未選取字元線。

該第一導通電壓係大於該第二導通電壓。

在一實施例中，該記憶體包括複數個記憶胞及一額外的複數個記憶胞，該控制電路使用具有該指令暫存器中所儲存的該第一值之該程式化及讀取指令於該複數個記憶胞，及該控制電路使用具有該指令暫存器中所儲存的該第二值之該程式化及讀取指令於該額外的複數個記憶胞，且儲存於該額外的複數個記憶胞中之資料與儲存於該複數個記憶胞中之資料相比較不易產生錯誤。

本發明之第三方式為提供一種使用一記憶體的方法，該記憶體包含複數個記憶胞串聯安排於一半導體主體中，該串聯之記憶胞具有一第一端及一第二端，該複數個記憶胞中的記憶胞具有一臨界電壓於與一第一資料值相關的一第一臨界電壓分佈及與一第二資料值相關的一第二臨界電壓分佈兩者之一，該第一臨界電壓分佈是較該第二臨界電壓分佈為低的臨界電壓分佈，該方法包含：

使用程式化與讀取指令的一第一版本，該程式化與讀取指令的第一版本對應於與該第二資料值相關的該第二臨界電壓分佈的一第一版本，該第二臨界電壓分佈的該第一版本具有一第一版本分佈最大值；以及

使用程式化與讀取指令的一第二版本，該程式化與讀取指令的第二版本對應於與該第二資料值相關的該第二臨界電壓分佈的一第二版本，該第二臨界電壓分佈的該第二版本具有一第二版本分佈最大值，

其中該第一版本分佈最大值係大於該第二版本分佈最大值。

在一實施例中，該第二臨界電壓分佈的該第一版本係寬於該第二臨界電壓分佈的該第二版本。

在一實施例中，更包含：

執行具有一遞增幅之遞增步進脈衝程式化，其中在該程式化指令的該第一版本之該遞增幅係大於在該程式化指令的該第二版本之該遞增幅。

在一實施例中，該程式化指令的該第一版本較該程式化指令的該第二版本更快。

在一實施例中，該讀取指令的該第一版本施加一第一讀取偏壓配置至該複數條字元線中存取該複數個記憶胞的字元線，且該第一讀取偏壓配置施加一第一導通電壓至該複數條字元線中的未選取字元線。

其中該讀取指令的該第二版本施加一第二讀取偏壓配置至該複數條字元線中的字元線，且該第二讀取偏壓配置施加一第二導通電壓至該複數條字元線中的未選取字元線。

其中該第一導通電壓係大於該第二導通電壓。

在一實施例中，使用該程式化及讀取指令的該第二版本所程式化及讀取的資料與使用該程式化及讀取指令的該第一版本所程式化及讀取的資料相比較不易產生錯誤。

在一實施例中，該程式化及讀取指令的該第一版本與該程式化及讀取指令的該第二版本係使用不同的程式碼。

在一實施例中，該程式化及讀取指令的該第一版本與該程式化及讀取指令的該第二版本分享共用的程式碼，且一指令暫存器中的內容區分該程式化及讀取指令的該第一版本與該程式化及讀取指令的該第二版本。

【實施方式】

第 2 圖是一臨界電壓分佈的圖示，其顯示具有最大值降低之改良高臨界電壓(HVt)分佈。

Vpass 足以開啟此反及閘串列中未選取記憶胞之下的通道而不管儲存於此未選取記憶胞中之資料值。特別是，Vpass 足以開啟儲存與最高臨界電壓分佈相關的資料值的一記憶胞之下的通道，此最高臨界電壓(HVt)分佈的極值自 B4 降低至 B4'。Vread 足以開啟此反及閘串列中一選取記憶胞之下的通道，其具有與一低於 Vread 的臨界電壓分佈相關的資料值，且足夠低而可以關閉此反及閘串列中一選取記憶胞之下的通道，其具有與一高於 Vread 的臨界電壓分佈相關的資料值。

因為 Vpass 被降低而解決了讀取干擾問題。

第 3 圖是一非揮發記憶胞中反及閘串列的示意圖，其係在施加與最大值降低之改良高臨界電壓(HVt)分佈對應之一改良的位元線導通電壓情況下。

此反及閘串列介於位元線 BL 與源極線 SRC 之間，其具有一系列的非揮發記憶胞於通過電晶體之間。一擴散區域介於鄰接的電晶體/記憶胞結構之間。替代地，可以移除此擴散區域，而用藉由施加合適電壓的一額外閘極結構所具有一反轉區域來取代。

施加至選取記憶胞之字元線的 Vread 係作為讀取之用。而 Vpass' 係施加於記憶胞中未選擇讀取之其他字元線上。一般而言，Vpass' 足以開啟之下的通道而不管特定資料值及其儲存相關的臨界電壓分佈，且 Vpass' 因此而設定在足夠高的電壓可以開啟與儲存高臨界電壓分佈相關資料值之下的通道。

第 4 圖顯示對一具有典型字元線導通電壓之一典型臨界電壓(HVt)分佈，及具有最大值降低之改良高臨界電壓(HVt)分佈與降低位元線導通電壓的不同指令之流程圖。

在步驟 12，是開啟電源。在步驟 14 接收一具有指令碼之指令，其具有一典型的 V_{pass} 電壓是大於最大值未降低之最高臨界電壓分布，通常是跟隨著記憶胞的位址一起被接收。在步驟 16 對此指令進行處理。此指令可以是讀取或程式化指令。

在步驟 18 接收一具有指令碼之指令，其具有一降低的 V_{pass} '電壓是大於最大值降低後之最高臨界電壓分布，通常也是跟隨著記憶胞的位址一起被接收。在步驟 20 對此指令進行處理。此指令可以是讀取或程式化指令。

第 5 圖顯示對一具有典型字元線導通電壓之一典型臨界電壓(HVt)分佈，及具有最大值降低之改良高臨界電壓(HVt)分佈與降低位元線導通電壓的不同指令暫存器值之流程圖。

在步驟 42，是待命模式。在步驟 43，假如未接收到一個修改指令暫存器內容的指令碼，此流程繼續至步驟 44。否則，此流程繼續至步驟 52。

在步驟 44，輸入預設指令暫存器內容以指示控制電路示在一個使用一典型 V_{pass} 電壓是大於最大值未降低之最高臨界電壓分布的模式下，且通常是跟隨著記憶胞的位址一起被接收。在步驟 46 接收一具有指令碼之指令，其具有一典型的 V_{pass} 電壓是大於最大值未降低之最高臨界電壓分布，通常是跟隨著記憶胞的位址一起被接收。在步驟 48，對此指令進行處理。此指令可以是讀取或程式化指令。

在步驟 50，假如沒有接收到一個修改指令暫存器內容的指令碼，此流程回到步驟 46。否則，此流程繼續至步驟 52。

在步驟 52，輸入非預設指令暫存器內容以指示控制電路是在一個使用一降低的 V_{pass} '電壓是大於最大值降低後之最

高臨界電壓分布的模式下，且通常是跟隨著記憶胞的位址一起被接收。在步驟 54 接收一具有指令碼之指令，其具有降低的 V_{pass} 電壓是大於最大值降低後之最高臨界電壓分布，通常是跟隨著記憶胞的位址一起被接收。在步驟 56，對此指令進行處理。此指令可以是讀取或程式化指令。

在步驟 58，假如沒有接收到一個修改指令暫存器內容的指令碼，此流程回到步驟 54。否則，此流程繼續至步驟 44。

第 6 圖顯示不同遞增步進脈衝程式化 (ISPP) 的脈衝波形圖，其具有根據特定對臨界電壓 (HVT) 分佈一典型、或是具有最大值降低而改變的步進脈衝。

在具有不同讀取和程式化模式的實施例中，其選擇性地使用具有未降低之最高臨界電壓分布的未降低 V_{pass} 電壓，或是具有降低之最高臨界電壓分布的降低 V_{pass} 電壓，此具有較大遞增幅的遞增步進脈衝程式化 (ISPP) 使用具有未降低之最高臨界電壓分布的未降低 V_{pass} 電壓，而具有較小遞增幅的遞增步進脈衝程式化 (ISPP) 則使用具有降低之最高臨界電壓分布的降低 V_{pass} 電壓。

第 7 圖係可應用本發明所描述改良之積體電路的方塊示意圖。

第 7 圖是包含一記憶體陣列 700 的積體電路 750 之簡要方塊示意圖。一字元線 (或列) 及區塊選取解碼器 701 係耦接至，且與其有著電性溝通，複數條字元線 702 及字串選擇線，其間係沿著記憶體陣列 700 的列方向排列。一位元線 (行) 解碼器及驅動器 703 係耦接至複數條沿著記憶體陣列 700 之行排列的位元線 704，且與其有著電性溝通，以自記憶胞陣列 700 的記憶胞中讀取資料，或是寫入資料至其中。位址係透過匯流排 705 提供至字元線解碼器及驅動器 701 及位元線解碼器 703。方塊 706 中的感應放大器與資料輸入結構，包含作為讀取、程式化和抹除模式的電流源，係透過匯流排 707 耦接至位元線解碼器 703。資料係由積體電路 750 上的

輸入/輸出埠透過資料輸入線 711 傳送至方塊 706 之資料輸入結構。資料係由方塊 706 中的感應放大器，透過資料輸出線 715，傳送至積體電路 750 上的輸入/輸出埠或其他積體電路 750 內或外之資料目的地。應用此改良及降低 V_{pass} 電壓和多模操作(具有 V_{pass} 或 V_{pass}')的程式化、抹除及讀取偏壓調整狀態機構電路 709，及控制偏壓調整供應電壓 708。替代地實施例中也包括其他不同的指令碼或是指令暫存器。

雖然本發明係已參照實施例來加以描述，然本發明創作並未受限於其詳細描述內容。替換方式及修改樣式係已於先前描述中所建議，且其他替換方式及修改樣式將為熟習此項技藝之人士所思及。特別是，所有具有實質上相同於本發明之構件結合而達成與本發明實質上相同結果者，皆不脫離本發明之精神範疇。因此，所有此等替換方式及修改樣式係意欲落在本發明於隨附申請專利範圍及其均等物所界定的範疇之中。

【圖式簡單說明】

本發明係由申請專利範圍所界定。這些和其它目的，特徵，和實施例，會在下列實施方式的章節中搭配圖式被描述，其中：

第 1 圖為臨界電壓分佈的圖式，顯示高臨界電壓(HVt)和低臨界電壓(LVt)的分佈、字元線讀取電壓區間及字元線導通電壓區間。

第 2 圖是一臨界電壓分佈的圖示，其顯示具有最大值降低之改良高臨界電壓(HVt)分佈。

第 3 圖是一非揮發記憶胞中反及閘串列的示意圖，其係在施加與最大值降低之改良高臨界電壓(HVt)分佈對應之一改良的位元線導通電壓情況下。

第 4 圖顯示對一具有典型字元線導通電壓之一典型臨界電壓(HVt)分佈，及具有最大值降低之改良高臨界電壓(HVt)分佈與降低位元線導通電壓的不同指令之流程圖。

第 5 圖顯示對一具有典型字元線導通電壓之一典型臨界電壓(HVt)分佈，及具有最大值降低之改良高臨界電壓(HVt)分佈與降低位元線導通電壓的不同指令暫存器值之流程圖。

第 6 圖顯示不同步進遞增脈衝程式化(ISPP)的脈衝波形圖，其具有根據特定對臨界電壓(HVt)分佈一典型、或是具有最大值降低而改變的步進脈衝。

第 7 圖係可應用本發明所描述改良之積體電路的方塊示意圖。

【主要元件符號說明】

750：積體電路

700：非揮發記憶胞陣列

701：列解碼器

702：字元線

703：行解碼器

704：位元線

705、707：匯流排

706：感測放大器/資料輸入結構

709：具有 V_{pass}/V_{pass}' 分佈之程式化、抹除及讀取之偏壓配置狀態機構

708：偏壓調整供應電壓

201214438

711：資料輸入線

715：資料輸出線

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

99132249

※ 申請日：

()

※IPC 分類：G11C 16/02 (2006.01)

一、發明名稱：(中文/英文)

G11C 16/06 (2006.01)

減少反及閘非揮發記憶體中讀取干擾的方法與裝置
 METHOD AND APPARATUS FOR REDUCING READ
 DISTURB IN NAND NONVOLATILE MEMORY

二、中文發明摘要：

本發明關於許多反及閘記憶體，其包括具有許多不同版本的高臨界電壓分佈-一版本具有降低的最大值及另一版本。具有降低最大值的版本具有一降低的字元線導通電壓。

三、英文發明摘要：

Various aspects of a NAND memory include have multiple versions of a high threshold voltage distribution – a version with a reduced maximum, and another version. The version with a reduced maximum has a reduced word line pass voltage.

七、申請專利範圍：

1. 一種記憶體，包含：

複數個記憶胞串聯安排於一半導體主體中，該串聯之記憶胞具有一第一端及一第二端，該複數個記憶胞中的記憶胞具有一臨界電壓於與一第一資料值相關的一第一臨界電壓分佈及與一第二資料值相關的一第二臨界電壓分佈兩者之一，該第一臨界電壓分佈是較該第二臨界電壓分佈為低的臨界電壓分佈；

複數條字元線，該複數條字元線中的字元線與該複數個記憶胞中對應的記憶胞耦接；

控制電路，與該複數條字元線耦接，該控制電路具有複數組的指令，包括：

第一組指令包括程式化與讀取指令，該第一組指令對應於與該第二資料值相關的該第二臨界電壓分佈的第一版本，該第二臨界電壓分佈的該第一版本具有一第一版本分佈最大值；以及

第二組指令包括程式化與讀取指令，該第二組指令對應於與該第二資料值相關的該第二臨界電壓分佈的第二版本，該第二臨界電壓分佈的該第二版本具有一第二版本分佈最大值，

其中該第一版本分佈最大值係大於該第二版本分佈最大值。

2. 如申請專利範圍第 1 項所述之記憶體，其中該第二臨界電壓分佈的該第一版本係寬於該第二臨界電壓分佈的該第二版本。

3. 如申請專利範圍第 1 項所述記憶體，其中該控制電路執行具有一遞增幅之遞增步進脈衝程式化，其中在該第一組指令中程式化指令之該遞增幅係大於在該第二組指令中程式化指令之該遞增幅。

4. 如申請專利範圍第 1 項所述之記憶體，其中在該第一組指令中的程式化指令較在該第二組指令中的程式化指令更快。

5. 如申請專利範圍第 1 項所述記憶體，其中在該第一組指令中的讀取指令施加一第一讀取偏壓配置至該複數條字元線中的字元線，且該第一讀取偏壓配置施加一第一導通電壓至該複數條字元線中的未選取字元線，

其中在該第二組指令中的讀取指令施加一第二讀取偏壓配置至該複數條字元線中的字元線，且該第二讀取偏壓配置施加一第二導通電壓至該複數條字元線中的未選取字元線，

其中該第一導通電壓係大於該第二導通電壓。

6. 如申請專利範圍第 1 項所述記憶體，其中該記憶體包括複數個記憶胞及一額外的複數個記憶胞，

其中該控制電路使用該第一組指令於該複數個記憶胞，及該控制電路使用該第二組指令於該額外的複數個記憶胞，且儲存於該額外的複數個記憶胞中之資料與儲存於該複數個記憶胞中之資料相比較不易產生錯誤。

7. 如申請專利範圍第 1 項所述記憶體，包含：

一指令暫存器，儲存一第一值與一第二值之一；

其中響應該指令暫存器中所儲存的該第一值，該程式化及讀取指令對應於與該第二資料值相關的該第二臨

界電壓分佈的一第一版本，該第二臨界電壓分佈的該第一版本具有一第一版本分佈最大值；以及

其中響應該指令暫存器中所儲存的該第二值，該程式化及讀取指令對應於與該第二資料值相關的該第二臨界電壓分佈的一第二版本，該第二臨界電壓分佈的該第二版本具有一第二版本分佈最大值，

其中該第一版本分佈最大值係大於該第二版本分佈最大值。

8. 如申請專利範圍第 7 項所述之記憶體，其中該第二臨界電壓分佈的該第一版本係寬於該第二臨界電壓分佈的該第二版本。

9. 如申請專利範圍第 7 項所述記憶體，其中該控制電路執行具有一遞增幅之遞增步進脈衝程式化，其中在該第一組指令中程式化指令之該遞增幅係大於在該第二組指令中程式化指令之該遞增幅。

10. 如申請專利範圍第 7 項所述之記憶體，其中在該第一組指令中的程式化指令較在該第二組指令中的程式化指令更快。

11. 如申請專利範圍第 7 項所述記憶體，其中響應該指令暫存器中所儲存的該第一值，該讀取指令施加一第一讀取偏壓配置至該複數條字元線中的字元線，且該第一讀取偏壓配置施加一第一導通電壓至該複數條字元線中的未選取字元線，

其中響應該指令暫存器中所儲存的該第二值，該讀取指令施加一第二讀取偏壓配置至該複數條字元線中的字元線，且該第二讀取偏壓配置施加一第二導通電壓至該複數條字元線中的未選[S]

取字元線，

其中該第一導通電壓係大於該第二導通電壓。

12. 如申請專利範圍第 7 項所述記憶體，其中該記憶體包括複數個記憶胞及一額外的複數個記憶胞，

其中該控制電路使用具有該指令暫存器中所儲存的該第一值之該程式化及讀取指令於該複數個記憶胞，及該控制電路使用具有該指令暫存器中所儲存的該第二值之該程式化及讀取指令於該額外的複數個記憶胞，且儲存於該額外的複數個記憶胞中之資料與儲存於該複數個記憶胞中之資料相比較不易產生錯誤。

13. 一種使用一記憶體的方法，該記憶體包含複數個記憶胞串聯安排於一半導體主體中，該串聯之記憶胞具有一第一端及一第二端，該複數個記憶胞中的記憶胞具有一臨界電壓於與一第一資料值相關的一第一臨界電壓分佈及與一第二資料值相關的一第二臨界電壓分佈兩者之一，該第一臨界電壓分佈是較該第二臨界電壓分佈為低的臨界電壓分佈，該方法包含：

使用程式化與讀取指令的一第一版本，該程式化與讀取指令的第一版本對應於與該第二資料值相關的該第二臨界電壓分佈的一第一版本，該第二臨界電壓分佈的該第一版本具有一第一版本分佈最大值；以及

使用程式化與讀取指令的一第二版本，該程式化與讀取指令的第二版本對應於與該第二資料值相關的該第二臨界電壓分佈的一第二版本，該第二臨界電壓分佈的該第二版本具有一第二版本分佈最大值，

其中該第一版本分佈最大值係大於該第二版本分佈最大值。

14. 如申請專利範圍第 13 項所述之方法，其中該第二臨界電壓分佈的該第一版本係寬於該第二臨界電壓分佈的該第二版本。

15. 如申請專利範圍第 13 項所述之方法，更包含：

執行具有一遞增幅之遞增步進脈衝程式化，其中在該程式化指令的該第一版本之該遞增幅係大於在該程式化指令的該第二版本之該遞增幅。

16. 如申請專利範圍第 13 項所述之方法，其中該程式化指令的該第一版本較該程式化指令的該第二版本更快。

17. 如申請專利範圍第 13 項所述之方法，其中該讀取指令的該第一版本施加一第一讀取偏壓配置至該複數條字元線中存取該複數個記憶胞的字元線，且該第一讀取偏壓配置施加一第一導通電壓至該複數條字元線中的未選取字元線，

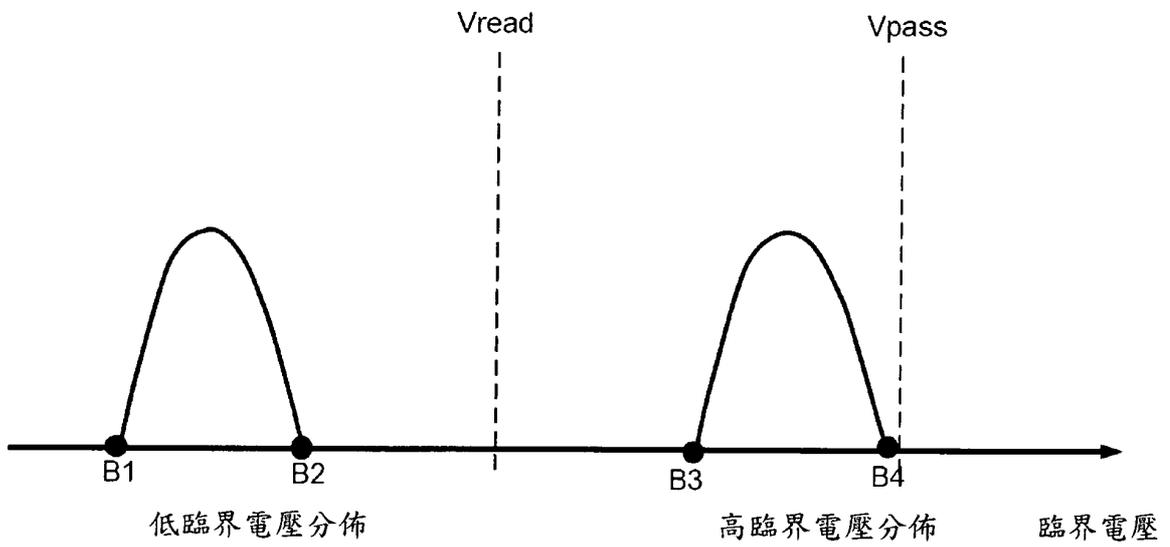
其中該讀取指令的該第二版本施加一第二讀取偏壓配置至該複數條字元線中的字元線，且該第二讀取偏壓配置施加一第二導通電壓至該複數條字元線中的未選取字元線，

其中該第一導通電壓係大於該第二導通電壓。

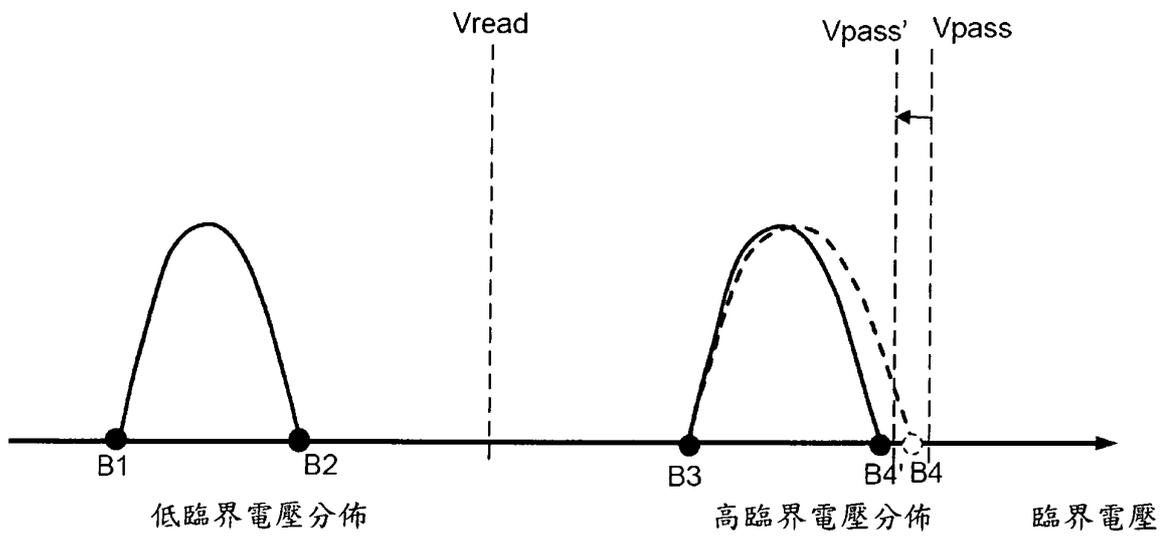
18. 如申請專利範圍第 13 項所述之方法，其中使用該程式化及讀取指令的該第二版本所程式化及讀取的資料與使用該程式化及讀取指令的該第一版本所程式化及讀取的資料相比較不易產生錯誤。

19. 如申請專利範圍第 13 項所述之方法，其中該程式化及讀取指令的該第一版本與該程式化及讀取指令的該第二版本係使用不同的程式碼。

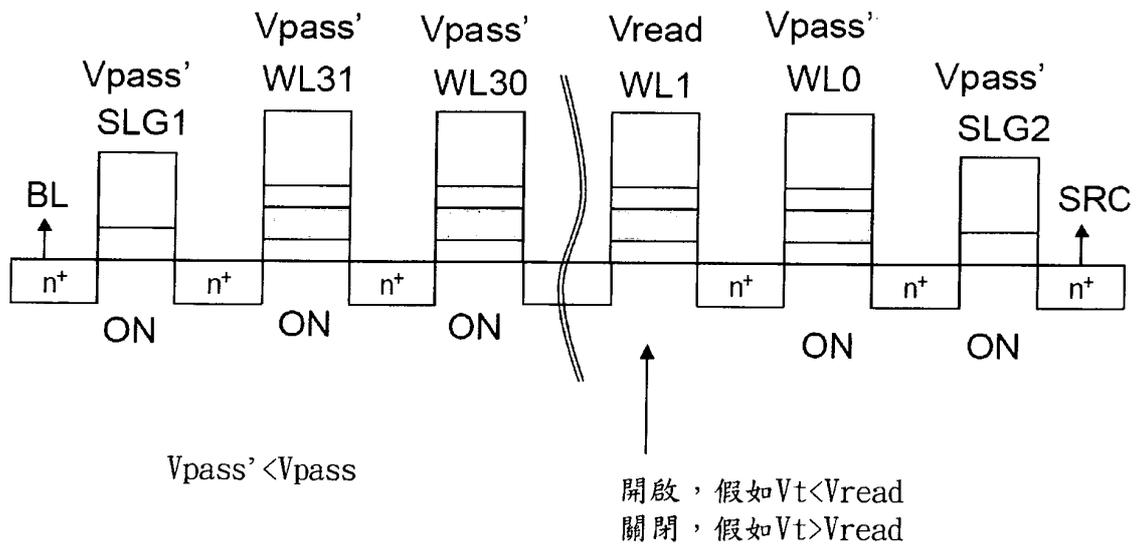
20. 如申請專利範圍第 13 項所述之方法，其中該程式化及讀取指令的該第一版本與該程式化及讀取指令的該第二版本分享共用的程式碼，且一指令暫存器中的內容區分該程式化及讀取指令的該第一版本與該程式化及讀取指令的該第二版本。



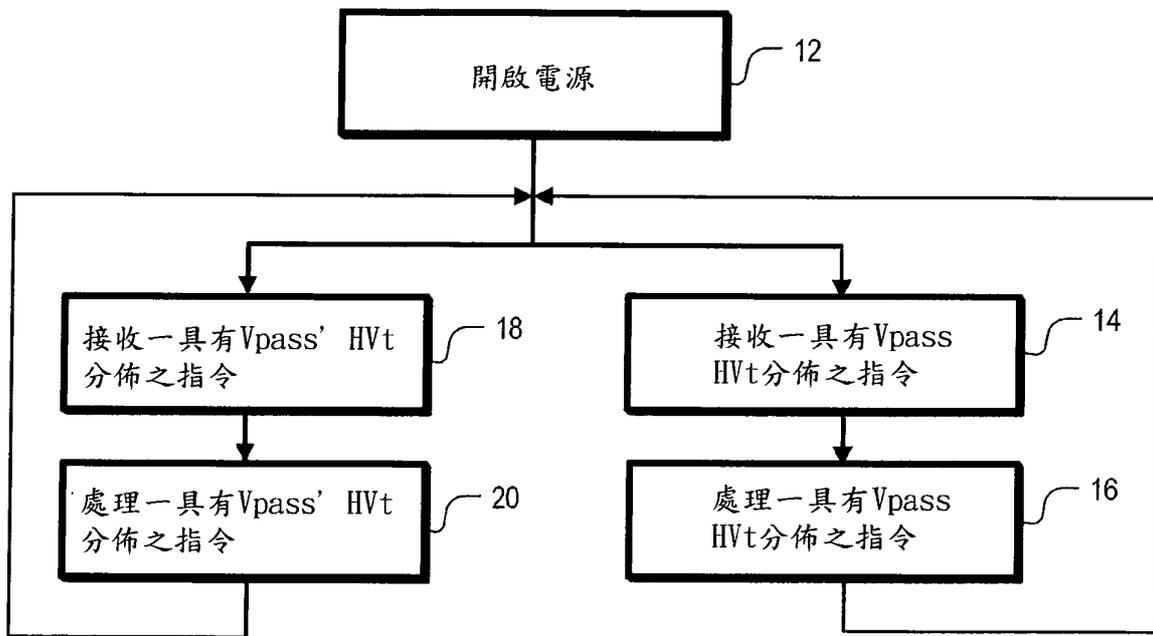
第1圖



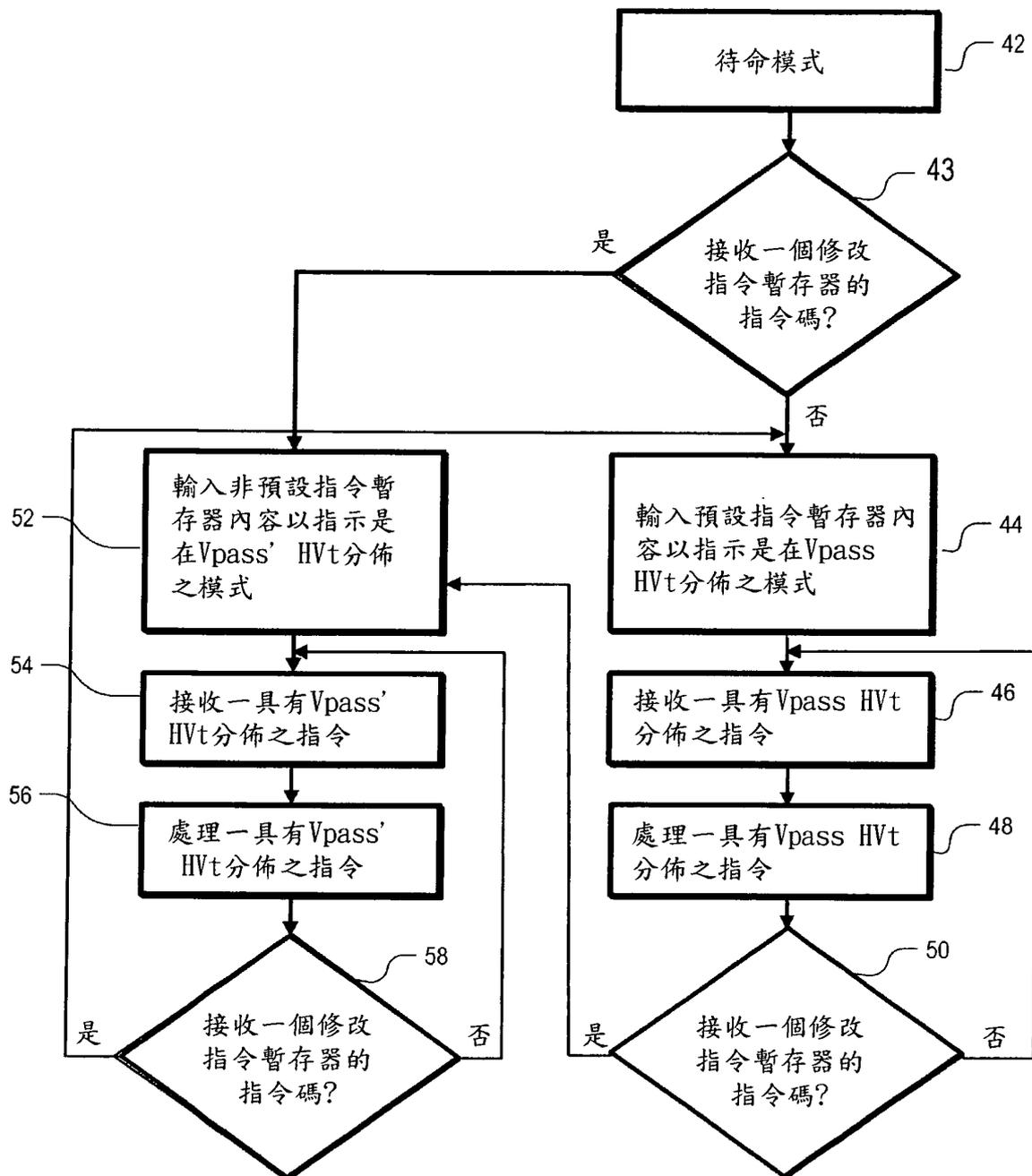
第2圖



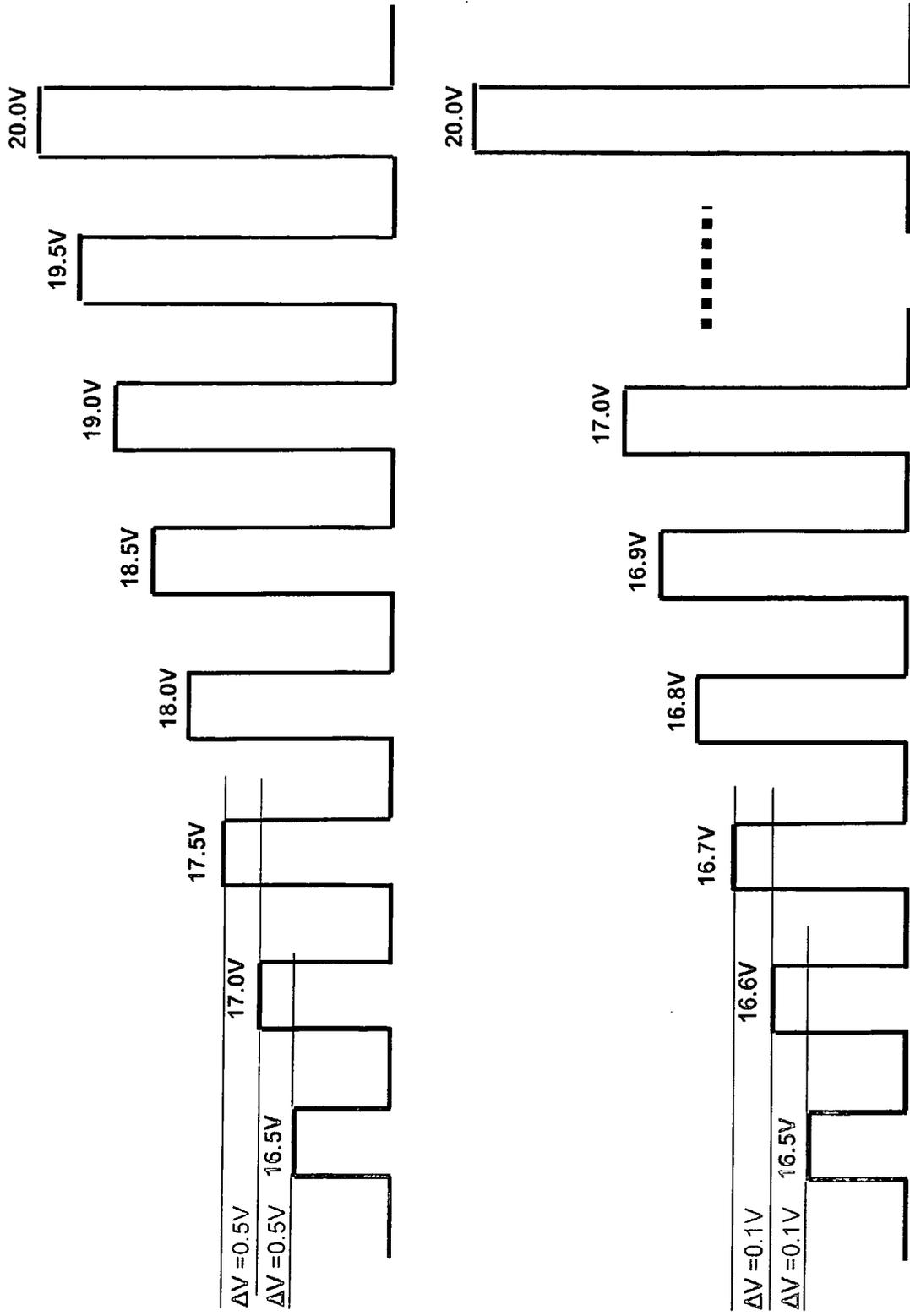
第3圖



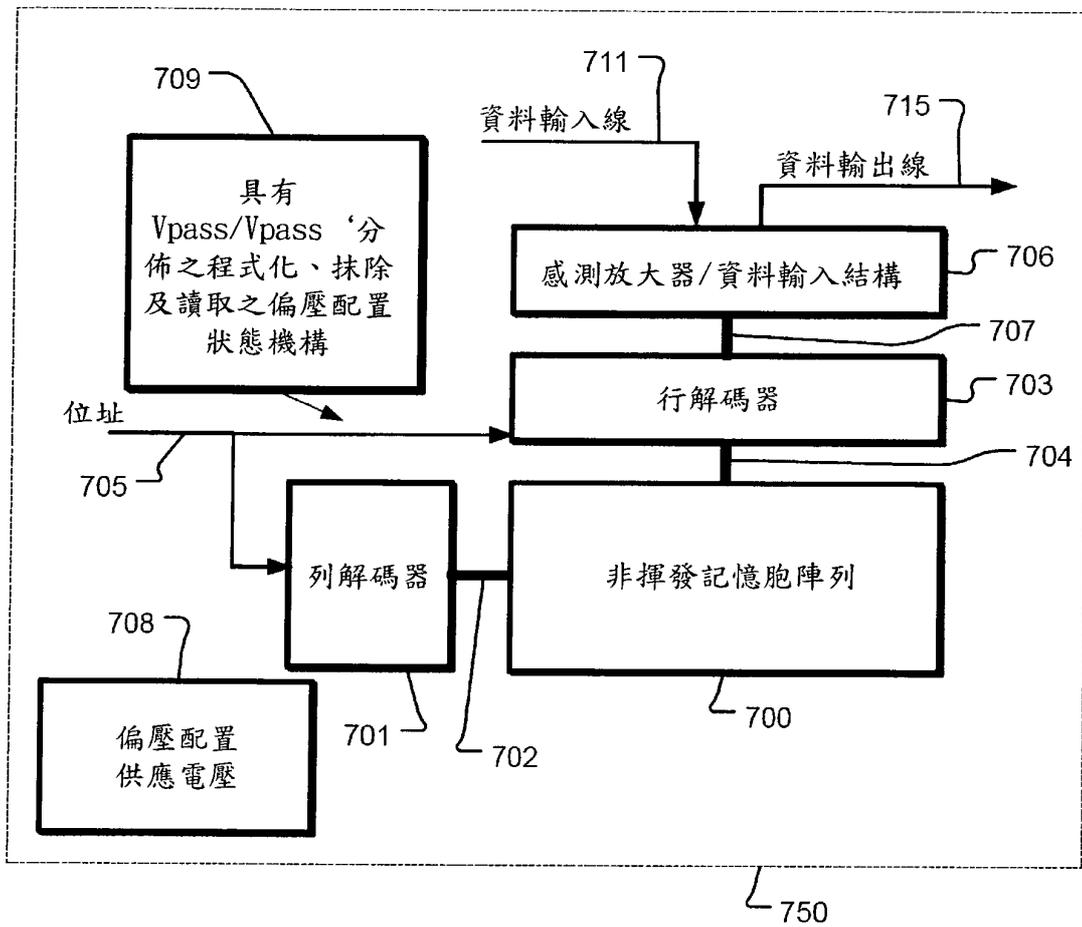
第4圖



第5圖



第6圖



第7圖

四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

為一流程圖。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無