



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2016년10월28일
 (11) 등록번호 10-1670552
 (24) 등록일자 2016년10월24일

- (51) 국제특허분류(Int. Cl.)
H03B 5/12 (2014.01)
 (21) 출원번호 10-2014-0168780
 (22) 출원일자 2014년11월28일
 심사청구일자 2014년11월28일
 (65) 공개번호 10-2016-0064749
 (43) 공개일자 2016년06월08일
 (56) 선행기술조사문현

KR1020060091192 A

65-nm CMOS 공정을 이용한 145-GHz 트랜스포머 피드백 전류 재사용 기법 발진기 설계(2014.06. 공개)

- (73) 특허권자
충북대학교 산학협력단
 충청북도 청주시 서원구 충대로 1 (개신동)
 (72) 발명자
홍종필
 충청북도 청주시 서원구 두꺼비로 53, 106동 901호 (산남동, 푸르지오아파트)
윤은승
 충청북도 청주시 흥덕구 신율로 174, 나동 404호 (복대동, 성광아파트)
권혁태
 충청북도 청주시 서원구 구룡산로 275-13, 409동 703호 (수곡동, 산남주공4단지아파트)

(74) 대리인

김정현

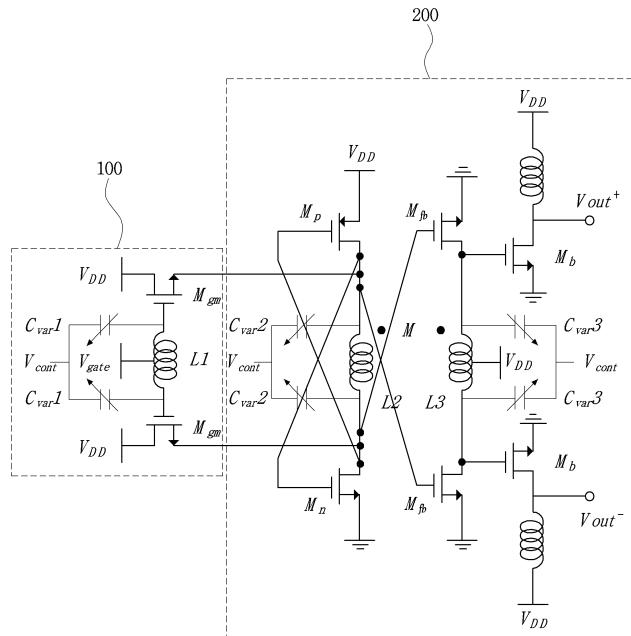
심사관 : 박정근

전체 청구항 수 : 총 2 항

(54) 발명의 명칭 RF 부성저항 회로와 교차 결합 상보형 트랜스포머 피드백 발진기 구조를 이용한 신호 발생기

(57) 요 약

본 발명의 일 실시예에 따른 신호 발생기는 한 쌍의 부성저항 트랜지스터와, 상기 한 쌍의 부성저항 트랜지스터의 게이트에 연결되어 있는 제1 인덕터를 포함하여 이루어지는 RF 부성저항 회로 및 상호 인덕턴스로 결합되어 있는 하나의 트랜스포머와, 상보적인 특성을 갖도록 연결된 한 쌍의 상보적 트랜지스터와, 한 쌍의 피드백 트랜지스터(뒷면에 계속)

대 표 도 - 도2

지스터를 포함하여 이루어지는 교차 결합 상보형 트랜스포머 피드백 발진기를 포함하며, 상기 트랜스포머는 상기 한 쌍의 상보적 트랜지스터 사이에 위치한 1차측 코일단파, 공통 노드에 전원이 연결되어 있는 2차측 코일단을 포함하여 이루어지며, 상기 한 쌍의 부성저항 트랜지스터는 드레인이 전원에 연결되고, 게이트가 상기 제1 인덕터와 연결되고, 소스가 상기 트랜스포머의 1차측 코일단과 상기 한 쌍의 상보적 트랜지스터의 교점과 연결된다. 본 발명에 의하면 핵심적인 공진부가 되는 RF 부성저항 회로에 연결되는 노드가 적기 때문에 레이아웃에서 발생하는 기생 커패시터가 작다는 효과가 있다.

이 발명을 지원한 국가연구개발사업

과제고유번호	2012-0009594
부처명	미래 창조 과학부
연구관리전문기관	한국연구재단
연구사업명	미래융합 파이오니어 사업
연구과제명	나노-상보형 금속산화막 반도체 기술기반의 플라즈마파 트랜지스터를 이용한 테라헤르츠 시스템 구현 기술 연구
기여율	1/1
주관기관	KAIST
연구기간	2013.03.01 ~ 2014.02.28

명세서

청구범위

청구항 1

한 쌍의 부성저항 트랜지스터와, 상기 한 쌍의 부성저항 트랜지스터의 게이트에 연결되어 있는 제1 인덕터를 포함하여 이루어지는 RF 부성저항 회로;

상호 인덕턴스로 결합되어 있는 하나의 트랜스포머와, 상보적인 특성을 갖도록 연결된 한 쌍의 상보적 트랜지스터와, 한 쌍의 피드백 트랜지스터를 포함하여 이루어지는 교차 결합 상보형 트랜스포머 피드백 발진기; 및

상기 RF 부성저항 회로의 공진부와 병렬로 연결되어 있으며, 상기 한 쌍의 피드백 트랜지스터와 상기 트랜스포머의 교점에 연결되며, 드레인에 출력단이 형성되어 있는 한 쌍의 버퍼 트랜지스터를 포함하며,

상기 트랜스포머는 상기 한 쌍의 상보적 트랜지스터 사이에 위치한 1차측 코일단과, 공통 노드에 전원이 연결되어 있는 2차측 코일단을 포함하여 이루어지며,

상기 한 쌍의 부성저항 트랜지스터는 드레인이 전원에 연결되고, 게이트가 상기 제1 인덕터와 연결되고, 소스가 상기 트랜스포머의 1차측 코일단과 상기 한 쌍의 상보적 트랜지스터의 교점과 연결되고,

상기 한 쌍의 상보적 트랜지스터는 각각 PMOS 트랜지스터와 NMOS 트랜지스터로 되어 있으며, 상기 PMOS 트랜지스터의 드레인과 상기 NMOS 트랜지스터의 드레인은 상기 트랜스포머의 1차측 코일단의 양 단에 각각 연결되고, 상기 PMOS 트랜지스터의 소스는 전원에 연결되고, 게이트는 상기 NMOS 트랜지스터의 드레인에 연결되고, 상기 NMOS 트랜지스터의 소스는 접지에 연결되고, 게이트는 상기 PMOS 트랜지스터의 드레인에 연결되어 있으며,

상기 한 쌍의 피드백 트랜지스터는 제1 피드백 트랜지스터와 제2 피드백 트랜지스터로 되어 있고, 드레인이 상기 트랜스포머의 2차측 코일단의 양 단에 각각 연결되고, 소스가 접지에 연결되고, 상기 제1 피드백 트랜지스터의 게이트가 상기 PMOS 트랜지스터의 게이트와 NMOS 트랜지스터의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결되며, 상기 제2 피드백 트랜지스터의 게이트가 상기 NMOS 트랜지스터의 게이트와 상기 PMOS 트랜지스터의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결되어 있으며,

상기 한 쌍의 버퍼 트랜지스터의 게이트는 각각 상기 피드백 트랜지스터의 드레인과 상기 트랜스포머의 2차측 코일단의 교점에 연결되며, 드레인에 출력단이 형성되어 있으며,

상기 제1 인덕터의 공통 노드에 게이트 전원이 연결되어 있으며, 상기 게이트 전원에 의해 상기 한 쌍의 부성저항 트랜지스터의 게이트 바이어스 전압이 조절되고,

상기 제1 인덕터, 상기 트랜스포머의 1차측 코일단 또는 상기 트랜스포머의 2차측 코일단에 병렬로 연결되는 가변 커패시터를 포함하여 이루어지며, 공급되는 전압의 크기를 조절하여 상기 가변 커패시터의 값을 변경하는 방식으로 출력 신호의 주파수를 변경시키는 것을 특징으로 하는 신호 발생기.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

한 쌍의 부성저항 트랜지스터와, 상기 한 쌍의 부성저항 트랜지스터의 게이트에 연결되어 있는 제1 인덕터를 포함하여 이루어지는 RF 부성저항 회로;

상호 인덕턴스로 결합되어 있는 하나의 트랜스포머와, 상보적인 특성을 갖도록 연결된 한 쌍의 상보적 트랜지스터와, 한 쌍의 피드백 트랜지스터를 포함하여 이루어지는 교차 결합 상보형 트랜스포머 피드백 발진기; 및

상기 RF 부성저항 회로의 공진부와 병렬로 연결되어 있으며, 상기 한 쌍의 피드백 트랜지스터와 상기 트랜스포머의 교점에 연결되며, 드레인에 출력단이 형성되어 있는 한 쌍의 버퍼 트랜지스터를 포함하며,

상기 트랜스포머는 상기 한 쌍의 상보적 트랜지스터 사이에 위치한 1차측 코일단과, 공통 노드에 전원이 연결되어 있는 2차측 코일단을 포함하여 이루어지며,

상기 한 쌍의 부성저항 트랜지스터는 드레인이 전원에 연결되고, 게이트가 상기 제1 인덕터와 연결되고, 소스가 상기 트랜스포머의 2차측 코일단과 상기 한 쌍의 상보적 트랜지스터의 교점과 연결되고,

상기 한 쌍의 상보적 트랜지스터는 각각 PMOS 트랜지스터와 NMOS 트랜지스터로 되어 있으며, 상기 PMOS 트랜지스터의 드레인과 상기 NMOS 트랜지스터의 드레인은 상기 트랜스포머의 1차측 코일단의 양 단에 각각 연결되고, 상기 PMOS 트랜지스터의 소스는 전원에 연결되고, 게이트는 상기 NMOS 트랜지스터의 드레인에 연결되고, 상기 NMOS 트랜지스터의 소스는 접지에 연결되고, 게이트는 상기 PMOS 트랜지스터의 드레인에 연결되어 있으며,

상기 한 쌍의 피드백 트랜지스터는 제1 피드백 트랜지스터와 제2 피드백 트랜지스터로 되어 있고, 드레인이 상기 트랜스포머의 2차측 코일단의 양 단에 각각 연결되고, 소스가 접지에 연결되고, 상기 제1 피드백 트랜지스터의 게이트가 상기 PMOS 트랜지스터의 게이트와 NMOS 트랜지스터의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결되며, 상기 제2 피드백 트랜지스터의 게이트가 상기 NMOS 트랜지스터의 게이트와 상기 PMOS 트랜지스터의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결되어 있으며,

상기 한 쌍의 버퍼 트랜지스터의 게이트는 각각 상기 피드백 트랜지스터의 드레인과 상기 트랜스포머의 2차측 코일단의 교점에 연결되며, 드레인에 출력단이 형성되어 있으며,

상기 제1 인덕터의 공통 노드에 게이트 전원이 연결되어 있으며, 상기 게이트 전원에 의해 상기 한 쌍의 부성저항 트랜지스터의 게이트 바이어스 전압이 조절되고,

상기 제1 인덕터, 상기 트랜스포머의 1차측 코일단 또는 상기 트랜스포머의 2차측 코일단에 병렬로 연결되는 가변 커패시터를 포함하여 이루어지며, 공급되는 전압의 크기를 조절하여 상기 가변 커패시터의 값을 변경하는 방식으로 출력 신호의 주파수를 변경시키는 것을 특징으로 하는 신호 발생기.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 CMOS 공정을 이용한 고주파 신호 발생기에 관한 것으로서, 더욱 상세하게는 종래 기술인 교차 결합

상보형 발진기 구조의 단점을 보완하기 위해 RF 부성저항 회로와 트랜스포머 피드백 구조를 결합한 고출력 고주파 신호 발생기에 관한 것이다.

배경기술

- [0002] 고주파수 대역의 신호 발생기에서 다양한 화합물 반도체를 이용하고 있지만, 저렴한 비용과 집적도 측면의 장점으로 인해 CMOS 공정을 이용한 고주파수 신호발생기가 계속 개발중이다. 하지만 고주파수 대역의 CMOS 통신용 응용회로는 연구사례 및 기술수준이 아직 미미하고, 현재 개발된 고주파수 대역의 응용회로 연구사례에서도 낮은 출력 수준의 신호원만이 보고되어 있는 실정이다.
- [0003] 도 1은 종래의 교차 결합 상보형 발진기 구조를 나타낸 도면이다.
- [0004] 도 1을 참조하면, 종래의 발진기 구조는 낮은 소모전류를 갖는 장점이 있지만, 기생 커패시터의 제한과 충분한 부성저항을 제공할 수 없는 점으로 인해 고주파수 발진이 어렵다.
- [0005] 또한, 종래의 교차 결합 상보형 발진기는 출력단의 버퍼 트랜지스터가 인덕터(L₁)와 상보형 트랜지스터(M_p, M_n)의 교점에 형성되어 있다. 이 때, 교점에 인가되는 전압은 약 VDD/2로써, 이 전압이 버퍼 트랜지스터(M_b)의 게이트에 인가된다. 출력을 높이기 위해서는 버퍼 트랜지스터에 흐르는 전류가 커야 하는데 게이트에 인가되는 전압이 VDD보다 작아지므로 발진기 출력이 낮다는 단점이 있다.
- [0006] 단점을 보완하기 위해 출력단 버퍼 트랜지스터의 게이트에 따로 전압을 인가해주는 방법이 있다. 하지만 그러기 위해선 새로이 전압을 인가해줄 포트, 인덕터와 커패시터가 필요하다. 이런 식으로 연결을 하게 되면 회로의 레이아웃 크기는 더 커지게 되고, 임피던스 매칭을 해줘야 하는데 고주파수에서 임피던스 매칭이 어렵기 때문에 더 많은 단점을 야기한다는 문제점이 있다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 대한민국 등록특허 10-0952424

발명의 내용

해결하려는 과제

- [0008] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, RF 부성저항 회로를 결합하여 높은 발진주파수를 발생시킬 수 있는 고주파 신호 발생기를 제안하는데 그 목적이 있다.
- [0009] 본 발명의 다른 목적은 교차 결합 상보형 트랜스포머 피드백 발진기 구조를 이용하여 높은 주파수에서 높은 출력파워를 가질 수 있는 고주파 신호 발생기를 제공하는 것이다.
- [0010] 본 발명의 목적은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0011] 이와 같은 목적을 달성하기 위한 본 발명의 일 실시예에 따른 신호 발생기는 한 쌍의 부성저항 트랜지스터와, 상기 한 쌍의 부성저항 트랜지스터의 게이트에 연결되어 있는 제1 인덕터를 포함하여 이루어지는 RF 부성저항 회로 및 상호 인덕턴스로 결합되어 있는 하나의 트랜스포머와, 상보적인 특성을 갖도록 연결된 한 쌍의 상보적 트랜지스터와, 한 쌍의 피드백 트랜지스터를 포함하여 이루어지는 교차 결합 상보형 트랜스포머 피드백 발진기를 포함하며, 상기 트랜스포머는 상기 한 쌍의 상보적 트랜지스터 사이에 위치한 1차측 코일단파, 공통 노드에 전원이 연결되어 있는 2차측 코일단을 포함하여 이루어지며, 상기 한 쌍의 부성저항 트랜지스터는 드레인이나 전

원에 연결되고, 게이트가 상기 제1 인덕터와 연결되고, 소스가 상기 트랜스포머의 1차측 코일단과 상기 한 쌍의 상보적 트랜지스터의 교점과 연결된다.

[0012] 상기 신호 발생기는 상기 RF 부성저항 회로의 공진부와 병렬로 연결되어 있으며, 상기 한 쌍의 피드백 트랜지스터와 상기 트랜스포머의 교점에 연결되며, 드레인에 출력단이 형성되어 있는 한 쌍의 버퍼 트랜지스터를 포함한다.

[0013] 상기 한 쌍의 상보적 트랜지스터는 각각 PMOS 트랜지스터와 NMOS 트랜지스터로 되어 있으며, 상기 PMOS 트랜지스터의 드레인과 상기 NMOS 트랜지스터의 드레인은 상기 트랜스포머의 1차측 코일단의 양 단에 각각 연결되고, 상기 PMOS 트랜지스터의 소스는 전원에 연결되고, 게이트는 상기 NMOS 트랜지스터의 드레인에 연결되고, 상기 NMOS 트랜지스터의 소스는 접지에 연결되고, 게이트는 상기 PMOS 트랜지스터의 드레인에 연결되어 있다.

[0014] 상기 한 쌍의 피드백 트랜지스터는 제1 피드백 트랜지스터와 제2 피드백 트랜지스터로 되어 있고, 드레인이 상기 트랜스포머의 2차측 코일단의 양 단에 각각 연결되고, 소스가 접지에 연결되고, 상기 제1 피드백 트랜지스터의 게이트가 상기 PMOS 트랜지스터의 게이트와 NMOS 트랜지스터의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결되며, 상기 제2 피드백 트랜지스터의 게이트가 상기 NMOS 트랜지스터의 게이트와 상기 PMOS 트랜지스터의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결되어 있다.

[0015] 상기 한 쌍의 버퍼 트랜지스터의 게이트는 각각 상기 피드백 트랜지스터의 드레인과 상기 트랜스포머의 2차측 코일단의 교점에 연결되며, 드레인에 출력단이 형성되어 있다.

[0016] 본 발명의 다른 실시예에 따른 신호 발생기는 한 쌍의 부성저항 트랜지스터와, 상기 한 쌍의 부성저항 트랜지스터의 게이트에 연결되어 있는 제1 인덕터를 포함하여 이루어지는 RF 부성저항 회로 및 상호 인덕턴스로 결합되어 있는 하나의 트랜스포머와, 상보적인 특성을 갖도록 연결된 한 쌍의 상보적 트랜지스터와, 한 쌍의 피드백 트랜지스터를 포함하여 이루어지는 교차 결합 상보형 트랜스포머 피드백 발진기를 포함하며, 상기 트랜스포머는 상기 한 쌍의 상보적 트랜지스터 사이에 위치한 1차측 코일단과, 공통 노드에 전원이 연결되어 있는 2차측 코일단을 포함하여 이루어지며, 상기 한 쌍의 부성저항 트랜지스터는 드레인이 전원에 연결되고, 게이트가 상기 제1 인덕터와 연결되고, 소스가 상기 트랜스포머의 2차측 코일단과 상기 한 쌍의 상보적 트랜지스터의 교점과 연결된다.

[0017] 상기 RF 부성저항 회로의 공진부와 병렬로 연결되어 있으며, 상기 한 쌍의 피드백 트랜지스터와 상기 트랜스포머의 교점에 연결되며, 드레인에 출력단이 형성되어 있는 한 쌍의 버퍼 트랜지스터를 포함한다.

[0018] 상기 한 쌍의 상보적 트랜지스터는 각각 PMOS 트랜지스터와 NMOS 트랜지스터로 되어 있으며, 상기 PMOS 트랜지스터의 드레인과 상기 NMOS 트랜지스터의 드레인은 상기 트랜스포머의 1차측 코일단의 양 단에 각각 연결되고, 상기 PMOS 트랜지스터의 소스는 전원에 연결되고, 게이트는 상기 NMOS 트랜지스터의 드레인에 연결되고, 상기 NMOS 트랜지스터의 소스는 접지에 연결되고, 게이트는 상기 PMOS 트랜지스터의 드레인에 연결되어 있다.

[0019] 상기 한 쌍의 피드백 트랜지스터는 제1 피드백 트랜지스터와 제2 피드백 트랜지스터로 되어 있고, 드레인이 상기 트랜스포머의 2차측 코일단의 양 단에 각각 연결되고, 소스가 접지에 연결되고, 상기 제1 피드백 트랜지스터의 게이트가 상기 PMOS 트랜지스터의 게이트와 NMOS 트랜지스터의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결되며, 상기 제2 피드백 트랜지스터의 게이트가 상기 NMOS 트랜지스터의 게이트와 상기 PMOS 트랜지스터의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결되어 있다.

[0020] 상기 한 쌍의 버퍼 트랜지스터의 게이트는 각각 상기 피드백 트랜지스터의 드레인과 상기 트랜스포머의 2차측 코일단의 교점에 연결되며, 드레인에 출력단이 형성되어 있다.

발명의 효과

[0021] 본 발명에 의하면 핵심적인 공진부가 되는 RF 부성저항 회로에 연결되는 노드가 적기 때문에 레이아웃에서 발생하는 기생 커피시터가 작다는 효과가 있다.

[0022] 또한, 본 발명에서 제안하는 신호발생기가 종래의 발진기보다 출력 버퍼 트랜지스터에 더 많은 전류가 흐르기 때문에 더 큰 출력파워를 얻을 수 있다는 효과가 있다.

도면의 간단한 설명

[0023]

도 1은 종래의 교차 결합 상보형 발진기 구조를 나타낸 도면이다.

도 2는 본 발명의 일 실시예에 따른 RF 부성저항 회로와 교차 결합 상보형 트랜스포머 피드백 발진기 구조의 신호 발생기를 도시한 도면이다.

도 3은 본 발명의 다른 실시예에 따른 RF 부성저항 회로와 교차 결합 상보형 트랜스포머 피드백 발진기 구조의 신호 발생기를 도시한 도면이다.

도 4는 본 발명의 일 실시예에 따른 의학영상 장치에 쓰이는 THz 신호원을 도시한 도면이다.

도 5는 본 발명의 일 실시예에 따른 신호 송수신기를 개략적으로 도시한 도면이다.

도 6은 종래의 교차 결합된 상보형 발진기와 본 발명의 신호 발생기의 발진주파수 및 출력파워를 비교한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0024]

본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0025]

본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0026]

다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 갖는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0027]

또한, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0028]

도 2는 본 발명의 일 실시예에 따른 RF 부성저항 회로와 교차 결합 상보형 트랜스포머 피드백 발진기 구조의 신호 발생기를 도시한 도면이다. 도 2는 본 발명에서 제안하는 RF 부성저항 회로와 교차 결합 상보형 트랜스포머 피드백 발진기 구조의 트랜스포머 1차측이 결합된 신호 발생기를 도시한 도면이다.

[0029]

본 발명의 신호 발생기는 RF 부성저항 회로(100)와 교차 결합 상보형 트랜스포머 피드백 발진기(200)가 연결된 구조로 되어 있다.

[0030]

도 2를 참조하면, RF 부성저항 회로(100)는 하나의 인덕터(L1), 한 쌍의 부성저항 트랜ジ스터(M_{gm})로 구성되어 있다.

[0031]

부성저항 트랜지스터(M_{gm})의 드레인은 전원(VDD)에 연결되고, 게이트는 인덕터(L1)의 양끝과 각각 연결된다. 부성저항 트랜지스터(M_{gm})의 소스는 트랜스포머의 1차측(L2) 양끝과 상보형 트랜지스터(M_p , M_n)의 드레인이 만나는 교점에 각각 연결된다. 부성저항 트랜지스터(M_{gm})의 게이트와 연결된 인덕터(L1) 공통 노드에 전원(V_{gate})이 연결되어 트랜지스터(M_{gm})의 게이트 바이어스 전압을 조절할 수 있는 DC전압을 인가한다.

[0032]

교차 결합 상보형 트랜스포머 피드백 발진기(200) 구조는 상호 인덕턴스(M)로 결합되어 있는 하나의 트랜스포머, 상보적인 특성을 갖도록 연결된 한 쌍의 트랜지스터(M_p , M_n), 한 쌍의 피드백 트랜지스터(M_{fb})로 구성되어 있다. 트랜스포머의 2차측(L3) 공통 노드에 전원(VDD)이 연결되어 피드백 트랜지스터(M_{fb})에 DC전압을 인

가한다.

[0033] 도 2의 실시예에서 상보적 특성을 갖는 한 쌍의 트랜지스터(M_p , M_n)는 각각 PMOS 트랜지스터(M_p), NMOS 트랜지스터(M_n)로 구현된다.

[0034] 상보적인 트랜지스터(M_p , M_n)의 드레인은 트랜스포머의 1차측(L2)의 양끝과 각각 연결된다. PMOS 트랜지스터(M_p)의 소스는 전원(VDD)에 연결되고, 게이트는 NMOS 트랜지스터(M_n)의 드레인에 연결된다. NMOS 트랜지스터(M_n)의 소스는 접지에 연결되고, 게이트는 PMOS 트랜지스터(M_p)의 드레인에 연결된다.

[0035] 피드백 트랜지스터(M_{fb})의 드레인은 트랜스포머의 2차측(L3)의 양끝과 각각 연결되고, 소스는 접지에 연결된다.

[0036] 제1 피드백 트랜지스터(M_{fb})의 게이트는 PMOS 트랜지스터(M_p)의 게이트와 NMOS 트랜지스터(M_n)의 드레인이 만나는 교점과 연결되고, 소스는 접지에 연결된다.

[0037] 제2 피드백 트랜지스터(M_{fb})의 게이트는 NMOS 트랜지스터(M_n)의 게이트와 PMOS 트랜지스터(M_p)의 드레인이 만나는 교점과 연결되고, 소스는 접지에 연결된다.

[0038] 출력단 버퍼 트랜지스터(M_b)의 게이트는 각각 피드백 트랜지스터(M_{fb})의 드레인과 트랜스포머의 2차측(L3)의 교점에 연결되며, 버퍼 트랜지스터(M_b)의 드레인에 출력단(V_{out}^+ , V_{out}^-)이 형성되어 있다.

[0039] 본 발명의 일 실시예에 따른 신호 발생기는 한 쌍의 부성저항 트랜지스터(M_{gm})와, 한 쌍의 부성저항 트랜지스터(M_{gm})의 게이트에 연결되어 있는 제1 인덕터(L1)를 포함하여 이루어지는 RF 부성저항 회로(100) 및 상호 인덕턴스(M)로 결합되어 있는 하나의 트랜스포머와, 상보적인 특성을 갖도록 연결된 한 쌍의 상보적 트랜지스터(M_p , M_n)와, 한 쌍의 피드백 트랜지스터(M_{fb})를 포함하여 이루어지는 교차 결합 상보형 트랜스포머 피드백 발진기(200)를 포함한다.

[0040] 트랜스포머는 한 쌍의 상보적 트랜지스터(M_p , M_n) 사이에 위치한 1차측 코일단(L2)과, 공통 노드에 전원이 연결되어 있는 2차측 코일단(L3)을 포함하여 이루어진다.

[0041] 한 쌍의 부성저항 트랜지스터(M_{gm})는 드레인이 전원에 연결되고, 게이트가 제1 인덕터(L1)와 연결되고, 소스가 트랜스포머의 1차측 코일단(L2)과 한 쌍의 상보적 트랜지스터(M_p , M_n)의 교점과 연결된다.

[0042] 한 쌍의 버퍼 트랜지스터(M_b)는 RF 부성저항 회로(100)의 공진부와 병렬로 연결되어 있으며, 한 쌍의 피드백 트랜지스터(M_{fb})와 트랜스포머의 교점에 연결되며, 드레인에 출력단(V_{out}^+ , V_{out}^-)이 형성되어 있다.

[0043] 한 쌍의 상보적 트랜지스터(M_p , M_n)는 각각 PMOS 트랜지스터(M_p)와 NMOS 트랜지스터(M_n)로 되어 있다.

[0044] PMOS 트랜지스터(M_p)의 드레인과 NMOS 트랜지스터(M_n)의 드레인은 트랜스포머의 1차측 코일단(L2)의 양 단에 각각 연결된다.

[0045] PMOS 트랜지스터(M_p)의 소스는 전원(V_{DD})에 연결되고, 게이트는 NMOS 트랜지스터(M_n)의 드레인에 연결된다.

[0046] NMOS 트랜지스터(M_n)의 소스는 접지에 연결되고, 게이트는 PMOS 트랜지스터(M_p)의 드레인에 연결된다.

[0047] 한 쌍의 피드백 트랜지스터(M_{fb})는 제1 피드백 트랜지스터와 제2 피드백 트랜지스터로 되어 있고, 드레인이 트랜스포머의 2차측 코일단의 양 단에 각각 연결되고, 소스가 접지에 연결된다.

[0048] 제1 피드백 트랜지스터의 게이트가 PMOS 트랜지스터(M_p)의 게이트와 NMOS 트랜지스터(M_n)의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결된다.

[0049] 제2 피드백 트랜지스터의 게이트가 NMOS 트랜지스터(M_n)의 게이트와 PMOS 트랜지스터(M_p)의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결된다.

- [0050] 한 쌍의 버퍼 트랜지스터(M_b)의 게이트는 각각 피드백 트랜지스터(M_{fb})의 드레인과 트랜스포머의 2차측 코일단(L3)의 교점에 연결되며, 드레인에 출력단(V_{out}^+ , V_{out}^-)이 형성되어 있다.
- [0051] 도 3은 본 발명의 다른 실시예에 따른 RF 부성저항 회로와 교차 결합 상보형 트랜스포머 피드백 발진기 구조의 신호 발생기를 도시한 도면이다. 도 3은 본 발명에서 제안하는 RF 부성저항 회로와 교차 결합 상보형 트랜스포머 피드백 발진기 구조의 트랜스포머 2차측이 결합된 신호 발생기를 도시한 도면이다.
- [0052] 도 3은 본 발명의 다른 실시예로서, 부성저항 트랜지스터(M_{gm})의 소스가 트랜스포머의 2차측(L3) 양끝과 각각 연결되어 있는 구조를 도시하고 있다.
- [0053] 도 3을 참조하면, 트랜스포머의 1차측(L2)에는 PMOS 트랜지스터(M_p)의 소스에서 공급된 전원(VDD)에 의해 전류가 흐르고, 트랜스포머의 2차측(L3)에는 부성저항 트랜지스터(M_{gm})의 드레인에서 공급된 전원(VDD)에 의해 전류가 흐르게 된다. 나머지는 전술한 도 2의 실시예와 동일하다.
- [0054] RF 부성저항 회로의 인덕터(L1)나 트랜스포머의 1차측(L2) 또는 트랜스포머의 2차측(L3)에 병렬로 1가변커패시터(C_{var1})나 2가변커패시터(C_{var2}) 또는 3가변커패시터(C_{var3})를 연결하고, 전압(V_{cont})을 공급하여 커패시터 값을 변경함으로써 출력신호의 주파수를 변경시키는 전압제어 발진기로 이용할 수 있다.
- [0055] 본 발명의 다른 실시예에 따른 신호 발생기는 한 쌍의 부성저항 트랜지스터(M_{gm})와, 한 쌍의 부성저항 트랜지스터(M_{gm})의 게이트에 연결되어 있는 제1 인덕터(L1)를 포함하여 이루어지는 RF 부성저항 회로(100) 및 상호 인덕턴스(M)로 결합되어 있는 하나의 트랜스포머와, 상보적인 특성을 갖도록 연결된 한 쌍의 상보적 트랜지스터(M_p , M_n)와, 한 쌍의 피드백 트랜지스터(M_{fb})를 포함하여 이루어지는 교차 결합 상보형 트랜스포머 피드백 발진기(200)를 포함한다.
- [0056] 트랜스포머는 한 쌍의 상보적 트랜지스터(M_p , M_n) 사이에 위치한 1차측 코일단(L2)과, 공통 노드에 전원이 연결되어 있는 2차측 코일단(L3)을 포함하여 이루어진다.
- [0057] 한 쌍의 부성저항 트랜지스터(M_{gm})의 드레인이 전원에 연결되고, 게이트가 제1 인덕터(L1)와 연결되고, 소스가 트랜스포머의 2차측 코일단(L3)과 한 쌍의 상보적 트랜지스터(M_p , M_n)의 교점과 연결된다.
- [0058] 한 쌍의 버퍼 트랜지스터(M_b)는 RF 부성저항 회로(100)의 공진부와 병렬로 연결되어 있으며, 한 쌍의 피드백 트랜지스터(M_{fb})와 트랜스포머의 교점에 연결되며, 드레인에 출력단(V_{out}^+ , V_{out}^-)이 형성되어 있다.
- [0059] 한 쌍의 상보적 트랜지스터(M_p , M_n)는 각각 PMOS 트랜지스터(M_p)와 NMOS 트랜지스터(M_n)로 되어 있다.
- [0060] PMOS 트랜지스터(M_p)의 드레인과 NMOS 트랜지스터(M_n)의 드레인은 트랜스포머의 1차측 코일단(L2)의 양 단에 각각 연결된다.
- [0061] PMOS 트랜지스터(M_p)의 소스는 전원(V_{DD})에 연결되고, 게이트는 NMOS 트랜지스터(M_n)의 드레인에 연결된다.
- [0062] NMOS 트랜지스터(M_n)의 소스는 접지에 연결되고, 게이트는 PMOS 트랜지스터(M_p)의 드레인에 연결된다.
- [0063] 한 쌍의 피드백 트랜지스터(M_{fb})는 제1 피드백 트랜지스터와 제2 피드백 트랜지스터로 되어 있고, 드레인이 트랜스포머의 2차측 코일단의 양 단에 각각 연결되고, 소스가 접지에 연결된다.
- [0064] 제1 피드백 트랜지스터의 게이트가 PMOS 트랜지스터(M_p)의 게이트와 NMOS 트랜지스터(M_n)의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결된다.
- [0065] 제2 피드백 트랜지스터의 게이트가 NMOS 트랜지스터(M_n)의 게이트와 PMOS 트랜지스터(M_p)의 드레인이 만나는 교점에 연결되고, 소스가 접지에 연결된다.
- [0066] 한 쌍의 버퍼 트랜지스터(M_b)의 게이트는 각각 피드백 트랜지스터(M_{fb})의 드레인과 트랜스포머의 2차측 코일단

(L3)의 교점에 연결되며, 드레인에 출력단(V_{out}^+ , V_{out}^-)이 형성되어 있다.

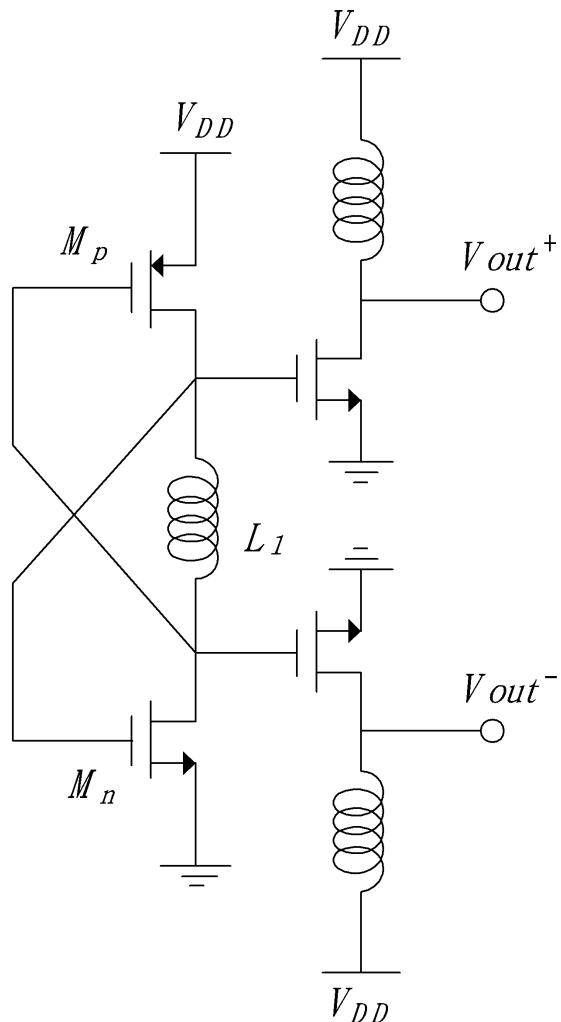
- [0067] 도 4는 본 발명의 일 실시예에 따른 의학영상 장치에 쓰이는 THz 신호원을 도시한 도면이다.
- [0068] 도 4는 전술한 본 발명의 고주파 신호 발생기를 의학 영상 장치 등에 쓰이는 THz 신호원으로 사용한 예를 개략적으로 도시한 것이다.
- [0069] 도 5는 본 발명의 일 실시예에 따른 신호 송수신기를 개략적으로 도시한 도면이다.
- [0070] 도 5는 전술한 본 발명의 고주파 신호 발생기를 국부 발진기(local oscillator)로 사용한 신호 송수신기를 개략적으로 도시한 것이다. 이처럼 본 발명에서의 고주파 신호 발생기를 이용함으로써 고주파 신호 송수신이 가능하다.
- [0071] 이처럼, 본 발명의 고출력 신호 발생기는 신호 송수신기, 의료 영상 장치 등 다양한 관련 분야에서 응용될 수 있다.
- [0072] 전술한 바와 같이, 도 1에 도시되어 있는 종래의 교차 결합된 상보형 발진기 구조는 고주파수에서 발진할 수 없기 때문에, 본 발명에서는 RF 부성저항 회로와 결합하여 고주파수에서 충분한 부성저항을 제공하여 발진할 수 있도록 제안한다.
- [0073] RF 부성저항 회로와 종래의 발진기를 결합하면 RF 부성저항 회로의 발진주파수를 중심으로 발진하게 되면서 출력은 교차 결합된 상보형 발진기 구조를 통해서 나오게 된다. 이 구조는 핵심적인 공진부가 되는 RF 부성저항 회로에 연결되는 노드가 적기 때문에 레이아웃에서 발생하는 기생 커패시터가 작다는 장점이 있다.
- [0074] 도 1에 도시되어 있는 종래의 교차 결합된 상보형 발진기 구조에서는 출력단이 교차 결합된 상보형 트랜지스터 (M_p , M_n) 드레인과 인덕터(L1)의 교점에 형성되어 있다. 이 때, 출력단 버퍼트랜지스터 게이트에 인가는 전압은 약 VDD/2 가 된다.
- [0075] 도 2에 도시되어 있는 본 발명에서 제안하는 신호 발생기의 출력단은 트랜스포머의 2차측(L3)과 연결된 피드백 트랜지스터(M_{fb})의 드레인에 형성되어 있다. 이 때, 출력단 버퍼 트랜지스터 게이트에는 트랜스포머의 2차측을 통하여 VDD가 인가된다. 따라서 같은 VDD에서 제안된 신호 발생기가 종래의 발진기보다 출력 버퍼 트랜지스터에 더 많은 전류가 흐르기 때문에 더 큰 출력파워를 얻을 수 있다.
- [0076] 도 6은 종래의 교차 결합된 상보형 발진기와 본 발명의 신호 발생기의 발진주파수 및 출력파워를 비교한 그래프이다.
- [0077] 도 6은 본 발명에서 제안하는 신호 발생기와 종래의 교차 결합 상보형 발진기의 발진주파수를 도시한 그래프이다.
- [0078] 도 6에서는 RFNR 회로를 이용하여 발진주파수가 183GHz에서 330GHz으로 증가한 것을 확인할 수 있고, 트랜스포머 피드백 구조의 트랜스포머 2차측에 출력단을 연결함으로써 출력 파워 또한 -21dBm에서 -11.8dBm으로 증가한 것을 확인할 수 있다.
- [0079] 이상 본 발명을 몇 가지 바람직한 실시예를 사용하여 설명하였으나, 이들 실시예는 예시적인 것이며 한정적인 것이 아니다. 본 발명이 속하는 기술분야에서 통상의 지식을 지닌 자라면 본 발명의 사상과 첨부된 특허청구범위에 제시된 권리범위에서 벗어나지 않으면서 다양한 변화와 수정을 가할 수 있음을 이해할 것이다.

부호의 설명

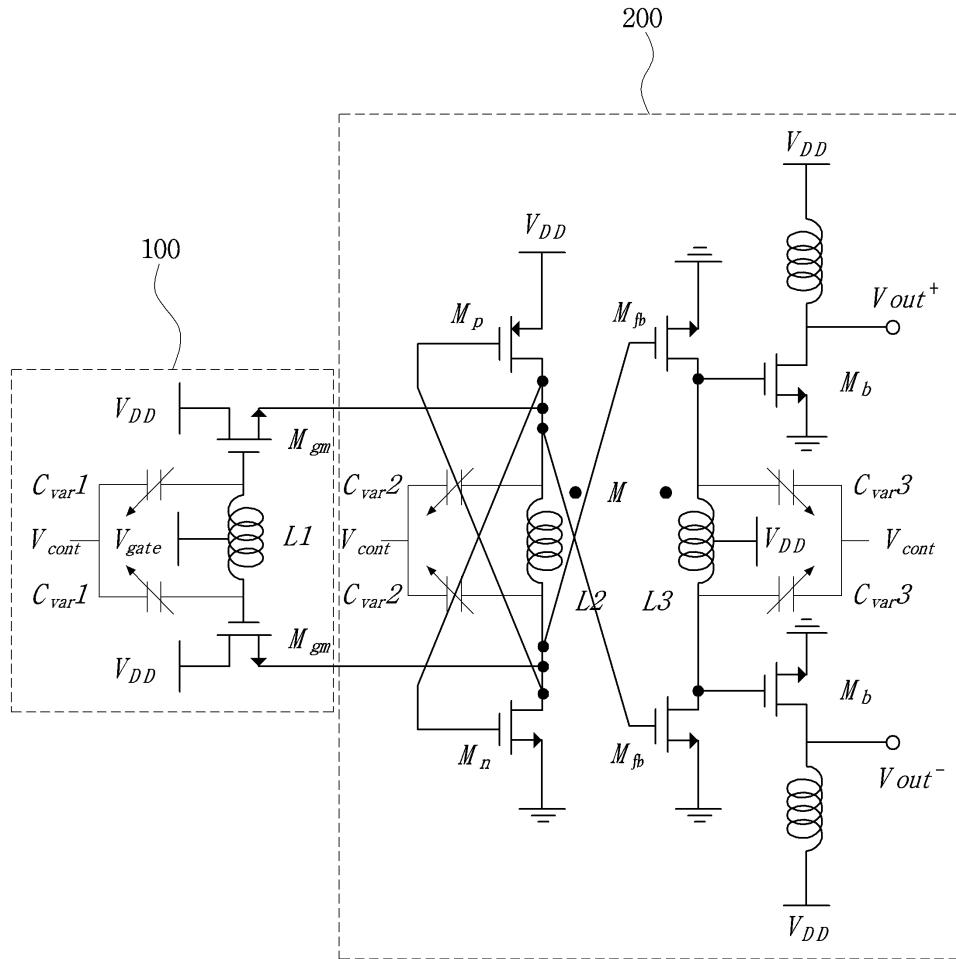
- [0080] 100 RF 부성저항 회로
200 교차 결합 상보형 트랜스포머 피드백 발진기

도면

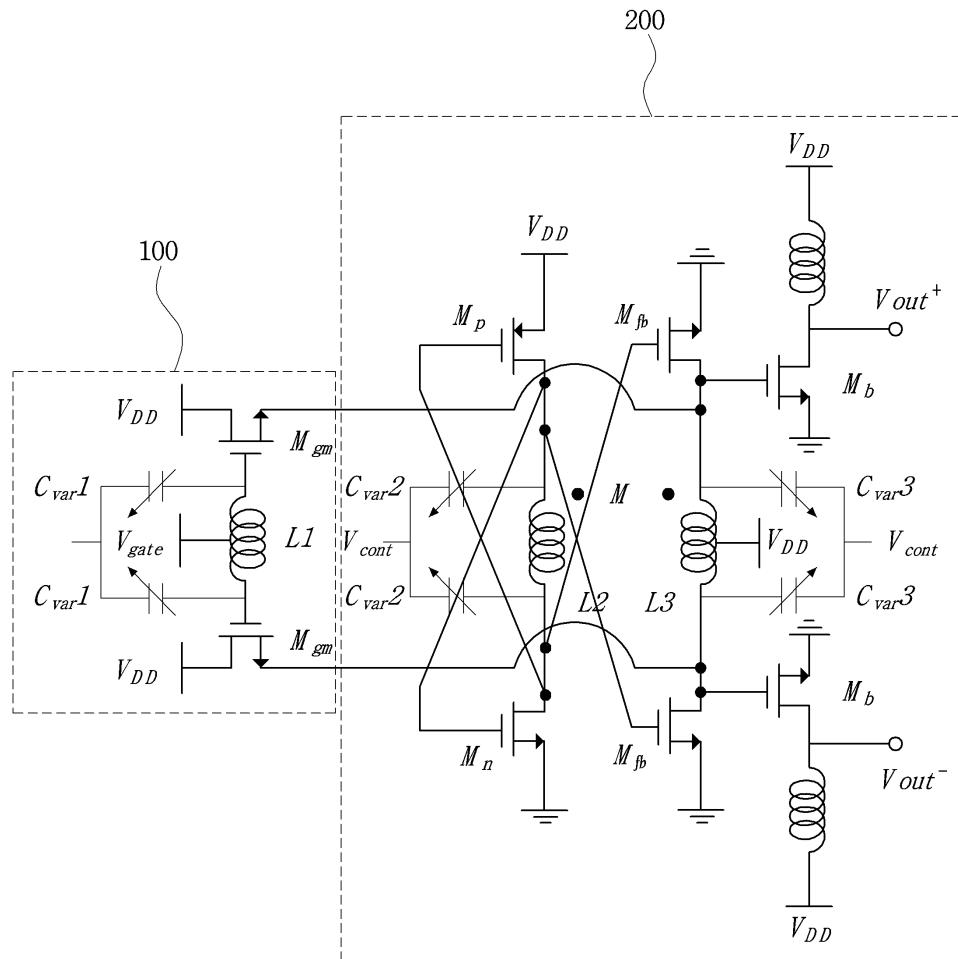
도면1



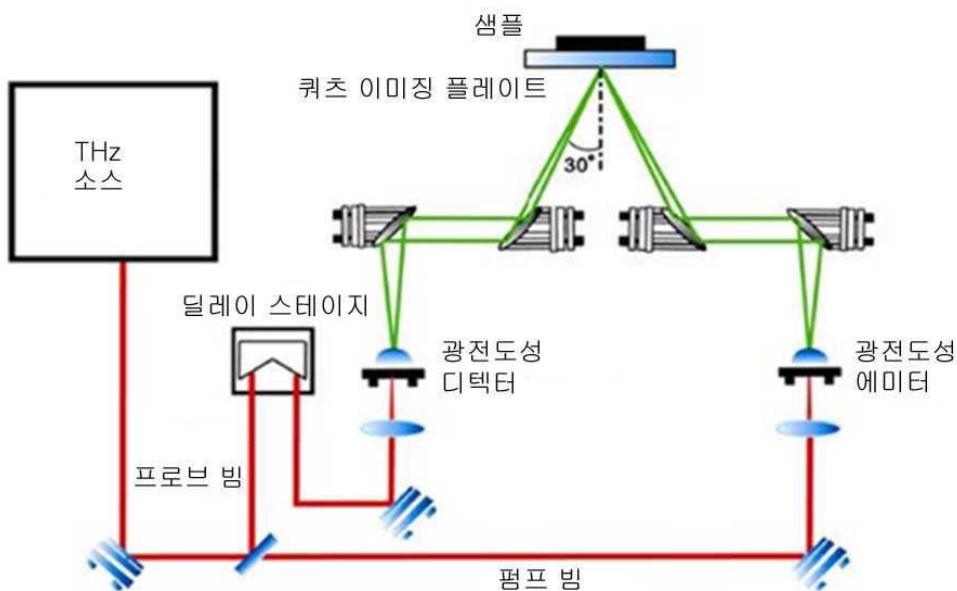
도면2



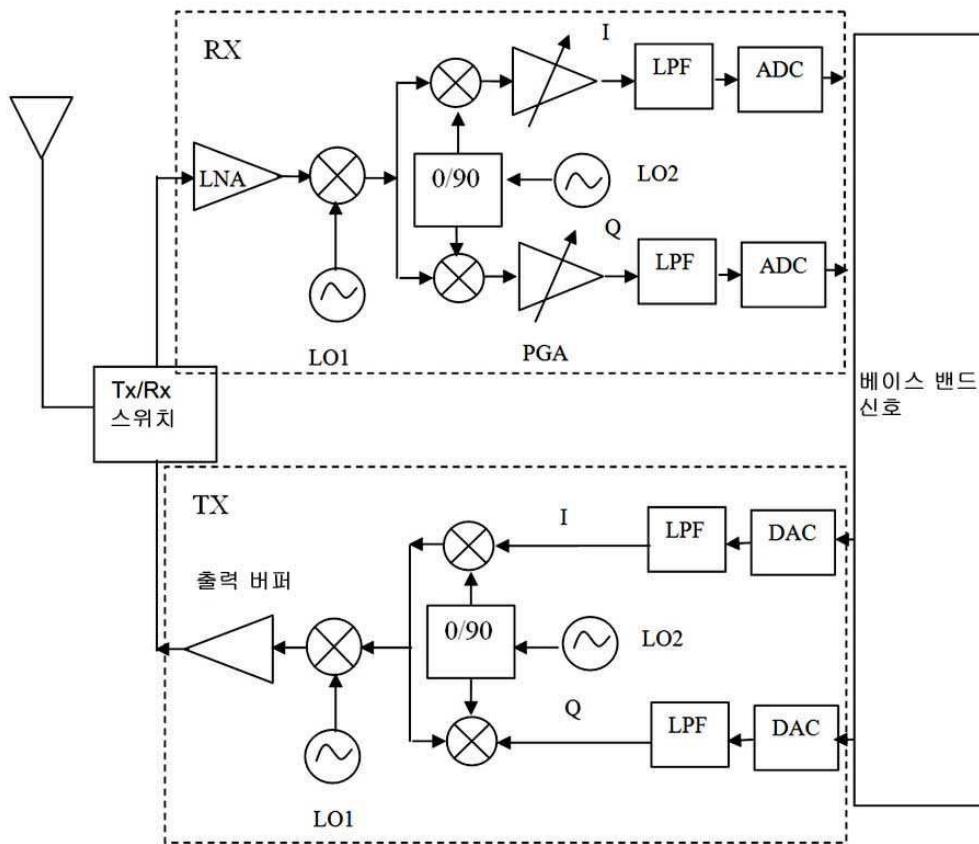
도면3



도면4



도면5



도면6

