



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 31 01 79
(21) PV 699-79
(89) 701 349, SU

(40) Zveřejněno 15 09 81
(45) Vydáno 09 04 84

(11) **222 951**
B1

(51) Int. Cl. G 11 C 5/00
G 11 C 15/00

(75)

Autor vynálezu

VITALIJEV GEORGIJ VIKTOROVIČ, MOSKVA, SU

(54)

Asociativní paměťové zařízení

Vynález spadá do oboru výpočetní techniky, přesněji k vyhledávacím paměťovým zařízením s integrovanými mikroobvody paměti a je určen pro zvýšení výkonnosti během provádění aritmetických operací. Vytýčeného cíle se dosahuje tím, že bloky adresových paměťových modulů jsou uspořádány ve tvaru pravoúhlé matice a obsahují čtyři moduly, jejichž řádové záznamové sběrnicové jsou spojené se sčítačkami modulu dvě, přičemž operace sčítání a odčítání se uskutečňuje sčítáním signálů ve výstupních řádových sběrnicích příslušných modulů tohoto bloku a bloku předchozího řádku matice, přepojovaných dvoukanálovými přepínači, které jsou spojeny se vstupem sčítaček modulu dvě druhé dvojice modulů tohoto bloku. Pro provedení operací násobení a dělení se do každého bloku zavede ještě jedna dvojice paměťových modulů, druhé a třetí dvoukanálové přepínače a také prvky logického součinu.

ОПИСАНИЕ ИЗОБРЕТЕНИЯ
к авторскому свидетельству

Заявлено 24.01.78

Заявка № 2573116/18-24

МКИ² С11 С 15/00

Автор изобретения: Г.В.Виталиев

АССОЦИАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

Изобретение относится к области запоминающих устройств.

Известны ассоциативные запоминающие устройства (I, П).

В одном из известных ассоциативных запоминающих устройств арифметические операции над парой чисел выполняются в виде последовательности логических операций (I).

Недостатком этого устройства является малая скорость работы.

Из известных устройств наиболее близким техническим решением к данному изобретению является ассоциативное запоминающее устройство, содержащее матрицу адресных блоков памяти, элементы ИЛИ, входы которых подключены к выходам регистра опроса и регистра маски, а выходы - ко входам дешифраторов опроса, выходы которых соединены с адресными шинами адресных блоков памяти соответствующих строк матрицы, дешифратор операций, выходы которого соединены со входами управления выборкой и записью и информационными входами адресных блоков памяти каждого столбца матрицы, сумматоры по модулю два, выходы которых подключены к разрядным шинам записи адресных блоков памяти, а первые входы - к соответствующим выходам дешифратора операций (2).

Недостатком этого устройства является существенное снижение быстродействия при выполнении арифметических операций.

Целью настоящего изобретения является повышение быстродействия устройства.

Поставленная цель достигается тем, что устройство содержит двухканальные переключатели, выходы которых соединены со вторыми и третьими входами сумматоров по модулю два, входы - с выходными разрядными шинами - соответствующих адресных блоков памяти, управляющие входы двухканальных переключателей и сумматоров по модулю два подключены к соответствующим выходам дешифратора операций.

На фиг.1 приведена структурная схема устройства. На фиг.2 приведена функциональная схема устройства, на которой более подробно раскрыты адресные блоки памяти, а на фиг.3 - функциональная схема устройства, имеющего повышенную производительность при выполнении операций умножения и деления.

Устройство содержит (см.фиг. 1) адресные блоки памяти I, организованные в виде прямоугольной матрицы.

Каждый блок I содержит например четыре адресных запоминающих блока I.1-I.4 или I.5-I.8 (см.фиг.2), которые могут быть выполнены в виде полупроводниковых микросхем. Блоки I.1-I.8 имеют адресные линии 2, выходные разрядные шины 3, разрядные шины 4 записи, входы 5 управления выборкой, входы 6 управления записью, информационные входы 7. Кроме того устройство содержит триггеры 8 и 9 регистра IO опроса и регистра II маски, соответственно, которые разделены на группы I2 триггеров 8 и группы I3

триггеров 9 по числу строк матрицы, элементы ИЛИ I4. Первые входы I5 и вторые входы I6 элементов ИЛИ I4 подключены соответственно к прямым выходам I7 и обратным выходам I8 триггеров 8 регистра I0 опроса и прямым выходам I9 триггеров 9 регистра II маски, а выходы - ко входам дешифраторов опроса 20. Выходы дешифраторов 20 соединены с адресными шинами 2 блоков I соответствующих строк матрицы.

Регистр II маски, элементы ИЛИ I4 и дешифраторы 20 разделены на управляющие группы 2I по числу блоков I.I-I.8 в блоке I.

Входы 5,6 и 7 блоков I каждого столбца матрицы присоединены к выходам дешифратора 22 операций. Разрядные шины 4 записи блоков I подсоединены к выходам сумматоров 23 по модулю два, первые входы которых соединены с соответствующими выходами дешифратора 22 операций. Группы I3 триггеров 9 регистра II выполнены в виде кольцевых регистров сдвига. Устройство содержит также двухканальные переключатели 24.

Первые входы сумматоров 23 подключены к соответствующим выходам дешифратора 22.

Выходы переключателей 24 подключены соответственно ко вторым и третьим входам сумматоров 23, а управляющие входы переключателей 24 и сумматоров 23 - к соответствующим выходам дешифратора 22.

Входы переключателей 24 соединены с выходными разрядными шинами 3 соответствующих блоков I.I-I.8 (см.фиг.2).

С целью увеличения производительности при выполнении операций умножения и деления устройство может содержать первые

дополнительные двухканальные переключатели 25 (см. фиг. 3), вторые дополнительные двухканальные переключатели 26 и элементы И 27. При этом каждый блок I содержит дополнительные адресные блоки I.9, I.10 или I.11, I.12.

Работу устройства, изображенного на фиг. 1 и 2, проиллюстрируем на примере выполнения операции сложения двух групп из четырех четырехразрядных чисел с помощью восьми блоков I.1-I.8. Каждый из этих блоков в данном примере имеет по четыре адресных шины 2 и по четыре разрядных шины 3 и 4. В блоках I.5 и I.1 записаны четыре числа 0001, 0011, 1011, 0111, а в блоках I.6 и I.2 - четыре числа 1011, 0111, 0100 и 0101. Два младших разряда каждого числа относятся к блокам I.1 и I.2, а два старших - к блокам I.5 и I.6. Указанные числа записаны на соответствующих разрядных линиях этих блоков, т.е. в запоминающих элементах, соединенных с одной из шин 3 и 4, в коде I из $\sqrt{\quad}$ (I на фоне $\sqrt{\quad}$ -I) нулей. Преобразование из позиционного кода в код I из $\sqrt{\quad}$ осуществляется дешифраторами 20. Во все запоминающие элементы блоков I.7, I.3, I.8 и I.4, предварительно записывается код "I". Счет выходов дешифраторов 20 начинается снизу, а счет чисел - слева направо:

Номера выходов дешифраторов 20	I.5	I.6	I.7	I.8
II	0 0 0 0	0 0 0 0	I I I I	I I I I
IO	0 0 1 0	I 0 0 0	I I I I	I I I I
OI	0 0 0 1	0 I I I	I I I I	I I I I

0 0	1 1 0 0	0 0 0 0	1 1 1 1	1 1 1 1
	I.1	I.2	I.3	I.4
11	0 1 1 1	1 1 0 0	1 1 1 1	1 1 1 1
10	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1
01	1 0 0 0	0 0 0 1	1 1 1 1	1 1 1 1

В первом такте на регистры IO опроса первой и второй строки заносится код "11", а на регистры II маски соответствующие блокам I.1-I.3 и I.5 - I.7 код "10" и на регистры II, соответствующие блокам I.4 и I.8 - код "01". В результате у блоков I.1-I.3 и I.5-I.7 возбуждаются адреса 01, 11, а у блоков I.4 и I.8 - адреса 10, 11. На входы 5 всех блоков подается сигнал логической "1", разрешающий обращение к ним, на входы 6 блоков I.1, I.2, I.5, I.6 сигнал логического "0", разрешающий считывание из этих блоков, а на входы 6 блоков I.3, I.4 и I.7 и I.8 сигнал логической "1", разрешающий запись в эти блоки. Блоки I.7 и I.3 используются для накопления поразрядной суммы, а блоки I.8 и I.4 - для накопления переносов. Поразрядная сумма образуется путем суммирования пар исходных чисел по модулю два, а переносы - путем логического умножения пар исходных чисел со сдвигом на один разряд влево (имеется в виду сдвиг исходных позиционных кодов чисел).

При выполнении операции суммирования по модулю два на управляющие входы сумматоров 23, соответствующих блокам I.7

и I.3, поступают сигналы $d = 0$, а при выполнении операции логического умножения на управляющие входы сумматоров 23, соответствующих блокам I.8 и I.4, сигналы $d = 1$. На первые входы этих сумматоров в первом и втором тактах поступают сигналы $c = 1$. Переключатели 24, соединенные с шинами⁴ блоков I.3 и I.7, постоянно коммутируются сигналами на управляющих входах для приема сигналов соответственно из блоков I.1, I.2 и I.5 и I.6 для того, чтобы поразрядная сумма записывалась в блоки I.3, I.7 без сдвига. В первом такте переключатели 24, соответствующие блокам I.4 и I.8, также коммутируются на прием информации соответственно из блоков I.1, I.2 и I.6, I.5. Сдвиг результата операции логического умножения происходит за счет циклического сдвига на один разряд кода маски блоков I.4 и I.8 относительно кода маски блоков I.1, I.2 и I.5, I.6. После выполнения первого такта блоки I.3, I.7 и I.4, I.8 содержат следующую информацию:

I.7	I.8
0 1 1 0	0 0 0 1
1 1 1 1	0 0 0 1
0 1 1 1	1 1 1 1
1 1 1 1	1 1 1 1
I.3	I.4
0 0 1 0	1 1 0 1
1 1 1 1	1 1 0 1
0 0 1 0	1 1 1 1
1 1 1 1	1 1 1 1

Во втором такте коды в регистрах II маски сдвигаются циклически "01" для блоков I.1 - I.3 и I.5 - I.7 и "10" - для блоков I.4 и I.8, а переключатели 24, соответствующие блокам I.4 и I.8, коммутируются на прием информации со сдвигом на одну строку.

В третьем и четвертом тактах на первые входы сумматоров 23 поступают сигналы $c = 0$, на вторые входы переключателей, соответствующих блоку I.4 сигналы логической "1", а на регистры IO опроса обеих строк - код "00", и коды маски циклически сдвигаются в каждом такте. Сигналы на вторых входах этих переключателей 24 являются обратными (инверсными) сигналу C.

При этом в третьем такте сдвиг результата переноса получается за счет сдвига кодов маски блоков I.1-I.3 и I.5-I.7, а в четвертом такте - за счет сдвига кодов маски и коммутации переключателей 24, соответствующих блокам I.4 и I.8, аналогичной второму такту. Диаграмма состояния модулей I.3, I.7, I.4, I.8 во 2-ом, 3-ем и 4-ом тактах приведена ниже:

Такт 2		Такт 3		Такт 4	
I.7	I.8	I.7	I.8	I.7	I.8
0 0 1 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 1 0	0 0 0 0
1 0 1 0	0 0 0 1	1 0 0 0	0 0 0 1	1 0 0 0	0 0 0 1
0 1 1 0	0 1 0 0	0 1 1 0	0 1 0 0	0 1 0 0	0 1 0 0
1 1 1 1	1 1 1 1	1 0 0 1	1 1 1 0	0 0 0 1	1 0 1 0
I.3	I.4	I.3	I.4	I.3	I.4
0 0 1 0	0 0 0 0	0 0 1 0	0 0 0 0	0 0 1 0	0 0 0 0
1 0 1 1	1 1 0 1	1 0 0 1	1 1 0 1	1 0 0 1	1 1 0 1

```

-----
0 0 1 0      0 0 0 0      0 0 1 0      0 0 0 0      0 0 0 0      0 0 0 0
1 1 1 1      1 1 1 1      1 1 0 1      0 0 1 0      0 1 0 0      0 0 1 0
-----

```

Непосредственное сравнение результатов выполнения четвертого такта с результатами сложения по модулю два и логического умножения позиционных кодов подтверждает правильность их вычисления. Так как содержимое блоков I.4 и I.8 отличается от позиционного кода "0000" или слова "00010001" - в коде I из $\checkmark$, то операция сложения продолжается аналогичным образом до тех пор, пока коды переносов не будут полностью совпадать с кодом "0000" для всех чисел, участвующих в данной операции сложения. Для этого во все запоминающие элементы блоков I.5, I.1 и I.6, I.2 записывается код "1" и производится попарное сложение содержимого блоков I.7, I.3 и I.8, I.4 и т.д. Проверка на равенство нулю всех переносов может выполняться путем опроса блоков I.8, I.4 или I.6, I.2 по коду опроса "0000". Устройство, изображенное на фиг.1 и 2, может быть использовано для выполнения всех логических операций над двумя переменными. При выполнении операций равнозначности и логического сложения в первых двух тактах на первые входы сумматоров 23 подаются сигналы $s=0$, а в следующих двух тактах - сигналы $s=1$. Для выполнения операций с обратными кодами чисел используются управляющие группы 2I, в которых код опроса "11...1" может быть за-

менен кодом "00...0" например, за счет введения в состав каждой группы 2I независимого регистра IO опроса. Перезапись в прямом коде выполняется как сложение по модулю два с кодом "0000", а операция инвертирования - как сложение по модулю два с кодом "1111".

Операция вычитания выполняется как сложение с обратным или дополнительным кодом вычитаемого. Операции с плавающей запятой выполняются аналогично операциям в сумматорах с плавающей запятой, т.е. за счет введения ассоциативных разрядов, эквивалентных сумматору порядка, которые функционируют аналогично устройству, приведенному в данном примере.

Работа устройства, приведенного на фиг.3 отличается от работы устройства, изображенного на фиг.2 тем, что блоки I.9-I.12 используются для сдвига кодов множимого и множителя соответственно на один разряд вправо и влево. Умножение реализуется путем накопления в модулях I.3, I.7, суммы последовательных сдвигов кодов, записанных в блоках I.10, I.12, в соответствии с кодами "I" на соответствующих шинах 3 блока I.9 каждого столбца матрицы.

Блоки I.1, I.5, I.2, I.6 используются для хранения промежуточных результатов. Умножение начинается с занесения кодов сомножителей в блоки I.9, I.11... и I.10, I.12. Затем производится сдвиг кодов этих сомножителей на один разряд с записью окончательного результата в блоки I.9, I.11 и I.10, I.12 и перепись содержимого блоков I.10, I.12 в блоки I.4, I.8. В блоки I.3, I.7...предварительно записываются слова

с позиционным кодом "00...0". Далее производится сложение содержимого блоков I.3, I.7... и I.4, I.8..., с записью окончательного результата в блоки I.3, I.7. Затем производится сдвиг кодов в блоках I.9-I.12 еще на один разряд, содержимое блоков I.10, I.12 переписывается в блоки I.4 и I.8 и суммируется с содержимым блоков I.3 и I.7. В остальном выполнение операции умножения в данном устройстве аналогично выполнению умножения в обычном сумматоре. Деление можно заменить операцией вычитания содержимого блоков I.10 и I.12 из содержимого блоков I.3 и I.7.

Применение описанного устройства позволяет параллельно производить логические операции, операции арифметического сложения, вычитания, умножения и деления над двумя произвольными массивами чисел, при этом эти операции могут выполняться в различных сочетаниях по одной независимой операции на каждый столбец матрицы. Следовательно, быстродействие этого устройства по сравнению с известными устройствами (I, II) при правильном выборе алгоритма записи исходных массивов возрастает на один-два порядка и может быть оценено в несколько десятков миллионов операций в секунду для устройства емкостью 1024-4096 слов по 18-72 разряда с единичным циклом опроса и записи порядка 200 нсек.

ФОРМУЛА ИЗОБРЕТЕНИЯ

Ассоциативное запоминающее устройство, содержащее матрицу адресных блоков памяти, элементы ИЛИ, входы которых подключены к выходам регистра опроса и регистра маски, а выходы - к входам дешифраторов опроса, выходы которых соединены с адресными шинами адресных блоков памяти соответствующих строк матрицы, дешифратор операций, выходы которого соединены со входами управления выборкой и записью и информационными входами адресных блоков памяти каждого столбца матрицы, сумматоры по модулю два, выходы которых подключены к разрядным шинам записи адресных блоков памяти, а первые входы - к соответствующим выходам дешифратора операции, отличающееся тем, что с целью повышения быстродействия устройства, оно содержит двухканальные переключатели, выходы которых соединены со вторыми и третьими входами сумматоров по модулю два, входы - с выходными разрядными шинами соответствующих адресных блоков памяти, управляющие входы двухканальных переключателей и сумматоров по модулю два подключены к соответствующим выходам дешифратора операций.

Источники информации, принятые во внимание при экспертизе:

1. Авторское свидетельство СССР № 498162 кл.М.кл.С11 С15/00
1974 г.
2. Авторское свидетельство СССР № 588561, М.кл.С-11 С15/00,
1975 г.

АННОТАЦИЯ

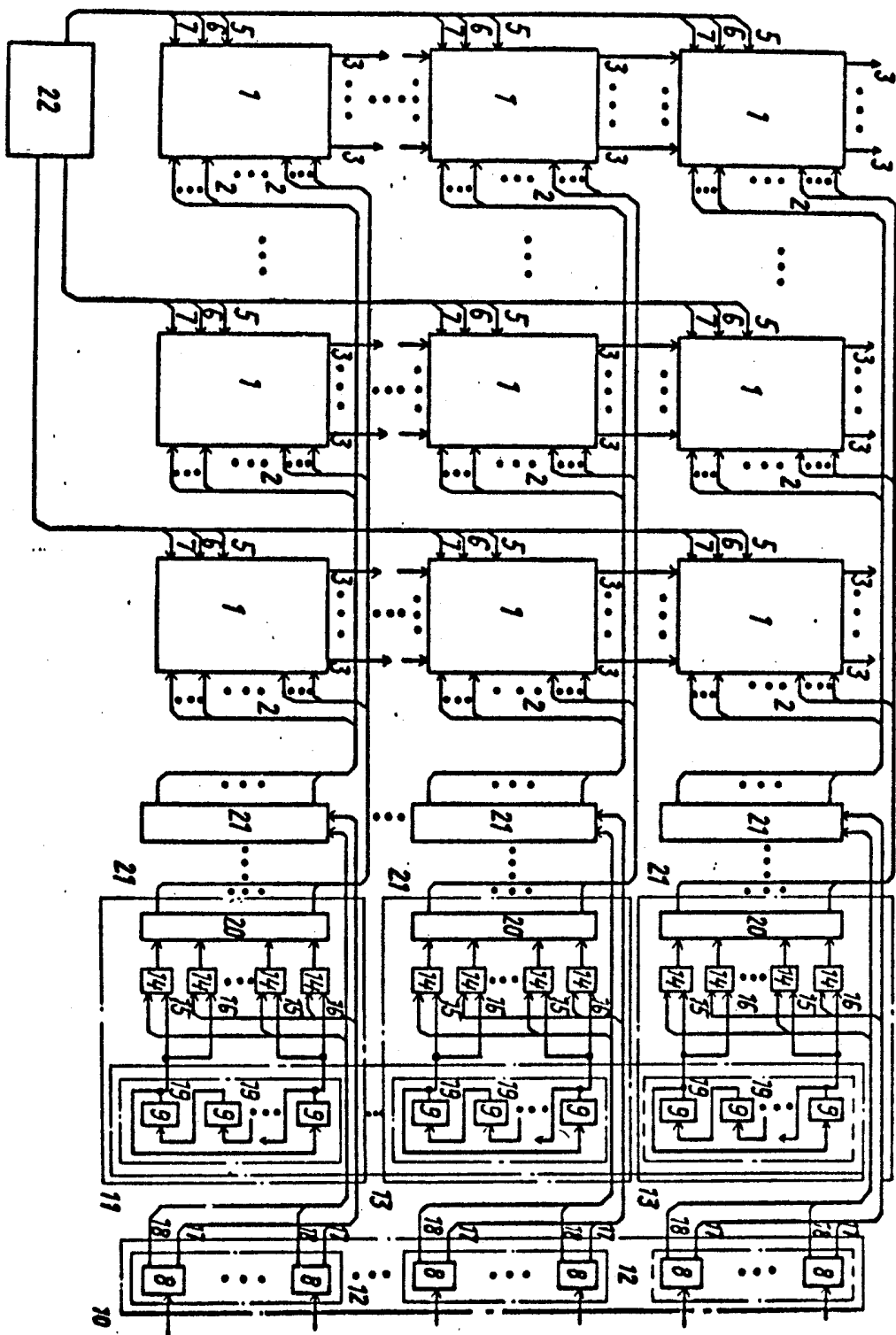
Настоящее предложение относится к области вычислительной техники, а более точно к поисковым запоминающим устройствам на интегральных микросхемах памяти и предназначено для увеличения производительности при выполнении арифметических операций. Поставленная цель достигается тем, что блоки адресных запоминающих модулей организованы в виде прямоугольной матрицы и содержат по четыре модуля, разрядные шины записи которых соединены с сумматорами по модулю два, при этом операции сложения и вычитания реализуются путем сложения сигналов на выходных разрядных шинах соответствующих модулей данного блока и блока предшествующей строки матрицы, коммутируемых двухканальными переключателями, которые соединены со входами сумматоров по модулю два другой пары модулей данного блока. Для выполнения операций умножения и деления в каждый блок вводится еще одна пара запоминающих модулей, вторые и третьи двухканальные переключатели, а также элементы "И".

P Ř E D M Ě T V Y N Á L E Z U

Asociativní paměťové zařízení, obsahující matici adresových paměťových bloků, logické součtové prvky, jejichž vstupy jsou připojeny k výstupům registru dotazu a registru masky a výstupy ke vstupům dekodérů dotazu, jejichž výstupy jsou spojeny s adresovými sběrnici adresových paměťových bloků příslušných maticových řádků, dále obsahuje dekodér operací, jehož výstupy jsou spojeny se vstupem řízení výběru a záznamu, a informačními vstupy adresových paměťových bloků každého sloupce matice, přičemž výstupy čítačů jsou připojeny k řádrovým záznamovým sběrnicím adresovaných paměťových bloků, a první vstupy k příslušným výstupům dekodéru operací, vyznačující se tím, že pro zrychlení činnosti, obsahuje dvoukanálové přepínače (24), jejichž výstupy jsou spojeny s druhými a třetími vstupy čítačů (23) a vstupy s výstupními řádrovými sběrnicemi (3) příslušných adresových paměťových bloků (1.1 až 1.8), zatímco řídicí vstupy dvoukanálových přepínačů (24) a čítačů (23) jsou připojeny k příslušným výstupům dekodéru (22) operací.

3 výkresy

Uznáno vynálezem na základě výsledků expertizy, provedené
Státním výborem pro vynálezy a objevy SSSR, Moskva, SU



Фиг. 1

