(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 10 月 10 日 (10.10.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/207156 A1

(51) 国际专利分类号:
H01L 23/485 (2006.01)

(21) 国际申请号: PCT/CN2023/086020

(22) 国际申请日: 2023 年 4 月 3 日 (03.04.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 长 江 存 储 科 技 有 限 责 任 公 司 **(YANGTZE MEMORY TECHNOLOGIES CO., LTD.)** [CN/CN]; 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430205 (CN)。

(72) 发明人: 曾 心 如 **(ZENG, Xinru)**; 中 国 湖 北 省 武 汉 市 东 湖 新 技 术 开 发 区 未 来 三 路 88 号, Hubei 430205 (CN)。 陈鹏 **(CHEN, Peng)**; 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430205 (CN)。

(74) 代理人: 深 圳 紫 藤 知 识 产 权 代 理 有 限 公 司 **(PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.)**; 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦C座2901, Guangdong 518052 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

WO 2024/207156 A1

(54) **Title:** INTEGRATED PACKAGE DEVICE, MANUFACTURING METHOD THEREFOR AND STORAGE SYSTEM

(54) 发明名称: 集成化封装器件及其制备方法以及存储系统

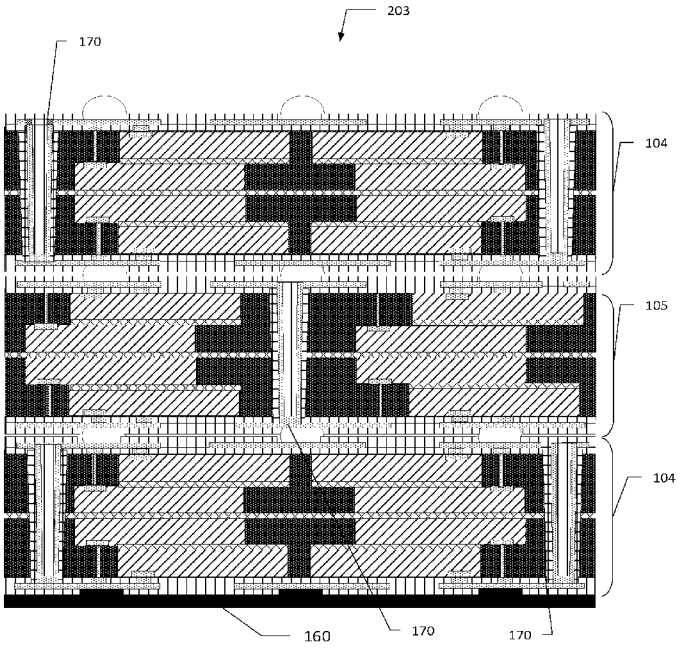

图 2c

(57) **Abstract:** Disclosed in the present application are an integrated package device, a manufacturing method therefor and a storage system. The integrated package device comprises at least one package module, and the package module comprises: a first sub-package module comprising a plurality of first electronic components; a second sub-package module comprising a plurality of second electronic components; a first circuit redistribution layer connected to each first bonding pad; and a second circuit redistribution layer connected to each second bonding pad.

[见续页]

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请公开一种集成化封装器件及其制备方法和存储系统。集成化封装器件包括至少一个封装模块，封装模块包括：第一子封装模块，包括多个第一电子元器件；第二子封装模块，包括多个第二电子元器件；第一电路重分布层，与各第一焊盘连接；和第二电路重分布层，与各第二焊盘连接。

集成化封装器件及其制备方法以及存储系统

技术领域

本申请涉及半导体技术领域，尤其涉及一种集成化封装器件及其制备方法以及存储系统。

背景技术

随着芯片技术的发展，已有多种封装技术被推出，其中，目前芯片堆叠的封装技术包括有打线和 TSV 工艺，但打线的工艺由于金手指的存在会使整个封装的面积撑大，而 TSV 工艺需要芯片设计和芯片封装的配合，技术上会有一定的难度，且其成本也较高。近年来，扇出型封装的出现，有望推动芯片堆叠封装。但已知的扇出型封装结构，仍存在有组合效率和方式以及物理防护不佳的系统结构问题。

技术问题

本申请实施例提供一种集成化封装器件及其制作方法以及存储系统，能够在封装效率与元器件封装数量上取得突破性的进展，并能提供热传与磁蔽效果。

技术解决方案

一方面，本申请实施例提供一种集成化封装器件，其中，所述集成化封装器件包括至少一个封装模块，所述封装模块包括：

第一子封装模块，包括多个第一电子元器件以及将所述多个第一电子元器件封塑在一起的第一封塑体，且各所述第一电子元器件包括位于所述第一电子元器件的一侧的第一焊盘；

第二子封装模块，堆叠于所述第一子封装模块的背离所述第一焊盘的一侧，且包括多个第二电子元器件以及将所述多个第二电子元器件封塑在一起的第二封塑体，各所述第二电子元器件包括位于所述第二电子元器件的一侧的第二焊盘；

第一电路重分布层，位于所述第一子封装模块的背离所述第二子封装模块的一侧，且与各所述第一焊盘连接；以及

第二电路重分布层，位于所述第二子封装模块的背离所述第一子封装模块

的一侧，且与各所述第二焊盘连接。

可选地，所述封装模块还包括：

封塑通孔结构，贯穿所述第一封塑体与所述第二封塑体，并连接所述第一电路重分布层与所述第二电路重分布层。

可选地，所述集成化封装器件还包括位于所述第一子封装模块与所述第二子封装模块之间且分别位于所述第一子封装模块与所述第二子封装模块上的第一键合结构与第二键合结构，所述第一键合结构与所述第二键合结构将所述第一子封装模块与所述第二子封装模块连结在一起。

可选地，所述集成化封装器件还包括联外结构，位于所述第二电路重分布层的背离所述第二子封装模块的一侧，且与所述第二电路重分布层相连接。

可选地，所述联外结构包括锡球阵列。

可选地，所述集成化封装器件还包括覆盖所述第一电路重分布层的背离所述第一子封装模块的一侧的保护层。

可选地，所述集成化封装器件还包括位于所述第一子封装模块与所述第二子封装模块之间的粘结层。

可选地，所述多个第一电子元器件及/或所述多个第二电子元器件分别沿所述第一子封装模块和所述第二子封装模块堆叠的方向上呈阶梯状堆叠，各所述第一电子元器件的所述第一焊盘及/或各所述第二电子元器件的所述第二焊盘未被其他所述第一电子元器件及/或所述第二电子元器件覆盖。

可选地，所述第一焊盘的外接面与所述第二焊盘的外接面各朝向所述第一电路重分布层与所述第二电路重分布层，且所述第一子封装模块及/或所述第二子封装模块还分别包括第一导电柱及/或第二导电柱，所述第一导电柱及/或所述第二导电柱分别连接所述第一电路重分布层与部分所述第一焊盘及/或所述第二电路重分布层与部分所述第二焊盘。

可选地，所述第一焊盘的外接面背向所述第一电路重分布层或所述第二焊盘的外接面背向所述第二电路重分布层，且所述封装模块还包括金线，所述第一焊盘通过所述金线而与所述第一电路重分布层或所述第二焊盘通过所述金线而与所述第二电路重分布层连接。

可选地，所述多个第一电子元器件与所述多个第二电子元器件分别在垂直

于所述第一子封装模块和所述第二子封装模块的堆叠方向的横向上排成至少二列电子元器件列，且所述封塑通孔结构位于二列所述电子元器件列的相互远离的外侧，并具有至少一个所述封塑通孔结构。

可选地，所述多个第一电子元器件与所述多个第二电子元器件分别在垂直于所述第一子封装模块和所述第二子封装模块的堆叠方向的横向上排成至少二列电子元器件列，且所述封塑通孔结构位于二列所述电子元器件列之间，并具有至少一个所述封塑通孔结构。

可选地，所述集成化封装器件包括多个所述封装模块，且所述多个封装模块沿所述第一子封装模块和所述第二子封装模块堆叠的方向上堆叠，且其中任两个相邻的所述封装模块中位于其中一个所述封装模块的所述联外结构，与相邻的另一个所述封装模块的所述第一电路分布层相接，且所述集成化封装器件还包括覆盖在位于所述纵向上最外侧的所述封装模块的所述第一电路重分布层上的保护层。

可选地，所述封装模块还包括联外结构，所述联外结构位于所述第二电路重分布层的背离所述第二电子元器件的一侧，且与所述第二电路重分布层相连接；而且，所述集成化封装器件还包括：

多个所述封装模块，且所述多个封装模块沿所述第一子封装模块和所述第二子封装模块堆叠的方向上堆叠，且其中，

任两个相邻的所述封装模块中位于其中一个所述封装模块的所述联外结构，与相邻的另一个所述封装模块的所述第一电路分布层相接；

所述集成化封装器件还包括覆盖在位于所述纵向上最外侧的所述封装模块的所述第一电路重分布层上的保护层；以及，

各所述封装模块中的各所述封塑通孔结构在所述纵向上对齐或错开。

另一方面，本申请实施例提供一种集成化封装器件的制备方法，其中，所述方法包括：

提供第一子封装模块与第二子封装模块，所述第一子封装模块包括多个第一电子元器件以及将所述多个第一电子元器件封塑在一起的第一封塑体，且各所述第一电子元器件包括位于所述第一电子元器件的一侧的第一焊盘；所述第二子封装模块位于所述第一子封装模块的背离所述第一焊盘的一侧，且包括多

个第二电子元器件以及将所述多个第二电子元器件封塑在一起的第二封塑体，各所述第二电子元器件包括位于所述第二电子元器件的一侧的第二焊盘；

将所述第一子封装模块与所述第二子封装模块堆叠在一起；

于所述第一子封装模块的背离所述第二子封装模块的一侧，形成与各所述第一焊盘连接的第一电路重分布层；以及，

于所述第二子封装模块的背离所述第一子封装模块的一侧，形成与各所述第二焊盘连接的第二电路重分布层。

可选地，所述形成与各所述第二焊盘连接的第二电路重分布层的步骤中，还包括形成贯穿所述第一封塑体与所述第二封塑体并连接所述第一电路重分布层与所述第二电路重分布层的封塑通孔结构；且所述第二电路重分布层与所述封塑通孔结构连接。

可选地，所述制备方法还包括：于所述第二电路重分布层的背离所述第二子封装模块的一侧，形成与所述第二电路重分布层相接的联外结构。

可选地，所述提供第一子封装模块与第二子封装模块的步骤包括：

在第一临时粘结层和第二临时粘结层上分别排布所述多个第一电子元器件和所述多个第二电子元器件，并使各所述第一电子元器件的所述第一焊盘的外接面以及各所述第二电子元器件的所述第二焊盘的外接面分别面向同一侧；

分别在所述多个第一电子元器件和所述多个第二电子元器件的背离所述第一临时粘结层和所述第二临时粘结层的一侧，设置第一载板和第二载板，所述第一载板和第二载板分别包括有分别面向所述多个第一电子元器件和所述多个第二电子元器件的临时键合膜，且所述第一焊盘的外接面与所述第二焊盘的外接面分别面向或背离所述第一载板和所述第二载板；以及

分别去除所述第一临时粘结层和第二临时粘结层，并在所述第一载板和所述第二载板上分别形成所述第一封塑体和所述第二封塑体。

可选地，所述制备方法还包括：在所述设置第一载板和第二载板的步骤前，分别设置第一导电柱与第二导电柱于部分所述第一焊盘与部分所述第二焊盘上。

可选地，所述将所述第一子封装模块与所述第二子封装模块堆叠在一起的步骤还包括：设置粘结层于所述第一子封装模块与所述第二子封装模块之间。

可选地，所述将所述第一子封装模块与所述第二子封装模块堆叠在一起的步骤还包括：分别于所述第一子封装模块与所述第二子封装模块上设置第一键合结构与第二键合结构。

可选地，所述制备方法还包括：在所述第一电路重分布层的背离所述第一子封装模块的一侧，形成覆盖所述第一电路重分布层的保护层。

可选地，所述制备方法还包括：

将所述第一子封装模块与所述第二子封装模块堆叠在一起时，使所述第一子封装模块和所述第二子封装模块的分别背离所述第一载板与所述第二载板的一侧面近接，而使所述第一载板与所述第二载板位于所述第一子封装模块和所述第二子封装模块所成结合体的两外侧；以及

在形成所述第一电路重分布层和所述第二电路重分布层前，分别去除所述第一载板和所述第二载板。

可选地，所述制备方法还包括：提供多个所述封装模块，并将所述多个封装模块沿所述第一子封装模块与所述第二子封装模块的堆叠方向上堆叠，且使任两个相邻的所述封装模块中位于其中一个所述封装模块的所述联外结构，与相邻的另一个所述封装模块的所述第一电路分布层相接。

可选地，所述将所述多个封装模块沿所述第一子封装模块与所述第二子封装模块的堆叠方向上堆叠的步骤还包括：在排位于所述纵向上最外侧的封装模块的所述第一电路重分布层上，形成覆盖所述第一电路重分布层的保护层。

再另一方面，本申请实施例提供一种存储系统，包括：

前面所述的任一种集成化封装器件，

且其中，所述集成化封装器件中的至少一所述第一电子元器件及/或至少一所述第二电子元器件 包括存储器件；且所述至少一所述第一电子元器件及/或至少一所述第二电子元器件以外的至少一所述第一电子元器件及/或至少一所述第二电子元器件包括控制器件，所述控制器件控制所述存储器件的操作。

有益效果

本申请实施例所揭集成化封装器件及其制备方法以及存储系统不仅可以容纳多数量的半导体裸片或电子元器件，且因为采用了垂直的堆叠封装方案，

增加了封装的密度，同时可以使封装体具有电磁屏蔽的系统结构，整个封装体具有较高比例的金属，同时裸片背靠背以及中间的导热粘结/键合膜，使整个结构有较好的散热效果。用 RDL 替换传统的打金线的方式，整体线距可以缩短，能加快信号的传输，提高产品的高频性能，从而实现一个基本完整的功能，达成系统级封装（System in a Package，SiP）。再者，本申请实施例所揭模块化封装方案可以完成高堆叠结构，可以降低超薄芯片对高堆叠高容量封装的封装加工难度，有利于量产化，并可以灵活的加工不同容量的封装，有无限堆叠的可能性，适应市场的需求，有利提高封装的加工良率。

附图说明

为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1a~图 1f 为本申请实施例提供的集成化封装器件所揭各种封装模块的截面结构示意图；

图 2a~图 2d 为本申请实施例提供的集成化封装器件利用所述封装模块进行各种堆叠组合下的截面结构示意图，尤其，图 2d 为一种作为存储系统的集成化封装器件的截面结构示意框图；

图 3 为本申请实施例提供的集成化封装器件的制备方法流程图；

图 4a~图 4j 为本申请实施例提供的集成化封装器件的制备方法中制备封装模块时的各主要步骤对应截面结构示意图；

图 5 为本申请实施例提供的集成化封装器件的制备方法中利用多数封装模块进行堆叠时的代表性截面结构示意图；以及

图 6a~图 6b 为本申请实施例提供的集成化封装器件的制备方法中的一种子封装模块组合时的截面结构示意图。

本发明的实施方式

这里所公开的具体结构和功能细节仅仅是代表性的，并且是用于描述本申请的示例性实施例的目的。但是本申请可以通过许多替换形式来具体实现，并

且不应当被解释成仅仅受限于这里所阐述的实施例。

在本申请的描述中，需要理解的是，术语“中心”、“横向”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。另外，术语“包括”及其任何变形，意图在于覆盖不排他的包含。

再者，对于同一类器件加上术语“第一”、“第二”时，仅是用于区分不同的同一类器件，仅为了便于表达相对位置，不代表有顺序性或固定性，也即“第一”、“第二”具有可互换性，同一类器件其中的一个可以被指代为第一”，也可以被指代为“第二”。

在本申请的描述中，需要说明的是，除非另有明确的规定和限定，术语“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本申请中的具体含义。

这里所使用的术语仅仅是为了描述具体实施例而不意图限制示例性实施例。除非上下文明确地另有所指，否则这里所使用的单数形式“一个”、“一项”还意图包括复数。还应当理解的是，这里所使用的术语“包括”和/或“包含”规定所陈述的特征、整数、步骤、操作、单元和/或组件的存在，而不排除存在或添加一个或更多其他特征、整数、步骤、操作、单元、组件和/或其组合。

扇出型晶圆级封装的英文全称为 Fan-Out Wafer Level Packaging，即FOWLP，是指将来自于异质制程的多颗晶粒结合到一个紧凑封装中的新方法。由于对更薄功能和增加 I / O 数量设备的需求，扇出式 晶圆级封装（WLP，wafer level package） 受到越来越多的关注。随着 FOWLP 技术不断发展，从

单芯片应用拓展至 MCP（multi-chip package, 多芯片封装）及 3D PoP（堆叠式封装, package on package）等，应用于更高 I/O 芯片的整合中。

FOWLP 充分利用电路重分布层（RDL, re-distribution layer） 做连接，实现互连密度最大化。传统的 WLP 封装多采用 Fan-in 型态，应用于低接脚(Pin)数的 IC。当芯片面积缩小的同时，芯片可容纳的引脚数减少，因此变化衍生出扩散型 FOWLP 封装形态，实现在芯片范围外充分利用 RDL 做连接，以此获取更多的引脚数。在一个环氧行化合物（EMC）中嵌入每个裸片时，每个裸片间的空隙有一个额外的 I/O 连接点，这样 I/O 数会更高并且的对硅利用率也有所提高，使互连密度最大化，同时实现高带宽数据传输。

FOWLP 降低封装成本，减少封装厚度。相比于扇入型封装技术，FOWLP 的优势在于： 减小了封装厚度、扩展能力（用于增加 I/O 数量）、改进的电气性能、良好的热性能以及无基板工艺。扇出 WLP 在结构上类似于传统的球栅阵列（BGA, ball grid array）封装，但是消除了昂贵的衬底工艺。

基于系统产品不断多功能化的需求，以及缩小化的需求，集成电路封装迈入三维迭层封装（3D）时代。在三维迭层封装（3D）时代中，具体特征表现为：（1）封装组件概念演变为封装系统；（2）单芯片向多芯片发展；（3）平面封装（MCM）向立体封装（3D）发展。然而到现在为止，仍没有一种有效的封装设计，能使三维封装工作简单执行且适用于多样性的多种组合，尤其未见于存储芯片或存储系统设计中。因此，本申请利用了芯片尺寸级封装（CSP, chip size package）、积层式多层基板技术，并加入倒装连接、通孔连接、封装上封装（Package on Package，PoP）等技术以及巧妙设计，提供了一种更为便利且适合于各种系统封装，尤其含有存储器的系统封装的集成化封装器件，能将多种功能芯片，包括处理器、内存等功能芯片集成在一个封装内，从而实现一个基本完整的功能，达成系统级封装（System in a Package，SiP）。

以下，将以一些实施例，揭示本申请所提供的集成化封装器件及其制备方法以及存储系统。

首先，如图 1a 至图 1f 所示，揭示了根据本申请的一些实施例而成的集成化封装器件，尤其揭示了各种有利于堆栈封装以达成集成化封装器件的封装模块。

根据本申请的一些实施例而成的集成化封装器件首先提供一种基础的集成化封装器件，如图 1a 所示，根据本申请的实施例所揭的集成化封装器件包括至少一个封装模块 100，所述封装模块 100 主要包括：第一子封装模块 110、第二子封装模块 120、第一电路重分布层 130、以及第二电路重分布层 140；其中，所述第一子封装模块 110 包括多个第一电子元器件 111 以及将所述多个第一电子元器件封塑在一起的第一封塑体 118，且各所述第一电子元器件 111 包括位于所述第一电子元器件 111 的一侧的第一焊盘 112；所述第二子封装模块 120 堆叠于所述第一子封装模块 110 的背离所述第一焊盘 112 的一侧，且包括多个第二电子元器件 121 以及将所述多个第二电子元器件封塑在一起的第二封塑体 128，各所述第二电子元器件 121 包括位于所述第二电子元器件 121 的一侧的第二焊盘 122；所述第一电路重分布层 130 位于所述第一子封装模块 110 的背离所述第二子封装模块 130 的一侧，且与各所述第一焊盘 112 连接；所述第二电路重分布层 140 位于所述第二子封装模块 120 的背离所述第一子封装模块 110 的一侧，且与各所述第二焊盘 122 连接。

具体的，各第一电子元器件 111 以及第二电子元器件 121 可以包括任何有源器件或是无源组件，因而统称为第一或第二电子元器件。常见的无源组件主要是电阻类、电感类和电容类组件，它的共同特点是在电路中无需加电源即可在有信号时工作，且无源器件可以按照所担当的电路功能分为电路类器件、连接类器件。因此第一电子元器件 111 及/或第二电子元器件 121 可以包括例如二极管(diode)、电阻器(resistor)、电阻排(resistor network)、电容器(capacitor)、电感(inductor)、变压器(transformer)、继电器(relay)、按键(key)、蜂鸣器、喇叭(speaker)、开关(switch)等电路类器件。

有源器件是电子电路的主要器件，从物理结构、电路功能和工程参数上，常见的有源器件可以分为分立器件和集成电路两大类。因此第一电子元器件 111 及/或第二电子元器件 121 可以包括例如：双极型晶体三极管(bipolar transistor, BJT，一般简称三极管)、场效应晶体管(field effective transistor)、晶闸管(thyristor)、半导体电阻与电容(用集成技术制造的电阻和电容，用于集成电路中)等分立器件，或是例如：集成运算放大器(operation amplifier，简称集成运放)、比较器(comparator)、对数和指数放大器、模拟乘/除法器

(multiplier/divider)、模拟开关电路(analog switch)、锁相环电路(PLL 电路,phase lock loop)、集成稳压器(voltage regulator)、参考电源(reference source)、波形发生器(wave-form generator)、功率放大器(power amplifier)、电源管理电路等模拟集成电路器件; 或是例如: 基本逻辑门(logic gate circuit)、触发器(flip-flop)、寄存器(register)、译码器(decoder)、数据比较器(comparator)、驱动器(driver)、计数器(counter)、整形电路、可编程逻辑器件(PLD)、微处理器(microprocessor, MPU)、单片机(microcontroller, MCU)、数字信号处理器(digital signal processor, DSP)等数字集成电路器件。

各个所述多个第一电子元器件 111 与多个第二电子元器件 121 可以是相同的或者不同的。例如，在图 1a 所示的实施例中，各第一子封装模块 110 与第二子封装模块 120 中的各第一电子元器件 111 与第二电子元器件 121 是相同的，并且可以是具有存储功能的半导体芯片，但不限于此，可以基于要求选择任何种类的芯片来用作第一电子元器件 111 与第二电子元器件 121。

作为第一电子元器件 111 与第二电子元器件 121 的组合的可选的实施例，图 1b 揭示一种根据本申请的实施例而成的集成化封装器件的另一种示例性封装模块 101。封装模块 101 与封装模块 100 的差异在于电子元器件的种类、数量与排列的不同。在图 1b 所示的实施例中，第一子封装模块 110’虽也包括多个第一电子元器件，但包括不同的第一电子元器件 111 与第一电子元器件 111’，其中，第一电子元器件 111 可以例如是 DRAM、NAND、NOR、FeRAM、RRAM、PCRAM 等半导体存储芯片/裸片，而第一电子元器件 111’则可以例如是控制器或是电源管理电路器件等。第二子封装模块 120’也包括多个第二电子元器件,但是也是包括不同的第二电子元器件 121 及第二电子元器件 121’。第二电子元器件 121 可以是 NAND、NOR、FeRAM、RRAM、PCRAM 或 DRAM 等半导体存储芯片/裸片，而第二电子元器件 121’则可以是无源元件，例如电感器，或是半导体分立器件等。在下文中，即使第一电子元器件 111/111’与第二电子元器件 121/121’如上所举例可以不同或相同，但都将以第一电子元器件 111 与第二电子元器件 121 为代表来作说明。

附带说明的，不管是第一电子元器件 111 或第二电子元器件 121，都可以是具有衬底以及设置在衬底上的电子部件。所述电子部件可以包括 2D 单元、

3D 存储单元和/或其他适当部件。在此所述“3D 存储单元”一词是指具有垂直于芯片厚度方向延伸的存储单元晶体管串（又称为“存储串”）的半导体器件。

又具体的，如图 1a 所示，各第一电子元器件 111 及/或第二电子元器件 121 分别包括至少一个位于各第一电子元器件 111 及/或第二电子元器件 121 的其中一侧面的第一焊盘 112 及/或第二焊盘 122，其被作为相对应电子元器件与外部器件（诸如信号源或电源等）之间的信号传输通路的部件。为了使图 1a 简单并且清楚，图 1a 仅示出了各第一电子元器件 111 及/或第二电子元器件 121 分别具有一个第一焊盘 112 及/或第二焊盘 122；然而实际上，第一电子元器件 111 及/或第二电子元器件 121 可以分别具有多个第一焊盘 112 及/或多个第二焊盘 122。各第一焊盘 112 及/或第二焊盘 122 可以包括至少一种导电材料，诸如金属和/或透明导电材料，但不限于此。

又，在图 1a 中，第一子封装模块 110 和第二子封装模块 120 分别包括二列在图面的纵向上顺次堆叠的四个第一电子元器件 111 与第二电子元器件 121（仅对二个第一电子元器件给与标号而未全部给标号），且在垂直于堆叠方向的横向上分成左右二列堆叠；也即，多个第一电子元器件 111 及/或所述多个第二电子元器件 121 分别沿所述第一子封装模块 110 和所述第二子封装模块 120 堆叠的方向上呈阶梯状堆叠，各所述第一电子元器件 111 的所述第一焊盘 112 及/或各所述第二电子元器件 121 的所述第二焊盘 122 分别未被其他所述第一电子元器件 111 及/或所述第二电子元器件 121 覆盖，但不限于此。例如，当上下堆叠的二电子元器件是通过键合粘结层所成的键合结构进行二电子元器件之间的结合以及导电连接时，上下堆叠的二个第一/第二电子元器件即不一定需要呈阶梯状错开所述第一/第二焊盘来作堆叠。又例如，在图 1b 所示的实施例中，由于也可以只有一层的第一电子元器件 111 及/或第二电子元器件 121，在此情形下，就不用考虑堆叠方式与内部粘结的设计。

在图 1a 所示的实施例中，各自堆叠在一起的多个第一电子元器件 111 及/或第二电子元器件 121 可以通过晶粒附接膜（DAF）或导热粘结膜 150 相互粘附，也可以通过粘结层进行结合，当然更可以通过如上所述键合粘结层进行结合以及二电子元器件之间的导电连接，在此不作限制。晶粒附接膜/导热粘结

膜 150 可以分别设置在各个第一电子元器件 111 及/或第二电子元器件 121 的相对堆叠表面上，但不限于此。

同样的，第一子封装模块 110 及第二子封装模块 120 也可以通过晶粒附接膜（DAF）150 或是任何可粘结的层膜来进行相互粘附，也可以通过粘结层进行结合，当然更可以通过如上所述键合粘结层进行结合以及二子封装模块之间的导电连接，在此不作限制。晶粒附接膜 150 可以分别设置在各个第一子封装模块 110 及第二子封装模块 120 的相对堆叠表面上。

再进一步具体的，如图 1a 所示，各第一子封装模块 110 及/或第二子封装模块 120 还可以分别包括直立的第一导电柱 113 及/或第二导电柱 123，所述第一导电柱 113 及/或所述第二导电柱 123 分别将所述第一电路重分布层 130 与部分所述第一焊盘 112 导电连接及/或将所述第二电路重分布层 140 与部分所述第二焊盘 122 导电连接。各第一导电柱 113 及第二导电柱 123 的材料可以包括至少一种导电材料，诸如，金、铜、铝、银和/或其他适当金属，但不限于此。由于使用了垂直导电柱，因而能够进一步降低芯片封装结构 300 的横向尺寸。

在一些变形实施例中，如图 1b 所示，各第一电路重分布层 130 或第二电路重分布层 140 中的导电层 132 或 142 也可以通过金线 113’来分别与第一焊盘 112 或第二焊盘 122 进行导电连接。

也即，各第一电路重分布层 130 与第二电路重分布层 140 可以分别通过导电柱或金线，来与第一电子元器件 111 的第一焊盘 112 和第二电子元器件 121 的第二焊盘 122 进行导电连接。具体而言，如图 1a 所示，当各第一焊盘 112 的外接面与第二焊盘 122 的外接面各朝向所述第一电路重分布层 130 与所述第二电路重分布层 140 时，第一子封装模块 110 及/或第二子封装模块 120 可以分别包括第一导电柱 113 及/或第二导电柱 123，且所述第一导电柱 113 及/或所述第二导电柱 123 分别将所述第一电路重分布层 130 与部分所述第一焊盘 112 导电连接及/或将所述第二电路重分布层 140 与部分所述第二焊盘 122 导电连接。另外，如图 1b 所示，当第一焊盘 112 的外接面设置成背向第一电路重分布层 130，或是所述第二焊盘 122 的外接面设置成背向所述第二电路重分布层 140 时，则所述封装模块 101 中的第一子封装模块 110 或第二子封装模块

120 可以包括金线，且第一焊盘 112 通过所述金线而与第一电路重分布层 130 或是第二焊盘 122 通过所述金线而与第二电路重分布层 140 连接。

又进一步具体的，在图 1a 和图 1b 中，第一子封装模块 110/110’和第二子封装模块 120/120’分别包括第一封塑体 118 与第二封塑体 128，所述第一封塑体 118 与第二封塑体 128 分别将所述多个第一电子元器件 111 和多个第二电子元器件 121 封塑在一起成为一个子封装模块，并分别露出第一焊盘 112 及第二焊盘 122，以及第一导电柱 113 及第二导电柱 123，或是金线 113’。各第一封塑体 118 与第二封塑体 128 可以分别保护多个第一电子元器件 111 和多个第二电子元器件 121，并且减少对多个第一电子元器件 111 和多个第二电子元器件 121 的物理损伤和/或化学损伤（诸如氧化、由湿气带来的损伤），且各可以包括环氧树脂和/或任何其他适当模制化合物，包括环氧树脂、酚醛树脂、触媒、二氧化硅微粉等组成。

接着，仍如图 1a 和图 1b 所示，第一电路重分布层 130 位于所述第一子封装模块 110/110’的背离所述第二子封装模块 120/120’的一侧，且与各所述第一焊盘 112 连接；第二电路重分布层 140 位于所述第二子封装模块 120/120’的背离所述第一子封装模块 110/110’的一侧，且与各所述第二焊盘 122 连接。

第一电路重分布层 130 可以包括至少一个导电层 132 和至少一个绝缘层 131，其中，导电层 132 可以包括金属、任何其他适当的导电材料或其组合，并且绝缘层 131 可以包括有机材料或无机材料（诸如氧化硅、氮化硅、氮氧化硅、任何其他适当的绝缘材料或其组合）。第二电路重分布层 140 同样可以包括至少一个导电层 142 和至少一个绝缘层 141，其中，导电层 142 可以包括金属、任何其他适当的导电材料或其组合，并且绝缘层 141 可以包括诸如氧化硅、氮化硅、氮氧化硅、任何其他适当的绝缘材料或其组合。各第一电路重分布层 130 与第二电路重分布层 140 中的导电层 132/142 与各绝缘层 131/141 的层数，可以依实际设计而定，图示仅为方便而示出一层的导电层 132/142，但不在此限。

又如图 1a 所示，第一电路重分布层 130 与第二电路重分布层 140 中的各自绝缘层 131 与 141 可以具有多个对外开口（未标号），以分别露出相对应的导电层 132 和 142 的多个部分供与外部连接。

小结前述，可以理解的，分别在第一子封装模块 110/110’及第二子封装模块 120/120’中的第一电子元器件 111/111’及第二电子元器件 121/121’可以是任何形式的电子元器件，且其排列组合与连结方式也可以是任何并列或是堆叠的排列与连结方式，而各电子元器件与第一电路重分布层 130 或第二电路重分布层 140 之间的连接器件也可以有不同。因此，在下文的一些进一步实施例中，为便于表述，对于第一子封装模块 110/110’中的第一电子元器件 111/111’和第二子封装模块 120/120’中的第二电子元器件 121/121’的组合，以及各电子元器件与第一电路重分布层 130 或第二电路重分布层 140 之间的连接，将引用图 1a 所示的组合作为代表来进行说明。

通过上述封装模块 100/101，提供了构成本申请所揭集成化封装器件的基础的封装堆叠结构的主要构件，这样的作为集成化封装器件的封装模块不仅可以容纳多数量的半导体裸片或元器件，且因为采用了垂直的堆叠封装方案，增加了封装的密度，同时可以使封装体具有电磁屏蔽的系统结构，整个封装体具有较高比例的金属，裸片背靠背以及中间的导热粘结/键合膜，使整个结构有较好的散热效果。用 RDL 替换传统的打金线的方式，整体线距可以缩短 40%以上，能加快信号的传输，提高产品的高频性能，从而实现一个基本完整的功能，达成系统级封装（System in a Package，SiP）。再者，各电子元器件之间可以通过封装模块的内部连结或外部连结器件达成电路扩展，当采用这样的封装模块进行下文继续说明的模块化封装方案完成高堆叠结构时，将可以降低超薄芯片对高堆叠高容量封装的封装加工难度，有利于量产化，并可以灵活的加工不同容量的封装，有无限堆叠的可能性，适应市场的需求，有利提高封装的加工良率。

以下，接着参考图 1c 和 1d，进一步揭示根据本申请而成的另一些实施例。

如图 1c 所示，作为根据本申请实施例而成的集成化封装器件的封装模块 102 是在图 1a 所示的封装模块 100 的基础上，进一步增设了封塑通孔结构（TMV，through molding via）170。封装模块 102 与封装模块 100 相同的部件不再重述，仅就不同的地方进行说明。所示封塑通孔结构 170 贯穿所述第一封塑体 118 与所述第二封塑体 128，并连接所述第一电路重分布层 130 与所述第二电路重分布层 140。而且，在图 1c 中，多个第一电子元器件 111 与所述多

个第二电子元器件121分别在垂直于所述第一子封装模块110和所述第二子封装模块 120 的堆叠方向的横向上排成至少二列电子元器件列，封塑通孔结构170位于二列所述电子元器件列相互远离的外侧，并具有至少一个所述封塑通孔结构 。然而，在一些实施例中，如下面的图1f所示，所述封塑通孔结构170也可以位于二列所述电子元器件列之间，并具有至少一个所述封塑通孔结构170。

具体的，封塑通孔结构170可以包括形成于穿过第一封塑体118与第二封塑体128的开孔内侧壁上的绝缘层（未标号）、金属层170a、以及填充于所述金属层170a内侧的绝缘体170b，所述金属层170a连接第一电路重分布层130与第二电路重分布层140中的导电层132/142，而使分别位于第一子封装模块110和所述第二子封装模块120外的第一电路重分布层130与第二电路重分布层140取得电路连接，进而使得封装模块102中的各电子元器件之间的电路连接更为多元化。

通过封塑通孔结构（TMV）170这样的立体互连技术的设置，将比打线接合具有更短的互连路径、更低的电阻与电感，以及更有效率地传递讯号与电力，进而增加或加快整个封装模块的信号传输，提高产品的高频性能，还拥有不限制裸晶堆栈数量等优势，而且容易制造与设计，将可以进一步减省成本，提高性价比。

又，根据本申请的一些实施例，如图1d所示，揭示一种作为集成化封装器件的封装模块103，所示封装模块103与图1a所示的封装模块100相似，差异在于未采用晶粒附接膜150，但包括有位于第一子封装模块110”与第二子封装模块120”的两相接侧的电子元器件的相接面上的第一键合结构114与第二键合结构124，所述第一键合结构114与所述第二键合结构124将所述第一子封装模块110与所述第二子封装模块120连结在一起并达成电路连接。

具体的，第一键合结构114与第二键合结构124具有相同的结构，各包括至少一个键合绝缘层1141/1241以及纵向穿过键合绝缘层1141/1241的至少一个键合触点1142/1242，各键合触点1142/1242则连接各第一电子元器件111与第二电子元器件121内的电路互联层（未显示），而使封装模块103内部的第一子封装模块110”与第二子封装模块120”之间，直接通过第一键合结构

114 与第二键合结构 124 达成机械性与电性的连结。键合绝缘层 1141/1241 的材料可以包括诸如氧化硅、氮化硅、氮氧化硅、任何其他适当的绝缘材料或其组合，键合触点 1142/1242 的材料可以包括至少一种导电材料，诸如，金、铜、铝、银和/或其他适当金属，但不限于此。具体的键合技术可参考业界的揭露，在此不再详述。

通过第一键合结构 114 与第二键合结构 124 的设置，可以取代前述 TMV 的设置，减少掉 TMV 的制造流程，但也可以在具有 TMV 的设置下，增设键合结构，从而达成同于前述封塑通孔结构（TMV）170 所能达成的功能。附带一提，如前所述，各第一子封装模块 110/110”内的多数第一电子元器件 111 或第二子封装模块 120/120”内的多数第二电子元器件 121 之间的连结，也可以通过前述键合结构完成机械性与电性的连结，而达成更多种方式的导电连结。

再一次小结前述，通过上述封装模块 102/103，相较于封装模块 100/101，由于多加了封塑通孔结构（TMV）或键合结构，除了构成了作为集成化封装器件的基础的封装堆叠结构的主要构件外，还能比封装模块 100/101 达成更多的电路连结可能性于运用弹性，而能够在后续的封装堆叠结构中，更灵活运用封装模块的组合。

以下，接着参考图 1e 和 1f，进一步揭示根据本申请的一些实施例而成的集成化封装器件的基础封装模块。

如图 1e 所示，揭示一种作为集成化封装器件的封装模块 104，封装模块 104 是在图 1c 所示的封装模块 102 的基础上，更进一步增设了联外结构 190，所述联外结构 190 位于所述第二电路重分布层 140 的背离所述第二子封装模块 120 的一侧，且与所述第二电路重分布层 140 相连接。

另如图 1f 所示，也揭示一种作为集成化封装器件的封装模块 105，封装模块 105 与前述封装模块 104 相似，都进一步增设了联外结构 190，所述联外结构 190 位于所述第二电路重分布层 140 的背离所述第二子封装模块 120 的一侧，且与所述第二电路重分布层 140 相连接，但与前述封装模块 104 的差别在于封塑通孔结构（TMV）170 的设置位置。即，在封装模块 105 中，多个第一电子元器件 111 与所述多个第二电子元器件 121 分别在垂直于所述第一子封装模块 110 和所述第二子封装模块 120 的堆叠方向的横向上排成至少二列电子元器件

列，但封塑通孔结构 170 并不是位于二列所述电子元器件列相互远离的外侧，而是位于二列所述电子元器件列之间，并具有至少一个所述封塑通孔结构 170。

具体的，联外结构 190 可以包括锡球阵列，但不以此为限，也可以包括例如锡膏、导电胶、或是键合触点等。所述锡球设置在前述绝缘层 141 的多个对外开口（未标号）中，并与露出的导电层 142 达成导电连接。通过作为联外结构的锡球 190 来作为信号输入/输出端子，来自外部器件的信号可以被输入到封装模块 104/105 内，而来自封装模块 104/105 内的信号可以被输出至外部器件。

又，在图 1e 及图 1f 所示的实施例中，虽然表述成联外结构 190 是位于所述第二电路重分布层 140 的背离所述第第二子封装模块 120 的一侧，且与所述第二电路重分布层 140 相连接；然而应可以理解的，那只是基于表述的方便，实际上联外结构 190 当然也可以是位于所述第一电路重分布层 130 的背离所述第一子封装模块 110 的一侧，且与所述第一电路重分布层 130 相连接。因此，应理解这里的“第一”或“第二”的用语不限定在上方或下方，只要相对关系相符，即具有互换性，都在本申请所揭示的范围内。

通过将构成本申请实施例所揭示的集成化封装器件的封装模块增设联外结构 190 而成的封装模块 104/105，将可以直接以封装模块 104/105 为单位进行多数封装模块的堆叠，或进行所述封装模块的对外连接。但在此也应理解到，即使只有前述封装模块 102/103 的结构，当然也可以进行多数封装模块的堆叠以及与外部的连接，因为联外结构 190 可以是下游厂商要进行设备安装时，或是要进行多数封装模块的堆叠时才加入的器件。因此，根据本申请的精神，所揭示的集成化封装器件可以是或包括上述封装模块 100/102/102/103/104/105 中的任一种封装模块。

以下，将进一步就本申请实施例所揭集成化封装器件在引用上述各种封装模块 100/102/102/103/104/105 作为基础下，进一步进行各种堆叠组合下所达成的各种集成化封装器件作一说明。也即，在封装模块 100/102/102/103/104/105 基础下，本申请实施例所揭集成化封装器件可以是包括一个到多个封装模块。

首先，如图 2a 所示，揭示一种由一个封装模块作成本申请实施例所揭集成化封装器件的实施例。在图 2a 中，所示集成化封装器件 201 包括了图 1e 所

示的封装模块 105 以及保护层 160，且所述保护层 160 覆盖所述第一电路重分布层 130 的背离所述第一子封装模块 110 的一侧。

具体的，保护层 160 的材料可以是跟前述第一与第二封塑体 118/128 的材料相同，可以包括环氧树脂和/或任何其他适当模制化合物，也即包括环氧树脂、酚醛树脂、触媒、二氧化硅微粉等组成，但不在此限。通过保护层 160，将可以减少对第一电路重分布层 130 的物理损伤和/或化学损伤（诸如氧化、由湿气带来的损伤）。

通过图 2a 所示的集成化封装器件 201，因为采用了垂直的堆叠封装方案，同样可以达成容纳多数量半导体裸片或元器件，增加封装密度，同时可以使封装体具有电磁屏蔽的效果，且整个封装体具有较高比例的金属，裸片背靠背以及中间的导热粘结/键合膜，使整个结构有较好的散热效果。

接着，如图 2b 所示，揭示一种由二个封装模块组成本申请实施例所揭集成化封装器件的实施例。

如图 2b 所示，根据本申请实施例所揭的集成化封装器件包括多个所述封装模块，且所述多个封装模块沿所述第一子封装模块和所述第二子封装模块堆叠的方向上堆叠，且其中任两个相邻的所述封装模块中位于其中一个所述封装模块的所述联外结构，与相邻的另一个所述封装模块的所述第一电路分布层相接，且所述集成化封装器件还包括覆盖在位于所述纵向上最外侧的所述封装模块的所述第一电路重分布层上的保护层。

具体的，在图 2b 中，所示集成化封装器件 202 包括上下纵向堆叠在一起的二个图 1e 所示封装模块 104，且二个封装模块 104 是沿着第一子封装模块 110 和所述第二子封装模块 120 堆叠的方向上下堆叠，而位于下方的其中一个封装模块 104 上的锡球（联外结构）190 即作为与上方的封装模块 104 中的第一电路分布层 130 连结的构件，且集成化封装器件 202 还包括覆盖在位于所述纵向上最外侧的所述封装模块 104 的所述第一电路重分布层 110 上的保护层 160，也即位于下方封装模块 104 的底面的保护层 160。

通过图 2b 所示的集成化封装器件 202，将可以降低超薄芯片/裸片对高堆叠高容量封装的封装加工难度，有利于量产化，并可以灵活的加工不同容量的封装（有无限堆叠的可能性），适应市场的需求，有利提高封装的加工良率。

再接着，如图 2c 所示，揭示一种由三个封装模块组成本申请实施例所揭集成化封装器件的实施例。

在图 2c 所示的实施例中，根据本申请实施例所揭的集成化封装器件同样包括多个所述封装模块，且所述多个封装模块沿所述第一子封装模块和所述第二子封装模块堆叠的方向上堆叠，且其中任两个相邻的所述封装模块中位于其中一个所述封装模块的所述联外结构，与相邻的另一个所述封装模块的所述第一电路分布层相接，且所述集成化封装器件还包括覆盖在位于所述纵向上最外侧的所述封装模块的所述第一电路重分布层上的保护层，而且，各所述封装模块中的各所述封塑通孔结构在所述纵向上对齐或错开。

具体的，在图 2c 中，所示集成化封装器件 203 包括上下纵向堆叠在一起的二个图 1e 所示封装模块 104 以及位于二个图 1e 所示封装模块 104 之间的封装模块 105，且三个封装模块 104/105 是沿着任一封装模块的第一子封装模块 110 和所述第二子封装模块 120 堆叠的方向上下堆叠，而位于下方的其中一个封装模块 104 上的锡球（联外结构）190 即作为与上方的封装模块 105 中的第一电路分布层 130 连结的构件，封装模块 105 上的锡球（联外结构）190 作为与其上方的封装模块 104 中的第一电路分布层 130 连结的构件，且集成化封装器件 203 还包括覆盖在位于所述纵向上最外侧的所述封装模块 104 的所述第一电路重分布层 110 上的保护层 160，也即位于最下方的封装模块 104 的底面的保护层 160。而且，各所述封装模块中的各所述封塑通孔结构 170 在所述纵向上对齐或错开，也即，封装模块 104 中的封塑通孔结构 170 与封装模块 105 中的封塑通孔结构 170 是错开的，但最上方的封装模块 104 中的封塑通孔结构 170 则与最下方的封装模块 104 中的封塑通孔结构 170 对齐。

通过图 2c 所示的集成化封装器件 203，同样可以达成与图 2b 所示集成化封装器件 203 相同的功效。另外，虽然没有图示，但经由集成化封装器件 202 与 203 的例示，可以理解到封装模块 100/101/102/103/104 可以采任意数量作任意的组合与排列，例如四个甚至五个封装模块上下堆叠；而且电子元器件也可以示如前所述的任意组合，例如每一上下纵向列可以包括一个、二个、三个、或四个电子元器件，不受限制。

依据前段所述的任意组合，本申请的一些实施例还提供一种存储系统，所

述存储系统包括：前面所述任一种组合的集成化封装器件，且其中，所述集成化封装器件中的至少一所述第一电子元器件及/或至少一所述第二电子元器件包括存储器件；且所述至少一所述第一电子元器件及/或至少一所述第二电子元器件以外的至少一所述第一电子元器件及/或至少一所述第二电子元器件包括控制器件，所述控制器件控制所述存储器件的操作。

具体的，如图 2d 所示，即揭示了一种作为存储系统的集成化封装器件 204，且在图 2d 中，为了易于理解，以一种结合了结构示意图与框图的表现方式的结构示意框图，将代表电子元器件的图形作为框图中的方块而加上其所代表的器件名称，并省略各个对应标号，例如，各图形方块所代表的电子元器件包括有 DRAM、控制器 1、NAND1~NAND8、裸片 1~裸片 4、控制器 2、以及电源管理裸片等。也即，若以对应于前面所述的各位于每个封装模块的下方第一子封装模块中的第一电子元器件与位于上方第二子封装模块中的第二电子元器件的位置来看，在图 2d 所示的集成化封装器件 204 中的各种第一电子元器件 111 包括了 NAND1~NAND4、裸片 1~裸片 2、控制器 2、以及电源管理裸片，而各种第二电子元器件 121 则包括了 DRAM、控制器 1、NAND5~NAND8、裸片 3~裸片 4。通常，存储系统包括存储器和控制器，且存储器与控制器电性连接，控制器用于控制存储器存储数据。存储器与控制器可以为本领域技术人员所熟知的控制器，在此不再详细赘述。所述存储系统可以应用于计算机、电视、机顶盒、车载等终端产品上。

因此，如图 2d 所示的集成化封装器件 204 可以作为一种存储系统，且所述集成化封装器件中的至少一所述第一电子元器件及/或至少一所述第二电子元器件包括存储器件；所述至少一所述第一电子元器件及/或至少一所述第二电子元器件以外的至少一所述第一电子元器件及/或至少一所述第二电子元器件包括控制器件，所述控制器件控制所述存储器件的操作。

以上所述为根据本申请的一些实施例而成的集成化封装器件，相对的，根据本申请的一些实施例，还提供了一些如上所述集成化封装器件的制备方法。如图 3 所示，根据本申请的一些实施例而成的集成化封装器件的制备方法包括以下主要步骤：

步骤 S100：提供第一子封装模块与第二子封装模块，所述第一子封装模

块包括多个第一电子元器件以及将所述多个第一电子元器件封塑在一起的第一封塑体，且各所述第一电子元器件包括位于所述第一电子元器件的一侧的第一焊盘；所述第二子封装模块位于所述第一子封装模块的背离所述第一焊盘的一侧，且包括多个第二电子元器件以及将所述多个第二电子元器件封塑在一起的第二封塑体，各所述第二电子元器件包括位于所述第二电子元器件的一侧的第二焊盘；

步骤 S300：将所述第一子封装模块与所述第二子封装模块堆叠在一起；

步骤 S500：于所述第一子封装模块的背离所述第二子封装模块的一侧，形成与各所述第一焊盘连接的第一电路重分布层；以及，

步骤 S700：于所述第二子封装模块的背离所述第一子封装模块的一侧，形成与各所述第二焊盘连接的第二电路重分布层。

其中，上述主要步骤 S100 中提供第一子封装模块与第二子封装模块的做法可以有很多种，以下仅示例一种方法作为代表，也即还可以进一步包括以下子步骤：

步骤 S110：在第一临时粘结层和第二临时粘结层上分别排布所述多个第一电子元器件和所述多个第二电子元器件，并使各所述第一电子元器件的所述第一焊盘以及各所述第二电子元器件的所述第二焊盘分别面向同一侧；

步骤 S120：分别设置第一导电柱与第二导电柱于部分所述第一焊盘与部分所述第二焊盘上。

步骤 S130：分别在所述多个第一电子元器件和所述多个第二电子元器件的背离所述第一临时粘结层和所述第二临时粘结层的一侧，设置第一载板和第二载板，所述第一载板和第二载板分别包括有分别面向所述多个第一电子元器件和所述多个第二电子元器件的临时键合膜，且所述第一焊盘与所述第二焊盘分别面向或背离所述第一载板和所述第二载板；以及

步骤 S140：分别去除所述第一临时粘结层和第二临时粘结层，并在所述第一载板和所述第二载板上分别形成所述第一封塑体和所述第二封塑体；

同样的，上述主要步骤 S300 中将所述第一子封装模块与所述第二子封装模块堆叠在一起的做法可以有很多种，以下仅示例一种方法作为代表，也即步骤 S300 还包括：使所述第一载板与所述第二载板位于所述第一封塑体和所述

第二封塑体的两侧；以及

在形成所述第一电路重分布层和所述第二电路重分布层前，分别去除所述第一载板和所述第二载板。

又同样的，在步骤 100 到步骤 300 之间，还可以根据所选择的集成化封装器件的结构而可以添加很多种做法，以下仅示例二种方法作为代表，也即包括一些选择性步骤，例如：

步骤 S200：设置粘结层于所述第一子封装模块与所述第二子封装模块之间；及/或是

步骤 S210：分别于所述第一子封装模块与所述第二子封装模块上设置第一键合结构与第二键合结构。

另外，在完成步骤 S500 所述的第一电路重分布层之后，进入步骤 S700 之前，还可以根据所选择的集成化封装器件的结构而可以添加很多种做法，以下仅示例一种方法作为代表，也即可以可选的增加步骤 S550：在所述第一电路重分布层的背离所述第一子封装模块的一侧，形成覆盖所述第一电路重分布层的保护层；

又，如前面所述根据本申请的一些实施例而成的集成化封装器件，例如图 1c 所示含有封塑通孔结构的集成化封装器件，根据本申请的一些实施例而成的集成化封装器件的制备方法，还可以在步骤 S700 形成第二电路重分布层时，进一步包括以下可选步骤：

步骤 S600：形成贯穿所述第一封塑体与所述第二封塑体并连接所述第一电路重分布层与所述第二电路重分布层的封塑通孔结构；且所述第二电路重分布层与所述封塑通孔结构连接。

更进一步，根据本申请的一些实施例而成的集成化封装器件的制备方法，如前面所示各种根据本申请的一些实施例而成的集成化封装器件所示，在完成一个基础的封装模块后，还可以有很多种应用做法，以下仅示例一种方法作为代表，也即所述制备方法还可以进一步可选择性的包括以下应用步骤，：

步骤 S800：于所述第二电路重分布层的背离所述第二子封装模块的一侧，形成与所述第二电路重分布层相接的联外结构；以及

步骤 S900：提供多个所述封装模块，并将所述多个封装模块沿所述第一

子封装模块与所述第二子封装模块的堆叠方向上堆叠，且使任两个相邻的所述封装模块中位于其中一个所述封装模块的所述联外结构，与相邻的另一个所述封装模块的所述第一电路分布层相接。

以下，具体的，参照图 4a 至 4j 所示截面结构示意图，具体说明根据本申请的一些实施例而成的集成化封装器件的制备方法中，对应于各种可能做法的相关步骤的截面结构示意图。

首先，参照图 4a 至图 4c，进行图 3 的步骤 S100，也即，提供第一子封装模块与第二子封装模块，所述第一子封装模块包括多个第一电子元器件以及将所述多个第一电子元器件封塑在一起的第一封塑体，且各所述第一电子元器件包括位于所述第一电子元器件的一侧的第一焊盘；所述第二子封装模块位于所述第一子封装模块的背离所述第一焊盘的一侧，且包括多个第二电子元器件以及将所述多个第二电子元器件封塑在一起的第二封塑体，各所述第二电子元器件包括位于所述第二电子元器件的一侧的第二焊盘；

其中，由于第一子封装模块与第二子封装模块如前面图 1a 及图 1b 所示，可以具有相同或不相同的电子元器件组合，但制备方法实质相同，因而在以下的说明中，将以对应于图 1a 所示的组合为代表来进行说明，且仅以第一子封装模块 110 为代表作说明，第二子封装模块的器件以括号附加在后，必要时再加入第二子封装模块 120 一起作说明。

具体的，步骤 S100 包括子步骤 S110 至 S140。如图 4a 所示，进行图 3 的步骤 S110，也即，先在第一临时粘结层 115（和第二临时粘结层）上分别排布所述多个第一电子元器件 111（和所述多个第二电子元器件），并使各所述第一电子元器件 111 的所述第一焊盘 112（以及各所述第二电子元器件的所述第二焊盘）分别面向同一侧。各纵向堆叠的多个第一电子元器件 111 之间，可以通过晶粒附接膜 150 或是任何适当的粘结材料进行固定，但不限定于此。

接着，一样如图 4a 所示，进行图 3 的步骤 S120，也即，分别设置沿第一电子元器件 111 堆叠方向直立的第一导电柱 113（与第二导电柱）于部分所述第一焊盘 112（与部分所述第二焊盘）上。

其中，如前面图 1a 和图 1b 所示的根据本申请的一些实施例而成的集成化封装器件，这步骤不限定于设置导电柱，也可以依设计设置金线，因此，只要

是可以将焊盘引出的任何器件都可以，但可以理解的，导电柱具有节省横向空间的优点。

接着，如图 4b 所示，进行图 3 的步骤 S130，也即，分别在所述多个第一电子元器件 111（和所述多个第二电子元器件）的背离所述第一临时粘结层 115（和所述第二临时粘结层）的一侧，设置第一载板 116（和第二载板），所述第一载板 116（和第二载板）包括有分别面向所述多个第一电子元器件（和所述多个第二电子元器件）的临时键合膜 116a，且所述第一焊盘 112（与所述第二焊盘分别）面向所述第一载板 116（和所述第二载板）。

具体的，如图 4b 所示，在将第一电子元器件 111 设置在第一载板 116 上时，会先将堆叠成型的多个第一电子元器件 111 上下翻转，而使没有黏附在第一临时粘结层 115 上的第一电子元器件 111 附着在第一载板 116 的临时键合膜 116a 上。当然，可以理解的，是否要翻转第一电子元器件 111 可以依第一焊盘 112 要与临时键合膜 116a 连接的方式而定，例如，若是要通过前面图 1b 所示的金线 113’进行连接时，即不需要翻转多个第一电子元器件 111。或者，也可以先不翻转而直接将第一载板 116 从上方附着在背离第一临时粘结层 115 的一侧面上，然后再作翻转以进行下一步骤。

接着，如图 4b 和 4c 图所示，进行图 3 的步骤 S140，也即，分别去除所述第一临时粘结层 115（和第二临时粘结层），并在所述第一载板 116（和所述第二载板）上分别形成所述第一封塑体 118（和所述第二封塑体），而完成第一子封装模块 110（和第二子封装模块）。封塑体的材料已说明于前，在此不作重述。

通过上述子步骤分别完成第一封装模块与第二封装模块之后，即完成了前述提供所述第一子封装模块与所述第二子封装模块的步骤 S100。

接着，进入前述主要步骤 S300：将所述第一子封装模块与所述第二子封装模块堆叠在一起。

具体的，参考图 4d，要将所述第一子封装模块与所述第二子封装模块堆叠在一起时，使所述第一子封装模块 110 和所述第二子封装模块 120 的分别背离所述第一载板 116 与所述第二载板 126 的侧面相近接，而使所述第一载板 116 与所述第二载板 126 位于所述第一子封装模块 110 和所述第二子封装模块

120 所成结合体的两外侧。

其中，根据本申请的一些实施例，要将所述第一子封装模块与所述第二子封装模块堆叠在一起时，可以根据不同的集成化封装器件的结构而作不同的替代性步骤。

第一类，如图 4d 所示，进行图 3 的步骤 S200，也即，可以设置晶粒附接膜 150 于所述第一子封装模块 110 与所述第二子封装模块 120 之间，通过上下併合，即可以将第一子封装模块 110 与所述第二子封装模块 120 固结在一起；或是

第二类，如图 6a 和图 6b 所示，进行图 3 的步骤 S210，也即，可以在位于所述第一子封装模块 110”与所述第二子封装模块 120”的两相接侧的电子元器件的相接面上，分别设置第一键合结构 114 与第二键合结构 124，再通过第一键合结构 114 与第二键合结构 124 的加热及加压贴合，而将第一子封装模块 110”与所述第二子封装模块 120”结合在一起，并达成导电连接。其中，由于键合技术并不是本申请的创新，此技人士可以参考相关技术而得，因而在此不作说明。

在所述第一子封装模块与所述第二子封装模块结合成一个结合体之后，接着进入主要步骤 S500。在步骤 S500 中，于所述第一子封装模块 110 的背离所述第二子封装模块 120 的一侧，形成与各所述第一焊盘 112 连接的第一电路重分布层 130。但在形成所述第一电路重分布层 130 前，先去除所述第一载板 116，后续要形成所述第二电路重分布层 140 时，也要先去除所述第二载板 126。

具体的，如图 4e 和图 4f 所示，进行图 3 的步骤 S500，也即，在形成所述第一电路重分布层 130 前，先去除所述第一载板 116，然后在第一载板 116 的原来所在位置形成第一电路重分布层 130。形成第一电路重分布层 130 时，参照前面的说明，可以先形成一层绝缘层 131，再形成一层导电层 132，然后再形成一层绝缘层 131 覆盖导电层 132，并在适当位置露出开口（未标号），供与外部进行连接。导电层 132 可以包括金属、任何其他适当的导电材料或其组合，而绝缘层 131 则可以包括有机材料或无机材料（诸如氧化硅、氮化硅、氮氧化硅、任何其他适当的绝缘材料或其组合）。第一电路重分布层 130 中的导电层 132 与各绝缘层 131 的层数，可以依实际设计而定，图示仅为方便而示

出一层导电层 132，但不在此限。

接着，同样参考图 4e 和图 4f 所示，进行图 3 的步骤 S550，即在所述第一电路重分布层 130 的背离所述第一子封装模块 110 的一侧，形成覆盖所述第一电路重分布层 130 的保护层 160/160a。

具体的，图 4e 和图 4f 的差别在于所述保护层可以依据封装模块的后续应用，而使用图 4e 的保护层 160，或是图 4f 的临时保护层 160a，统称为保护层。也即，若所述第一电路重分布层 130 是位于后续封装模块堆叠中的最外侧，则如图 4e 所示，可以使用与第一封塑体 118 相同的材料来作为保护层；但若是位于封装模块堆叠的中间位置，则如图 4f 所示，可以使用易于去除的临时性保护层 160a，其材料可以是业界常使用的材料，例如聚亚酰胺(ploy imide)、聚苯恶唑(polybenzoxazole)、酚(phenol)等树脂的混合物，但不在此限。当一个封装模块要与其他封装模块叠合时，再将所述临时性保护层 160a 去除，以利所述第一电路重分布层 130 与其他器件构成导电连接。可以理解的，临时保护层 160a 可选的可设置或不设置。

接着，进入步骤 S700，于所述第二子封装模块的背离所述第一子封装模块的一侧，形成与各所述第二焊盘连接的第二电路重分布层。

具体的，如图 4g 及图 4h 所示，于形成第一电路重分布层 130 后，翻转第二子封装模块 110 与所述第二子封装模块 120 的结合体，于所述第二子封装模块 120 的背离所述第一子封装模块 110 的一侧，形成与各所述第二焊盘 122 连接的第二电路重分布层 140。在图 4g 及图 4h 中，为了减少图数，一併显示出相对于步骤 S600 的另一可选的封塑通孔结构 170。图 4g 及图 4h 的差异与图 4e 及图 4f 的差异相同，差别在于保护层为 160 或 160a。在形成所述第二电路重分布层 140 前，一样先去除相对应的第二载板 126，然后在第二载板 126 的原来位置形成第二电路重分布层 140。第二电路重分布层 140 的形成方式及材料与第一电路重分布层 130 类似，不在此重复。至此，即完成了本申请实施例所揭集成化封装器件的基础单元，也即一个封装模块 106/106'。

值得注意的时，在形成第二电路重分布层 140 的同时，相对于不同的设计，也可以对应于步骤 S600 而选择性的一併形成封塑通孔结构 170。也即，若有形成前面图 6a 和图 6b 所示的键合结构 114/124，则封塑通孔结构 170 可选择

性的实施或不实施，且即使没有键合结构，也不一定要设置封塑通孔结构 170。

具体的，如图 4g 及图 4h 所示，在形成二层的绝缘层 141 之前，先在第一子封装模块 110 与所述第二子封装模块 120 中，形成封塑通孔（未标号），然后再于形成绝缘层 141 时，一併于所述封塑通孔中填入绝缘层 141 的材料。之后，于形成第二电路重分布层 140 中的导电层 142 与后续的覆盖绝缘层 141 时，一併于所述封塑通孔中填入导电层 142 与绝缘层 141 的材料，即可配合第二电路重分布层 140 形成封塑通孔结构 170。绝缘层 141 与绝缘层 131 相同，用以覆盖导电层 142，并在适当位置露出开口（未标号），供后续设置锡球 190，进而与外部进行连接。

接着，如图 4i 及图 4j 所示，在完成第一电路重分布层 130 与第二电路重分布层 140 后，即可选择性的进入步骤 S800，也即，于所述第二电路重分布层 140 的背离所述第二子封装模块的一侧，形成与所述第二电路重分布层相接的联外结构。

具体的，如图 4i 及图 4j 所示，在第二电路重分布层 140 的绝缘层 141 开口（未标号）中填入联外结构 190，例如锡球 190。至于为何这一步骤是可选的，是因为到步骤 S700 所完成的封装模块 106/106’即可单独作为一个集成化封装器件，锡球可以是使用者要应用这具有单一封装模块的集成化封装器件的时才自己加入。

以下，接着说明本申请实施例所揭集成化封装器件包括多个封装模块时的制备方法，也即步骤 S900：提供多个所述封装模块，并将所述多个封装模块沿所述第一子封装模块与所述第二子封装模块的堆叠方向上堆叠，且使任两个相邻的所述封装模块中位于其中一个所述封装模块的所述联外结构，与相邻的另一个所述封装模块的所述第一电路分布层相接。

具体的，如图 5 所示，进行图 3 的步骤 S900，也即，例如以前面图 1e、图 1f、以及图 4i 所述的封装模块 104/105/107 作为代表性的封装模块上下相堆叠在一起，并进行加热以使锡球 190 融化压平，如此一来，通过重流(reflow)与固化效应后，即可得到如图 2c 所示的集成化封装器件 203。

通过以上本申请的一些实施例所说明的集成化封装器件的制备方法，提供了一种更为便利且适合于各种系统封装，尤其含有存储器的系统封装的集成化

封装器件，能将多种功能芯片，包括处理器、内存等功能芯片集成在一个封装内，从而实现一个基本完整的功能，达成系统级封装（System in a Package，SiP）；而且，可以降低超薄芯片对高堆叠高容量封装的封装加工难度，有利于量产化，并可以灵活的加工不同容量的封装（有无限堆叠的可能性），适应市场的需求，有利提高封装的加工良率。

综上所述，虽然本申请的一些实施例所揭的集成化封装器件、集成化封装器件的制备方法、以及存储系统已揭露如上，但上述实施例并非用以限制本申请。本领域的普通技术人员，在不脱离本申请的精神和范围内，均可作各种更动与润饰，除上述实施例外，本申请还可以有其他实施方式。凡采用等同替换或等效替换形成的技术方案，均落在本申请要求的保护范围，因此本申请的保护范围以权利要求界定的范围为准。

权 利 要 求 书

1、一种集成化封装器件，其中，所述集成化封装器件包括至少一个封装模块，所述封装模块包括：

第一子封装模块，包括多个第一电子元器件以及将所述多个第一电子元器件封塑在一起的第一封塑体，且各所述第一电子元器件包括位于所述第一电子元器件的一侧的第一焊盘；

第二子封装模块，堆叠于所述第一子封装模块的背离所述第一焊盘的一侧，且包括多个第二电子元器件以及将所述多个第二电子元器件封塑在一起的第二封塑体，各所述第二电子元器件包括位于所述第二电子元器件的一侧的第二焊盘；

第一电路重分布层，位于所述第一子封装模块的背离所述第二子封装模块的一侧，且与各所述第一焊盘连接；以及

第二电路重分布层，位于所述第二子封装模块的背离所述第一子封装模块的一侧，且与各所述第二焊盘连接。

2、根据权利要求 1 所述的集成化封装器件，其中，所述封装模块还包括：

封塑通孔结构，贯穿所述第一封塑体与所述第二封塑体，并连接所述第一电路重分布层与所述第二电路重分布层。

3、根据权利要求 1 所述的集成化封装器件，其中，所述集成化封装器件还包括位于所述第一子封装模块与所述第二子封装模块之间且分别位于所述第一子封装模块与所述第二子封装模块上的第一键合结构与第二键合结构，所述第一键合结构与所述第二键合结构将所述第一子封装模块与所述第二子封装模块连结在一起。

4、根据权利要求 1、2 或 3 所述的集成化封装器件，其中，所述集成化封装器件还包括：

联外结构，位于所述第二电路重分布层的背离所述第二子封装模块的一侧，且与所述第二电路重分布层相连接。

5、根据权利要求 4 所述的集成化封装器件，其中，所述联外结构包括锡球阵列。

6、根据权利要求 1、2 或 3 所述的集成化封装器件，其中，所述集成化封

装器件还包括覆盖所述第一电路重分布层的背离所述第一子封装模块的一侧的保护层。

7、根据权利要求 2 所述的集成化封装器件，其中，所述集成化封装器件还包括位于所述第一子封装模块与所述第二子封装模块之间的粘结层。

8、根据权利要求 1 所述的集成化封装器件，其中，所述多个第一电子元器件及/或所述多个第二电子元器件分别沿所述第一子封装模块和所述第二子封装模块堆叠的方向上呈阶梯状堆叠，各所述第一电子元器件的所述第一焊盘及/或各所述第二电子元器件的所述第二焊盘未被其他所述第一电子元器件及/或所述第二电子元器件覆盖。

9、根据权利要求 1 或 8 所述的集成化封装器件，其中，所述第一焊盘的外接面与所述第二焊盘的外接面各朝向所述第一电路重分布层与所述第二电路重分布层，且所述第一子封装模块及/或所述第二子封装模块还分别包括第一导电柱及/或第二导电柱，所述第一导电柱及/或所述第二导电柱分别连接所述第一电路重分布层与部分所述第一焊盘及/或所述第二电路重分布层与部分所述第二焊盘。

10、根据权利要求 1 所述的集成化封装器件，其中，所述第一焊盘的外接面背向所述第一电路重分布层或所述第二焊盘的外接面背向所述第二电路重分布层，且所述封装模块还包括金线，所述第一焊盘通过所述金线而与所述第一电路重分布层或所述第二焊盘通过所述金线而与所述第二电路重分布层连接。

11、根据权利要求 2 所述的集成化封装器件，其中，所述多个第一电子元器件与所述多个第二电子元器件分别在垂直于所述第一子封装模块和所述第二子封装模块的堆叠方向的横向上排成至少二列电子元器件列，且所述封塑通孔结构位于二列所述电子元器件列的相互远离的外侧，并具有至少一个所述封塑通孔结构。

12、根据权利要求 2 所述的集成化封装器件，其中，所述多个第一电子元器件与所述多个第二电子元器件分别在垂直于所述第一子封装模块和所述第二子封装模块的堆叠方向的横向上排成至少二列电子元器件列，且所述封塑通孔结构位于二列所述电子元器件列之间，并具有至少一个所述封塑通孔结构。

13、根据权利要求 4 所述的集成化封装器件，其中，所述集成化封装器件包括多个所述封装模块，且所述多个封装模块沿所述第一子封装模块和所述第二子封装模块堆叠的方向上堆叠，且其中任两个相邻的所述封装模块中位于其中一个所述封装模块的所述联外结构，与相邻的另一个所述封装模块的所述第一电路分布层相接，且所述集成化封装器件还包括覆盖在位于所述纵向上最外侧的所述封装模块的所述第一电路重分布层上的保护层。

14、根据权利要求 2 所述的集成化封装器件，其中，所述封装模块还包括联外结构，所述联外结构位于所述第二电路重分布层的背离所述第二电子元器件的一侧，且与所述第二电路重分布层相连接；而且，

所述集成化封装器件还包括

多个所述封装模块，且所述多个封装模块沿所述第一子封装模块和所述第二子封装模块堆叠的方向上堆叠，且其中，

任两个相邻的所述封装模块中位于其中一个所述封装模块的所述联外结构，与相邻的另一个所述封装模块的所述第一电路分布层相接；

所述集成化封装器件还包括覆盖在位于所述纵向上最外侧的所述封装模块的所述第一电路重分布层上的保护层；以及，

各所述封装模块中的各所述封塑通孔结构在所述纵向上对齐或错开。

15、一种集成化封装器件的制备方法，其中，所述方法包括：

提供第一子封装模块与第二子封装模块，所述第一子封装模块包括多个第一电子元器件以及将所述多个第一电子元器件封塑在一起的第一封塑体，且各所述第一电子元器件包括位于所述第一电子元器件的一侧的第一焊盘；所述第二子封装模块位于所述第一子封装模块的背离所述第一焊盘的一侧，且包括多个第二电子元器件以及将所述多个第二电子元器件封塑在一起的第二封塑体，各所述第二电子元器件包括位于所述第二电子元器件的一侧的第二焊盘；

将所述第一子封装模块与所述第二子封装模块堆叠在一起；

于所述第一子封装模块的背离所述第二子封装模块的一侧，形成与各所述第一焊盘连接的第一电路重分布层；以及，

于所述第二子封装模块的背离所述第一子封装模块的一侧，形成与各所述第二焊盘连接的第二电路重分布层。

16、根据权利要求 15 所述的集成化封装器件的制备方法，其中，所述形成与各所述第二焊盘连接的第二电路重分布层的步骤中，还包括形成贯穿所述第一封塑体与所述第二封塑体并连接所述第一电路重分布层与所述第二电路重分布层的封塑通孔结构；且所述第二电路重分布层与所述封塑通孔结构连接。

17、根据权利要求 15 或 16 所述的集成化封装器件的制备方法，其中，所述制备方法还包括：于所述第二电路重分布层的背离所述第二子封装模块的一侧，形成与所述第二电路重分布层相接的联外结构。

18、根据权利要求 15 所述的集成化封装器件的制备方法，其中，所述提供第一子封装模块与第二子封装模块的步骤包括：

在第一临时粘结层和第二临时粘结层上分别排布所述多个第一电子元器件和所述多个第二电子元器件，并使各所述第一电子元器件的所述第一焊盘的外接面以及各所述第二电子元器件的所述第二焊盘的外接面分别面向同一侧；

分别在所述多个第一电子元器件和所述多个第二电子元器件的背离所述第一临时粘结层和所述第二临时粘结层的一侧，设置第一载板和第二载板，所述第一载板和第二载板分别包括有分别面向所述多个第一电子元器件和所述多个第二电子元器件的临时键合膜，且所述第一焊盘的外接面与所述第二焊盘的外接面分别面向或背离所述第一载板和所述第二载板；以及

分别去除所述第一临时粘结层和第二临时粘结层，并在所述第一载板和所述第二载板上分别形成所述第一封塑体和所述第二封塑体。

19、根据权利要求 18 所述的集成化封装器件的制备方法，其中，所述制备方法还包括：在所述设置第一载板和第二载板的步骤前，分别设置第一导电柱与第二导电柱于部分所述第一焊盘与部分所述第二焊盘上。

20、根据权利要求 15 所述的集成化封装器件的制备方法，其中，所述将所述第一子封装模块与所述第二子封装模块堆叠在一起的步骤还包括：设置粘结层于所述第一子封装模块与所述第二子封装模块之间。

21、根据权利要求 15 所述的集成化封装器件的制备方法，其中，所述将所述第一子封装模块与所述第二子封装模块堆叠在一起的步骤还包括：分别于所述第一子封装模块与所述第二子封装模块上设置第一键合结构与第二键合结构。

22、根据权利要求 15 所述的集成化封装器件的制备方法，其中，所述制备方法还包括：在所述第一电路重分布层的背离所述第一子封装模块的一侧，形成覆盖所述第一电路重分布层的保护层。

23、根据权利要求 18 所述的集成化封装器件的制备方法，其中，所述制备方法还包括：

将所述第一子封装模块与所述第二子封装模块堆叠在一起时，使所述第一子封装模块和所述第二子封装模块的分别背离所述第一载板与所述第二载板的一侧面近接，而使所述第一载板与所述第二载板位于所述第一子封装模块和所述第二子封装模块所成结合体的两外侧；以及

在形成所述第一电路重分布层和所述第二电路重分布层前，分别去除所述第一载板和所述第二载板。

24、根据权利要求 17 所述的集成化封装器件的制备方法，其中，所述制备方法还包括：提供多个所述封装模块，并将所述多个封装模块沿所述第一子封装模块与所述第二子封装模块的堆叠方向上堆叠，且使任两个相邻的所述封装模块中位于其中一个所述封装模块的所述联外结构，与相邻的另一个所述封装模块的所述第一电路分布层相接。

25、根据权利要求 24 所述的集成化封装器件的制备方法，其中，所述将所述多个封装模块沿所述第一子封装模块与所述第二子封装模块的堆叠方向上堆叠的步骤还包括：在排位于所述纵向上最外侧的封装模块的所述第一电路重分布层上，形成覆盖所述第一电路重分布层的保护层。

26、一种存储系统，其中，包括：

权利要求 1 至 14 任一项所述集成化封装器件，

且其中，所述集成化封装器件中的至少一所述第一电子元器件及/或至少一所述第二电子元器件包括存储器件；且所述至少一所述第一电子元器件及/或至少一所述第二电子元器件以外的至少一所述第一电子元器件及/或至少一所述第二电子元器件包括控制器件，所述控制器件控制所述存储器件的操作。

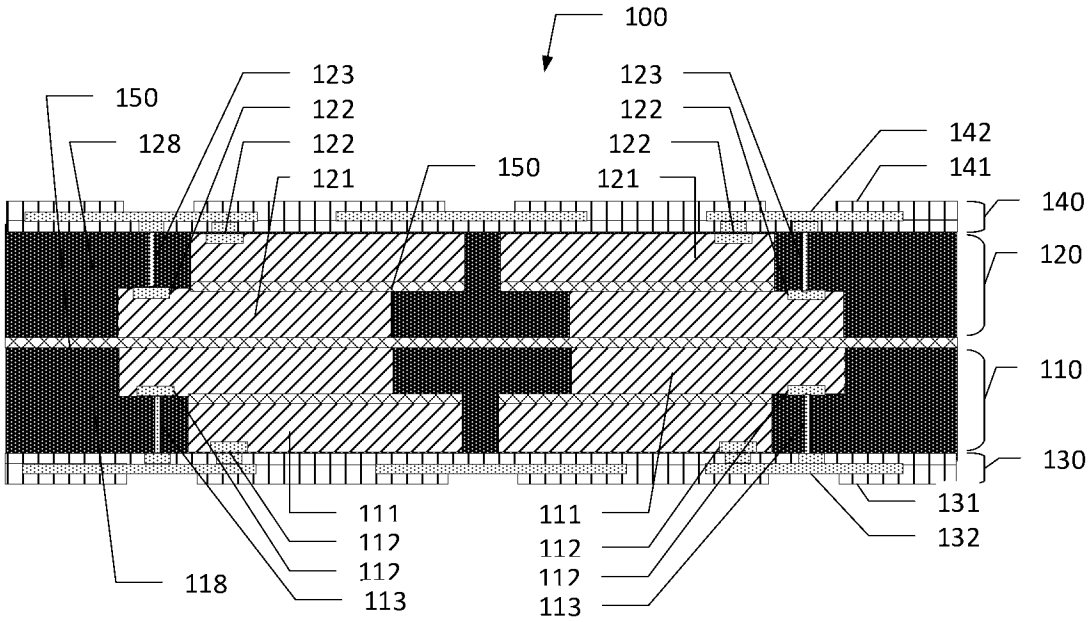
100
150
123
122
128
122
121
150
123
122
122
121
142
141
140
120
110
130
131
132
111
112
112
113
118
111
112
112
113

图 1a

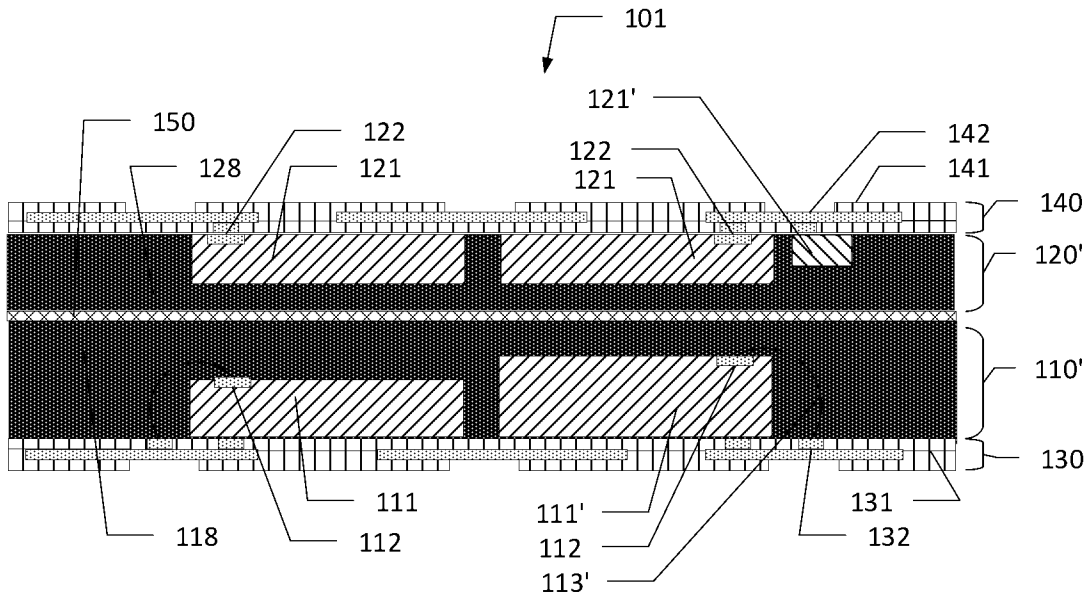
101
150
122
128
121
121'
122
121
142
141
140
120'
110'
130
111
112
118
111'
112
113'
131
132

图 1b

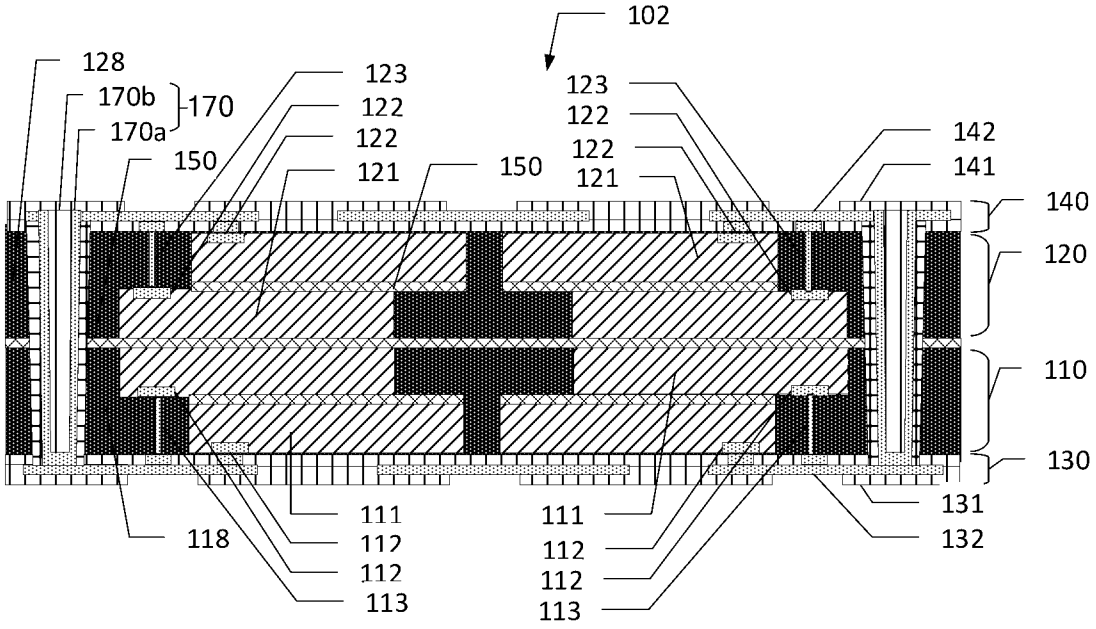
102
128
170b
170
170a
150
123
122
122
121
150
123
122
122
121
142
141
140
120
110
130
131
132
111
112
112
113
118
111
112
112
113

图 1c

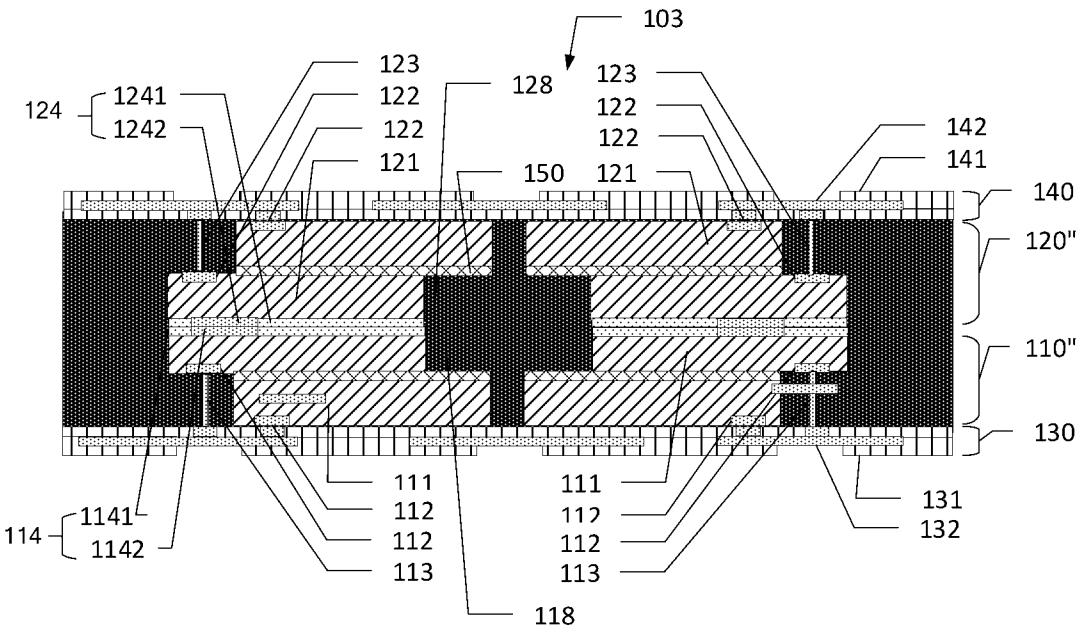
103
124
1241
1242
123
122
122
121
128
150
123
122
122
121
142
141
140
120"
110"
130
131
132
111
112
112
113
118
111
112
112
113
114
1141
1142

图 1d

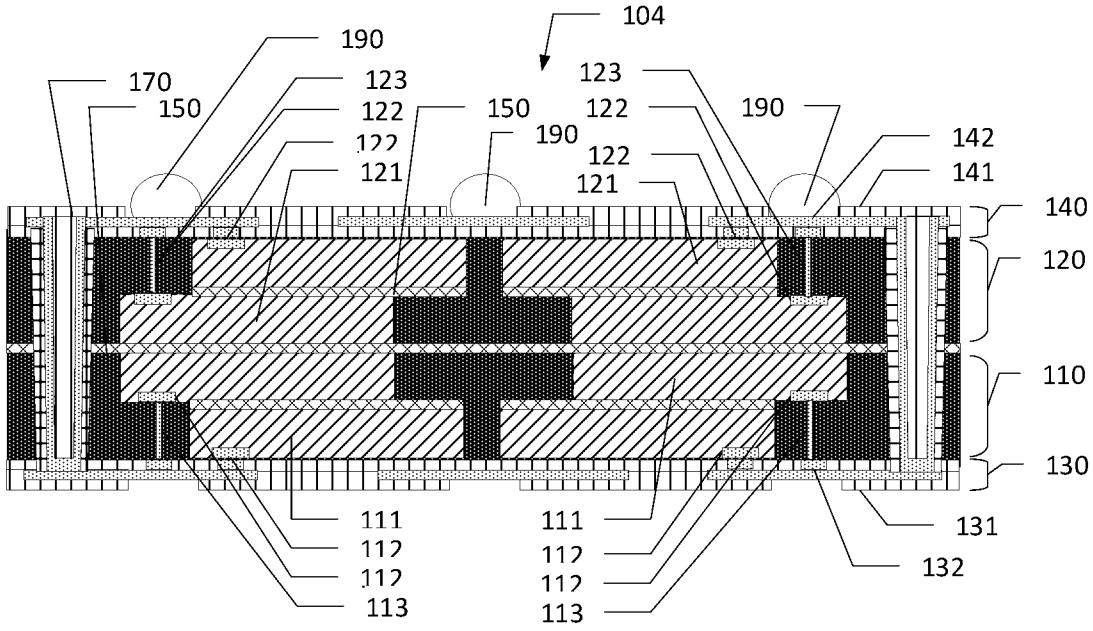
104
190
170
150
123
122
122
121
150
190
123
122
122
121
190
142
141
140
120
110
130
111
112
112
113
111
112
112
113
131
132

图 1e

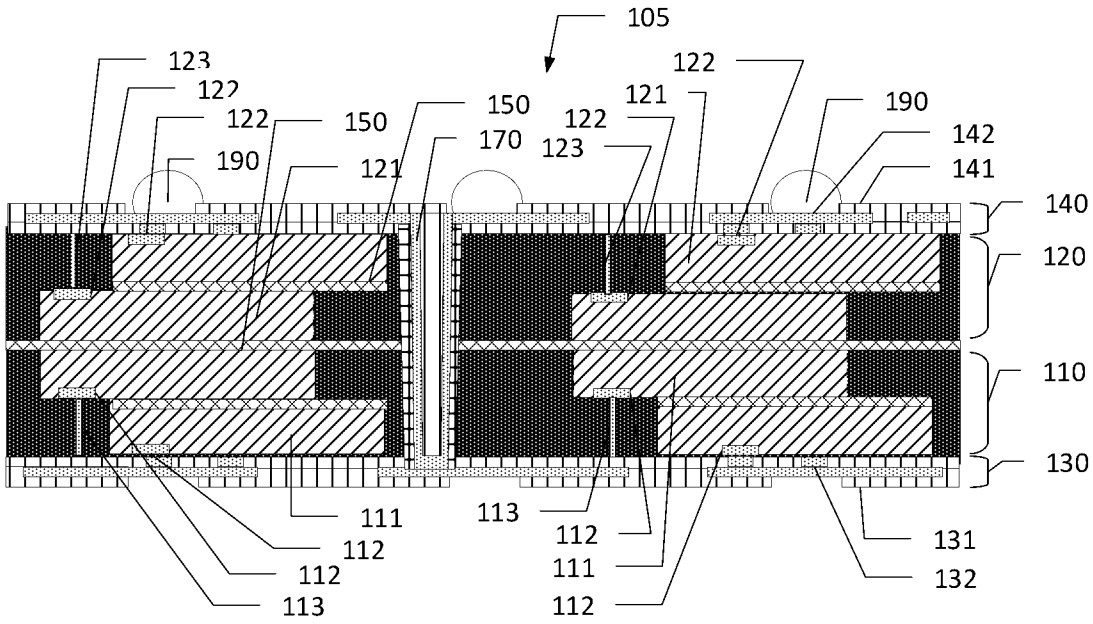
105
123
122
122
150
190
121
150
170
122
123
121
122
190
142
141
140
120
110
130
111
112
112
113
113
112
111
112
131
132

图 1f

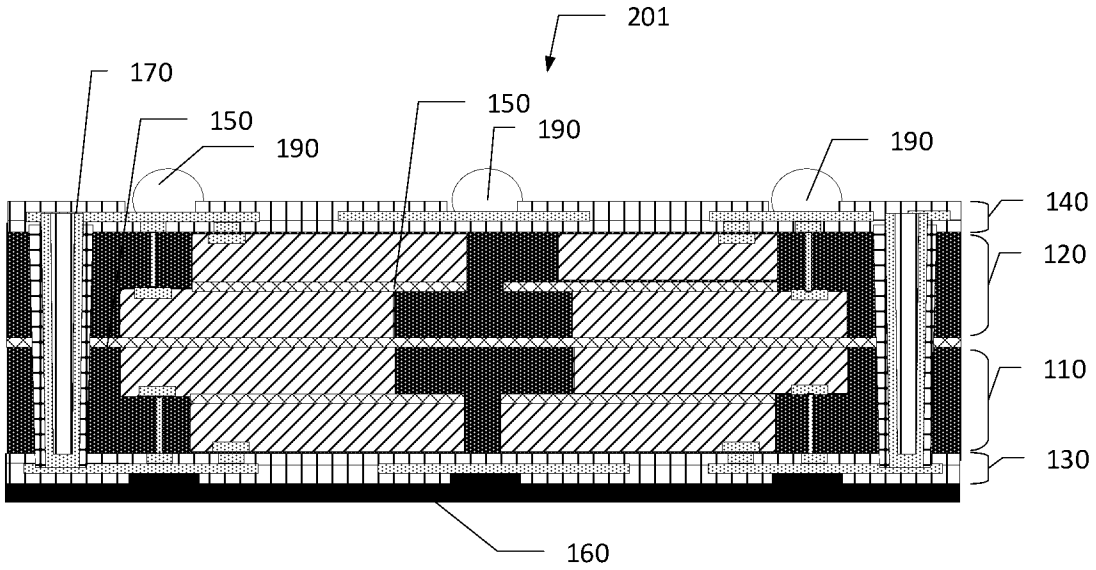
201
170
150
190
150
190
190
140
120
110
130
160

图 2a

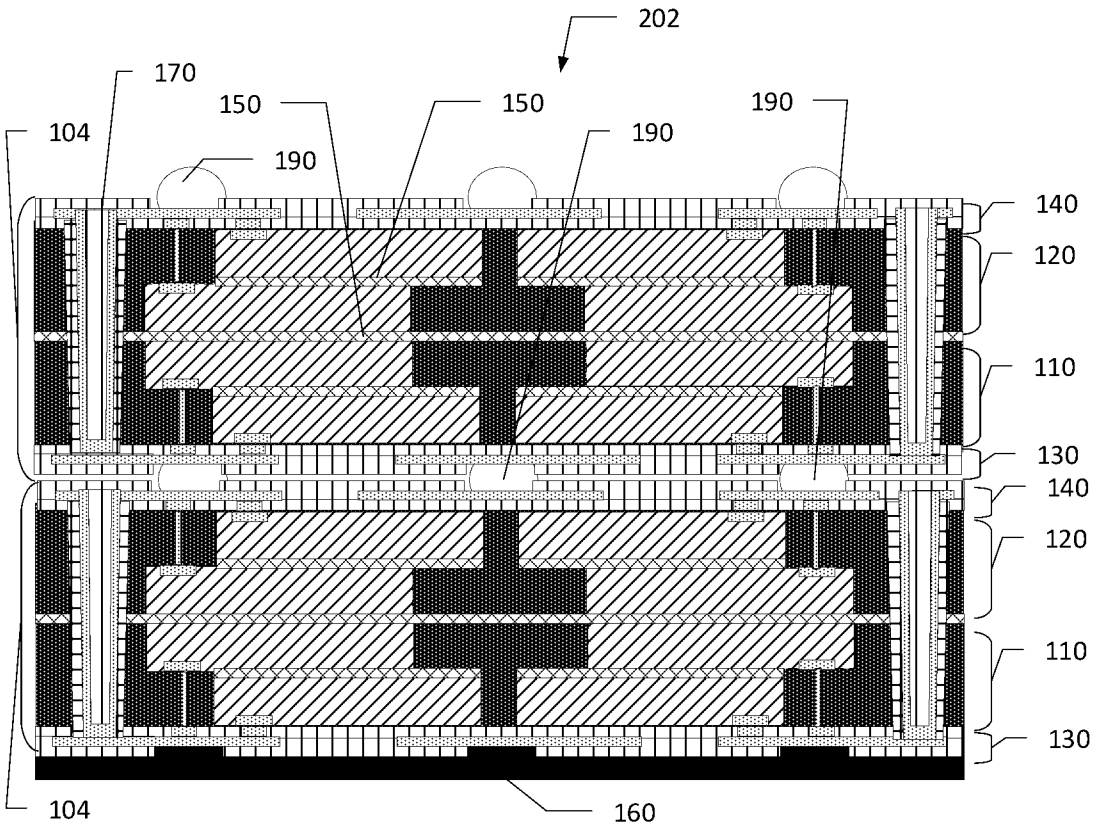
202
170
150
150
190
190
104
190
140
120
110
130
140
120
110
130
104
160

图 2b

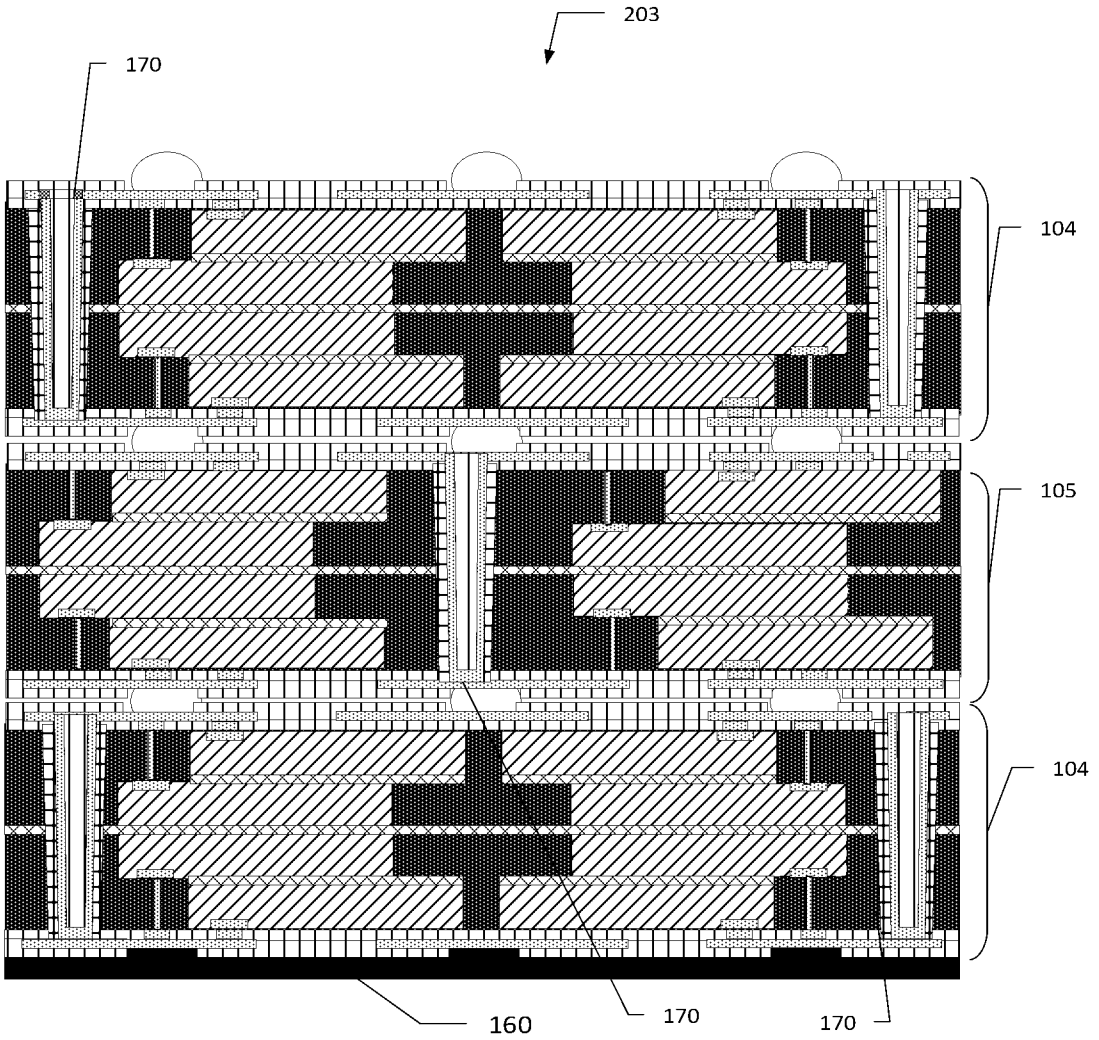

图 2c

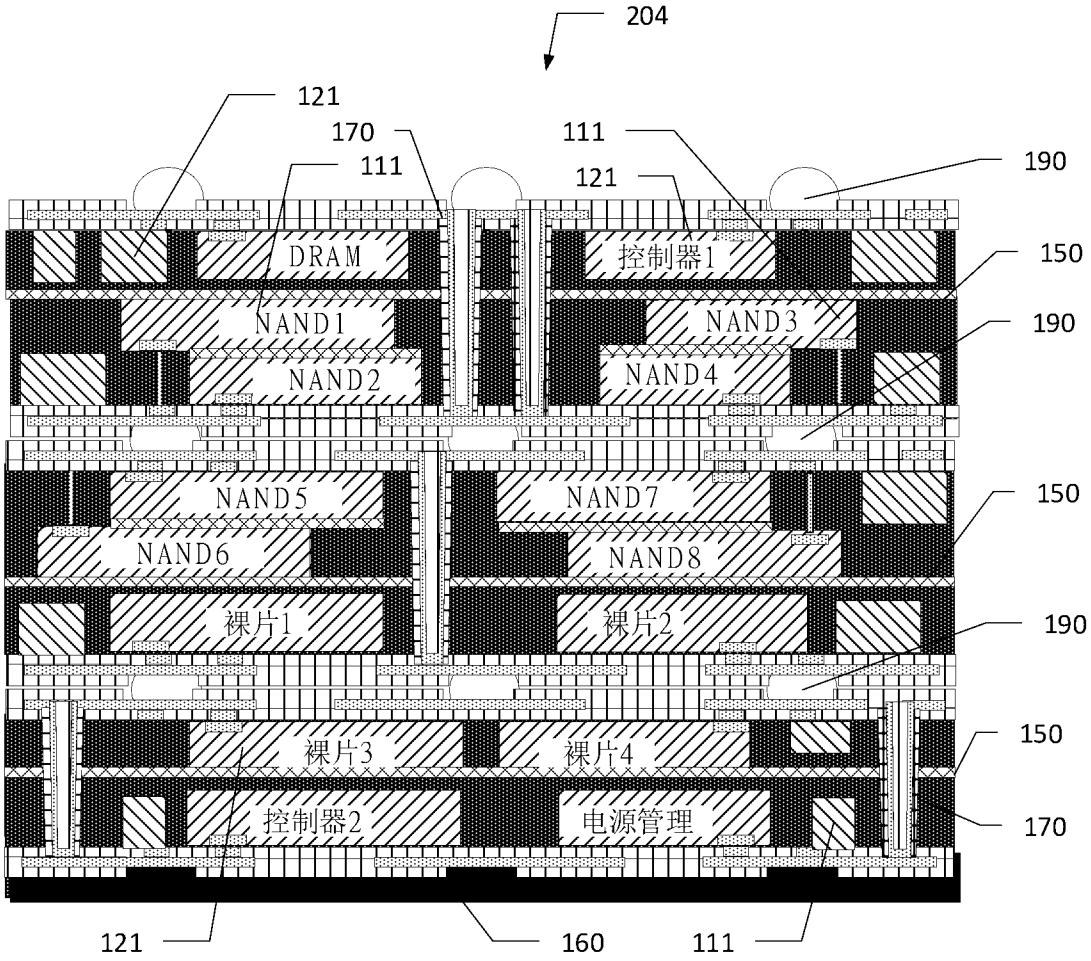
204
121
170
111
111
121
190
DRAM
控制器1
150
NAND1
NAND3
190
NAND2
NAND4
NAND5
NAND7
150
NAND6
NAND8
裸片1
裸片2
190
裸片3
裸片4
150
控制器2
电源管理
170
121
160
111

图 2d

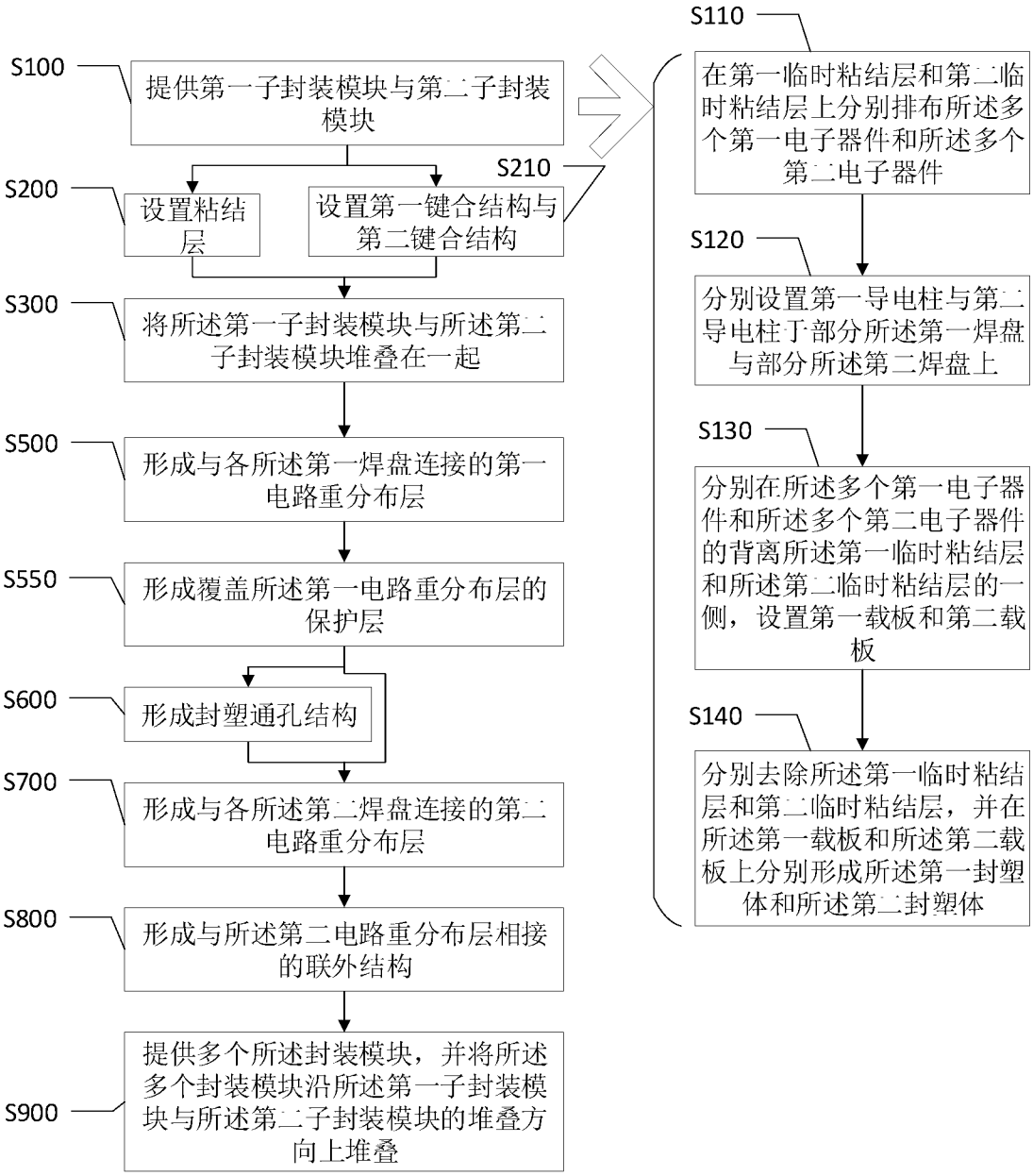
S100
提供第一子封装模块与第二子封装模块
S200
设置粘结层
S210
设置第一键合结构与第二键合结构
S300
将所述第一子封装模块与所述第二子封装模块堆叠在一起
S500
形成与各所述第一焊盘连接的第一电路重分布层
S550
形成覆盖所述第一电路重分布层的保护层
S600
形成封塑通孔结构
S700
形成与各所述第二焊盘连接的第二电路重分布层
S800
形成与所述第二电路重分布层相接的联外结构
S900
提供多个所述封装模块，并将所述多个封装模块沿所述第一子封装模块与所述第二子封装模块的堆叠方向上堆叠
S110
在第一临时粘结层和第二临时粘结层上分别排布所述多个第一电子器件和所述多个第二电子器件
S120
分别设置第一导电柱与第二导电柱于部分所述第一焊盘与部分所述第二焊盘上
S130
分别在所述多个第一电子器件和所述多个第二电子器件的背离所述第一临时粘结层和所述第二临时粘结层的一侧，设置第一载板和第二载板
S140
分别去除所述第一临时粘结层和第二临时粘结层，并在所述第一载板和所述第二载板上分别形成所述第一封塑体和所述第二封塑体

图 3

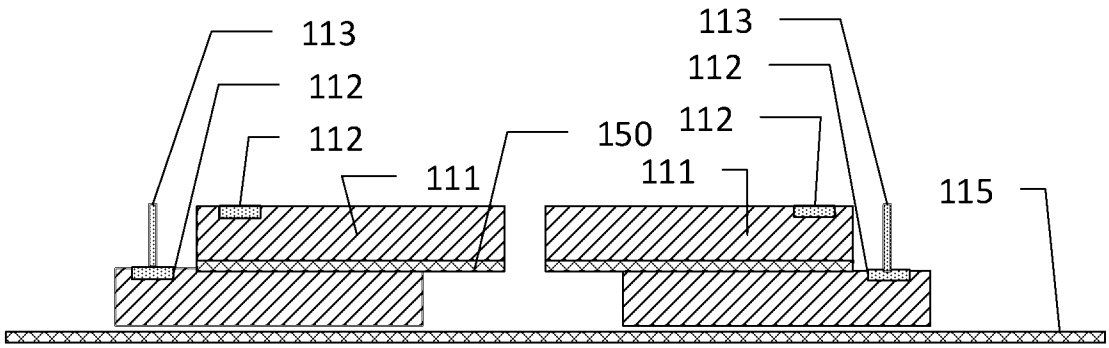
113
112
112
111
150
113
112
112
111
115

图 4a

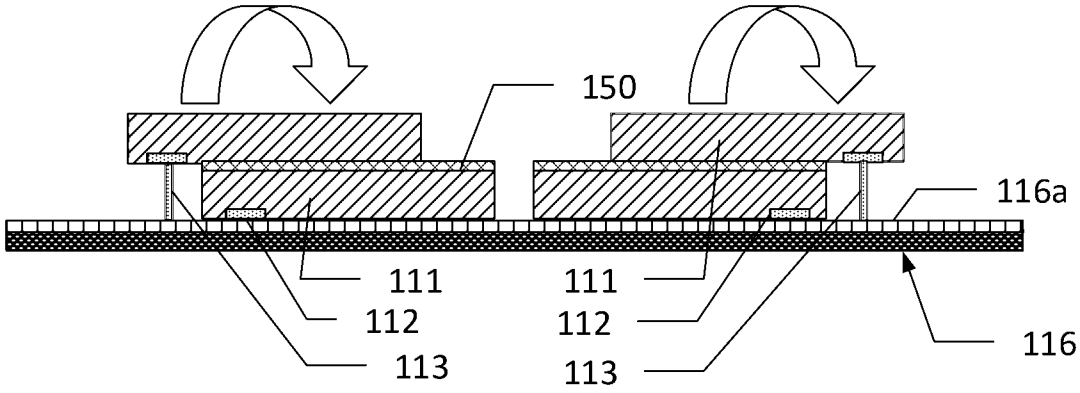
150
116a
111
111
112
112
113
113
116

图 4b

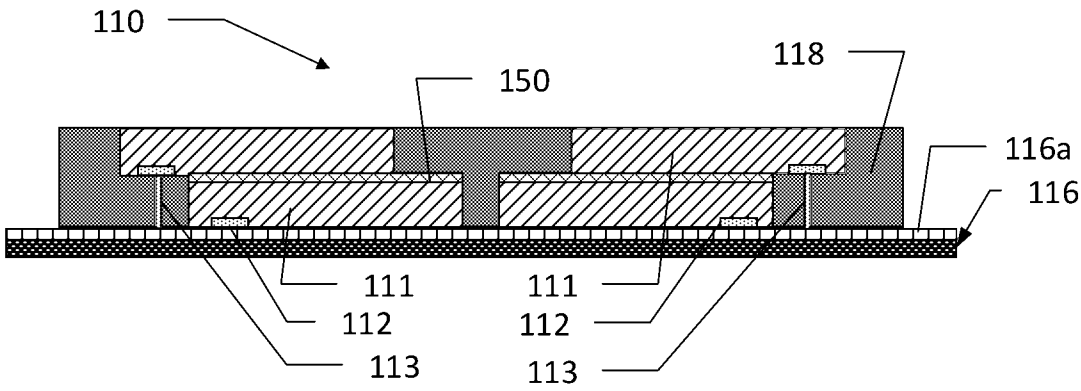
110
150
118
116a
116
111
111
112
112
113
113

图 4c

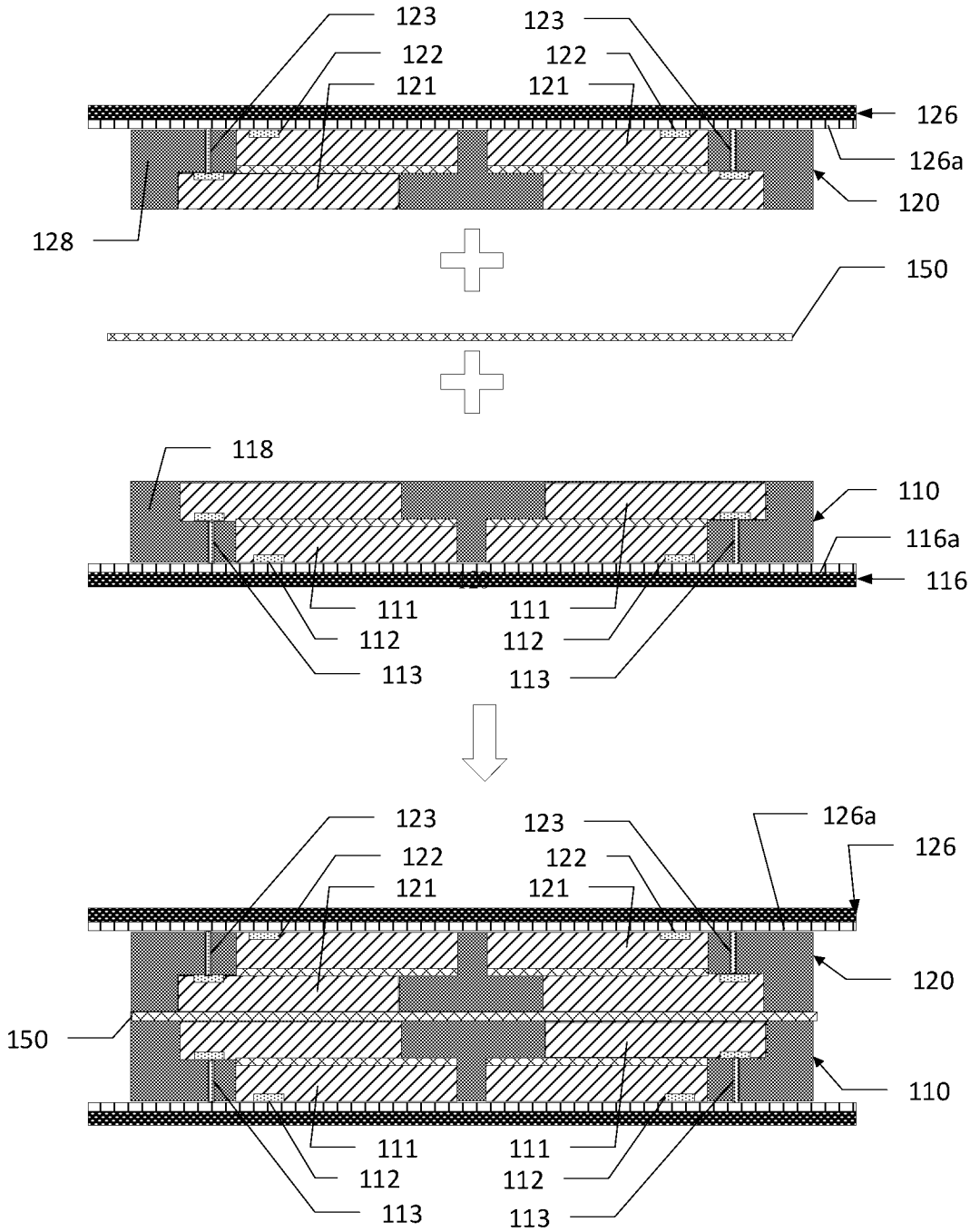
123
123
122
122
121
121
126
126a
120
128
150
118
110
116a
116
111
111
112
112
113
113
123
123
126a
126
122
122
121
121
120
150
110
111
111
112
112
113
113

图 4d

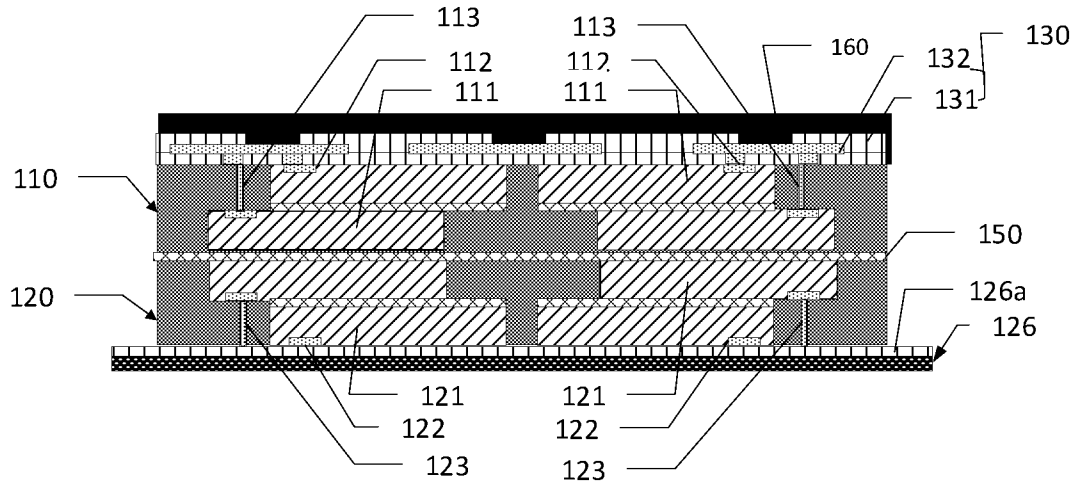
113
113
160
130
112
112
132
111
111
131
110
150
120
126a
126
121
121
122
122
123
123

图 4e

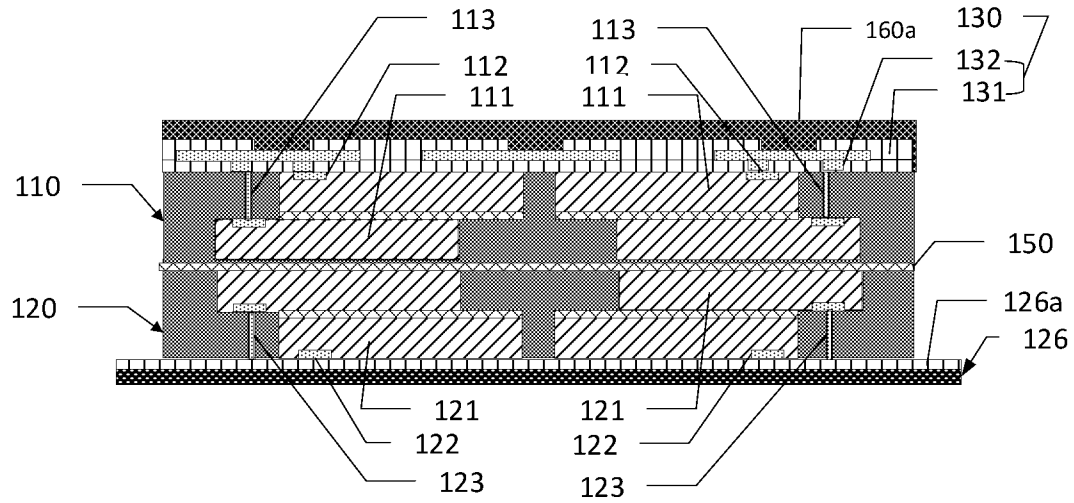
113
113
160a
130
112
112
132
111
111
131
110
150
120
126a
126
121
121
122
122
123
123

图 4f

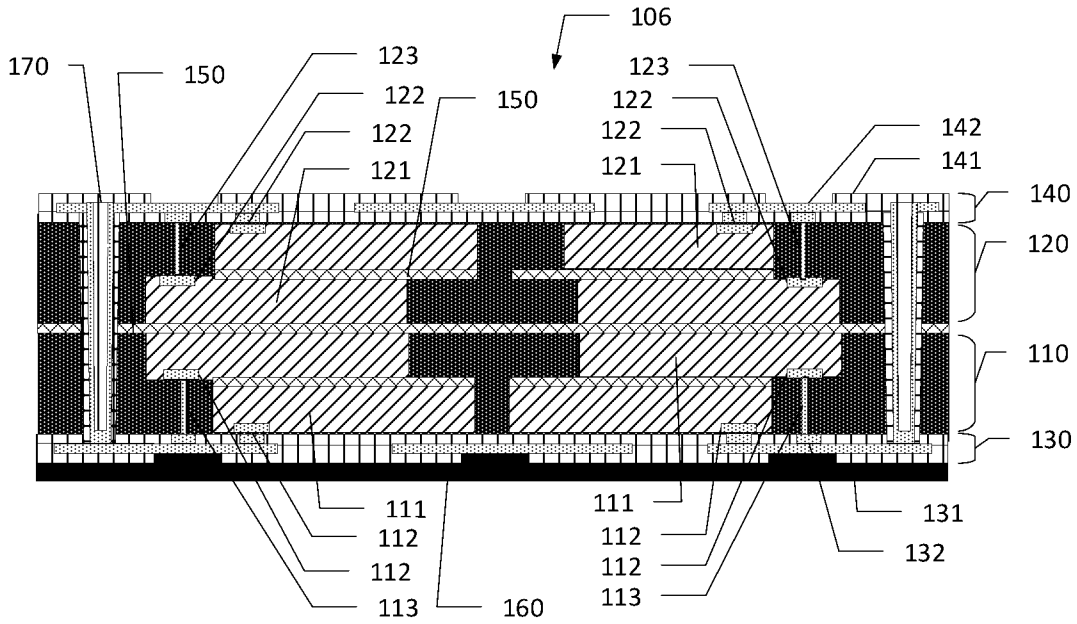
106
170
150
123
122
122
121
150
123
122
122
121
142
141
140
120
110
130
111
112
112
113
160
111
112
112
113
131
132

图 4g

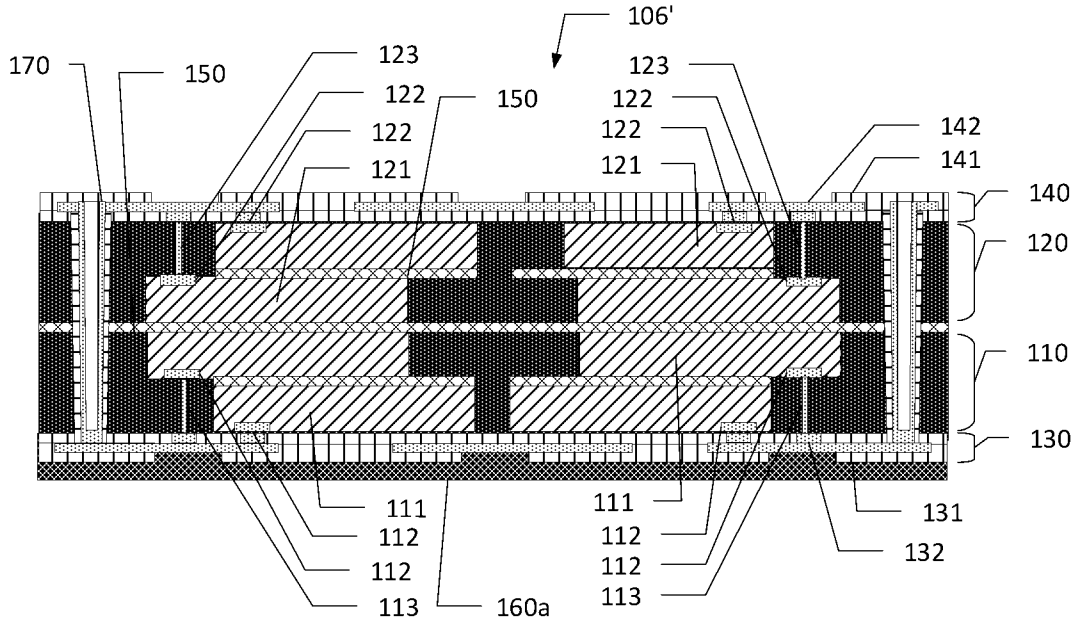
106'
170
150
123
122
122
121
150
123
122
122
121
142
141
140
120
110
130
111
112
112
113
160a
111
112
112
113
131
132

图 4h

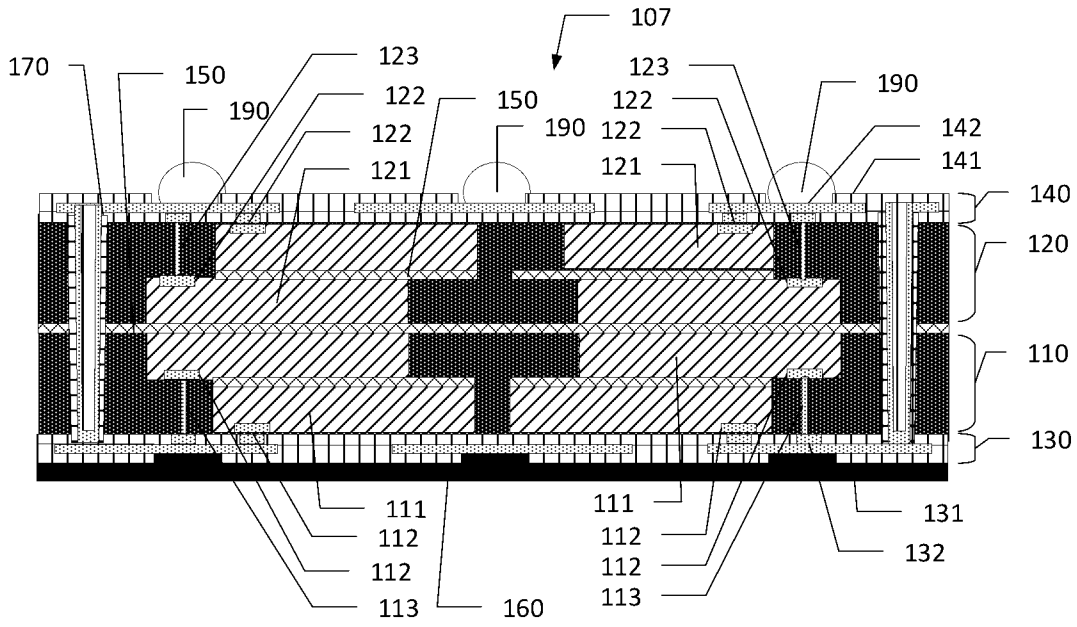
107
170
150
123
122
190
122
121
150
190
123
122
122
121
190
142
141
140
120
110
130
111
112
112
113
160
111
112
112
113
131
132

图 4i

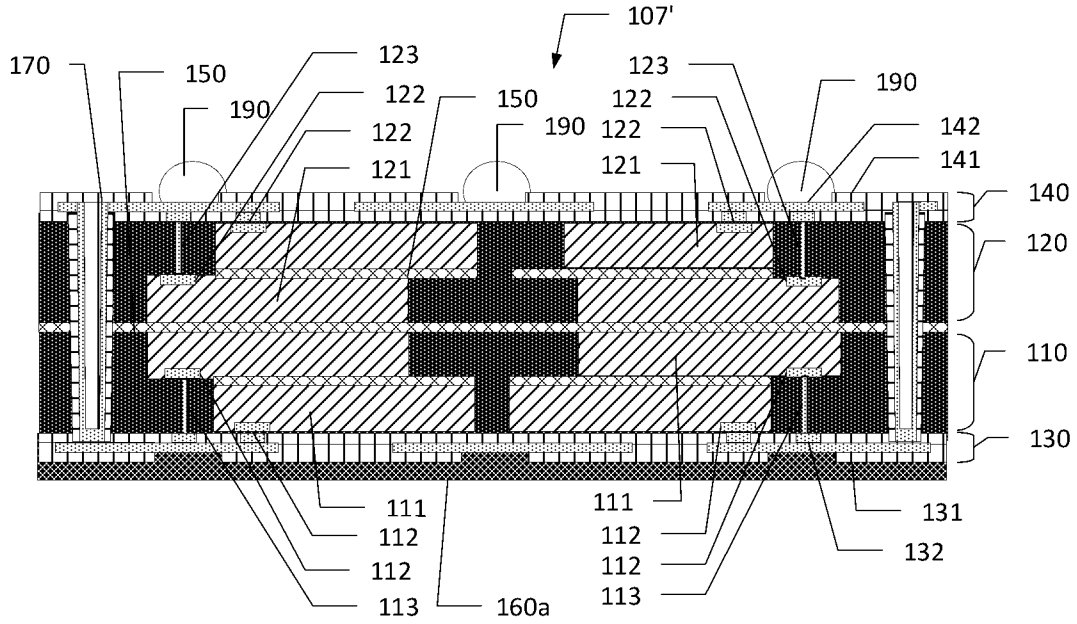
107'
170
150
123
122
190
122
121
150
190
123
122
122
121
190
142
141
140
120
110
130
111
112
112
113
160a
111
112
112
113
131
132

图 4j

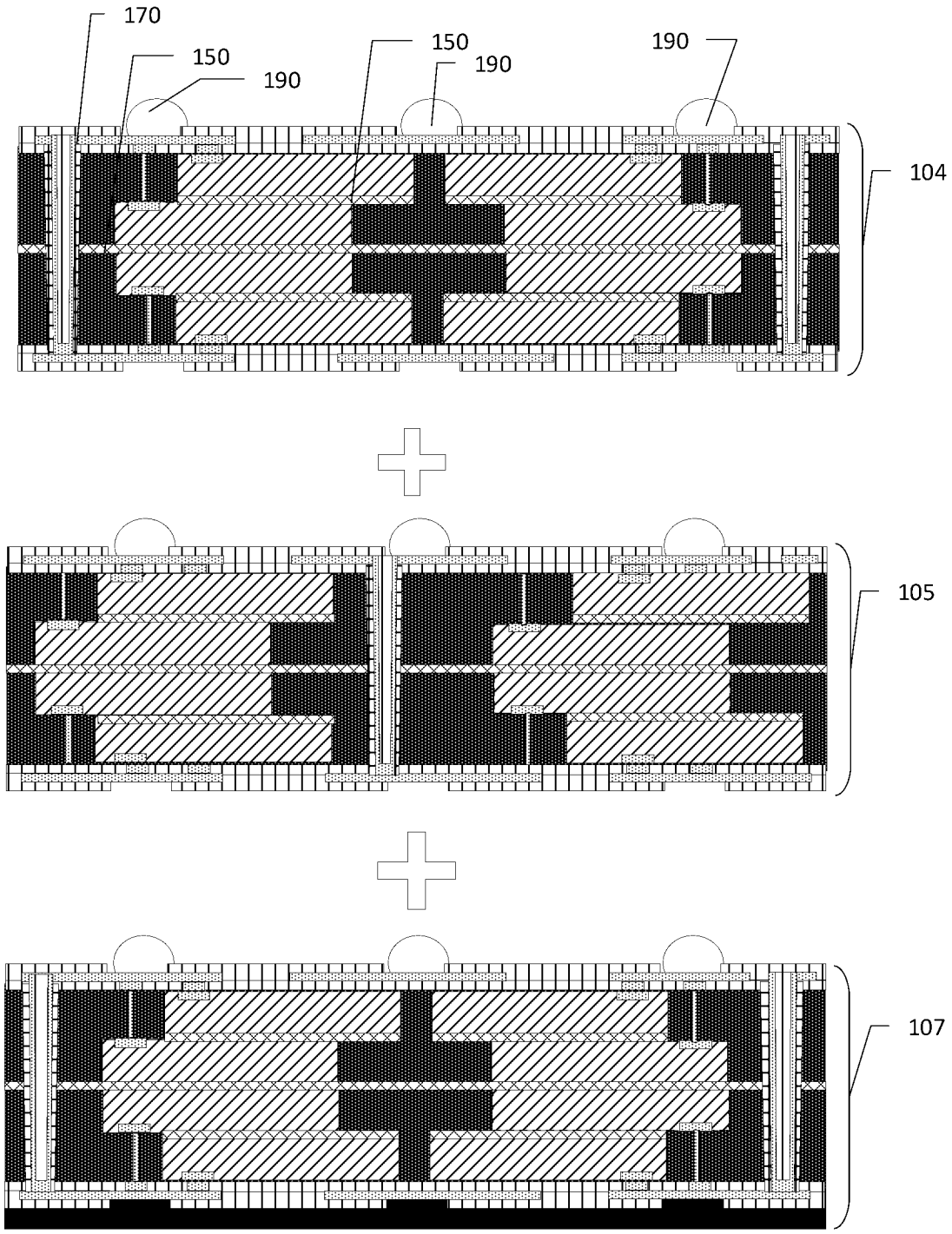

图 5

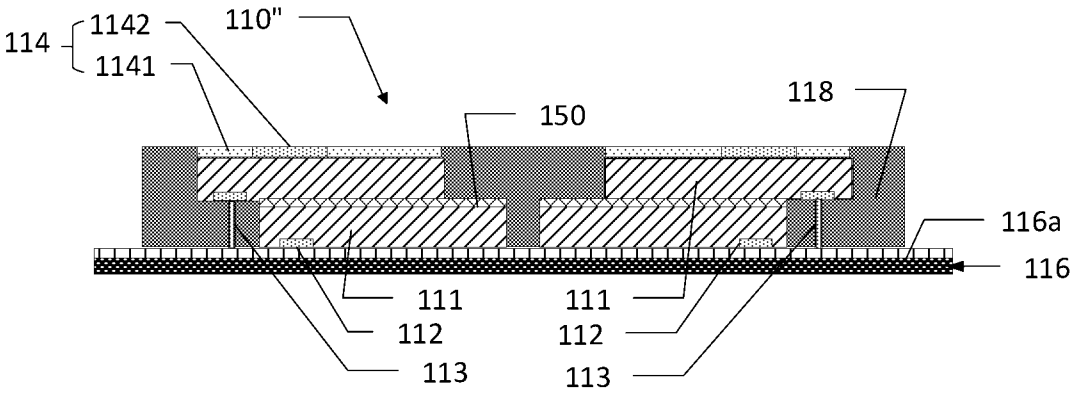
114
1142
1141
110"
150
118
116a
116
111
111
112
112
113
113

图 6a

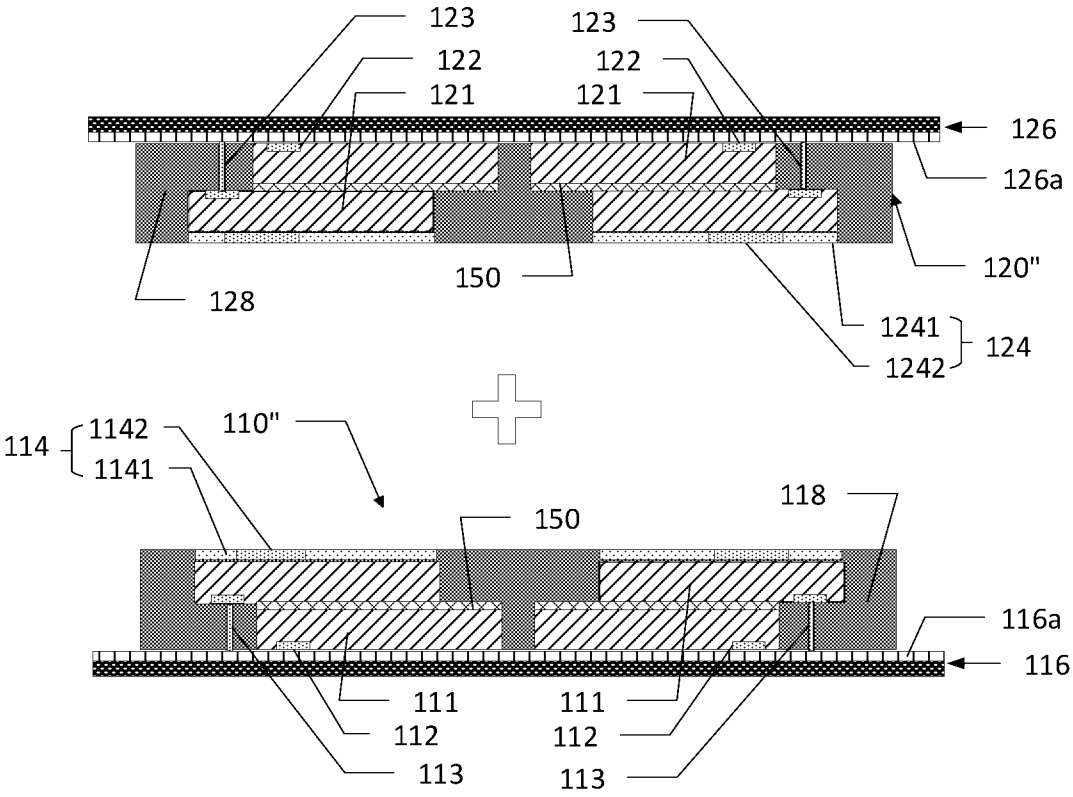
123
123
122
122
121
121
126
126a
120"
150
128
1241
1242
124
114
1142
1141
110"
150
118
116a
116
111
111
112
112
113
113

图 6b

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/086020

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/485(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; ENTXT; IEEE: 背对背, 背靠背, 堆叠, 封装, 混合键合, 键合, 通孔, 再布线, 再分布, 再分配, 重布线, 重分布, back, to, top, bottom, first, second, hybrid, memory, RDL, chip?, die?, bond+, redistribu+, encapsul+, mold+, packag+, stack+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2015364448 A1 (IBIS INNOTECH INC.) 17 December 2015 (2015-12-17) description, paragraphs [0023]-[0058], and figures 1-27	1-26
Y	US 2015108661 A1 (VINCENT, MICHAEL B.) 23 April 2015 (2015-04-23) description, paragraphs [0012]-[0031], and figures 1-13	1-26
Y	JP 2019009444 A (SAMSUNG ELECTRONICS CO., LTD.) 17 January 2019 (2019-01-17) description, paragraphs [0013]-[0090], and figures 1-24	13, 24-25
A	CN 111066144 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 24 April 2020 (2020-04-24) entire document	1-26
A	CN 103296014 A (LIU SHENG) 11 September 2013 (2013-09-11) entire document	1-26

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
81 302202	**21 December 2023**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/086020

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2015364448	A1	17 December 2015	TW	201546985	A	16 December 2015
				TWI	553807	B	11 October 2016
				CN	105280834	A	27 January 2016
				CN	105280834	B	02 October 2018
US	2015108661	A1	23 April 2015	US	9111870	B2	18 August 2015
JP	2019009444	A	17 January 2019	TW	201906129	A	01 February 2019
				TWI	770200	B	11 July 2022
				JP	7011981	B2	27 January 2022
				KR	20190000775	A	03 January 2019
				KR	102434988	B1	23 August 2022
				US	2018374823	A1	27 December 2018
				CN	109119385	A	01 January 2019
				US	10763242B2	B2	01 September 2020
				DE	102018115038	A1	27 December 2018
				SG	10201805091	A1	30 January 2019
				SG	10201805091	B	01 August 2019
				DE	102018115038	B4	06 April 2023
CN	111066144	A	24 April 2020	US	2021384166	A1	09 December 2021
				JP	2022540260	A	14 September 2022
				US	2021167039	A1	03 June 2021
				US	11133290	B2	28 September 2021
				KR	20220018578	A	15 February 2022
				WO	2021102876	A1	03 June 2021
				TW	202121625	A	01 June 2021
				TWI	752402	B	11 January 2022
				CN	111066144	B	15 October 2021
				US	11688721	B2	27 June 2023
CN	103296014	A	11 September 2013	WO	2013127035	A1	06 September 2013

国际检索报告

国际申请号
PCT/CN2023/086020

A. 主题的分类

H01L23/485(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;CNTXT;CNKI;VEN;ENTXT;IEEE: 背对背，背靠背，堆叠，封装，混合键合，键合，通孔，再布线，再分布，再分配，重布线，重分布，back,to,top,bottom,first,second,hybrid,memory,RDL,chip?,die?,bond+,redistribu+,encapsul+,mold+,packag+,stack+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	US 2015364448 A1 (IBIS INNOTECH INC.) 2015年12月17日 (2015 - 12 - 17) 说明书第[0023]-[0058]段，附图1-27	1-26
Y	US 2015108661 A1 (VINCENT, MICHAEL B.) 2015年4月23日 (2015 - 04 - 23) 说明书第[0012]-[0031]段，附图1-13	1-26
Y	JP 2019009444 A (SAMSUNG ELECTRONICS CO., LTD.) 2019年1月17日 (2019 - 01 - 17) 说明书第[0013]-[0090]段，附图1-24	13,24-25
A	CN 111066144 A (长江存储科技有限责任公司) 2020年4月24日 (2020 - 04 - 24) 全文	1-26
A	CN 103296014 A (刘胜) 2013年9月11日 (2013 - 09 - 11) 全文	1-26

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2202年30月81日	2023年12月21日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 曹毓涵 电话号码 (+86) 010-53961208

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/086020

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2015364448	A1	2015年12月17日	TW	201546985	A	2015年12月16日
				TWI	553807	B	2016年10月11日
				CN	105280834	A	2016年1月27日
				CN	105280834	B	2018年10月2日
US	2015108661	A1	2015年4月23日	US	9111870	B2	2015年8月18日
JP	2019009444	A	2019年1月17日	TW	201906129	A	2019年2月1日
				TWI	770200	B	2022年7月11日
				JP	7011981	B2	2022年1月27日
				KR	20190000775	A	2019年1月3日
				KR	102434988	B1	2022年8月23日
				US	2018374823	A1	2018年12月27日
				CN	109119385	A	2019年1月1日
				US	10763242B2	B2	2020年9月1日
				DE	102018115038	A1	2018年12月27日
				SG	10201805091	A1	2019年1月30日
				SG	10201805091	B	2019年8月1日
				DE	102018115038	B4	2023年4月6日
CN	111066144	A	2020年4月24日	US	2021384166	A1	2021年12月9日
				JP	2022540260	A	2022年9月14日
				US	2021167039	A1	2021年6月3日
				US	11133290	B2	2021年9月28日
				KR	20220018578	A	2022年2月15日
				WO	2021102876	A1	2021年6月3日
				TW	202121625	A	2021年6月1日
				TWI	752402	B	2022年1月11日
				CN	111066144	B	2021年10月15日
				US	11688721	B2	2023年6月27日
CN	103296014	A	2013年9月11日	WO	2013127035	A1	2013年9月6日