



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201328448 A1

(43) 公開日：中華民國 102 (2013) 年 07 月 01 日

(21) 申請案號：101140612

(22) 申請日：中華民國 101 (2012) 年 11 月 01 日

(51) Int. Cl. : *H05K1/18 (2006.01)*

H03H9/64 (2006.01)

H04B1/38 (2006.01)

(30) 優先權：2011/12/22 日本

2011-282012

(71) 申請人：太陽誘電股份有限公司 (日本) TAIYO YUDEN CO., LTD. (JP)

日本

(72) 發明人：田中祥子 TANAKA, SACHIKO (JP)；田阪直之 TASAKA, NAOYUKI (JP)；西村豪紀 NISHIMURA, GOHKI (JP)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：8 項 圖式數：6 共 32 頁

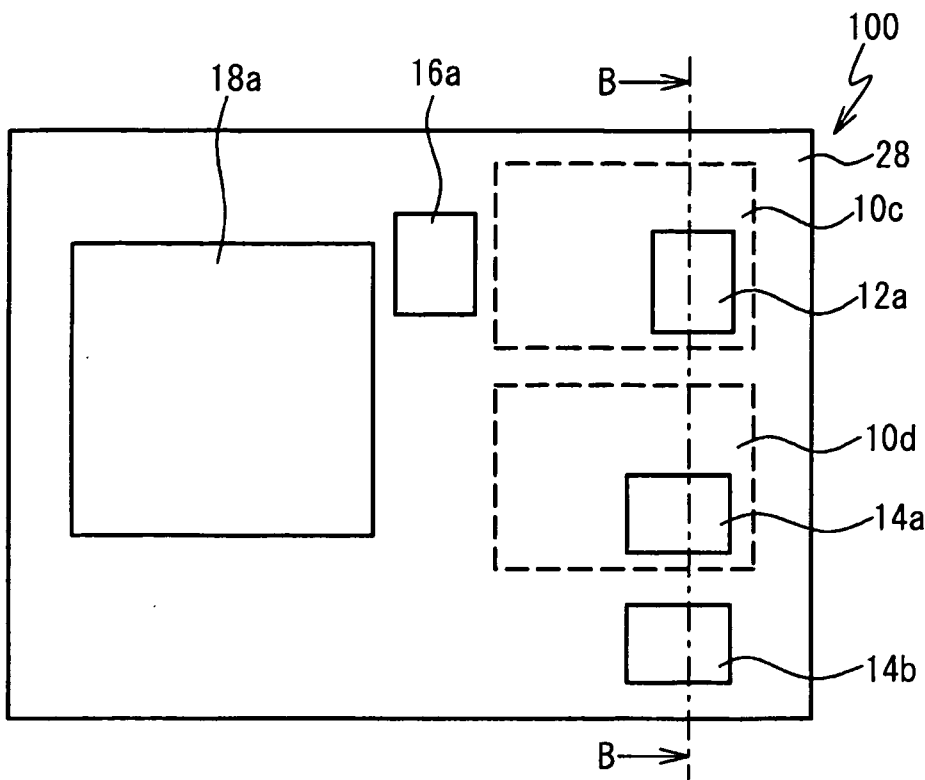
(54) 名稱

電路基板

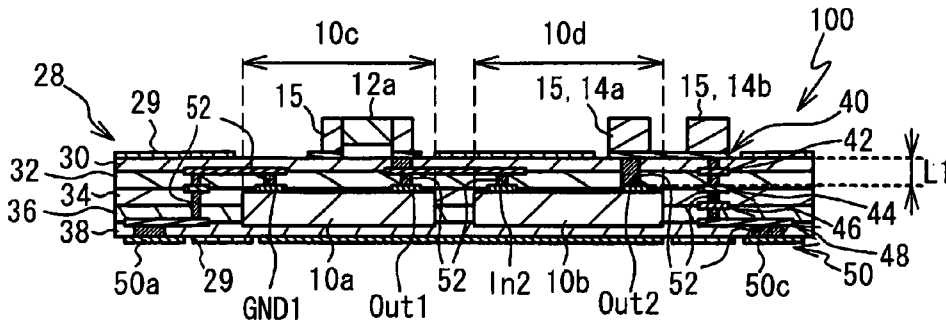
CIRCUIT SUBSTRATE

(57) 摘要

本發明係提供一種可獲得良好之高頻特性且可實現小型化之電路基板。本發明之電路基板包含：積層基板 28，其係由導體層 40、42、44、46、48 及 50 與絕緣層 30、32、34、36 及 38 積層而形成；發送濾波晶片 10a 及接收濾波晶片 10b，該等內置於積層基板 28 中；及晶片元件 12a 及 14a，該等係以至少一部分與將發送濾波晶片 10a 及接收濾波晶片 10b 投影至積層基板 28 之厚度方向而形成之投影區域 10c 及 10d 重疊之方式設置於積層基板 28 之上表面，且與發送濾波晶片 10a 及接收濾波晶片 10b 連接。

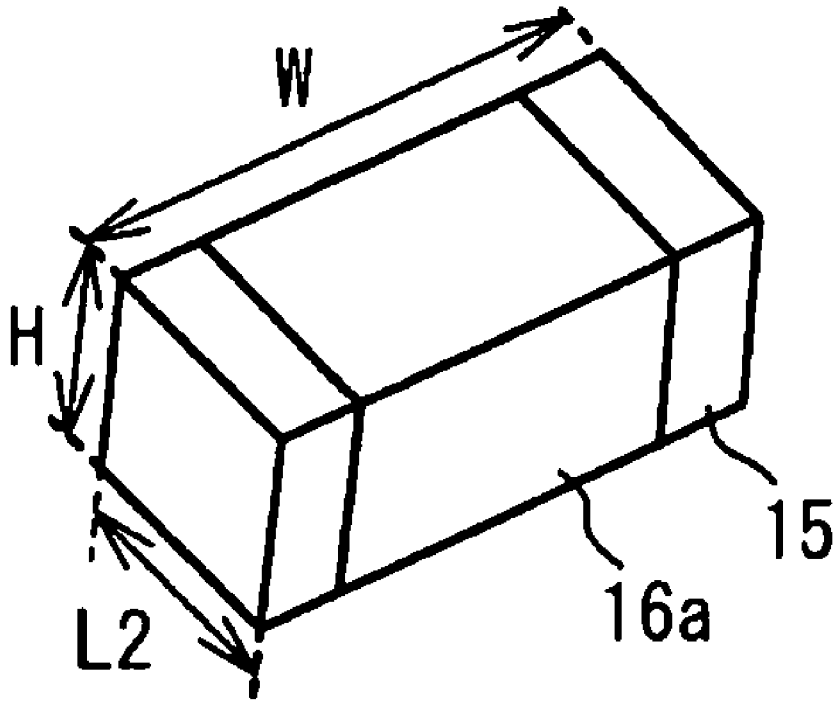


(a)



(b)

- 10a : 發送濾波晶片
- 10b : 接收濾波晶片
- 10c : 投影區域
- 10d : 投影區域
- 12a : 晶片元件
- 14a : 晶片元件
- 14b : 晶片元件
- 15 : 焊料
- 16a : 晶片元件
- 18a : 主動元件
- 28 : 積層基板
- 29 : 阻焊劑
- 30 : 絕緣層
- 32 : 絕緣層
- 34 : 絕緣層
- 36 : 絕緣層
- 38 : 絕緣層
- 40 : 導體層
- 42 : 導體層
- 44 : 導體層
- 46 : 導體層
- 48 : 導體層
- 50 : 導體層
- 50a : 接地端子
- 50c : 接收端子
- 52 : 通孔配線
- 100 : 電路基板
- GND1 : 接地端子
- In2 : 輸入端子
- Out1 : 輸出端子
- Out2 : 輸出端子



(c)



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201328448 A1

(43)公開日：中華民國 102 (2013) 年 07 月 01 日

(21)申請案號：101140612

(22)申請日：中華民國 101 (2012) 年 11 月 01 日

(51)Int. Cl. : **H05K1/18 (2006.01)**

H03H9/64 (2006.01)

H04B1/38 (2006.01)

(30)優先權：2011/12/22 日本

2011-282012

(71)申請人：太陽誘電股份有限公司 (日本) TAIYO YUDEN CO., LTD. (JP)

日本

(72)發明人：田中祥子 TANAKA, SACHIKO (JP)；田阪直之 TASAKA, NAOYUKI (JP)；西村豪紀 NISHIMURA, GOHKI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：8 項 圖式數：6 共 32 頁

(54)名稱

電路基板

CIRCUIT SUBSTRATE

(57)摘要

本發明係提供一種可獲得良好之高頻特性且可實現小型化之電路基板。本發明之電路基板包含：積層基板 28，其係由導體層 40、42、44、46、48 及 50 與絕緣層 30、32、34、36 及 38 積層而形成；發送濾波晶片 10a 及接收濾波晶片 10b，該等內置於積層基板 28 中；及晶片元件 12a 及 14a，該等係以至少一部分與將發送濾波晶片 10a 及接收濾波晶片 10b 投影至積層基板 28 之厚度方向而形成之投影區域 10c 及 10d 重疊之方式設置於積層基板 28 之上表面，且與發送濾波晶片 10a 及接收濾波晶片 10b 連接。

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101140612

※ 申請日：101.11.1

※IPC 分類： H05K 1/18 (2006.1)
H03H 9/64 (2006.1)
H04B 1/38 (2006.1)

一、發明名稱：(中文/英文)

電路基板

CIRCUIT SUBSTRATE

二、中文發明摘要：

本發明係提供一種可獲得良好之高頻特性且可實現小型化之電路基板。本發明之電路基板包含：積層基板28，其係由導體層40、42、44、46、48及50與絕緣層30、32、34、36及38積層而形成；發送濾波晶片10a及接收濾波晶片10b，該等內置於積層基板28中；及晶片元件12a及14a，該等係以至少一部分與將發送濾波晶片10a及接收濾波晶片10b投影至積層基板28之厚度方向而形成之投影區域10c及10d重疊之方式設置於積層基板28之上表面，且與發送濾波晶片10a及接收濾波晶片10b連接。

三、英文發明摘要：

A circuit substrate includes: a laminate substrate in which a conductive layer and an insulating layer are laminated; a filter chip that has an acoustic wave filter and is provided inside of the laminate substrate; and a chip component that is provided on a surface of the laminate substrate and is connected to the filter chip, at least a part of the chip component overlapping with a projected region that is a region of the filter chip projected in a thickness direction of the laminate substrate.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

10a	發送濾波晶片
10b	接收濾波晶片
10c	投影區域
10d	投影區域
12a	晶片元件
14a	晶片元件
14b	晶片元件
15	焊料
16a	晶片元件
18a	主動元件
28	積層基板
29	阻焊劑
30	絕緣層
32	絕緣層
34	絕緣層
36	絕緣層
38	絕緣層
40	導體層
42	導體層
44	導體層
46	導體層

48	導體層
50	導體層
50a	接地端子
50c	接收端子
52	通孔配線
100	電路基板
GND1	接地端子
In2	輸入端子
Out1	輸出端子
Out2	輸出端子

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於電路基板。

【先前技術】

作為高頻特性優異之濾波器，有彈性表面波(Surface Acoustic Wave：SAW)濾波器、壓電薄膜諧振器(Film Bulk Acoustic Resonator：FBAR)濾波器等之彈性波濾波器。隨著行動電話等之移動通訊終端之普及，而要求包含彈性波濾波器之元件之小型化。為實現小型化，而利用將彈性波濾波器與例如功率放大器、IC(Integrated Circuit：積體電路)等之電子元件組入同一基板之電路基板。專利文獻1係揭示於基板上表面設置SAW濾波晶片，且藉由基板之內部配線形成濾波器之發明。專利文獻2記載於基板上表面設置電晶體及SAM濾波器之發明。

[先行技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2001-189605號公報

[專利文獻2]日本專利特開2011-176061號公報

【發明內容】

[發明所欲解決之問題]

然而，在先前之技術中，連接彈性波濾波器與電子元件之配線較長。其結果使阻抗匹配變得困難，且會增大雜訊之影響。結果使彈性波濾波器之高頻特性惡化。進而，亦難以充分令電路基板小型化。本發明係鑒於上述課題，其

目的在於提供一種可取得良好高頻特性，且可實現小型化之電路基板。

[解決問題之技術手段]

本發明係一種電路基板，其包含：積層基板，其係由導體層與絕緣層積層而形成；濾波晶片，其係形成彈性波濾波器，且內置於上述積層基板；及晶片元件，其係以至少一部分與將上述濾波晶片投影至上述積層基板之厚度方向而形成之投影區域重疊之方式設置於上述積層基板之表面，且與上述濾波晶片連接。

在上述構成中，可為上述晶片元件之全體位於上述投影區域內側之構成。

在上述構成中，可為複數之上述濾波晶片元件之全體位於上述投影區域內側之構成。

在上述構成中，可為上述濾波晶片與上述晶片元件不經由其他晶片元件而直接連接之構成。

在上述構成中，可為複數之上述濾波晶片包含形成發送濾波器之發送濾波晶片、及形成接收濾波器之接收濾波晶片之構成。

在上述構成中，可為上述發送濾波晶片係連接於發送節點與共通節點之間，且上述接收濾波晶片係連接於接收節點與上述共通節點之間，複數之上述晶片元件包含：第一晶片元件，其係連接於上述共通節點與天線之間；第二晶片元件，其係連接於上述發送節點與電子元件之間；及第三晶片元件，其係連接於上述接收節點與上述電子元件之

間；且上述第一晶片元件係與將上述發送濾波晶片投影至上述積層基板之厚度方向所形成之第1投影區域重疊，或與將上述接收濾波晶片投影至上述積層基板之厚度方向所形成之第2投影區域重疊；上述第2晶片元件係與上述第1投影區域重疊，上述第3晶片元件係與上述第2投影區域重疊之構成。

上述構成中，可為在連接上述濾波晶片與上述晶片元件之配線中，延伸於上述積層基板之面方向之第一配線比延伸於上述積層基板之厚度方向之第二配線更短之構成。

在上述構成中，可為上述積層基板含有包含金屬之蕊芯，且上述濾波晶片係內置於形成於上述蕊芯之開口部內之構成。

[發明之效果]

根據本發明，可提供一種能取得良好之高頻特性，且可實現小型化之電路基板。

【實施方式】

首先，對包含彈性波濾波器之模組加以說明。圖1(a)係例示包含彈性波濾波器之模組之模式圖。

如圖1(a)所示，分波器10包含：例如SAW濾波器的發送濾波器10Tx及接收濾波器10Rx。發送濾波器10Tx連接於天線節點Ant1(共通節點)與發送節點Tx1之間。接收濾波器10Rx連接於天線節點Ant1與接收節點Rx1之間。另，發送濾波器10Tx及接收濾波器10Rx連接於未圖示之接地端子。在匹配電路12與開關20之間設置有天線節點Ant2，在

匹配電路14與RFIC(Radio Frequency Integrated Circuit, 射頻積體電路)24(電子元件)之間設置有接收節點Rx2, 且在PA18與RFIC24之間設置有發送節點Tx2。

由BBIC(Base Band Integrated Circuit, 基頻積體電路)26將基頻之發送訊號輸入至RFIC24。RFIC24將發送訊號由基頻升頻(upconvert)至高頻。發送訊號在功率放大器(PowerAmp: PA)18中放大, 且通過匹配電路16輸入至發送濾波器10Tx。發送濾波器10Tx使發送訊號中具有發送濾波器10Tx之通過帶域內之頻率之訊號通過, 並抑制具有通過帶域外之頻率之訊號。雖然圖1(a)中省略了圖示, 但開關20連接包含分波器10、匹配電路12、14、及16、PA18、RFIC24、及BBIC26之複數之系統。例如, 依據通訊帶域(頻帶), 開關20從複數之系統中選擇其一, 且與天線22連接。發送訊號係通過匹配電路12及開關20輸入至天線22, 且由天線22發送。天線22接收之接收訊號通過開關20及匹配電路12, 輸入至接收濾波器10Rx。接收濾波器10Rx使接收訊號中具有接收濾波器10Rx之通過帶域內之頻率之訊號通過, 並抑制具有通過帶域外之頻率之訊號。接收訊號通過匹配電路14被輸入至RFIC24, 且藉由RFIC24中所含之低雜訊放大器予以放大。RFIC24將接收訊號降頻至基頻。BBIC26對基頻之接收訊號進行處理。

匹配電路12、14及16係例如由電感器及電容器等之晶片元件而形成, 且具有對分波器10、PA18、開關20、天線22、RFIC24及BBIC26間之阻抗進行匹配之功能。爲了取

得適當之阻抗匹配，較好將匹配電路12、14、及16設置於分波器10之附近，以縮短連接匹配電路12、14、及16與分波器10之配線。

發送濾波器10Tx及接收濾波器10Rx例如採用階梯型濾波器。圖1(b)係例示階梯型濾波器之電路圖。串聯諧振子S1~S3係串聯連接於輸入端子In與輸出端子Out之間。並聯諧振子P1連接於串聯諧振子S1~S2間，且並聯諧振子P2連接於串聯諧振子S2~S3間。並聯諧振子P1及P2連接於接地端子。發送濾波器10Tx之輸入端子In與圖1(a)之發送節點Tx1連接，而輸出端子Out與天線節點Ant1連接。接收濾波器10Rx之輸入端子In與天線節點Ant1連接，而輸出端子Out與接收節點Rx1連接。作為發送濾波器10Tx及接收濾波器10Rx，除階梯型濾波器以外，亦可使用例如多重模式濾波器等。

繼而，作為比較例，針對將模組中由方框A所包圍之構成組入至一個電路基板之例進行說明。圖2(a)係例示比較例之電路基板100R之俯視圖。圖2(b)係沿圖2(a)之B-B之剖視圖。圖2(a)中省略了阻焊劑129及導體層140之圖示。圖2(b)中僅對複數之通孔配線152中之一部分附註編號。

如圖2(a)及圖2(b)所示，絕緣層130、132、134、136、及138與導體層140、142、144、146、148、及150積層。各導體層間藉由貫通絕緣層130、132、134、136、及138之通孔配線152予以連接。導體層150係作為用以連接積層基板128、與如天線14、RFIC24及BBIC26之外部元件之墊

套支架發揮功能。如圖 2(b)所示之導體層 150 之天線端子 150b 係對應於圖 1(a) 之天線節點 Ant2，接收端子 150c 係對應於接收節點 Rx2。對應於圖 1(a) 之發送節點 Tx2 之發送端子之圖示係省略。

發送濾波晶片 110a 係例如形成有圖 1(a) 之發送濾波器 10Tx 之 SAW 濾波晶片，接收濾波晶片 110b 係例如形成有接收濾波器 10Rx 之 SAW 濾波晶片。圖 1(a) 之匹配電路 12 包含晶片元件 112a，匹配電路 14 包含晶片元件 114a 及 114b，匹配電路 16 包含晶片元件 116a。主動元件 118a 包含 PA18。

發送濾波晶片 110a 及接收濾波晶片 110b 係覆晶安裝於積層基板 128 之上表面所設之導體層 140 上。晶片元件 112a、114a、114b、及 116a 係藉由焊料 115 而安裝於導體層 140。發送濾波晶片 110a 之接地端子 GND1 與接收濾波晶片 110b 之接地端子 GND2 共通地連接於接地端子 150a。發送濾波晶片 110a 之輸出端子 Out1 及接收濾波晶片 110b 之輸入端子 In2 係通過導體層 140 所含之配線，與晶片元件 112a 連接。晶片元件 112a 係經由導體層 150 所含之天線端子 150b，而連接於天線 22 (參照圖 1(a))。發送濾波晶片 110a 之輸入端子 In1 係通過導體層 140 所含之配線，與晶片元件 116a (參照圖 2(a)) 連接。晶片元件 116a 與主動元件 118a (參照圖 2(a)) 連接，且主動元件 118a 與 RFIC24 (參照圖 1) 連接。接收濾波晶片 110b 之輸出端子 Out2 係通過導體層 140 所含之配線，與晶片元件 114a 及 114b 連接。晶片元件 114a 及 114b 係經由接收端子 150c，與 RFIC24 (參照圖 1(a)) 連接。

由於濾波晶片(發送濾波晶片110a及接收濾波晶片110b)、晶片元件112a、114a、114b及116a、及主動元件118a係設置於積層基板128之上表面，故積層基板128大型化。又，如導體層140所含之配線般，延伸於積層基板128之面方向之配線變長，具有例如150 μm以上之長度。因此，在濾波晶片與晶片元件112a及114a之間，變得難以獲取阻抗匹配。此外，流動於配線之高頻訊號係變得容易受電性雜訊之影響。其結果會致使電路基板100R之高頻特性劣化。又，會制約濾波晶片、晶片元件112a、114a、114b及116a、及主動元件118a之配置與配線之路徑。因此，亦會使配線變得更長，使高頻特性發生更大劣化。又，在將濾波晶片與各晶片元件共同內置於積層基板128內之情形，亦因藉由面方向之配線進行連接，而致使配線變長。又，由於改變一次內置之濾波晶片及各晶片元件之位置、及電路常數(電阻值、電容、阻抗)較為困難，故變得難以一邊調整位置、一邊正確地進行阻抗匹配。接著，對實施例1進行說明。

[實施例1]

實施例1係將濾波晶片內置於積層基板，且將晶片元件安裝於積層基板之上表面(表面)之例。圖3(a)係例示實施例1之電路基板100之俯視圖。圖3(b)係沿圖3(a)之B-B之剖視圖。

如圖3(a)及圖3(b)所示，發送濾波晶片10a及接收濾波晶片10b係例如在包含鉭酸鋰(LiTaO₃)或鈮酸鋰(LiNbO₃)等之

壓電體之壓電基板上形成IDT(Interdigital Transducer, 交指型換能器)之SAW濾波晶片, 且內置於積層基板28內。使彈性波激振之IDT雖未圖示, 但係設置於各濾波晶片之上表面。

晶片元件12a、14a、14b、及16a係藉由焊料15而安裝於積層基板28之上表面。晶片元件12a(第一晶片元件)整體與發送濾波晶片10a投影至積層基板28之厚度方向(圖3(b)之上下方向)所形成之投影區域10c(第一投影區域, 參照圖中之虛線)重疊。晶片元件14a(第三晶片元件)整體與接收濾波晶片10b投影至積層基板28之厚度方向所形成之投影區域10d(第二投影區域, 參照圖中之虛線)重疊。因此與比較例相比, 可縮小積層基板28之面積。因此, 可實現電路基板100之小型化。

如圖3(b)所示, 發送濾波晶片10a之輸出端子Out1、及接收濾波晶片10b之輸入端子In2係經由通孔配線52、導體層40及42, 與晶片元件12a連接。晶片元件12a與導體層50所含之天線端子(未圖示)連接。天線端子對應於圖1(a)之天線節點Ant2, 並與開關20及天線22連接。發送濾波晶片10a之輸入端子(未圖示)與晶片元件16a(第2晶片元件, 參照圖3(a))連接。晶片元件16a係經由主動元件18a(參照圖3(a)), 與導體層50所含之發送端子(未圖示)連接。導體層50之發送端子對應於圖1(a)之發送節點Tx2, 與RFIC24連接。發送濾波晶片10a之接地端子GND1經由導體層42、44、46及48, 與導體層50所含之接地端子50a連接。

接收濾波晶片10b之輸出端子Out2經由通孔配線52、及導體層40與晶片元件14a連接。晶片元件14a經由晶片元件14b及通孔配線52，與導體層50所含之接收端子50c連接。接收端子50c對應於圖1(a)之接收節點Rx2，與RFIC24連接。

因與發送濾波晶片10a連接之晶片元件12a係與投影區域10c重疊，故連接發送濾波晶片10a與晶片元件12a之配線未包含於面方向延伸之配線，而由通孔配線52構成。連接接收濾波晶片10b與晶片元件14a之配線亦由通孔配線52構成。絕緣層30及32各者之厚度例如為30 μm 左右，連接接收濾波晶片10b與晶片元件14a之通孔配線52之長度L1係例如為60 μm 左右。如此，在實施例1中，與比較例相比，連接濾波晶片與晶片元件12a及14a之配線變短。其結果可使阻抗匹配變得容易，且可降低雜訊之影響。進而亦可降低配線之寄生電容、及寄生電感等之寄生成分。從而，改善電路基板100之高頻特性。為有效地改善高頻特性，發送濾波晶片10a與晶片元件12a、及接收濾波晶片10b與晶片元件14a較好係例如各自不經由其他之晶片元件而直接連接。

因晶片元件12a、14a、14b及16a係安裝於積層基板28之上表面，故可一邊調整該等之位置及電路常數，一邊正確且容易地進行阻抗匹配。又因濾波晶片被內置，故主動元件18a、晶片元件12a、14a、14b及16a之配置、以及配線路徑之自由度提高。其結果，可實現電路基板100之小型

化，且可使於面方向延伸之配線更短。

圖3(c)係例示晶片元件12a之立體圖。晶片元件12a之寬W例如為0.4 mm、0.6 mm、或1 mm，長L2例如為0.2 mm、0.3 mm、或0.5 mm，高H例如為0.3 mm。晶片元件12a、14a、14b及16a彼此可具有相同尺寸，亦可具有不同尺寸。各晶片元件之尺寸及晶片元件數可根據積層基板28上表面之佈局予以變更。濾波晶片厚度為例如250 μm，但可改變。積層基板28所含之絕緣層數及導體層數可改變。電路基板100除了由圖1(a)之方框A所包圍之電路要件以外，亦可包含開關20、天線22、BBIC26、及RFIC24中至少一者，亦可全部包含。

絕緣層30、32、34、36及38包含例如玻璃環氧樹脂等之樹脂或陶瓷等。藉由使各絕緣層包含樹脂，可使濾波晶片之內置變得容易。濾波晶片之各端子、導體層42、44、46、48及50包含例如銅(Cu)、鋁(Al)等之金屬、或含該等金屬之合金。焊料15係包含錫銀(Sn-Ag)。如圖3(b)所示之阻焊劑29係抑制焊料15附著於積層基板28及導體層40之非所需部位。

[實施例2]

實施例2係將複數之晶片元件設置於一個投影區域內之例。圖4(a)係例示實施例2之電路基板200之俯視圖。圖4(b)係沿圖4(a)之B-B之剖視圖。

如圖4(a)及圖4(b)所示，晶片元件12a及16a之全體係位於投影區域10c之內側，晶片元件14a及14b之全體係位於

投影區域10d之內側。因此，可使電路基板200變得更小。再者與實施例1同樣，因配線變短，故可改善高頻特性。因晶片元件12a與發送濾波晶片10a直接連接，故亦可位於投影區域10c之內側。

[實施例3]

實施例3係將晶片元件之一部分設置於投影區域內之例。圖5(a)係例示實施例3之電路基板300之俯視圖。圖5(b)係沿圖5(a)之B-B之剖視圖。

如圖5(a)及圖5(b)所示，晶片元件14a之一部分係位於投影區域10d之內側，而另一部分係位於投影區域10d之外側。根據實施例3，可縮小電路基板300，並改善高頻特性。另，只要晶片元件12a、14a、14b及16a之任一者之至少一部分位於投影區域10c或10d之內側即可。

圖5(c)係例示實施例3之變形例之電路基板300a之剖視圖。如圖5(c)所示，接收濾波晶片10b與晶片元件14a係藉由導體層40所含之配線40a(第一配線、參照圖5(c)之格子斜線)、與通孔配線52a(第2配線)予以連接。配線40a之長度L3例如為30 μm 。通孔配線52a之長度L1例如為60 μm 。通孔配線52a即使未設置於與晶片元件14a重疊之位置，但因於面方向延伸之配線40a亦比通孔配線52a更短，故可改善高頻特性。雖然配線40a之長度可根據積層基板28之上表面之佈局而改變，但較好比通孔配線52a更短。

[實施例4]

實施例4係使用蕊芯之例。圖6係例示實施例4之電路基

板400之剖視圖。

如圖6所示，積層基板28包含：蕊芯54、及位於絕緣層36與絕緣層38之間之絕緣層37。蕊芯54例如具有250 μm左右之厚度，且包含Cu等金屬。蕊芯54具有接地電位，且與晶片元件14b及導體層50所含之接地端子50d連接。形成於蕊芯54之開口部54a中內置有發送濾波晶片10a及接收濾波晶片10b。於開口部54b中，貫通有使導體層42與導體層48之間連接之通孔配線52。藉由蕊芯54，可使較蕊芯54更上側之導體層40及42、與下側之導體層48及50之間之訊號干涉受到抑制。其結果可進而改善高頻特性。由於蕊芯54包含金屬，且較其他導體層更厚，故可提升電路基板400之強度及散熱性。

在實施例1~4中，濾波晶片之IDT、及端子可設置於濾波晶片之上表面，亦可設置於下表面。濾波晶片除SAW濾波晶片以外，亦可為例如彈性邊界波濾波晶片、FBAR濾波晶片等其他彈性波濾波晶片。將發送濾波器與接收濾波器設於一個晶片內之分波器晶片亦可內置於積層基板28中。此時，以與分波器晶片投影至積層基板28之厚度方向之投影區域重疊之方式設置晶片元件。又，實施例1~4亦可不使用分波器，而係應用將濾波器單體內置於積層基板28之例。

以上，雖然對本發明之實施例加以詳細記述，但本發明係並非限定於該特定之實施例，在記述於申請專利範圍之本發明之要旨之範圍內，亦可進行各種變形、變更。

【圖式簡單說明】

圖 1(a)係例示包含彈性波濾波器之模組之模式圖。圖 1(b)係例示階梯型濾波器之電路圖。

圖 2(a)係例示比較例之電路基板之俯視圖。圖 2(b)係沿圖 2(a)之 B-B 之剖視圖。

圖 3(a)係例示實施例 1 之電路基板之俯視圖。圖 3(b)係沿圖 3(a)之 B-B 之剖視圖。圖 3(c)係例示晶片元件之立體圖。

圖 4(a)係例示實施例 2 之電路基板之俯視圖。圖 4(b)係沿圖 4(a)之 B-B 之剖視圖。

圖 5(a)係例示實施例 3 之電路基板之俯視圖。圖 5(b)係沿圖 5(a)之 B-B 之剖視圖。圖 5(c)係例示實施例 3 之變形例之電路基板之剖視圖。

圖 6 係例示實施例 4 之電路基板之剖視圖。

【主要元件符號說明】

10	分波器
10a	發送濾波晶片
10b	接收濾波晶片
10c	投影區域
10d	投影區域
10Tx	發送濾波器
10Rx	接收濾波器
12	匹配電路
12a	晶片元件
14	匹配電路

14a	晶片元件
14b	晶片元件
15	焊料
16	匹配電路
16a	晶片元件
18	PA
18a	主動元件
20	開關
22	天線
24	RFIC
26	BBIC
28	積層基板
29	阻焊劑
30	絕緣層
32	絕緣層
34	絕緣層
36	絕緣層
37	絕緣層
38	絕緣層
40	導體層
40a	配線
42	導體層
44	導體層
46	導體層

48	導體層
50	導體層
50a	接地端子
50c	接收端子
50d	接地端子
52	通孔配線
52a	通孔配線
54	蕊芯
54a	開口部
54b	開口部
100	電路基板
100R	電路基板
110a	發送濾波晶片
110b	接收濾波晶片
112a	晶片元件
114a	晶片元件
114b	晶片元件
115	焊料
116a	晶片元件
118a	主動元件
128	積層基板
129	阻焊劑
130	絕緣層
132	絕緣層

134	絕緣層
136	絕緣層
138	絕緣層
140	導體層
142	導體層
144	導體層
146	導體層
148	導體層
150	導體層
150a	接地端子
150b	天線端子
150c	接收端子
152	通孔配線
200	電路基板
300	電路基板
400	電路基板
Ant1	天線節點
Ant2	天線節點
GND1	接地端子
GND2	接地端子
In	輸入端子
In1	輸入端子
In2	輸入端子
Out	輸出端子

Out1	輸出端子
Out2	輸出端子
P1	並聯諧振子
P2	並聯諧振子
Rx1	接收節點
Rx2	接收節點
S1	串聯諧振子
S2	串聯諧振子
S3	串聯諧振子
Tx1	發送節點
Tx2	發送節點



七、申請專利範圍：

1. 一種電路基板，其特徵在於包含：

積層基板，其係由導體層與絕緣層積層而形成；

濾波晶片，其形成彈性波濾波器，且內置於上述積層基板；及

晶片元件，其係以至少一部分與將上述濾波晶片投影至上述積層基板之厚度方向而形成之投影區域重疊之方式設置於上述積層基板之表面，且與上述濾波晶片連接。

2. 如請求項1之電路基板，其中上述晶片元件之全體位於上述投影區域之內側。

3. 如請求項1或2之電路基板，其中複數之上述晶片元件之全體位於上述投影區域之內側。

4. 如請求項1或2之電路基板，其中上述濾波晶片與上述晶片元件不經由其他晶片元件而直接連接。

5. 如請求項1或2之電路基板，其中複數之上述濾波晶片包含形成發送濾波器之發送濾波晶片、及形成接收濾波器之接收濾波晶片。

6. 如請求項5之電路基板，其中上述發送濾波晶片連接於發送節點與共通節點之間，且上述接收濾波晶片連接於接收節點與上述共通節點之間；

複數之上述晶片元件包含：第一晶片元件，其連接於上述共通節點與天線之間；第二晶片元件，其連接於上述發送節點與電子元件之間；及第三晶片元件，其連接

於上述接收節點與上述電子元件之間；且

上述第一晶片元件與將上述發送濾波晶片投影至上述積層基板之厚度方向而形成之第1投影區域重疊，或與將上述接收濾波晶片投影至上述積層基板之厚度方向而形成之第2投影區域重疊；

上述第2晶片元件與上述第1投影區域重疊；

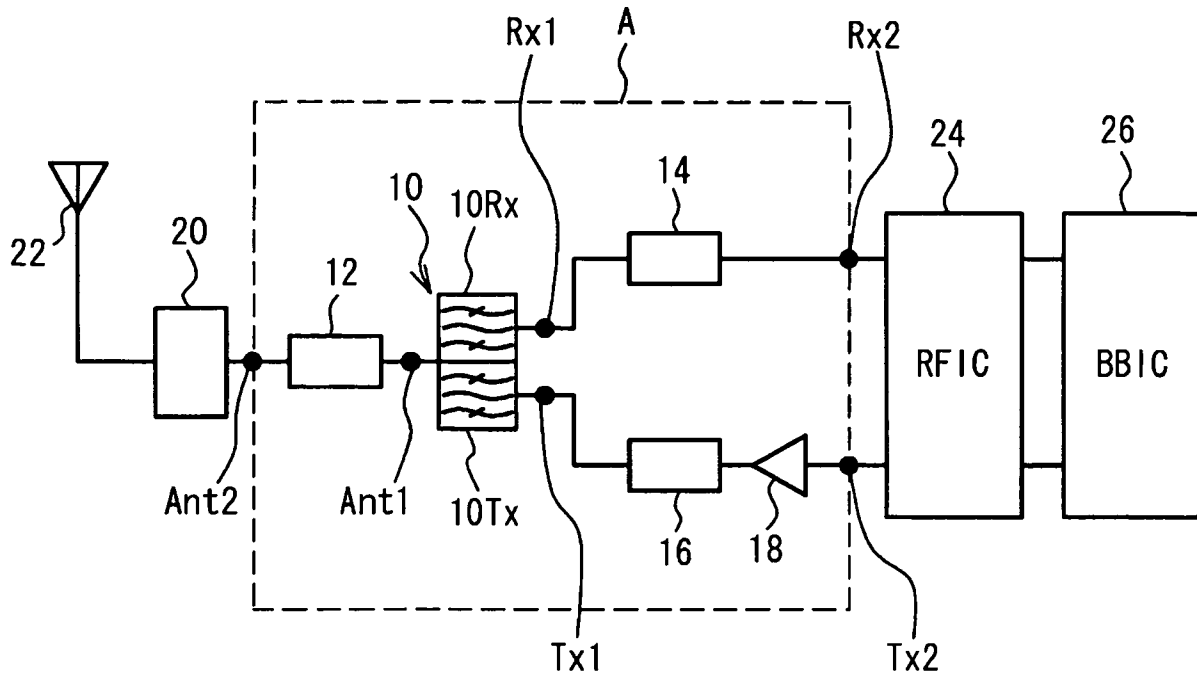
上述第3晶片元件與上述第2投影區域重疊。

7. 如請求項1或2之電路基板，其中在連接上述濾波晶片與上述晶片元件之配線中，於上述積層基板之面方向延伸之第一配線比於上述積層基板之厚度方向延伸之第二配線短。

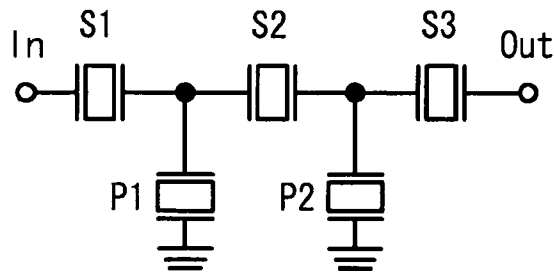
8. 如請求項1或2之電路基板，其中上述積層基板含有包含金屬之蕊芯，且

上述濾波晶片內置於形成於上述蕊芯之開口部內。

八、圖式：



(a)



(b)

圖 1

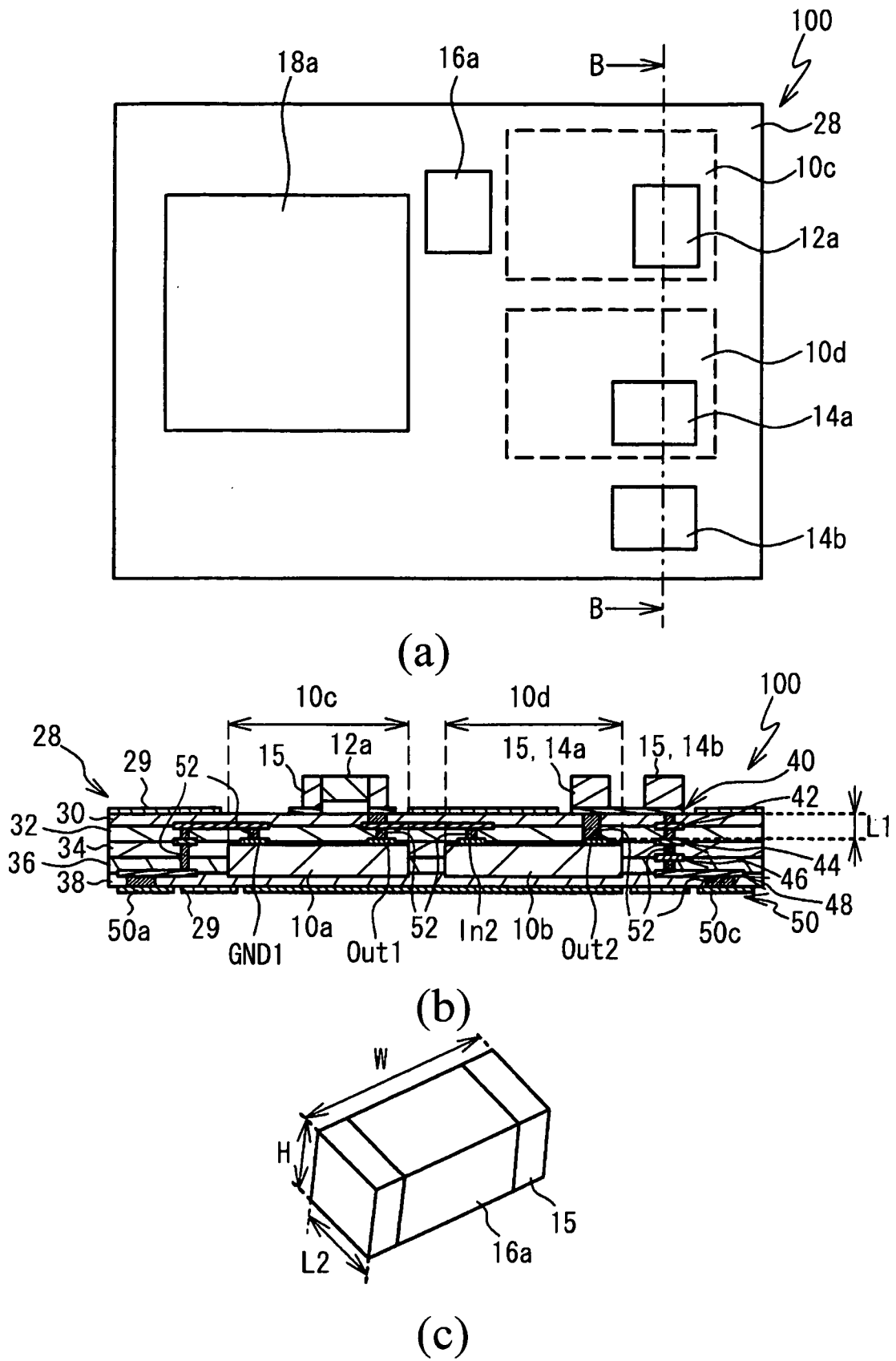
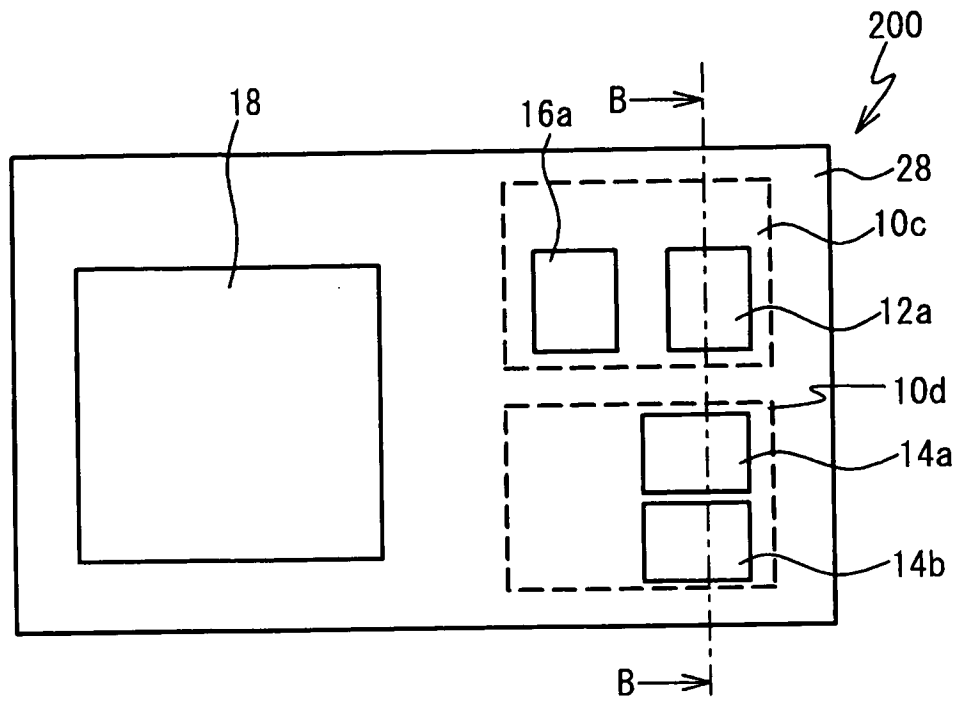
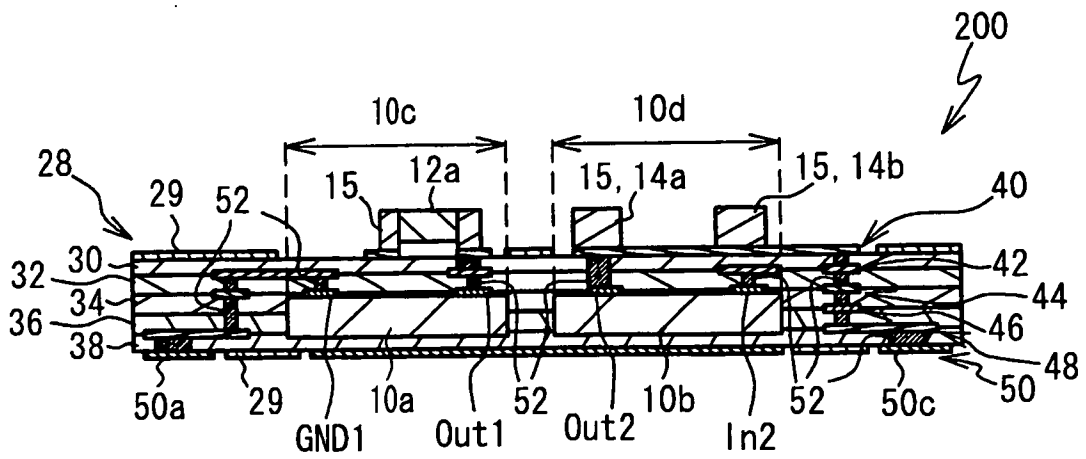


圖 3



(a)



(b)

圖 4

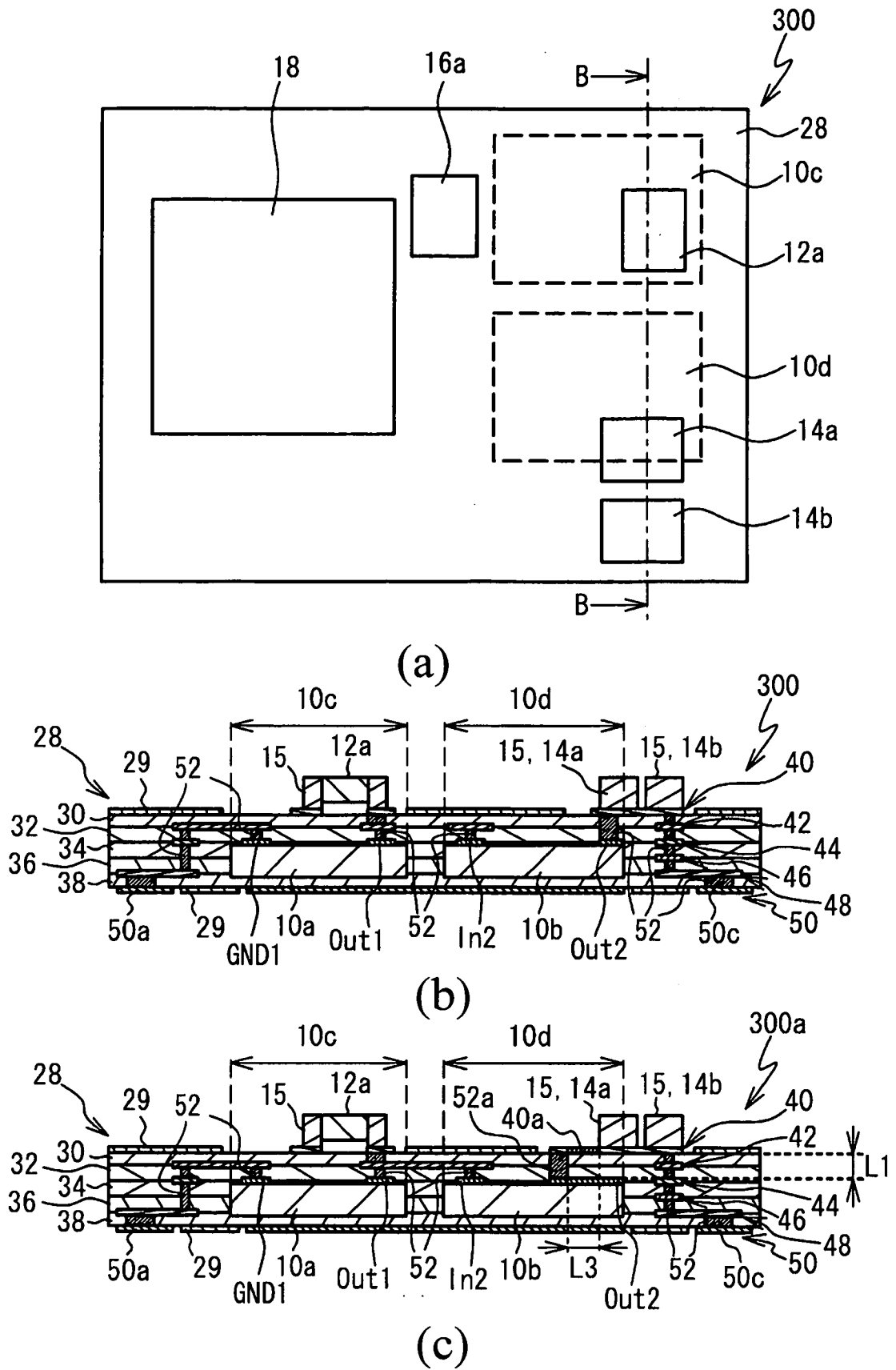


圖 5

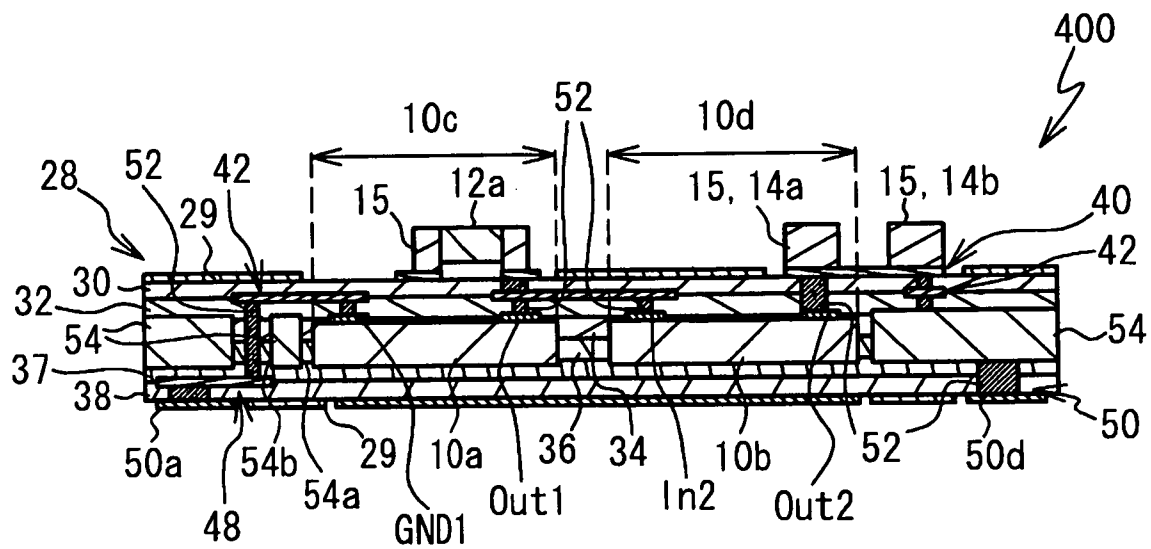


圖 6