

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-14656  
(P2004-14656A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int. Cl.<sup>7</sup> F I テーマコード (参考)  
 HO 1 L 21/331 HO 1 L 29/72 S 5 F 0 0 3  
 HO 1 L 29/732

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号	特願2002-163748 (P2002-163748)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成14年6月5日(2002.6.5)	(74) 代理人	100114661 弁理士 内野 美洋
		(74) 代理人	100080160 弁理士 松尾 憲一郎
		(72) 発明者	荒井 千広 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内
		Fターム(参考)	5F003 BA97 BB07 BC01 BC08 BE07 BE90 BG06 BH07 BM01 BM06 BP34 BP96 BS06

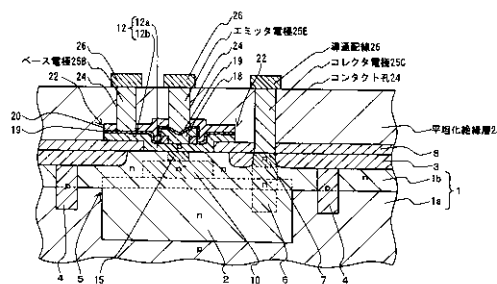
(54) 【発明の名称】 半導体装置及び同半導体装置の製造方法

(57) 【要約】

【課題】 バイポーラトランジスタ構造を有する半導体装置において、コレクタ領域とベース領域との間に介設した第1絶縁層の膜厚、及びベース領域とエミッタ領域との間に介設した第2絶縁層の膜厚の設定自由度を高め、バイポーラトランジスタを高性能化するとともに、ストリンガの生起を防止して製造歩留り及び信頼性を向上させることができるバイポーラトランジスタ構造を有する半導体装置及び同半導体装置の製造方法を提供する。

【解決手段】 ベース半導体層を所定形状にエッチングしてベース領域を形成する際に、ベース半導体層の上面に積層したエミッタ半導体層と第2絶縁層とをエッチングすることにより露出させたベース半導体層の上面に金属シリサイド層を積層し、同金属シリサイド層とベース半導体層とをエッチングすることにより、ベース領域の外側縁にエッチング端面を形成する。

【選択図】 図10



**【特許請求の範囲】****【請求項 1】**

半導体基板に形成したコレクタ領域と、  
同コレクタ領域を形成した半導体基板上面に積層した第 1 開口を有する第 1 絶縁層と、  
同第 1 絶縁層の上面に積層したベース半導体層からなるベース領域と、  
同ベース半導体層の上面に積層した第 2 開口を有する第 2 絶縁層と、  
同第 2 絶縁層の上面に積層したエミッタ半導体層からなるエミッタ領域とから構成したバイポーラトランジスタ構造であって、  
エミッタ半導体層と第 2 絶縁層とをエッチングすることにより露出させたベース半導体層の上面に金属シリサイド層を積層し、  
同金属シリサイド層とベース半導体層とをエッチングすることにより、外側縁にエッチング端面を形成したベース領域を有するバイポーラトランジスタ構造を具備することを特徴とする半導体装置。

10

**【請求項 2】**

金属シリサイド層の上面には、固定化用絶縁層を積層したことを特徴とする請求項 1 記載の半導体装置。

**【請求項 3】**

半導体基板上にコレクタ領域を形成し、  
同コレクタ領域を形成した半導体基板上面に第 1 開口を有する第 1 絶縁層を積層し、  
同第 1 絶縁層の上面にベース半導体層を積層し、  
同ベース半導体層の上面に第 2 開口を有する第 2 絶縁層を積層し、  
同第 2 絶縁層の上面にエミッタ半導体層を積層し、  
エミッタ半導体層と第 2 絶縁層とをエッチングによって所定形状にパターンニングすることによりエミッタ領域を形成し、  
同エミッタ領域を形成した半導体基板上面に金属層を積層して熱処理を行なうことにより金属シリサイド層を形成し、  
金属シリサイド層とベース半導体層とをエッチングによって所定形状にパターンニングすることによりベース領域を形成したバイポーラトランジスタ構造を形成してなることを特徴とする半導体装置の製造方法。

20

**【請求項 4】**

金属シリサイド層の上面には、固定化用絶縁層を積層することを特徴とする請求項 3 記載の半導体装置の製造方法。

30

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、半導体装置及び同半導体装置の製造方法に関するものであり、特に、バイポーラトランジスタを具備する半導体装置及び同半導体装置の製造方法に関するものである。

**【0002】****【従来の技術】**

従来、多数のトランジスタを内蔵した半導体装置において、トランジスタとして縦型バイポーラトランジスタを用いた半導体装置が知られており、かかる縦型バイポーラトランジスタを用いることにより、高負荷駆動力、高速性、低ノイズ等の優れた特性を有するアナログ回路の設計が可能であることが知られている。

40

**【0003】**

かかる縦型バイポーラトランジスタの一形態として、図 15 に概略断面図で示す縦型バイポーラトランジスタが知られている。すなわち、まず、半導体基板 101 にコレクタ領域 105 を形成し、次いで、同コレクタ領域 105 を形成した半導体基板 101 上面に第 1 開口を有する第 1 絶縁層 108 を積層し、次いで、同第 1 絶縁層 108 の上面にベース半導体層 110 を積層し、同ベース半導体層 110 を所定のパターンにパターンニングしてベース領域 112 を形成し、次いで、同ベース領域 112 の上面に第 2 開口を有する第 2

50

絶縁層 113 を積層し、次いで、同第 2 絶縁層 113 の上面にエミッタ半導体層 116 を積層し、同エミッタ半導体層 116 を所定形状にエッチングすることによりエミッタ領域 118 を形成し、上下方向にコレクタ領域 105、ベース領域 112、エミッタ領域 118 を重合して縦型バイポーラトランジスタ構造を形成しているものである。

【0004】

以下において、図 15 に示す縦型 NPN バイポーラトランジスタの形成方法を簡単に説明する。

【0005】

図 11 に示すように、以下に説明する縦型 NPN バイポーラトランジスタは、半導体サブストレート 101 a 上に、エピタキシャル成長によって N 型シリコンからなるエピタキシャル層 101 b を積層した半導体基板 101 を用いて構成している。

10

【0006】

半導体基板 101 の半導体サブストレート 101 a には、N 型不純物を高濃度に注入してコレクタ埋込領域 102 を形成しており、同半導体サブストレート 101 a 上面にエピタキシャル層 101 b を積層して半導体基板 101 を形成し、さらに、半導体基板 101 表面には、LOCOS (Local Oxidation of Silicon) 構造からなる分離絶縁層 103 を形成するとともに、分離絶縁層 103 の下側にはイオン注入によって P 型不純物を注入することにより素子分離領域 104 を形成している。分離絶縁層 103 及び素子分離領域 104 で区切られた N 型半導体領域がコレクタ領域 105 である。

20

【0007】

コレクタ埋込領域 102 には、N 型不純物を高濃度に注入して形成したプラグイン領域 106 を接続しており、同プラグイン領域 106 の上端には、N 型の高濃度不純物をさらに注入して形成したコレクタ電極取出領域 107 を設けている。

【0008】

上記の構成とした半導体基板 101 上面には、SiO<sub>2</sub> 膜からなる第 1 絶縁層 108 を積層し、フォトリソグラフィによるパターンニングによってコレクタ埋込領域 102 上方部分の第 1 絶縁層 108 の一部は除去し、第 1 開口 108 a を形成している。

【0009】

そして、残存させた第 1 絶縁層 108 をマスクとして同第 1 開口 108 a からエピタキシャル層 101 b に N 型不純物を注入することにより、エピタキシャル層 101 b にコレクタ高濃度領域 109 を形成している。

30

【0010】

コレクタ高濃度領域 109 の形成後、半導体基板 101 上面にはエピタキシャル成長によって P 型のシリコン - ゲルマニウムからなるベース半導体層 110 を積層し、さらに、同ベース半導体層 110 上面にはフォトリソグラフィによるパターンニングに用いるフォトレジスト層 111 を積層し、同フォトレジスト層 111 に所要形状のパターンニングを行って、フォトレジスト層 111 をエッチングマスクとしてベース半導体層 110 のエッチングを行なうことによりベース領域 112 を形成している。

【0011】

特に、ベース領域 112 は、第 1 開口 108 a 部分に積層した真性ベース領域 112 a と、同真性ベース領域 112 a の外周であって第 1 絶縁層 108 上面に積層したベース電極取出領域 112 b とから構成している。

40

【0012】

ベース領域 112 の形成後、フォトレジスト層 111 は除去し、図 12 に示すように、上記の構成とした半導体基板 101 上面に SiO<sub>2</sub> 膜からなる第 2 絶縁層 113 を積層し、さらに、同第 2 絶縁層 113 上面にはフォトリソグラフィによるパターンニングに用いるフォトレジスト層 114 を積層し、同フォトレジスト層 114 に所要形状のパターンニングを行って、フォトレジスト層 114 をエッチングマスクとして第 2 絶縁層 113 のエッチングを行なうことにより、真性ベース領域 112 a 上の一部の第 2 絶縁層 113 を除去

50

して第2開口113aを形成している。

【0013】

第2開口113aの形成後、同第2開口113aからエピタキシャル層101bにN型不純物を注入することにより、エピタキシャル層101bにはコレクタ動作領域115を形成している。

【0014】

コレクタ動作領域115の形成後、フォトレジスト層114は除去し、図13に示すように、半導体基板101上面にはエピタキシャル成長によってN型のポリシリコンからなるエミッタ半導体層116を積層し、さらに、同エミッタ半導体層116上面にはフォトリソグラフィによるパターンニングに用いるフォトレジスト層117を積層し、同フォトレジスト層117に所要形状のパターンニングを行なって、フォトレジスト層117をエッチングマスクとしてエミッタ半導体層116のエッチングを行なうことにより、真性ベース領域112aと接合したエミッタ領域118を形成している。

10

【0015】

なお、エミッタ領域118は、外側縁118bが真性ベース領域112aの上面に重合すべく形成しており、エミッタ領域118の外側縁118bと真性ベース領域112aとの間に第2絶縁層113を介在させるべく構成している。

【0016】

エミッタ領域118の形成後、フォトレジスト層117をエッチングマスクとしてさらなるエッチングを行なうことにより、図14に示すように、エミッタ領域118との重合部分以外のベース領域112上面を露出させている。

20

【0017】

このとき、ベース領域112の上面を確実に露出させるべく、エッチングにおいては、ベース領域112を被覆した第2絶縁層113をエッチングするだけでなく、第1絶縁層108の一部もエッチングするオーバーエッチング条件でエッチングを行なっている。

【0018】

なお、ベース領域112の外側縁は、第1絶縁層108の上面よりも突出した段差形状となっているので、ベース領域112の外側縁には第2絶縁層113の膜厚の厚い領域が形成されており、オーバーエッチング条件でエッチングを行なってもベース領域112の外側縁には第2絶縁層113が残存し、図14に示すように、ベース領域112の外側縁には残存した第2絶縁層113からなるサイドウォール119が形成される。

30

【0019】

エッチングによるベース領域112の露出を行なった後、フォトレジスト層117は除去し、半導体基板101上面にはチタン、コバルト等の金属層を全面的にスパッタリングして熱処理を行なうことにより、スパッタリングにより形成した金属層の金属と、ベース領域112及びエミッタ領域118のシリコンとを反応させてシリサイド化を生起し、図15に示すように、ベース領域112及びエミッタ領域118の上面に低抵抗の金属シリサイド層120を形成している。なお、シリサイド化されなかった金属層は、エッチングによって除去している。

【0020】

その後、半導体基板101上面にはBPSG(ボロン・リン・シリケートガラス)等の平坦化絶縁層121を形成し、同平坦化絶縁層121上面を平坦化処理している。

40

【0021】

平坦化絶縁層121には、ベース電極取出領域112b上、コレクタ電極取出領域107上、エミッタ領域118上にそれぞれコンタクト孔122を穿設し、同コンタクト孔122にタングステン等の導電プラグを充填してベース電極123B、コレクタ電極123C、エミッタ電極123Eをそれぞれ形成している。

【0022】

ベース電極123B、コレクタ電極123C、エミッタ電極123Eには、それぞれ平坦化絶縁層121上面に形成した通電配線124を介して通電可能としている。

50

## 【0023】

このようにして、半導体装置では縦型NPNバイポーラトランジスタの形成を行なっている。

## 【0024】

## 【発明が解決しようとする課題】

しかしながら、上記したバイポーラトランジスタを具備する半導体装置には次のような問題があった。

## 【0025】

すなわち、図14に示すように、バイポーラトランジスタにおける第2絶縁層113は、上記したオーバーエッチング条件でエッチングすることによってベース領域112上面から完全に除去すべく構成しており、通常、オーバーエッチング条件によるオーバーエッチング量としては第2絶縁層113の膜厚の50%程度としているため、第1絶縁層108の膜厚を大きくするか、または、第2絶縁層113の膜厚を小さくすることにより、第2絶縁層113のエッチングにともなう第1絶縁層108の消失を防止しなければならないものの、第1絶縁層108の膜厚を大きくした場合には、ベース領域112の真性ベース領域112aとベース電極取出領域112bとの間に大きな段差が生起され、同段差部分にストレスの集中が生じやすくなるためにストレスマネージメントの観点から好ましくなかった。

10

## 【0026】

一方、第2絶縁層113の膜厚を小さくした場合には、エミッタ領域118の外側縁118bと真性ベース領域112aとの間に介在させた第2絶縁層113の膜厚が小さくなることにより寄生容量の増大が生じ、バイポーラトランジスタの高速動作を阻害するおそれがあった。

20

## 【0027】

このように、第1絶縁層108及び第2絶縁層113の膜厚設定には制約が多く、バイポーラトランジスタの性能を十分に引き出すことができる第1絶縁層108及び第2絶縁層113の膜厚設定が困難であるという問題があった。

## 【0028】

また、バイポーラトランジスタにおいて金属層のシリサイド化によって金属シリサイド層120を形成する場合、ベース領域112の外側縁には第2絶縁層113からなるサイドウォール119が形成されていることにより、半導体基板101上面に全面的に金属層を積層して熱処理を行なった際に、金属層がベース領域112端部からサイドウォール119に跨りながらストリンガー状に残存しやすく、残存した金属層がストリンガーとなって半導体装置の製造過程において剥離し、配線間に付着することにより短絡を生起して、歩留りの低下や信頼性の低下などの不具合を生起するという問題があった。

30

## 【0029】

さらに、熱処理を行なって形成した金属シリサイド層120において、金属シリサイド層120の形成後に金属の部分的な凝集が生じる場合があり、凝集にともなう金属シリサイド層120に線幅の細い領域が生起され、その結果、金属シリサイド層の抵抗値が増大する細線効果が生じるという問題があった。

40

## 【0030】

## 【課題を解決するための手段】

上記の問題を解決すべく、本発明の半導体装置では、半導体基板に形成したコレクタ領域と、同コレクタ領域を形成した半導体基板上面に積層した第1開口を有する第1絶縁層と、同第1絶縁層の上面に積層したベース半導体層からなるベース領域と、同ベース半導体層の上面に積層した第2開口を有する第2絶縁層と、同第2絶縁層の上面に積層したエミッタ半導体層からなるエミッタ領域とから構成したバイポーラトランジスタ構造であって、エミッタ半導体層と第2絶縁層とをエッチングすることにより露出させたベース半導体層の上面に金属シリサイド層を積層し、同金属シリサイド層とベース半導体層とをエッチングすることにより、外側縁にエッチング端面を形成したベース領域を有するバイポーラ

50

トランジスタ構造を具備すべく構成した。

【0031】

さらに、金属シリサイド層の上面には、固定化用絶縁層を積層したことに特徴を有するものである。

【0032】

また、本発明の半導体装置の製造方法では、半導体基板上にコレクタ領域を形成し、同コレクタ領域を形成した半導体基板上面に第1開口を有する第1絶縁層を積層し、同第1絶縁層の上面にベース半導体層を積層し、同ベース半導体層の上面に第2開口を有する第2絶縁層を積層し、同第2絶縁層の上面にエミッタ半導体層を積層し、エミッタ半導体層と第2絶縁層とをエッチングによって所定形状にパターンニングすることによりエミッタ領域を形成し、同エミッタ領域を形成した半導体基板上面に金属層を積層して熱処理を行なうことにより金属シリサイド層を形成し、金属シリサイド層とベース半導体層とをエッチングによって所定形状にパターンニングすることによりベース領域を形成してなるバイポーラトランジスタ構造を形成することとした。

10

【0033】

さらに、金属シリサイド層の上面には、固定化用絶縁層を積層してレジスト層を積層することにも特徴を有するものである。

【0034】

【発明の実施の形態】

本発明の半導体装置及び同半導体装置の製造方法は、半導体装置内に形成するバイポーラトランジスタ構造において、従来のように第1絶縁層の上面にベース半導体層に積層した後、すぐに同ベース半導体層を所定形状にパターンニングしてベース領域を形成するのではなく、ベース半導体層上面に第2絶縁層とエミッタ層とを積層し、同エミッタ層を用いてエミッタ領域を形成しながらベース半導体層上面の不要なエミッタ半導体層と第2絶縁層とをエッチングしてベース半導体層上面を露出させ、露出したベース半導体層上面に金属シリサイド層を積層し、金属シリサイド層とベース半導体層とを所定形状にエッチングしてベース領域を形成しているものである。

20

【0035】

従って、第2絶縁層のエッチングにともなって第1絶縁層までもエッチングされることが防止できるので、第1絶縁層の膜厚と第2絶縁層の膜厚をそれぞれ個別に設定することができ、形成するバイポーラトランジスタの性能を最も引き出すことができる膜厚に第1絶縁層の膜厚と第2絶縁層の膜厚とを設定することにより、バイポーラトランジスタの性能を向上させることができる。

30

【0036】

また、ベース半導体層をエッチングによってベース領域を形成する前に金属シリサイド層をベース半導体層上面に積層し、金属シリサイド層とベース半導体層とを所定形状にエッチングすることによってベース領域を形成することにより、ベース領域外周縁にストリンガーが生起されることを防止でき、ストリンガーに起因する歩留りの低下や信頼性の低下などの不具合を解消できる。

【0037】

さらに、金属シリサイド層の上面に固定化用絶縁層を積層した場合には、金属シリサイド層の形成後に同金属シリサイド層において金属の部分的な凝集が生じることを固定化用絶縁層によって防止でき、金属シリサイド層の抵抗値が増大する細線効果の生起を防止できる。

40

【0038】

以下において、図面に基づいてバイポーラトランジスタ構造の形成工程について詳細に説明する。本実施の形態では、縦型NPNバイポーラトランジスタの形成方法を説明するが、縦型NPNバイポーラトランジスタに限定するものではない。

【0039】

図1に示すように、以下に説明する縦型NPNバイポーラトランジスタは、P型のシリコ

50

ン基板からなる半導体サブストレート1aに、エピタキシャル成長によってN型シリコンからなるエピタキシャル層1bを積層した半導体基板1を用いて構成している。

【0040】

半導体サブストレート1aには、N型不純物を高濃度に注入してコレクタ埋込領域2を形成しており、同コレクタ埋込領域2の形成後、半導体サブストレート1a上面にエピタキシャル層1bを積層している。

【0041】

エピタキシャル層1bの積層後、同エピタキシャル層1b表面にはLOCOS構造からなる分離絶縁層3を形成し、さらに、コレクタ埋込領域2の周囲であって分離絶縁層3の下方にはイオン注入によって素子分離領域4を形成している。分離絶縁層3と素子分離領域4とで囲まれた領域におけるN型半導体領域をコレクタ領域5と呼ぶことにする。

10

【0042】

コレクタ埋込領域2は、外側縁部分においてエピタキシャル層1bを介して分離絶縁層3と積層状態となっており、分離絶縁層3及び素子分離領域4の形成後、積層部分の一部にN型不純物を高濃度に、かつ、コレクタ埋込領域2に至る深さまでイオン注入することによりプラグイン領域6を形成している。さらに、同プラグイン領域6の上端には、N型の高濃度不純物をイオン注入によって注入し、コレクタ電極取出領域7を形成している。

【0043】

上記の構成とした半導体基板1上面には、図2に示すように、CVD法(化学的気相成長法)によってSiO<sub>2</sub>膜を成膜し、第1絶縁層8としている。そして、同第1絶縁層8上には第1フォトリソ層9を形成し、同第1フォトリソ層9に所要形状のパターンニングを行なって第1レジスト開口部9aを形成し、同第1レジスト開口部9aを用いて第1絶縁層8のエッチングを行なうことにより、第1絶縁層8に第1開口8aを形成している。

20

【0044】

そして、同第1開口8aからエピタキシャル層1bにN型不純物を注入することにより、エピタキシャル層1bにコレクタ高濃度領域10を形成している。

【0045】

コレクタ高濃度領域10の形成後、第1フォトリソ層9は除去し、図3に示すように、半導体基板1上面にはエピタキシャル成長によってP型のシリコン-ゲルマニウムからなるベース半導体層11を形成している。このとき、第1絶縁層8上面に成膜したベース半導体層11は多結晶半導体層となるが、第1絶縁層8の第1開口8aによって露出状態となっているエピタキシャル層1b上に成膜したベース半導体層11は、エピタキシャル成長によって単結晶半導体層となる。ベース半導体層11のうち、単結晶半導体層の領域を真性ベース領域12aと呼び、多結晶半導体層の領域をベース電極取出領域12bと呼ぶ。

30

【0046】

ベース半導体層11の成膜後、同ベース半導体層11上面にはCVD法によってSiO<sub>2</sub>膜を成膜し、第2絶縁層13としている。

【0047】

第2絶縁層13の積層後、図4に示すように、第2絶縁層13上には第2フォトリソ層14を積層し、同第2フォトリソ層14に所要形状のパターンニングを行なって第2レジスト開口部14aを形成し、同第2レジスト開口部14aを用いて第2絶縁層13のエッチングを行なうことにより、第2絶縁層13に第2開口13aを形成している。

40

【0048】

第2開口13aの形成後、同第2開口13aからエピタキシャル層1bにN型不純物を注入することにより、エピタキシャル層1bにはコレクタ動作領域15を形成している。

【0049】

コレクタ動作領域15の形成後、第2フォトリソ層14は除去し、図5に示すように、半導体基板1上面にはエピタキシャル成長によってN型のポリシリコンからなるエミッ

50

タ半導体層 16 を積層している。

【0050】

エミッタ半導体層 16 の積層後、同エミッタ半導体層 16 上面には第 3 フォトレジスト層 17 を積層し、同第 3 フォトレジスト層 17 に所要形状のパターンニングを行なっている。

【0051】

第 3 フォトレジスト層 17 のパターンニング後、パターンニングされた第 3 フォトレジスト層 17 をエッチングマスクとしてエミッタ半導体層 16 のエッチングを行なうことにより、真性ベース領域 12 a と重合したエミッタ領域 18 を形成している。

【0052】

エミッタ領域 18 の形成後、第 3 フォトレジスト層 17 をエッチングマスクとして、第 2 絶縁層 13 のエッチングを行なうことにより、図 6 に示すように、エミッタ領域 18 との重合部分以外のベース半導体層 11 を露出させている。

【0053】

このとき、エミッタ領域 18 の外側縁 18 b と真性ベース領域 12 a との間には第 2 絶縁層 13 を介在させるべく構成している。第 2 絶縁層 13 のエッチングによる除去後、第 3 フォトレジスト層 17 も除去する。

【0054】

ベース半導体層 11 の露出を行なった後、半導体基板 1 上面にはスパッタリングでコバルトを積層し、次いで窒化チタンを積層した後、窒素雰囲気中でアニールを行なうことによりベース半導体層 11 及びエミッタ領域 18 のシリコンとコバルトとを反応させてシリサイド化を生起し、その後、ウエットエッチングによって窒化チタン及び未反応なコバルトを除去し、再度、窒素雰囲気中でアニールを行なうことにより、図 7 に示すように、ベース半導体層 11 及びエミッタ領域 18 を低抵抗の金属シリサイド層 19 で被覆している。

【0055】

なお、ベース半導体層 11 及びエミッタ領域 18 だけでなく、コレクタ電極取出領域 7 上面にも金属シリサイド層 19 を積層すべく構成してもよい。

【0056】

金属シリサイド層 19 の形成後、図 8 に示すように、同金属シリサイド層 19 の上面にはシリコン窒化膜からなる固定化用絶縁層 20 を積層している。同固定化用絶縁層 20 を積層することによって、金属シリサイド層 19 におけるコバルトの凝縮を防止でき、細線効果の生起を防止できる。

【0057】

固定化用絶縁層 20 の形成後、固定化用絶縁層 20 上面には第 4 フォトレジスト層 21 を積層し、同第 4 フォトレジスト層 21 に所要形状のパターンニングを行なっている。

【0058】

第 4 フォトレジスト層 21 のパターンニング後、パターンニングされた第 4 フォトレジスト層 21 をエッチングマスクとして固定化用絶縁層 20 及び金属シリサイド層 19 のエッチングを行ない、さらに、第 4 フォトレジスト層 21 をエッチングマスクとして、第 1 絶縁層 8 が露出するまでベース半導体層 11 のエッチングを行なうことにより、図 9 に示すように、ベース電極取出領域 12 b の外側縁にエッチング端面 22 を形成している。

【0059】

なお、エッチングによって所定形状となったベース電極取出領域 12 b と真性ベース領域 12 a とを合わせてベース領域 12 と呼ぶ。

【0060】

第 4 フォトレジスト層 21 をエッチングマスクとして金属シリサイド層 19 とベース半導体層 11 とをエッチングすることにより、ベース領域 12 の外周縁にストリンガーが生起されることを防止できるので、ストリンガーに起因する歩留りの低下や信頼性の低下などの不具合を解消できる。

【0061】

10

20

30

40

50

ベース領域 1 2 の形成後、図 1 0 に示すように、半導体基板 1 上面には B P S G 等の平坦化絶縁層 2 3 を積層している。

【 0 0 6 2 】

平坦化絶縁層 2 3 には、ベース電極取出領域 1 2 b 上、コレクタ電極取出領域 7 上、エミッタ領域 1 8 上にコンタクト孔 2 4 を穿設し、同コンタクト孔 2 4 にタングステンからなる導電プラグを充填して、ベース電極 2 5 B、コレクタ電極 2 5 C、エミッタ電極 2 5 E をそれぞれ形成している。

【 0 0 6 3 】

ベース電極 2 5 B、コレクタ電極 2 5 C、エミッタ電極 2 5 E には、それぞれ平坦化絶縁層 2 3 上面に形成した通電配線 2 6 を介して通電可能としている。

10

【 0 0 6 4 】

【 発明の 効果 】

請求項 1 記載の本発明によれば、半導体基板に形成したコレクタ領域と、同コレクタ領域を形成した半導体基板上面に積層した第 1 開口を有する第 1 絶縁層と、同第 1 絶縁層の上面に積層したベース半導体層からなるベース領域と、同ベース半導体層の上面に積層した第 2 開口を有する第 2 絶縁層と、同第 2 絶縁層の上面に積層したエミッタ半導体層からなるエミッタ領域とから構成したバイポーラトランジスタ構造であって、エミッタ半導体層と第 2 絶縁層とをエッチングすることにより露出させたベース半導体層の上面に金属シリサイド層を積層し、同金属シリサイド層とベース半導体層とをエッチングすることにより、外側縁にエッチング端面を形成したベース領域を有するバイポーラトランジスタ構造を具備する半導体装置としたことにより、第 2 絶縁層のエッチングの際に第 1 絶縁層までもエッチングすることを防止でき、第 1 絶縁層の膜厚と第 2 絶縁層の膜厚とをそれぞれ個別に設定することができる。

20

【 0 0 6 5 】

従って、第 1 絶縁層及び第 2 絶縁層を有するバイポーラトランジスタにおいて、第 1 絶縁層の膜厚と第 2 絶縁層の膜厚をバイポーラトランジスタが最も性能を引き出すことができる膜厚に設定することにより、バイポーラトランジスタの性能を向上させることができ、半導体装置の性能を向上させることができる。

【 0 0 6 6 】

しかも、ベース領域の外側縁には、ベース半導体層の上面に積層した金属シリサイド層と、ベース半導体層とをエッチングして形成したエッチング端面を設けたことにより、ベース領域の外側縁におけるストリンガの生起を防止でき、同ストリンガによる半導体装置の製造歩留りの低下あるいは信頼性の低下等を解消することができる。

30

【 0 0 6 7 】

請求項 2 記載の本発明によれば、金属シリサイド層の上面には、固定化用絶縁層を積層したことによって、金属シリサイド層の形成後に同金属シリサイド層における金属の部分的な凝集が生じることを固定化用絶縁層によって防止でき、金属シリサイド層の抵抗値が増大する細線効果の生起を防止できる。

【 0 0 6 8 】

請求項 3 記載の本発明によれば、半導体装置におけるバイポーラトランジスタ構造を、半導体基板上にコレクタ領域を形成し、同コレクタ領域を形成した半導体基板上面に第 1 開口を有する第 1 絶縁層を積層し、同第 1 絶縁層の上面にベース半導体層を積層し、同ベース半導体層の上面に第 2 開口を有する第 2 絶縁層を積層し、同第 2 絶縁層の上面にエミッタ半導体層を積層し、エミッタ半導体層と第 2 絶縁層とをエッチングによって所定形状にパターンニングすることによりエミッタ領域を形成し、同エミッタ領域を形成した半導体基板上面に金属層を積層して熱処理を行なうことにより金属シリサイド層を形成し、金属シリサイド層とベース半導体層とをエッチングによって所定形状にパターンニングすることによりベース領域を形成することによって、請求項 1 記載の発明と同様に、第 1 絶縁層の膜厚と第 2 絶縁層の膜厚とをそれぞれ個別に設定することができ、第 1 絶縁層の膜厚と第 2 絶縁層の膜厚をバイポーラトランジスタが最も性能を引き出すことができる膜厚に設定す

40

50

ることにより、バイポーラトランジスタの性能を向上させることができ、半導体装置の性能を向上させることができる。

【0069】

しかも、ベース半導体層の上面に積層した金属シリサイド層と、ベース半導体層とをエッチングしベース領域を形成することにより、ベース領域の外側縁におけるストリンガの生起を防止でき、同ストリンガによる半導体装置の製造歩留りの低下あるいは信頼性の低下等を解消することができる。

【0070】

請求項4記載の本発明によれば、金属シリサイド層の上面には、固定化用絶縁層を積層してレジスト層を積層することによって、請求項2記載の発明と同様に、金属シリサイド層の形成後に同金属シリサイド層における金属の部分的な凝集が生じることを固定化用絶縁層によって防止でき、金属シリサイド層の抵抗値が増大する細線効果の生起を防止できる。

【図面の簡単な説明】

【図1】本発明にかかる半導体装置に形成したバイポーラトランジスタ構造を説明する概略断面図である。

【図2】本発明にかかる半導体装置に形成したバイポーラトランジスタ構造を説明する概略断面図である。

【図3】本発明にかかる半導体装置に形成したバイポーラトランジスタ構造を説明する概略断面図である。

【図4】本発明にかかる半導体装置に形成したバイポーラトランジスタ構造を説明する概略断面図である。

【図5】本発明にかかる半導体装置に形成したバイポーラトランジスタ構造を説明する概略断面図である。

【図6】本発明にかかる半導体装置に形成したバイポーラトランジスタ構造を説明する概略断面図である。

【図7】本発明にかかる半導体装置に形成したバイポーラトランジスタ構造を説明する概略断面図である。

【図8】本発明にかかる半導体装置に形成したバイポーラトランジスタ構造を説明する概略断面図である。

【図9】本発明にかかる半導体装置に形成したバイポーラトランジスタ構造を説明する概略断面図である。

【図10】本発明にかかる半導体装置に形成したバイポーラトランジスタ構造を説明する概略断面図である。

【図11】半導体装置に形成した従来のバイポーラトランジスタ構造を説明する概略断面図である。

【図12】半導体装置に形成した従来のバイポーラトランジスタ構造を説明する概略断面図である。

【図13】半導体装置に形成した従来のバイポーラトランジスタ構造を説明する概略断面図である。

【図14】半導体装置に形成した従来のバイポーラトランジスタ構造を説明する概略断面図である。

【図15】半導体装置に形成した従来のバイポーラトランジスタ構造を説明する概略断面図である。

【符号の説明】

- 1 半導体基板
- 1 a 半導体サブストレート
- 1 b エピタキシャル層
- 2 コレクタ埋込領域
- 3 分離絶縁層

10

20

30

40

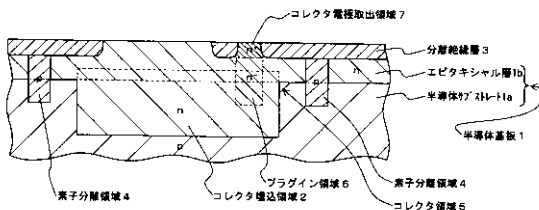
50

- 4 素子分離領域
- 5 コレクタ領域
- 6 プラグイン領域
- 7 コレクタ電極取出領域
- 8 第1絶縁層
- 8 a 第1開口
- 10 コレクタ高濃度領域
- 12 ベース領域
- 12 a 真性ベース領域
- 12 b ベース電極取出領域
- 13 第2絶縁層
- 13 a 第2開口
- 15 コレクタ動作領域
- 18 エミッタ領域
- 19 金属シリサイド層
- 20 固定化用絶縁層
- 22 エッチング端面
- 23 平坦化絶縁層
- 24 コンタクト孔
- 25 B ベース電極
- 25 C コレクタ電極
- 25 E エミッタ電極
- 26 通電配線

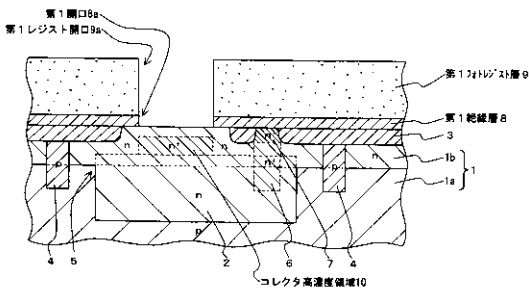
10

20

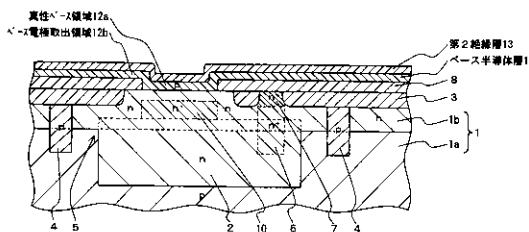
【図1】



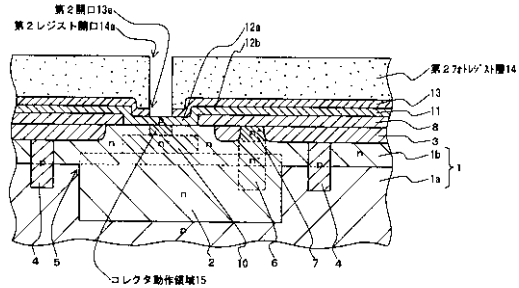
【図2】



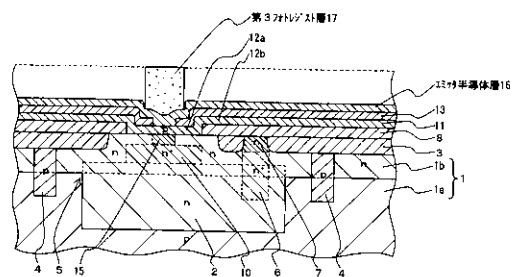
【図3】



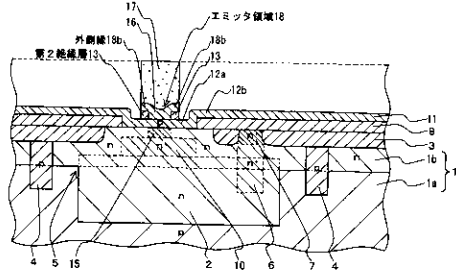
【図4】



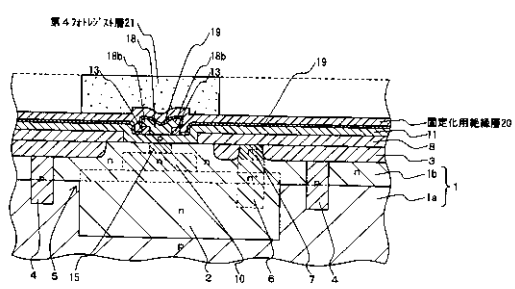
【図5】



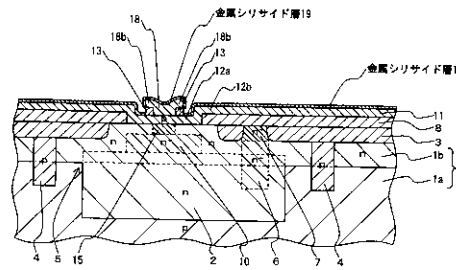
【図 6】



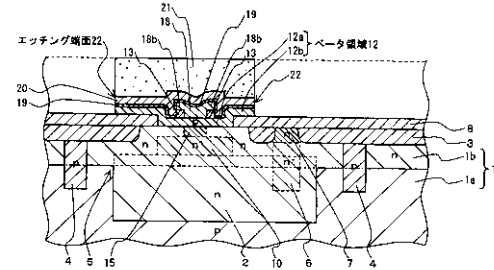
【図 8】



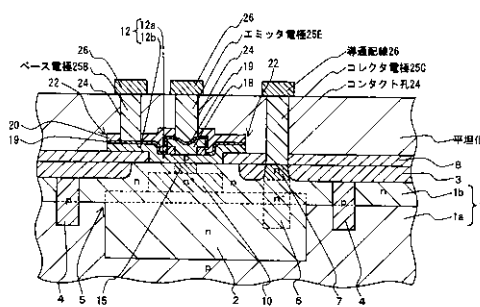
【図 7】



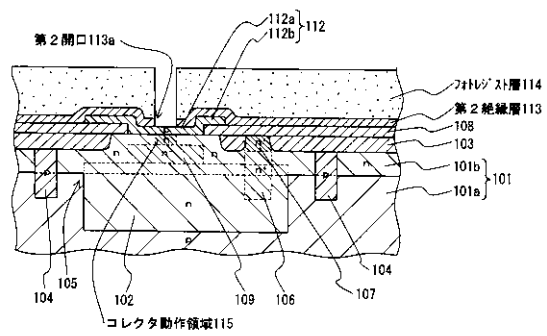
【図 9】



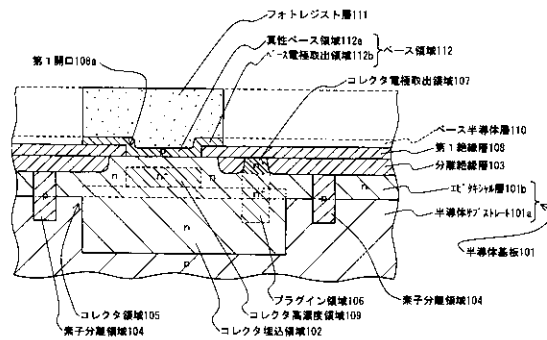
【図 10】



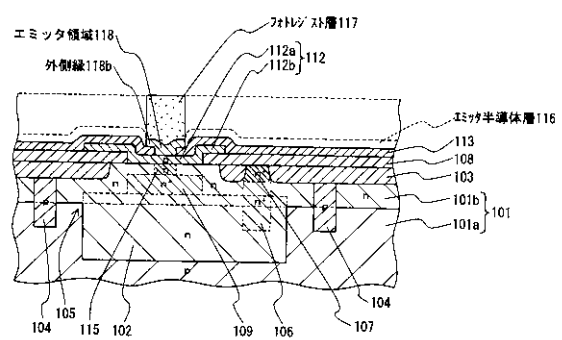
【図 12】



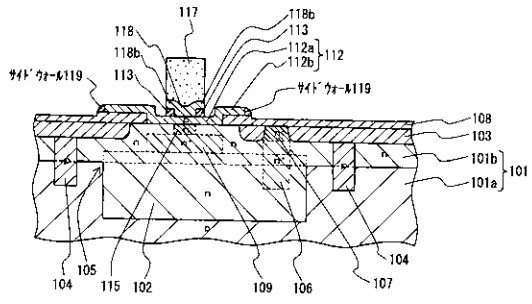
【図 11】



【図 13】



【図14】



【図15】

