(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月27日(27.08.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/170617 A1

(51) 国際特許分類:
H03M 1/40 (2006.01)　*H03M 1/14* (2006.01)
A61B 5/00 (2006.01)　*H03M 1/16* (2006.01)
H03M 1/08 (2006.01)

(21) 国際出願番号：　PCT/JP2020/000063

(22) 国際出願日：　2020年1月6日(06.01.2020)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2019-028210　2019年2月20日(20.02.2019)　JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 長谷部　一徳 (**HASEBE Kazunori**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

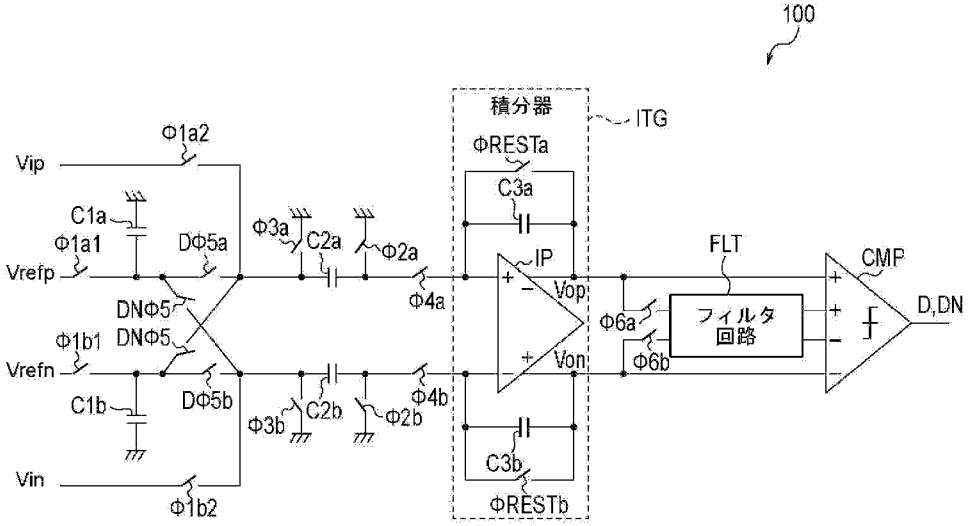
(74) 代理人: 渡邊　薫 (**WATANABE Kaoru**); 〒1080014 東京都港区芝四丁目１０番５号 ヒューリック田町ビル６階 薫風国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** SEQUENTIAL-COMPARISON-TYPE AD CONVERTER, Iot SENSOR, AND BIOLOGICAL SENSOR

(54) 発明の名称： 逐次比較型ＡＤコンバータ、Ｉｏｔセンサ、及び生体センサ

[図1]



FLT Filter circuit
ITG Integrator

(57) **Abstract:** The present invention provides a Charge Share SAR ADC with which it is possible to raise the order of noise shaping. This sequential-comparison-type AD converter comprises a first-polarity first capacitor, a first-polarity second capacitor, a first-polarity third capacitor, a second-polarity first capacitor, a second-polarity second capacitor, a second-polarity third capacitor, an integrator amplifier, a comparator, and a filter circuit. The integrator amplifier generates a first integrated value and a second integrated value. The comparator compares the first integrated value and the second

WO 2020/170617 A1

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

integrated value, and, on the basis of the comparison result, redistributes a charge accumulated in the first-polarity third capacitor and a charge accumulated in the second-polarity third capacitor to the first-polarity second capacitor or the second-polarity second capacitor. After the redistribution is repeated, the charge accumulated in the first-polarity third capacitor and the charge accumulated in the second-polarity third capacitor are inputted as residual voltage into the filter circuit.

(57) 要約:ノイズシェーピングの高次化を図ることができるＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣを提供する。 逐次比較型ＡＤコンバータは、第１極性の第１コンデンサと、第１極性の第２コンデンサと、第１極性の第３コンデンサと、第２極性の第１コンデンサと、第２極性の第２コンデンサと、第２極性の第３コンデンサと、積分器アンプと、コンパレータと、フィルタ回路と、を備える。積分器アンプは、第１積分値と第２積分値とを生成する。コンパレータは、第１積分値と第２積分値とを比較し、その比較結果に基づき、第１極性の第３コンデンサに蓄積された電荷及び第２極性の第３コンデンサに蓄積された電荷を、第１極性の第２コンデンサ又は第２極性の第２コンデンサに再配分する。再配分を繰り返した後、フィルタ回路に、第１極性の第３コンデンサに蓄積された電荷と第２極性の第３コンデンサに蓄積された電荷とを残差電圧として入力する。

明　細　書

発明の名称 ：

逐次比較型ＡＤコンバータ、ＩｏｔセンサＩ、及び生体センサ

技術分野

[0001] 本技術は、逐次比較型ＡＤコンバータ、ＩｏｔセンサＩ、及び生体センサに関する。

背景技術

[0002] 従来、ＳＡＲ　ＡＤＣ（Ｓｕｃｃｅｓｓｉｖｅ　Ａｐｐｒｏｘｉｍａｔｉｏｎ　Ｒｅｓｉｓｔｅｒ　Ａｎａｌｏｇ　Ｄｉｇｉｔａｌ　Ｃｏｎｖｅｒｔｅｒ：逐次比較型ＡＤ変換器）が知られている。ＳＡＲ　ＡＤＣは、容量ＤＡ変換器の残差電圧を保持し、保持した残差電圧を次の変換サイクルで容量ＤＡ変換器に加算してノイズシェーピングを行っている。

[0003] ここで、ノイズシェーピングとは、量子化ノイズとコンパレータノイズを削減するための技術である。ノイズシェーピングを行うことにより、信号を測定したときの信号とノイズとの比を示すＳＮＤＲ（Ｓｉｇｎａｌ　ｔｏ　ｎｏｉｓｅ　ａｎｄ　ｄｉｓｔｏｒｔｉｏｎ）が向上する。

[0004] ＳＮＤＲの値を高くするためには、ノイズシェーピングの次数を高くすることが望まれる。上述したＳＡＲ　ＡＤＣに関し、単純で、非常に効率的なＳＡＲ　ＡＤＣが提案されている（例えば、非特許文献１）。

先行技術文献

特許文献

[0005] 非特許文献1：Ｃ．－Ｈ．Ｃｈｅｎ，　Ｙ．Ｚｈａｎｇ，　Ｊ．Ｌ．Ｃｅｂａｌｌｏｓ，　ａｎｄ　Ｇ．Ｃ．Ｔｅｒｎｅｓ，“Ｎｏｉｓｅ－Ｓｈａｐｉｎｇ　ＳＡＲ　ＡＤＣ　Ｕｓｉｎｇ　Ｔｈｒｅｅ　Ｃａｐａｃｉｔｏｒｓ”

発明の概要

発明が解決しようとする課題

[0006] 一般的に、ＳＡＲ　ＡＤＣは、ΔΣＡＤＣと異なり、ノイズシェーピング

の次数を上げることが不向きであるため、達成できるＳＮＤＲの精度には限界があった。

[0007] 本技術は、このような状況に鑑みてなされたものであり、ノイズシェーピングの高次化を図ることができる逐次比較型ＡＤコンバータ、ＩｏｔセンサⅠ、及び生体センサを提供することを主目的とする。

課題を解決するための手段

[0008] 本発明者は、上述の目的を解決するために鋭意研究を行った結果、ノイズシェーピングの高次化を図ることができる逐次比較型ＡＤコンバータ、ＩｏｔセンサⅠ、及び生体センサを提供することに成功し、本技術を完成するに至った。

[0009] すなわち、本技術では、 第１極性の第１コンデンサと、

第１極性の第２コンデンサと、

第１極性の第３コンデンサと、

第２極性の第１コンデンサと、

第２極性の第２コンデンサと、

第２極性の第３コンデンサと、

積分器アンプと、

コンパレータと、

フィルタ回路と、を備え、

前記第１極性の第１コンデンサと、前記第１極性の第２コンデンサと、前記第１極性の第３コンデンサのそれぞれが、略同一の容量を有し、

前記第２極性の第１コンデンサと、前記第２極性の第２コンデンサと、前記第２極性の第３コンデンサのそれぞれが、略同一の容量を有し、

前記第１極性の第１コンデンサ及び前記第２極性の第１コンデンサのそれぞれに、所定の電荷が蓄積され、

前記第１極性の第２コンデンサが、入力されるアナログ電圧の第１電荷を蓄積するとともに、当該第１電荷を前記第１極性の第３コンデンサに転送し、

前記積分器アンプが、前記第１極性の第３コンデンサに転送された前記第１電荷を積分して、第１積分値を生成し、

前記第２極性の第２コンデンサが、入力されるアナログ電圧の第２電荷を蓄積するとともに、当該第２電荷を前記第２極性の第３コンデンサに転送し、

前記積分器アンプが、前記第２極性の第３コンデンサに転送された前記第２電荷を積分して、第２積分値を生成し、

前記コンパレータが、前記第１積分値と前記第２積分値とを比較し、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとがリセットされ、

前記第１積分値が前記第２積分値よりも大きいときは、

前記第１極性の第３コンデンサに蓄積された電荷と前記第１極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第１極性の第２コンデンサに再配分するとともに、

前記第２極性の第３コンデンサに蓄積された電荷と前記第２極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第２極性の第２コンデンサに再配分し、

前記第１積分値が前記第２積分値よりも略同等以下であるときは、

前記第１極性の第３コンデンサに蓄積された電荷と前記第２極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第１極性の第２のコンデンサに再配分するとともに、

前記第２極性の第３コンデンサに蓄積された電荷と前記第１極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第２極性の第２コンデンサに再配分し、

所定の分解能のビット数が得られるまで、前記コンパレータが前記第１積分値と前記第２積分値とを前記比較することと、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとが前記リセットされることと、前記リセットされた、前記第１極性の第２コンデンサと前記第２極性の第２コン

デンサとに前記再配分することと、を繰り返し、

前記所定の分解能のビット数が得られた後、前記フィルタ回路に、前記第１極性の第２コンデンサに前記再配分して前記第１極性の第３コンデンサに蓄積された電荷と、前記第２極性の第２コンデンサに前記再配分して前記第２極性の第３コンデンサに蓄積された電荷とを、残差電圧として入力する、逐次比較型ＡＤコンバータを提供する。

[0010] 本技術に係る逐次比較型ＡＤコンバータにおいて、前記第１極性が、正極性であって、前記第２極性が、負極性であってもよい。

[0011] 本技術に係る逐次比較型ＡＤコンバータにおいて、前記所定の分解能の最下位ビットについて、前記コンパレータが、前記第１積分値と前記第２積分値とを比較し、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとが前記リセットされた後、当該第１極性の第２コンデンサと第２極性の第２コンデンサとについて前記再配分が完了するまでの間に、前記フィルタ回路が、前記残差電圧のサンプリングを開始してもよい。

[0012] 本技術に係る逐次比較型ＡＤコンバータにおいて、前記フィルタ回路が、前記積分器アンプによって駆動されるようにしてもよい。

[0013] 本技術に係る逐次比較型ＡＤコンバータにおいて、前記フィルタ回路が、オペアンプを含んで構成されるアクティブ型であってもよい。

[0014] 本技術に係る逐次比較型ＡＤコンバータにおいて、前記フィルタ回路が、コンデンサを含み、オペアンプを含まないで構成されるパッシブ型であってもよい。

[0015] また、本技術では、前記逐次比較型ＡＤコンバータを備える、ＩｏＴセンサを提供する。

[0016] また、本技術では、前記逐次比較型ＡＤコンバータを備える、生体センサを提供する。

[0017] 本技術によれば、逐次比較型ＡＤコンバータ、Ｉｏｔセンサ、及び生体センサは、ノイズシェーピングの高次化を実現することができる。なお、本技術の効果は、必ずしも上記の効果に限定されるものではなく、本技術に記載

されたいずれかの効果であってもよい。

図面の簡単な説明

[0018] [図1]本技術に係る第１の実施形態の逐次比較型ＡＤコンバータの一例であるＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣの構成の例を示すブロック図である。

[図2]本技術に係る第１の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣが、スイッチをオンにするタイミングを示したタイミングチャートである。

[図3]本技術に係る第１の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣのノイズビヘイビアモデルを示した図である。

[図4]本技術に係る第１の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣが、フィルタ回路を有している場合の回路図である。

[図5]ノイズシェーピングにより、低周波帯域に位置する量子化雑音を高周波帯域に移動させることを示した説明図である。

[図6]次数が高くなると、ノイズシェーピングの効果が高くなることを示した説明図である。

[図7]本技術を適用したＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣの構成例を示すブロック図である。

[図8]本技術を適用したＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣの構成例を示すブロック図である。

[図9]本技術を適用したＩｏＴセンサの構成例を示すブロック図である。

[図10]本技術を適用した生体センサの構成例を示すブロック図である。

[図11]従来から知られているＣｈａｒｇｅ　Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　ＳＡＲ　ＡＤＣに、ノイズシェーピングを実行するためのフィルタ回路が追加された回路図である。

[図12]Ｃｈａｒｇｅ　Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　ＳＡＲ　ＡＤＣに実装されるフィルタ回路の例である。

[図13]Ｃｈａｒｇｅ　Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　ＳＡＲ　ＡＤＣのノ

イズビヘイビアモデルを示した図である。

[図14]Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣの構成を示した回路図である。

[図15]Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣの動作を説明するためのフローチャートである。

[図16]Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣのサンプリング時の状態を示した回路図である。

[図17]Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣの全電荷転送の状態を示した回路図である。

[図18]Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣの比較判定＆Ｃ２リセットの状態を示した回路図である。

[図19]Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣの比較結果フィードバックの状態を示した回路図である。

[図20]Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣの電荷再配分の状態を示した回路図である。

[図21]Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣのノイズビヘイビアモデルである。

発明を実施するための形態

[0019] 以下、本技術を実施するための好適な形態について図面を参照しながら説明する。なお、以下に説明する実施形態は、本技術の代表的な実施形態の一例を示したものであり、これにより本技術の範囲が狭く解釈されることはない。

[0020] なお、説明は以下の順序で行う。

１．本技術の概要

２．第１の実施形態（逐次比較型ＡＤコンバータの例１）

３．第２の実施形態（逐次比較型ＡＤコンバータの例２）

４．第３の実施形態（逐次比較型ＡＤコンバータの例３）

５．第４の実施形態（ＩｏＴセンサの例）

６．第５の実施形態（生体センサの例）

[0021] ＜１．本技術の概要＞

一般的なＳＡＲ　ＡＤＣ（Ｓｕｃｃｅｓｓｉｖｅ　Ａｐｐｒｏｘｉｍａｔｉｏｎ　Ｒｅｓｉｓｔｅｒ　Ａｎａｌｏｇ　Ｄｉｇｉｔａｌ　Ｃｏｎｖｅｒｔｅｒ）を、図１１に示す。図１１に示されるＳＡＲ　ＡＤＣは、従来から知られているＣｈａｒｇｅ　Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　ＳＡＲ　ＡＤＣに、ノイズシェーピングを実行するためのフィルタ回路ＦＬＴ１が追加された回路図である。

[0022] 図１１に示されるＣｈａｒｇｅ　Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　ＳＡＲ　ＡＤＣ１０１は、複数のコンデンサＣＰ０～コンデンサＣＰ６（コンデンサＣＰ０、コンデンサＣＰ１、・・・コンデンサＣＰ２、コンデンサＣＰ３、コンデンサＣＰ４、コンデンサＣＰ５、及びコンデンサＣＰ６）と、スイッチＳＷ１～スイッチＳＷ７（スイッチＳＷ１、スイッチＳＷ２、・・・スイッチＳＷ３、スイッチＳＷ４、スイッチＳＷ５、スイッチＳＷ６、及びスイッチＳＷ７）と、フィルタ回路ＦＬＴ１と、コンパレータＣＭＰ１とを備えている。

[0023] Ｃｈａｒｇｅ　Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　ＳＡＲ　ＡＤＣ１０１が有する複数のコンデンサＣＰ０～ＣＰ６は、容量アレイを構成し、バイナリウエイト（Ｂｉｎａｒｙ　Ｗｅｉｇｈｔ）構成となっている。また、Ｃｈａｒｇｅ　Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　ＳＡＲ　ＡＤＣ１０１は、完全差動回路で実装されるが、ここでは、説明を簡略化するため、シングルエンドで構成されている。なお、バイナリウエイトとは、公比２の等比数列をなす重み（容量値）の集合である。

[0024] Ｃｈａｒｇｅ　Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　ＳＡＲ　ＡＤＣ１０１は、逐次比較変換後の残差電圧をフィルタ回路ＦＬＴ１に入力することにより、ノイズ伝達関数（ＮＴＦ）にハイパス特性を持たせることができる。図１１に示されるＣｈａｒｇｅ　Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　ＳＡＲ　ＡＤＣ１０１は、一例として、図１２に示されたフィルタ回路ＦＬＴ１を実装す

る。

[0025] 図１２（Ａ）に、Ｃｈａｒｇｅ Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ ＳＡＲ ＡＤＣ１０１に実装されるフィルタ回路ＦＬＴ１を示す。また、図１２（Ｂ）に、フィルタ回路ＦＬＴ１が有するスイッチΦ７～スイッチΦ１２（スイッチΦ７ａ～スイッチΦ１２ａ、及びスイッチΦ７ｂ～スイッチΦ１２ｂ）の切り替えタイミングを示す。

[0026] 図１２Ａに示されるフィルタ回路ＦＬＴ１は、バッファＡｂｕｆ、コンデンサＣ４１ａ、コンデンサＣ４２ａ、コンデンサＣ４３ａ、コンデンサＣ４１ｂ、コンデンサＣ４２ｂ、コンデンサＣ４３ｂ、コンデンサＣ５ａ、コンデンサＣ５ｂ、スイッチΦ７～スイッチΦ１２（スイッチΦ７ａ～スイッチΦ１２ａ、及びスイッチΦ７ｂ～スイッチΦ１２ｂ）、及び積分器アンプＩＰＦを備えて構成されている。なお、コンデンサＣ４１ａ及びコンデンサＣ４１ｂは、略同等の容量となっている。ここで、略同等の容量とは、例えば、同一の容量値を含み、同一の容量値に対して、９５％～１０５％以内にある容量値のことをいう。また、コンデンサＣ４２ａ及びコンデンサＣ４３ａは、コンデンサＣ４１ａの略１／３の容量となっている。また、コンデンサＣ４２ｂ及びコンデンサＣ４３ｂは、コンデンサＣ４１ｂの略１／３の容量となっている。ここで、略１／３の容量とは、１／３の容量値を含み、１／３の容量値に対して、９５％～１０５％以内にある容量値のことをいう。

[0027] この場合、フィルタ回路ＦＬＴ１の伝達関数Ｌ（ｚ）は、次式（式（１））で表される。

[0028] [数1]

$$L(z) = 2\frac{z^{-1} + \frac{1}{3}z^{-2}}{1 - z^{-1}} \quad \cdots (1)$$

[0029] また、この場合のＣｈａｒｇｅ Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ ＳＡＲ ＡＤＣ１０１のノイズビヘイビアモデルを、図１３に示す。図１３は、Ｃ

harge Redistribution SAR ADC101のノイズビヘイビアモデルを示した図である。なお、ノイズビヘイビアモデルとは、ノイズの入出力特性を示したものである。

[0030] Charge Redistribution SAR ADC101のノイズビヘイビアモデルは、減算器SB1、フィルタ回路FLT1、加算器AD1、及びSAR量子化器SQ1を備えている。そして、Charge Redistribution SAR ADC101のノイズ伝達関数NTF（z）は、次式（式（2））で表される。

[0031] [数2]

$$NTF(z) = \frac{1}{1+L(z)} = \frac{1-z^{-1}}{1+z^{-1}+\frac{2}{3}z^{-2}} \quad \cdots (2)$$

[0032] 式（2）に示されたノイズ伝達関数NTF（z）は、1次のハイパス特性を有している。このため、フィルタ回路FLT1の伝達関数L（z）を複雑にすることで、高次のNoise Shapingを実現することができるが、Charge Redistribution SAR ADC101の設計において、占有面積・消費電力・設計難易度等が増加する。

[0033] ここで、Charge Redistribution SAR ADC101が高いSNDRを得るためには、リファレンス電圧を安定させなければならない。

[0034] リファレンス電圧を安定させるためには、リファレンス電圧を生成しているバッファアンプを高性能化するか、又は、コンデンサを複数搭載し、電圧変動を抑えることが一般的である。しかしながら、バッファアンプを高性能化すると、又は、コンデンサを複数搭載すると、消費電力の増加や占有面積の増加が生じてしまう。

[0035] そこで、消費電力の増加や占有面積の増加を回避すべく、Charge Share SAR ADCに関するCharge Share SAR ADC102の回路を用いることを検討する。ここで、シングルエンドで構

成されたＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２を、図１４に示す。図１４は、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２の構成を示した回路図である。なお、図１４では、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣの動作の説明を簡略化するため、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２が、シングルエンドで構成されている。

[0036] 図１４に示されたＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２は、スイッチΦ１ｘ、スイッチΦ１ｙ、スイッチΦ１ｚ、スイッチΦ２、スイッチΦ３、スイッチΦ４、コンデンサＣ１Ｐ、コンデンサＣ１Ｎ、コンデンサＣ２、コンデンサＣ３、積分器アンプＩＰ１、及びコンパレータＣＭＰ２を備えて構成されている。

[0037] このＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２の動作について、図１５に示されるフローチャートを用いて説明する。図１５は、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２の動作を説明するためのフローチャートである。

[0038] まず、サンプリング時（ステップＳ００１）のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２の回路の状態を、図１６に示す。図１６では、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２は、スイッチΦ１ｘ、スイッチΦ１ｙ、スイッチΦ１ｚ、及びスイッチΦ２がオンとなり（閉じており）、電圧Ｖｉｐ、電圧Ｖｒｅｆｐ、及び電圧Ｖｒｅｆｎの電圧がサンプリングされる。

[0039] この場合、コンデンサＣ１Ｐ、コンデンサＣ１Ｎ、コンデンサＣ２、及びコンデンサＣ３の各電荷は、次式（式（３）から式（６））で表される。

[0040] Ｑ１Ｐ＝Ｃ１Ｐ　×　Ｖｒｅｐ　・・・（３）

Ｑ１Ｎ＝Ｃ１Ｎ　×　Ｖｒｅｎ　・・・（４）

Ｑ２　＝Ｃ２　×　Ｖｉｐ　・・・（５）

Ｑ３　＝０　・・・（６）

[0041] 次に、全電荷転送（ステップＳ００３）の状態を、図１７に示す。図１７では、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２は、スイッチΦ１

ｘ、スイッチΦ１ｙ、スイッチΦ１ｚ、及びスイッチΦ２がオフとなり（開き）、スイッチΦ３及びスイッチΦ４がオンとなっている（閉じている）。これにより、コンデンサＣ２に蓄えられていた電荷Ｑ２が、コンデンサＣ３に全電荷転送される。

[0042] この場合、コンデンサＣ１Ｐ、コンデンサＣ１Ｎ、コンデンサＣ２、及びコンデンサＣ３の各電荷は、次式（式（３）、式（４）、式（７）、式（８））のようになる。

[0043] Ｑ１Ｐ＝Ｃ１Ｐ × Ｖｒｅｐ ・・・（３）

Ｑ１Ｎ＝Ｃ１Ｎ × Ｖｒｅｎ ・・・（４）

Ｑ２ ＝０ ・・・（７）

Ｑ３ ＝Ｃ２ × Ｖｉｐ ・・・（８）

∵Ｃ２Ｐ＝Ｃ３Ｐ

[0044] 次に、比較判定＆Ｃ２リセット（ステップＳ００５）の状態を、図１８に示す。図１８では、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１０２は、スイッチΦ４をオフにして（開いて）、コンパレータＣＭＰ２において、電荷Ｑ３の積分値と接地電位とを比較すると同時に、スイッチΦ２及びスイッチΦ３をオンにして（閉じて）、コンデンサＣ２をリセットする。コンパレータＣＭＰ２は、電荷Ｑ３の積分値と接地電位とを比較した結果として、判定結果Ｄ又は判定結果ＤＮを出力する。

[0045] 次に、比較結果フィードバック（ステップＳ００７）の状態を、図１９に示す。図１９では、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１０２は、コンパレータＣＭＰ２において、判定結果Ｄが出力されたと仮定する。この場合、スイッチＤΦ５がオンとなる（閉じる）。

[0046] 電荷再配分（ステップＳ００９）の状態を、図２０に示す。図２０では、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１０２は、コンデンサＣ２において、コンデンサＣ１Ｐの電荷Ｑ１Ｐとコンデンサ Ｃ３の電荷Ｑ３との電荷再配分を行う。

[0047] この場合、コンデンサＣ１Ｐ、コンデンサＣ２、及びコンデンサＣ３の各

電荷は、次式（式（９）から式（１２））のようになる。

[0048] Ｑ１Ｐ＝ Ｃ１Ｐ × Ｖｒｅｆｐ／２ ・・・（９）

Ｑ２ ＝ Ｃ１Ｐ × Ｖｒｅｆｐ／２ ・・・（１０）

Ｑ３ ＝ Ｃ２ × Ｖｉｐ － Ｃ１Ｐ × Ｖｒｅｆｐ／２ ・・・（１１）

Ｖｏ ＝ Ｑ３／Ｃ３ ＝ Ｖｉｐ － Ｖｒｅｆｐ／２・・・（１２）

∵Ｃ１Ｐ＝Ｃ１Ｎ＝Ｃ２＝Ｃ３

[0049] 式（９）では、コンデンサＣ１Ｐの電荷Ｑ１Ｐが半分になっており、式（１２）の電圧Ｖｏでは、Ｃｈａｒｇｅ Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ ＳＡＲ ＡＤＣ１０１と同じ電圧になっている。そのため、図１５のステップ０１１において、分解能をＮビットとした場合、所定のＮビットの分解能が得られていなければ（ステップＳ０１１のＮｏ）、ステップＳ００５の比較判定＆Ｃ２リセットに戻り、ステップＳ００５からステップＳ００９を繰り返すことにより、（ＭＳＢ－１）ｂｉｔ以降の分解能を取得する。

[0050] このアクティブ型のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１０２は、コンデンサＣ３に前回のＳＡＲ ＡＤＣ変換残差電圧を保持することにより、ノイズ伝達関数は、１次のハイパス特性を有している。コンデンサＣ３と積分器アンプＩＰ１の伝達関数Ｌ（ｚ）は、次式（式（１３））で表される。

[0051] [数3]

$$L(z) = \frac{z^{-1}}{1-z^{-1}}$$

・・・（１３）

[0052] また、この場合のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１０２のビヘイビアモデルを、図２１に示す。図２１は、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１０２のノイズビヘイビアモデルを示したものである。

[0053] 図２１に示されたＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１０２は、減算器ＳＢ１、積分器ＩＴＧ１、加算器ＡＤ１、及びＳＡＲ量子化器ＳＱ２

を備えている。そして、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２のノイズ伝達関数ＮＴＦ（ｚ）は、次式（式（１４））で表される。

[0054] [数4]

$$\mathrm{NTF}(z)=\frac{1}{1+\mathrm{L}(z)}=1-z^{-1}$$

・・・（１４）

[0055] 式（１４）に示されるように、アクティブ型のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１０２では、ノイズシェーピングの次数は、１次にとどまっていた。

[0056] そこで、本技術によれば、ノイズシェーピングの高次化を図ることができるＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣを提供する。これにより、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣは、高いＳＮＤＲを実現することができる。

[0057] ＜２．第１の実施形態（逐次比較型ＡＤコンバータの例１）＞

本技術に係る第１の実施形態の逐次比較型ＡＤコンバータは、第１極性の第１コンデンサと、第１極性の第２コンデンサと、第１極性の第３コンデンサと、第２極性の第１コンデンサと、第２極性の第２コンデンサと、第２極性の第３コンデンサと、積分器アンプと、コンパレータと、フィルタ回路と、を備えている。

[0058] 本技術に係る第１の実施形態の逐次比較型ＡＤコンバータは、第１極性の第１コンデンサと、第１極性の第２コンデンサと、第１極性の第３コンデンサのそれぞれが、略同一の容量を有し、第２極性の第１コンデンサと、第２極性の第２コンデンサと、第２極性の第３コンデンサのそれぞれが、略同一の容量を有している。第１極性の第１コンデンサ及び第２極性の第１コンデンサのそれぞれに、所定の電荷が蓄積される。

[0059] 第１極性の第２コンデンサが、入力されるアナログ電圧の第１電荷を蓄積するとともに、当該第１電荷を第１極性の第３コンデンサに転送する。積分器アンプが、第１極性の第３コンデンサに転送された第１電荷を積分して、

第１積分値を生成する。

[0060] 第２極性の第２コンデンサが、入力されるアナログ電圧の第２電荷を蓄積するとともに、当該第２電荷を第２極性の第３コンデンサに転送する。積分器アンプが、第２極性の第３コンデンサに転送された第２電荷を積分して、第２積分値を生成する。

[0061] コンパレータが、第１積分値と第２積分値とを比較する。第１極性の第２コンデンサと第２極性の第２コンデンサとがリセットされる。第１積分値が第２積分値よりも大きいときは、第１極性の第３コンデンサに蓄積された電荷と第１極性の第１コンデンサに蓄積された電荷とを、リセットされた第１極性の第２コンデンサに再配分するとともに、第２極性の第３コンデンサに蓄積された電荷と第２極性の第１コンデンサに蓄積された電荷とを、リセットされた第２極性の第２コンデンサに再配分する。

[0062] 第１積分値が第２積分値よりも略同等以下であるときは、第１極性の第３コンデンサに蓄積された電荷と第２極性の第１コンデンサに蓄積された電荷とを、リセットされた第１極性の第２のコンデンサに再配分するとともに、第２極性の第３コンデンサに蓄積された電荷と第１極性の第１コンデンサに蓄積された電荷とを、リセットされた第２極性の第２コンデンサに再配分する。

[0063] 所定の分解能のビット数が得られるまで、コンパレータが第１積分値と第２積分値とを比較することと、第１極性の第２コンデンサと第２極性の第２コンデンサとがリセットされることと、リセットされた、第１極性の第２コンデンサと第２極性の第２コンデンサとに再配分することと、を繰り返す。

[0064] 所定の分解能のビット数が得られた後、フィルタ回路に、第１極性の第２コンデンサに再配分して第１極性の第３コンデンサに蓄積された電荷と、第２極性の第２コンデンサに再配分して第２極性の第３コンデンサに蓄積された電荷とを、残差電圧として入力する、逐次比較型ＡＤコンバータである。

[0065] 本技術に係る第１の実施形態の逐次比較型ＡＤコンバータによれば、ノイズシェーピングの高次化を図ることができる。

[0066] ［逐次比較型ＡＤコンバータの構成］

図１に、本技術に係る第１の実施形態の逐次比較型ＡＤコンバータの一例であるＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００を示す。図１は、本技術を適用したＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００の構成例を示すブロック図である。なお、上述した構成と同一の構成要素については同一の符号を付し、説明を適宜、省略する。

[0067] 図１に示されるように、本技術に係る第１の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、第１極性の第１コンデンサＣ１ａ、第１極性の第２コンデンサＣ２ａ、第１極性の第３コンデンサＣ３ａ、スイッチΦ１ａ１、スイッチΦ１ａ２、スイッチΦ２ａ、スイッチΦ３ａ、スイッチΦ４ａ、スイッチＤΦ５ａ、スイッチＤＮΦ５ａ、スイッチΦ６ａ、スイッチΦＲＥＳＴａ、第２極性の第１コンデンサＣ１ｂ、第２極性の第２コンデンサＣ２ｂ、第２極性の第３コンデンサＣ３ｂ、スイッチΦ１ｂ１、スイッチΦ１ｂ２、スイッチΦ２ｂ、スイッチΦ３ｂ、スイッチΦ４ｂ、スイッチＤΦ５ｂ、スイッチＤＮΦ５ｂ、スイッチΦ６ｂ、スイッチΦＲＥＳＴｂ、積分器アンプＩＰ、フィルタ回路ＦＬＴ、及びコンパレータＣＭＰを備えて構成されている。

[0068] 本技術に係る第１の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、例えば、一例として、第１極性が正極性であって、第２極性が負極性である。また、積分器ＩＴＧは、スイッチΦＲＥＳＴａ、第１極性の第３コンデンサ、積分器アンプＩＰ、第２極性の第３コンデンサＣ３ｂ、スイッチΦＲＥＳＴｂを備えて構成されている。

[0069] ［逐次比較型ＡＤコンバータの動作］

次に、第１の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００の動作について、上述した図１５のフローチャートを用いて説明する。

[0070] まず、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、初期リセット動作を行う。初期リセット動作を行った後、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、全てのスイッチΦをオフにする（開く）。なお、

スイッチΦＲＥＳＴａ及びスイッチΦＲＥＳＴｂは、初期リセットの解除によってオフになった後は（開いた後は）、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００が再びリセットされるまでオフの状態（開いた状態）を継続する。

[0071] 次に、サンプリング時（図１５のステップＳ００１）において、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、スイッチΦ１ａ１、スイッチΦ１ａ２、スイッチΦ２ａ、スイッチΦ１ｂ１、スイッチΦ１ｂ２、及びスイッチΦ２ｂがオンとなり（閉じて）、電圧Ｖｉｐ、電圧Ｖｒｅｆｐ、電圧Ｖｒｅｆｎ、及び電圧Ｖｉｎの電圧がサンプリングされる。

[0072] これにより、第１極性の第１コンデンサＣ１ａ、第２極性の第１コンデンサＣ１ｂ、第１極性の第２のコンデンサＣ２ａ、第２極性の第２のコンデンサＣ２ｂのそれぞれに、所定の電荷が蓄積される。また、第１極性の第２のコンデンサＣ２ａは、入力されるアナログ電圧の第１電荷を蓄積するとともに、第２極性の第２のコンデンサＣ２ｂは、入力されるアナログ電圧の第２電荷を蓄積する。

[0073] この場合、第１極性の第１コンデンサＣ１ａ、第２極性の第１コンデンサＣ１ｂ、第１極性の第２のコンデンサＣ２ａ、及び第２極性の第２のコンデンサＣ２ｂの各電荷は、次式（式（１５）から式（１８））のようになる。

[0074] Ｑ１ａ＝Ｃ１ａ　×　Ｖｒｅｐ　・・・（１５）

Ｑ１ｂ＝Ｃ１ｂ　×　Ｖｒｅｎ　・・・（１６）

Ｑ２ａ＝Ｃ２ａ　×　Ｖｉｐ　・・・（１７）

Ｑ２ｂ＝Ｃ２ｂ　×　Ｖｉｎ　・・・（１８）

[0075] 次に、全電荷転送（ステップＳ００３）において、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、スイッチΦ１ａ１、スイッチΦ１ａ２、スイッチΦ２ａ、スイッチΦ１ｂ１、スイッチΦ１ｂ２、及びスイッチΦ２ｂをオフにする（開く）とともに、スイッチΦ３ａ、スイッチΦ４ａ、スイッチΦ３ｂ、及びスイッチΦ４ｂをオンにする（閉じる）。これにより、第１極性の第２のコンデンサＣ２ａに蓄えられた第１電荷は、第１極性の第３の

コンデンサＣ３ａに全電荷転送されるとともに、第２極性の第２のコンデンサＣ２ｂに蓄えられた第２電荷は、第２極性の第３のコンデンサＣ３ｂに全電荷転送される。

[0076] この場合、第１極性の第１コンデンサＣ１ａ、第１極性の第２のコンデンサＣ２ａ、第２極性の第１コンデンサＣ１ｂ、及び第２極性の第２のコンデンサＣ２ｂの各電荷は、次式（式（１５）、式（１６）、式（１９）から式（２２））のようになる。

[0077]
$$Q1a = C1a \times Vrep \quad \cdots (15)$$
$$Q1b = C1b \times Vren \quad \cdots (16)$$
$$Q2a = 0 \quad \cdots (19)$$
$$Q2b = 0 \quad \cdots (20)$$
$$Q3a = C2a \times Vin \quad \cdots (21)$$
$$Q3b = C2b \times Vin \quad \cdots (22)$$
$$\because C1a = C2a = C3a = C1b = C2b = C3b$$

[0078] 次に、比較判定＆Ｃ２リセット（ステップＳ００５）において、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００は、積分器アンプＩＰにより、第１極性の第３コンデンサＣ３ａに転送された第１電荷を積分して、第１積分値を生成し、第２極性の第３コンデンサＣ３ｂに転送された第２電荷を積分して、第２積分値を生成する。そして、コンパレータＣＭＰは、第１積分値と第２積分値とを比較し、比較した結果として判定結果Ｄ又は判定結果ＤＮを出力する。また、同時に、第１極性の第２コンデンサＣ２ａと第２極性の第２コンデンサＣ２ｂとがリセットされる。

[0079] 次に、比較結果フィードバック（ステップＳ００７）において、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００は、コンパレータＣＭＰにより、第１積分値が第２積分値よりも大きいことを示す判定結果Ｄが出力されたと仮定する。この場合、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００は、スイッチＤΦ５ａ及びスイッチＤΦ５ｂをオンにする（閉じる）。

[0080] 電荷再配分（ステップＳ００９）において、Ｃｈａｒｇｅ Ｓｈａｒｅ

ＳＡＲ　ＡＤＣ１００は、第１極性の第３コンデンサＣ３ａに蓄積された電荷と第１極性の第１コンデンサＣ１ａに蓄積された電荷とを、リセットされた第１極性の第２コンデンサＣ２ａに再配分する。同時に、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、第２極性の第３コンデンサＣ３ｂに蓄積された電荷と第２極性の第１コンデンサＣ１ｂに蓄積された電荷とを、リセットされた第２極性の第２コンデンサＣ２ｂに再配分する。

[0081] この場合、第１極性の第１コンデンサＣ１ａ、第１極性の第２コンデンサＣ２ａ、第１極性の第３コンデンサＣ３ａ、第２極性の第１コンデンサＣ１ｂ、第２極性の第２コンデンサＣ２ｂ、第２極性の第３コンデンサＣ３ｂの各電荷は、次式（式（２３）から式（３０））のようになる。

[0082] $$Q1a = C1a \times Vrefp/2 \quad \cdots (23)$$

$$Q1b = C1b \times Vrefn/2 \quad \cdots (24)$$

$$Q2a = C1a \times Vrefp/2 \quad \cdots (25)$$

$$Q2b = C1b \times Vrefn/2 \quad \cdots (26)$$

$$Q3a = C2a \times Vip - C1a \times Vrefp/2 \quad \cdots (27)$$

$$Q3b = C2b \times Vin - C1b \times Vrefn/2 \quad \cdots (28)$$

$$Vop = Q3a/C3a = Vip - Vrefp/2 \quad \cdots (29)$$

$$Von = Q3b/C3b = Vin - Vrefn/2 \quad \cdots (30)$$

$\because C1a = C2a = C3a = C1b = C2b = C3b$

[0083] これに対し、比較結果フィードバック（ステップＳ００７）において、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、コンパレータＣＭＰにより、第１積分値が第２積分値よりも略同等以下であることを示す判定結果ＤＮが出力されたと仮定する。この場合、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、スイッチＤＮΦ５ａ及びスイッチＤＮΦ５ｂをオンに

する（閉じる）。

[0084] 電荷再配分（ステップＳ００９）において、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、第１極性の第３コンデンサＣ３ａに蓄積された電荷と第２極性の第１コンデンサＣ１ｂに蓄積された電荷とを、リセットされた第１極性の第２コンデンサＣ２ａに再配分する。同時に、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、第２極性の第３コンデンサＣ３ｂに蓄積された電荷と第１極性の第１コンデンサＣ１ａに蓄積された電荷とを、リセットされた第２極性の第２コンデンサＣ２ｂに再配分する。

[0085] この場合、第１極性の第１コンデンサＣ１ａ、第１極性の第２コンデンサＣ２ａ、第１極性の第３コンデンサＣ３ａ、第２極性の第１コンデンサＣ１ｂ、第２極性の第コンデンサＣ２ｂ、第２極性の第３コンデンサＣ３ｂの各電荷は、次式（式（３１）から式（３８））のようになる。

[0086] $$Q1a = C1a \times Vrefp/2 \quad \cdots (31)$$

$$Q1b = C1b \times Vrefn/2 \quad \cdots (32)$$

$$Q2a = C1b \times Vrefn/2 \quad \cdots (33)$$

$$Q2b = C1a \times Vrefp/2 \quad \cdots (34)$$

$$Q3a = C2a \times Vip - C1b \times Vrefn/2 \quad \cdots (35)$$

$$Q3b = C2b \times Vin - C1a \times Vrefp/2 \quad \cdots (36)$$

$$Vop = Q3a/C3a = Vip-(Vrefn/2) \quad \cdots (37)$$

$$Von = Q3b/C3b = Vin-(Vrefp/2) \quad \cdots (38)$$

∵Ｃ１ａ＝Ｃ２ａ＝Ｃ３ａ＝Ｃ１ｂ＝Ｃ２ｂ＝Ｃ３ｂ

[0087] Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、所定の分解能のビット数が得られるまで（ステップＳ０１１）、コンパレータＣＭＰが第１積分値と第２積分値とを比較することと（ステップＳ００５のＹｅｓ）、第１

極性の第２コンデンサＣ２ａと第２極性の第２コンデンサＣ２ｂとがリセットされることと（ステップＳ００５）、リセットされた、第１極性の第２コンデンサＣ２ａと第２極性の第２コンデンサＣ２ｂとに再配分することと（ステップＳ００７及びステップＳ００９）、を繰り返す（ステップＳ０１３）。

[0088] Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００は、ステップＳ００５からステップＳ００９を繰り返すことにより、（ＭＳＢ－１）ｂｉｔ以降の分解能を取得する。

[0089] そして、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００は、所定の分解能のビット数が得られた後、フィルタ回路ＦＬＴに、第１極性の第２コンデンサＣ２ａに再配分して第１極性の第３コンデンサＣ３ａに蓄積された電荷と、第２極性の第２コンデンサＣ２ｂに再配分して第２極性の第３コンデンサＣ３ｂに蓄積された電荷とを、残差電圧として入力する。

[0090] 図２は、本技術に係る第１の実施形態のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００が、スイッチΦ６（スイッチΦ６ａ及びスイッチΦ６ｂ）をオンにする（閉じる）タイミングを示したタイミングチャートである。スイッチΦ６（スイッチΦ６ａ及びスイッチΦ６ｂ）は、所定の分解能の最下位ビットの判定結果をＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００にフィードバックし、電荷再配分するタイミングの前後でオンになる（閉じられる）。

[0091] 換言すれば、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００は、スイッチΦ６（スイッチΦ６ａ及びスイッチΦ６ｂ）を、最下位ビットの再配分後の残差電圧をフィルタ回路ＦＬＴでサンプリングする際にオンにする（閉じる）。

[0092] 図２では、所定の分解能の最下位ビット（ＬＳＢ ｂｉｔ）について、コンパレータＣＭＰが、第１積分値と第２積分値とを比較し、第１極性の第２コンデンサＣ２ａと第２極性の第２コンデンサＣ２ｂとがリセットされた後、当該第１極性の第２コンデンサＣ２ａと第２極性の第２コンデンサＣ２ｂ

とについて再配分が完了するまでの間に、フィルタ回路ＦＬＴが、残差電圧のサンプリングを開始することを示している。

[0093] すなわち、スイッチΦ６（スイッチΦ６ａ及びスイッチΦ６ｂ）は、所定の分解能の最下位ビット（ＬＳＢ　ｂｉｔ）について、スイッチΦ２（スイッチΦ２ａ及びスイッチΦ２ｂ）及びスイッチΦ３（スイッチΦ３ａ及びスイッチΦ３ｂ）がオンとなり（閉じて）、第１極性の第２コンデンサＣ２ａと第２極性の第２コンデンサＣ２ｂとがリセットされてから、スイッチΦ４（スイッチΦ４ａ及びスイッチΦ４ｂ）がオフするまでに（開くまでに）、オンになればよい（閉じればよい）。

[0094] また、積分器アンプＩＰは、フィルタ回路ＦＬＴの入力に対してバッファの役割を果たしているため、スイッチΦ６（スイッチΦ６ａ及びスイッチΦ６ｂ）をオンする（閉じる）タイミングには、自由度がある。そのため、電圧分解能やアンプバッファリング能力を考慮して、セトリングが最短となるように、スイッチΦ６（スイッチΦ６ａ及びスイッチΦ６ｂ）をオンにするタイミング（閉じるタイミング）を最適化することができる。

[0095] 次に、図１に示すＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００のビヘイビアモデルを、図３に示す。図３は、本技術に係る第１の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００のノイズビヘイビアモデルを示した図である。

[0096] Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００のノイズビヘイビアモデルは、減算器ＳＢ、積分器ＩＴＧ、フィルタ回路ＦＬＴ、加算器ＡＤ、及びＳＡＲ量子化器ＳＱを備えている。そして、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００のノイズ伝達関数ＮＴＦ（ｚ）は、次式（式（３９））で表される。

[0097] [数5]

$$NTF(z) = \frac{1}{1 + L_1(z)(1 + L_2(z))}$$

・・・（３９）

[0098] これにより、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００は、ノイズシェーピングの次数を高次にすることができる。例えば、積分器ＩＴＧの伝達関数L_1（ｚ）は、式（１３）と同様である。

[0099] 一方、フィルタ回路ＦＬＴについては、いくつかの実施形態が想定される。まず、フィルタ回路ＦＬＴの回路トポロジとして考えらえるのは、図１２示されたＣｈａｒｇｅ Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ ＳＡＲ ＡＤＣに実装されるフィルタ回路ＦＬＴ１をそのまま適用することである。この場合、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００は、フィルタ回路ＦＬＴ１が、オペアンプ（積分器アンプＩＰＦ）を含んで構成される、アクティブ型のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣを構成する。

[0100] 図４は、本技術に係る第１の実施形態のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００が、図１２に示されたフィルタ回路ＦＬＴ１を有している場合の回路図を示したものである。この場合のフィルタ回路ＦＬＴ１の伝達関数L_2（ｚ）とノイズ伝達関数ＮＴＦ（ｚ）は、次式（式（４０）、式（４１））で表される。

[0101] [数6]

$$L_2(z) = A_{buf}\frac{z^{-1}+\frac{1}{3}z^{-2}}{1-z^{-1}} \quad \cdots (40)$$

[数7]

$$NTF(z) = \frac{1}{1+L_1(z)\left(1+L_2(z)\right)} = \frac{(1-z^{-1})^2}{1-2z^{-1}+\left(A_{buf}+1\right)z^{-2}+\frac{A_{buf}}{3}z^{-3}} \quad \cdots (41)$$

[0102] よって、アクティブ型のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００で使用している積分器ＩＴＧをノイズシェーピングに流用することにより、フィルタ回路ＦＬＴ１内の積分器アンプＩＰＦ１つでノイズシェーピングを２次化することができる。

[0103] 図５は、ノイズシェーピングにより、低周波帯域に位置する量子化雑音を

高周波帯域に移動させることを示した説明図である。図５に示されるように、ノイズシェーピングは、周波数帯で一様に分布する量子化雑音とコンパレータ雑音を、低周波帯域で減少させるとともに高周波帯域で上昇させることができる。なお、図５では、１次のノイズシェーピングを示している。

[0104] 図６は、次数が高くなると、ノイズシェーピングの効果が高くなることを示した説明図である。なお、図６では、次数を「ｑ」とする。図６に示されるように、１次で示されたノイズ伝達関数を高次化できると、ノイズを除去する効果を高めることができることを示している。例えば、２次化できた場合には、１次の場合よりも、より多くの雑音成分（ノイズ成分）を高周波帯域に移動させることができるので、Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００の出力に対して、ローパスフィルタを適用することにより雑音成分（ノイズ成分）をカットすることができる。

[0105] 以上説明したように、本技術に係る第１の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、積分器ＩＴＧをノイズシェーピングに流用することができるので、フィルタ回路ＦＬＴが有する積分器アンプＩＰＦ１つで、ノイズシェーピングを２次化することができる。

[0106] これにより、本技術に係る第１の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００は、高精度に雑音成分（ノイズ成分）を除去することができる。

[0107] ＜３．第２の実施形態（逐次比較型ＡＤコンバータの例２）＞

本技術に係る第２の実施形態の逐次比較型ＡＤコンバータは、フィルタ回路が、積分器アンプによって駆動される、逐次比較型ＡＤコンバータである。

[0108] 図７に、本技術に係る第２の実施形態の逐次比較型ＡＤコンバータの一例であるＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００ａを示す。図７は、本技術を適用したＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００ａの構成例を示すブロック図である。なお、上述した構成と同一の構成要素については同一の符号を付し、説明を適宜、省略する。なお、特に断りがない限

り、「左」とは、図７中の左方向を意味し、「上」とは、図７中の上方向を意味するものとする。

[0109] 図７に示された第２の実施形態のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００ａが、図１に示された第１の実施形態のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００と異なる点は、フィルタ回路ＦＬＴ２が、バッファＡｂｕｆと、スイッチΦ６（スイッチΦ６ａ及びスイッチΦ６ｂ）とを有さない点である。

[0110] 第２の実施形態のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００ａは、積分器アンプＩＰがフィルタ回路ＦＬＴ２の入力に対してバッファとして機能するため、フィルタ回路ＦＬＴ２における入力バッファを削除することができる。また、フィルタ回路ＦＬＴ２内のサンプリング容量（コンデンサＣ５ａ、コンデンサＣ５ｂ）の左側に位置するスイッチΦ７～スイッチΦ１２（スイッチΦ７ａ～スイッチΦ１２ａ、及びスイッチΦ７ｂ～スイッチΦ１２ｂ）をサンプリングスイッチとして使うことができるため、スイッチΦ６（スイッチΦ６ａ及びスイッチΦ６ｂ）を削除することができる。

[0111] この場合のフィルタ回路ＦＬＴ２の伝達関数L_2（ｚ）とノイズ伝達関数ＮＴＦ（ｚ）は、次式（式（４２）、式（４３））で表される。

[0112] [数8]

$$L_2(z)=\frac{z^{-1}+\frac{1}{3}z^{-2}}{1-z^{-1}} \quad \cdots (42)$$

[数9]

$$NTF(z)=\frac{1}{1+L_1(z)\left(1+L_2(z)\right)}=\frac{(1-z^{-1})^2}{1-2z^{-1}+2z^{-2}+\frac{1}{3}z^{-3}} \quad \cdots (43)$$

[0113] 式（４３）に示されるように、ノイズ伝達関数ＮＴＦ（ｚ）の分子の$(1-z^{-1})^2$は、維持されている。これにより、本技術に係る第２の実施形態のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００ａは、ノイズシェーピン

グの次数を高次で維持することができる。

[0114] ＜４．第３の実施形態（逐次比較型ＡＤコンバータの例３）＞

本技術に係る第３の実施形態の逐次比較型ＡＤコンバータは、フィルタ回路が、コンデンサを含み、オペアンプを含まないで構成されるパッシブ型である、逐次比較型ＡＤコンバータである。

[0115] 図８に、本技術に係る第３の実施形態の逐次比較型ＡＤコンバータの一例であるＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００ｂを示す。図８は、本技術を適用したＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００ｂの構成例を示すブロック図である。なお、上述した構成と同一の構成要素については同一の符号を付し、説明を適宜、省略する。なお、特に断りがない限り、「左」とは、図８中の左方向を意味し、「上」とは、図８中の上方向を意味するものとする。

[0116] 図８に示された第３の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００ｂが、図１に示された第１の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００と異なる点は、フィルタ回路ＦＬＴ３が、コンデンサ（コンデンサＣＡａ、コンデンサＣＡｂ、コンデンサＣＢａ、及びコンデンサＣＢｂ）を含み、オペアンプを含まないで構成されるパッシブ型である点である。

[0117] 図８Ａには、第３の実施形態のＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００ｂの回路図を示し、図８Ｂには、フィルタ回路ＦＬＴ３の回路図を示し、図８Ｃには、フィルタ回路ＦＬＴ３のタイミングチャートを示す。

[0118] Ｃｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００ｂのフィルタ回路ＦＬＴ３は、コンデンサＣＡａ、コンデンサＣＡｂ、コンデンサＣＢａ、コンデンサＣＢｂ、スイッチΦ１３（スイッチΦ１３ａ及びスイッチΦ１３ｂ）、スイッチΦ１４（スイッチΦ１４ａ及びスイッチΦ１４ｂ）を備えて構成されている。

[0119] ここで、例えば、図１１に示されたＣｈａｒｇｅ　Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ　ＳＡＲ　ＡＤＣ１０１のフィルタ回路ＦＬＴ１をパッシブ型にし

た場合、容量アレイ（複数のコンデンサＣＰ０～ＣＰ６）とフィルタ回路ＦＬＴ１の容量とにおいて、電荷再配分が起こる。このため、Ｃｈａｒｇｅ Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ ＳＡＲ ＡＤＣ１０１では、ＳＡＲ ＡＤＣ変換後の残差電圧が減衰する。

[0120] これに対し、本技術に係る第３の実施形態のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００ｂは、積分器アンプＩＰがフィルタ回路ＦＬＴ３の入力に対してバッファとなっているため、ＳＡＲ ＡＤＣ変換後の残差電圧が減衰することがない。具体的には、第１極性の第３コンデンサＣ３ａ及び第２極性の第３コンデンサＣ３ｂと、コンデンサＣＡａ及びコンデンサＣＡｂとにおいて電荷再配分が起らないため、ＳＡＲ ＡＤＣ変換後の残差電圧に減衰がない。

[0121] このため、ＳＮＤＲは、本技術に係る第３の実施形態のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００ｂは、従来のＣｈａｒｇｅ Ｒｅｄｉｓｔｒｉｂｕｔｉｏｎ ＳＡＲ ＡＤＣ１０１の回路構成よりも有利な値となる。また、第３の実施形態のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００ｂは、フィルタ回路ＦＬＴ３のサンプリングが電荷再配分に依存しないため、コンデンサＣＡａ及びコンデンサＣＡｂを、ノイズの要求仕様が満たす範囲で小さくすることができる。

[0122] この場合のフィルタ回路ＦＬＴ３の伝達関数$L_2(z)$とノイズ伝達関数ＮＴＦ（ｚ）は、次式（式（４４）、式（４５））で表される。

[0123] [数10]

$$L_2(z) = (1-K)\frac{z^{-1}}{1-Kz^{-1}} \quad \because K \equiv \frac{C_B}{C_A+C_B}$$

・・・（４４）

[数11]

$$NTF(z) = \frac{1}{1+L_1(z)\left(1+L_2(z)\right)} = \frac{(1-z^{-1})(1-Kz^{-1})}{1-Kz^{-1}+(1-K)z^{-2}}$$

・・・（４５）

[0124] このように、第３の実施形態のＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００ｂは、フィルタ回路ＦＬＴ３の伝達関数$Ｌ_2$（ｚ）が、１次パッシブ型で、ノイズ伝達関数ＮＴＦ（ｚ）が、２次に近いノイズシェーピング特性を得ることができる。

[0125] ＜５．第４の実施形態（ＩｏＴセンサの例）＞

本技術に係る第４の実施形態のＩｏＴ（Ｉｎｔｅｒｎｅｔ ｏｆ Ｔｈｉｎｇｓ）センサは、逐次比較型ＡＤコンバータが搭載されて、逐次比較型ＡＤコンバータが、第１極性の第１コンデンサと、第１極性の第２コンデンサと、第１極性の第３コンデンサと、第２極性の第１コンデンサと、第２極性の第２コンデンサと、第２極性の第３コンデンサと、積分器アンプと、コンパレータと、フィルタ回路と、を備える、ＩｏＴセンサである。また、本技術に係る第４の実施形態のＩｏＴｔセンサは、本技術に係る第１乃至第３の実施形態のいずれか１つの逐次比較型ＡＤコンバータが搭載されたＩｏＴセンサであってもよい。

[0126] 例えば、上述で説明されたＣｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００を、ＩｏＴセンサに適用することができる。図９に、その一例として、ＩｏＴセンサ２００の概略構成を示す。図９は、本技術を適用したＩｏＴセンサの構成例を示すブロック図である。

[0127] 図９に示される第４の実施形態のＩｏＴセンサ２００は、センサ素子Ｓ１、センサ素子Ｓ２・・・センサ素子ＳＮ、ＭＵＸ（Ｍｕｌｔｉｐｌｅｘｅｒ）２１０、ＰＧＡ ＡＭＰ（Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｉｎ Ａｍｐｌｉｆｉｅｒ）２２０、Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００（図９では、ＡＤＣ１００と表記する。）、信号処理ブロック２３０、ＲＦ２４０、アンテナ２５０、ＬＣＤ Ｄｒｉｖｅｒ２６０、ディスプレイ２７０、Ｐｏｗｅｒ Ｍａｎａｇｅｍｅｎｔ２８０、及び電源２９０を有している。

[0128] ＩｏＴセンサ２００は、多数のセンサ素子（センサ素子Ｓ１、センサ素子Ｓ２・・・センサ素子ＳＮ）を有している。ＩｏＴセンサ２００は、センサ

素子として、例えば、センサ素子Ｓ１が加速度センサであり、センサ素子Ｓ２がジャイロセンサとして、複数のセンサ素子を備えることができる。また、他のセンサとして、磁気センサ、温度センサ、気圧センサ、感圧センサなどを備えるようにしてもよい。

[0129] ＭＵＸ２１０は、複数のセンサ（センサ素子Ｓ１、センサ素子Ｓ２・・・センサ素子ＳＮ）によって取得したデータ（アナログ信号）の中から選択するマルチプレクサである。

[0130] ＰＧＡ ＡＭＰ２２０は、ユーザにより必要なゲインを調整できる増幅器である。

[0131] Ｃｈａｒｇｅ Ｓｈａｒｅ ＳＡＲ ＡＤＣ１００（図９のＡＤＣ１００）は、本技術に係る第１の実施形態で説明した逐次比較型ＡＤコンバータである。

[0132] 信号処理ブロック２３０は、ＤＳＰ（Ｄｉｇｉｔａｌ Ｓｉｇｎａｌ Ｐｒｏｃｅｓｓｏｒ）やＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）などで構成され、データ（デジタル信号）を処理する信号処理部である。

[0133] ＲＦ（Ｒａｄｉｏ Ｆｒｅｑｕｅｎｃｙ）２４０は、高周波で無線通信を行う無線回路である。ＲＦ２４０は、アンテナ２５０を介して、信号処理ブロック２３０で処理された信号（デジタル信号）を、図示しない通信端末に送信する。

[0134] ＬＣＤ Ｄｒｉｖｅｒ２６０は、例えば、液晶ディスプレイで構成されるディスプレイ２７０を駆動するモジュールである。ＬＣＤ Ｄｒｉｖｅｒ２６０は、信号処理ブロック２３０で処理された信号をディスプレイ２６０に表示させる。

[0135] Ｐｏｗｅｒ Ｍａｎａｇｅｍｅｎｔ２８０は、電源２９０から供給される電力を信号処理ブロック２３０に供給する。

[0136] ＩｏＴセンサ２００は、このような構成を備えることにより、多数のセンサ素子（センサ素子Ｓ１、センサ素子Ｓ２・・・センサ素子ＳＮ）で取得し

たデータ（アナログ信号）をデジタル信号に変換した後に、所定の信号処理を実行し、図示しない通信端末に送信することができるようになっている。

[0137] なお、本技術に係る第４の実施形態は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0138] ＜６．第５の実施形態（生体センサの例）＞

本技術に係る第５の実施形態の生体センサは、逐次比較型ＡＤコンバータが搭載されて、逐次比較型ＡＤコンバータが、第１極性の第１コンデンサと、第１極性の第２コンデンサと、第１極性の第３コンデンサと、第２極性の第１コンデンサと、第２極性の第２コンデンサと、第２極性の第３コンデンサと、積分器アンプと、コンパレータと、フィルタ回路と、を備える、生体センサである。また、本技術に係る第５の実施形態の生体センサは、本技術に係る第１乃至第３の実施形態のいずれか１つの逐次比較型ＡＤコンバータが搭載された生体センサであってもよい。

[0139] 例えば、上述で説明されたＣｈａｒｇｅ　Ｓｈａｒｅ　ＳＡＲ　ＡＤＣ１００を、生体センサに適用することができる。図１０に、その一例として、生体センサ３００の概略構成を示す。図１０は、本技術を適用した生体センサ３００の構成例を示すブロック図である。なお、図９に示されたＩｏＴセンサと同一の構成については同一の符号を付し、説明を適宜、省略する。

[0140] 図１０に示された第５の実施形態の生体センサ００が図９に示された第４の実施形態のＩｏＴセンサ２００と異なる点は、ＰＧＡ　ＡＭＰ２２０の代わりにＡｎａｌｏｇ　Ｆｒｏｎｔ－Ｅｎｄ３１０を備えており、信号処理ブロック２３０で信号処理したデータを、Ｓｅｒｉａｌ　Ｉ／Ｆ３３０から、図示しない情報処理端末に出力するようになっている点である。

[0141] Ａｎａｌｏｇ　Ｆｒｏｎｔ－Ｅｎｄ３１０は、アンプやフィルタを備えて構成されており、センサ素子（センサ素子Ｓ１、センサ素子Ｓ２・・・センサ素子ＳＮ）で検出したデータ（アナログ信号）を調整する機能を有している。

[0142] 生体センサ３００では、例えば、センサ素子Ｓ１に体温を検知させ、センサ素子Ｓ２に心拍数を検知させる。そして、生体センサ３００は、検知された体温や心拍数を、Ａｎａｌｏｇ　Ｆｒｏｎｔ－Ｅｎｄ３１０で調整し、信号処理ブロック２３０において信号処理を行う。そして、生体センサ３００は、信号処理された体温や心拍数を、Ｓｅｒｉａｌ　Ｉ／Ｆ３３０を介して、図示しない情報処理端末に出力する。

[0143] なお、本技術に係る第５の実施形態は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0144] また、本技術に係る第１乃至第５の実施形態は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0145] また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0146] また、本技術は、以下のような構成を取ることができる。

（１）第１極性の第１コンデンサと、

第１極性の第２コンデンサと、

第１極性の第３コンデンサと、

第２極性の第１コンデンサと、

第２極性の第２コンデンサと、

第２極性の第３コンデンサと、

積分器アンプと、

コンパレータと、

フィルタ回路と、を備え、

前記第１極性の第１コンデンサと、前記第１極性の第２コンデンサと、前記第１極性の第３コンデンサのそれぞれが、略同一の容量を有し、

前記第２極性の第１コンデンサと、前記第２極性の第２コンデンサと、前記第２極性の第３コンデンサのそれぞれが、略同一の容量を有し、

前記第１極性の第１コンデンサ及び前記第２極性の第１コンデンサのそれぞれに、所定の電荷が蓄積され、

前記第１極性の第２コンデンサが、入力されるアナログ電圧の第１電荷を蓄積するとともに、当該第１電荷を前記第１極性の第３コンデンサに転送し、

前記積分器アンプが、前記第１極性の第３コンデンサに転送された前記第１電荷を積分して、第１積分値を生成し、

前記第２極性の第２コンデンサが、入力されるアナログ電圧の第２電荷を蓄積するとともに、当該第２電荷を前記第２極性の第３コンデンサに転送し、

前記積分器アンプが、前記第２極性の第３コンデンサに転送された前記第２電荷を積分して、第２積分値を生成し、

前記コンパレータが、前記第１積分値と前記第２積分値とを比較し、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとがリセットされ、

前記第１積分値が前記第２積分値よりも大きいときは、

前記第１極性の第３コンデンサに蓄積された電荷と前記第１極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第１極性の第２コンデンサに再配分するとともに、

前記第２極性の第３コンデンサに蓄積された電荷と前記第２極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第２極性の第２コンデンサに再配分し、

前記第１積分値が前記第２積分値よりも略同等以下であるときは、

前記第１極性の第３コンデンサに蓄積された電荷と前記第２極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第１極性の第２のコンデンサに再配分するとともに、

前記第２極性の第３コンデンサに蓄積された電荷と前記第１極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第２極性の第２コンデ

ンサに再配分し、

所定の分解能のビット数が得られるまで、前記コンパレータが前記第１積分値と前記第２積分値とを前記比較することと、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとが前記リセットされることと、前記リセットされた、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとに前記再配分することと、を繰り返し、

前記所定の分解能のビット数が得られた後、前記フィルタ回路に、前記第１極性の第２コンデンサに前記再配分して前記第１極性の第３コンデンサに蓄積された電荷と、前記第２極性の第２コンデンサに前記再配分して前記第２極性の第３コンデンサに蓄積された電荷とを、残差電圧として入力する、逐次比較型ＡＤコンバータ。

（２）前記第１極性が、正極性であって、

前記第２極性が、負極性である、前記（１）に記載の逐次比較型ＡＤコンバータ。

（３）前記所定の分解能の最下位ビットについて、前記コンパレータが、前記第１積分値と前記第２積分値とを比較し、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとが前記リセットされた後、当該第１極性の第２コンデンサと第２極性の第２コンデンサとについて前記再配分が完了するまでの間に、前記フィルタ回路が、前記残差電圧のサンプリングを開始する、前記（１）又は（２）に記載の逐次比較型ＡＤコンバータ。

（４）前記フィルタ回路が、前記積分器アンプによって駆動される、前記（１）乃至（３）のいずれか１つに記載の逐次比較型ＡＤコンバータ。

（５）前記フィルタ回路が、オペアンプを含んで構成されるアクティブ型である、前記（１）乃至（４）のいずれか１つに記載の逐次比較型ＡＤコンバータ。

（６）前記フィルタ回路が、コンデンサを含み、オペアンプを含まないで構成されるパッシブ型である、前記（１）乃至（４）のいずれか１つに記載の逐次比較型ＡＤコンバータ。

（７）前記（１）乃至（６）のいずれか１つに記載の逐次比較型ＡＤコンバータを備える、ＩｏＴセンサ。

（８）前記（１）乃至（６）のいずれか１つに記載の逐次比較型ＡＤコンバータを備える、生体センサ。

符号の説明

[0147] Ｃ１ａ　第１極性の第１コンデンサ

Ｃ２ａ　第１極性の第２コンデンサ

Ｃ３ａ　第１極性の第３コンデンサ

Ｃ１ｂ　第２極性の第１コンデンサ

Ｃ２ｂ　第２極性の第２コンデンサ

Ｃ３ｂ　第２極性の第３コンデンサ

ＩＰ、ＩＰ１　積分器アンプ

ＣＭＰ、ＣＭＰ１　コンパレータ

ＦＬＴ、ＦＬＴ１　フィルタ回路

ＩＴＧ、ＩＴＧ１　積分器

請求の範囲

[請求項1] 第１極性の第１コンデンサと、

第１極性の第２コンデンサと、

第１極性の第３コンデンサと、

第２極性の第１コンデンサと、

第２極性の第２コンデンサと、

第２極性の第３コンデンサと、

積分器アンプと、

コンパレータと、

フィルタ回路と、を備え、

前記第１極性の第１コンデンサと、前記第１極性の第２コンデンサと、前記第１極性の第３コンデンサのそれぞれが、略同一の容量を有し、

前記第２極性の第１コンデンサと、前記第２極性の第２コンデンサと、前記第２極性の第３コンデンサのそれぞれが、略同一の容量を有し、

前記第１極性の第１コンデンサ及び前記第２極性の第１コンデンサのそれぞれに、所定の電荷が蓄積され、

前記第１極性の第２コンデンサが、入力されるアナログ電圧の第１電荷を蓄積するとともに、当該第１電荷を前記第１極性の第３コンデンサに転送し、

前記積分器アンプが、前記第１極性の第３コンデンサに転送された前記第１電荷を積分して、第１積分値を生成し、

前記第２極性の第２コンデンサが、入力されるアナログ電圧の第２電荷を蓄積するとともに、当該第２電荷を前記第２極性の第３コンデンサに転送し、

前記積分器アンプが、前記第２極性の第３コンデンサに転送された前記第２電荷を積分して、第２積分値を生成し、

前記コンパレータが、前記第１積分値と前記第２積分値とを比較し、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとがリセットされ、

前記第１積分値が前記第２積分値よりも大きいときは、

前記第１極性の第３コンデンサに蓄積された電荷と前記第１極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第１極性の第２コンデンサに再配分するとともに、

前記第２極性の第３コンデンサに蓄積された電荷と前記第２極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第２極性の第２コンデンサに再配分し、

前記第１積分値が前記第２積分値よりも略同等以下であるときは、

前記第１極性の第３コンデンサに蓄積された電荷と前記第２極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第１極性の第２のコンデンサに再配分するとともに、

前記第２極性の第３コンデンサに蓄積された電荷と前記第１極性の第１コンデンサに蓄積された電荷とを、リセットされた前記第２極性の第２コンデンサに再配分し、

所定の分解能のビット数が得られるまで、前記コンパレータが前記第１積分値と前記第２積分値とを前記比較することと、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとが前記リセットされることと、前記リセットされた、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとに前記再配分することと、を繰り返し、

前記所定の分解能のビット数が得られた後、前記フィルタ回路に、前記第１極性の第２コンデンサに前記再配分して前記第１極性の第３コンデンサに蓄積された電荷と、前記第２極性の第２コンデンサに前記再配分して前記第２極性の第３コンデンサに蓄積された電荷とを、残差電圧として入力する、逐次比較型ＡＤコンバータ。

[請求項2] 前記第１極性が、正極性であって、

前記第２極性が、負極性である、請求項１に記載の逐次比較型ＡＤコンバータ。

[請求項3] 前記所定の分解能の最下位ビットについて、前記コンパレータが、前記第１積分値と前記第２積分値とを比較し、前記第１極性の第２コンデンサと前記第２極性の第２コンデンサとが前記リセットされた後、当該第１極性の第２コンデンサと当該第２極性の第２コンデンサとについて前記再配分が完了するまでの間に、前記フィルタ回路が、前記残差電圧のサンプリングを開始する、請求項１に記載の逐次比較型ＡＤコンバータ。

[請求項4] 前記フィルタ回路が、前記積分器アンプによって駆動される、請求項１に記載の逐次比較型ＡＤコンバータ。

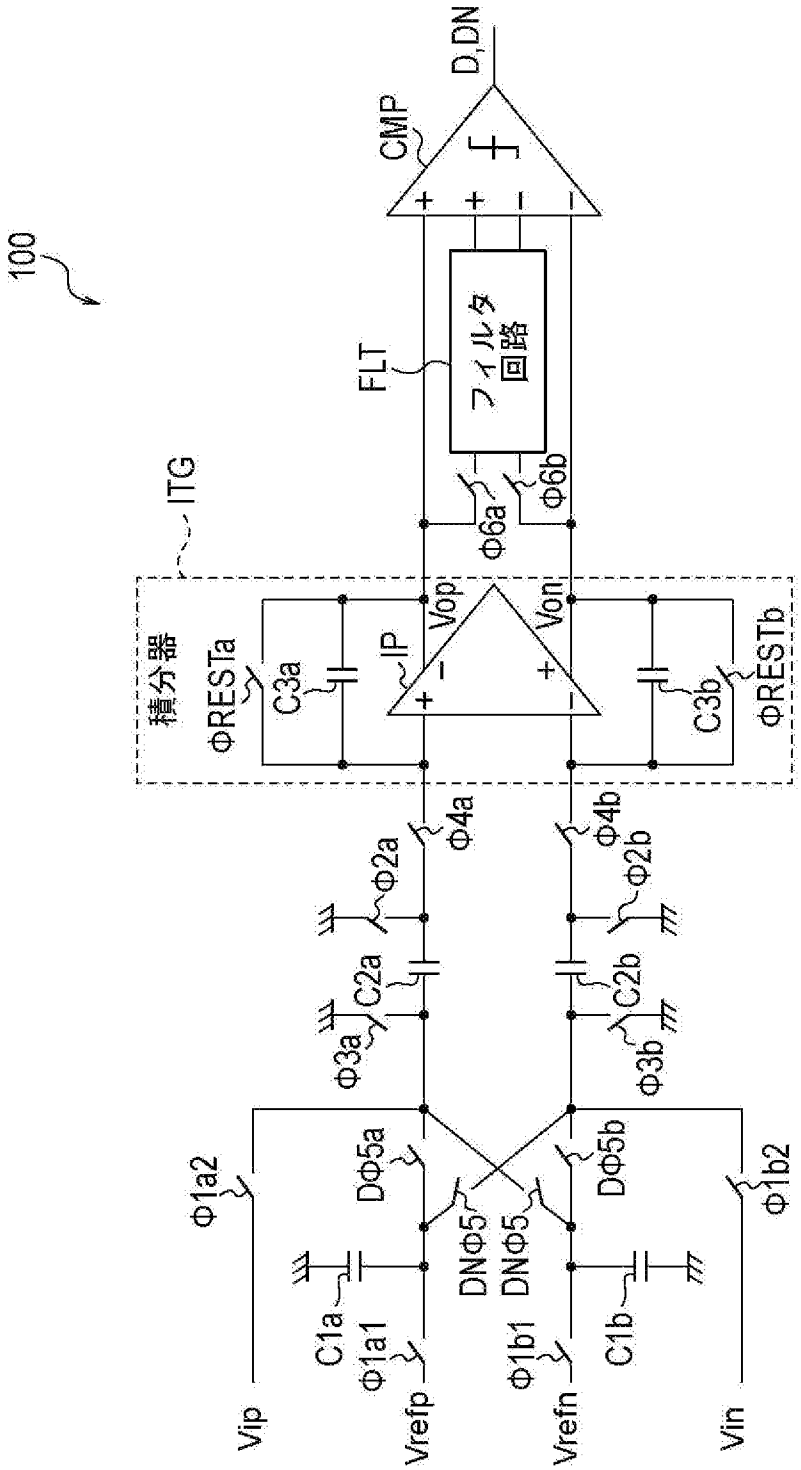
[請求項5] 前記フィルタ回路が、オペアンプを含んで構成されるアクティブ型である請求項１に記載の逐次比較型ＡＤコンバータ。

[請求項6] 前記フィルタ回路が、コンデンサを含み、オペアンプを含まないで構成されるパッシブ型である請求項１に記載の逐次比較型ＡＤコンバータ。

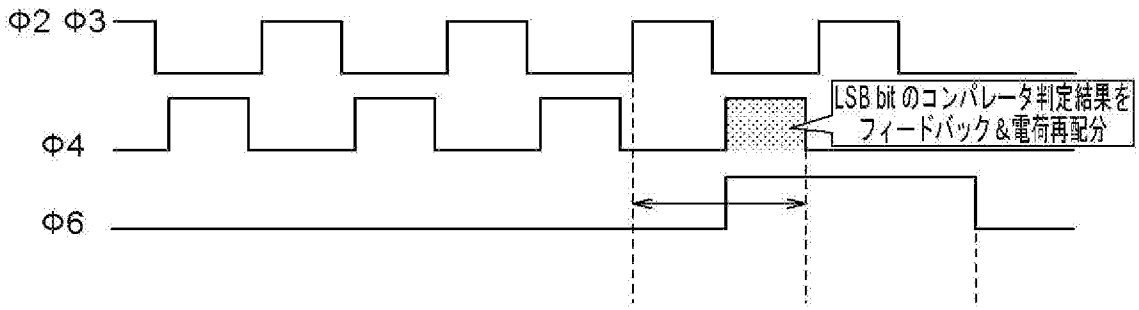
[請求項7] 請求項１に記載の逐次比較型ＡＤコンバータを備える、ＩｏＴセンサ。

[請求項8] 請求項１に記載の逐次比較型ＡＤコンバータを備える、生体センサ。

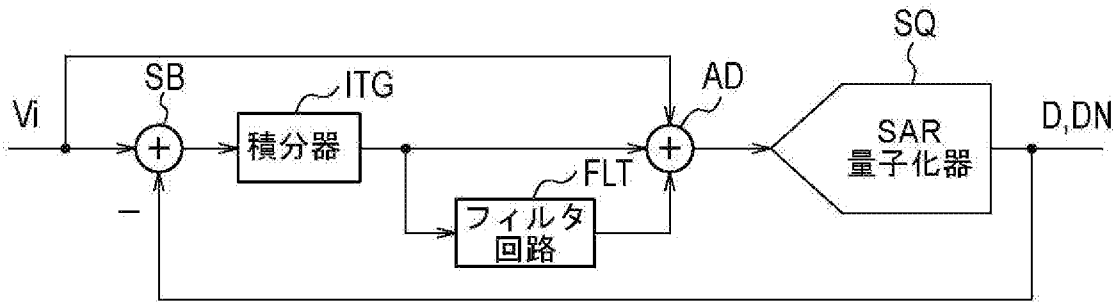
[図1]


100
D,DN
CMP
FLT
フィルタ回路
ITG
積分器
ΦRESTa
C3a
IP
Vop
Von
C3b
ΦRESTb
Φ6a
Φ6b
Φ4a
Φ4b
Φ2a
Φ2b
C2a
C2b
Φ3a
Φ3b
Φ1a2
DΦ5a
DΦ5b
Φ1b2
DNΦ5
DNΦ5
C1a
C1b
Φ1a1
Φ1b1
Vip
Vrefp
Vrefn
Vin

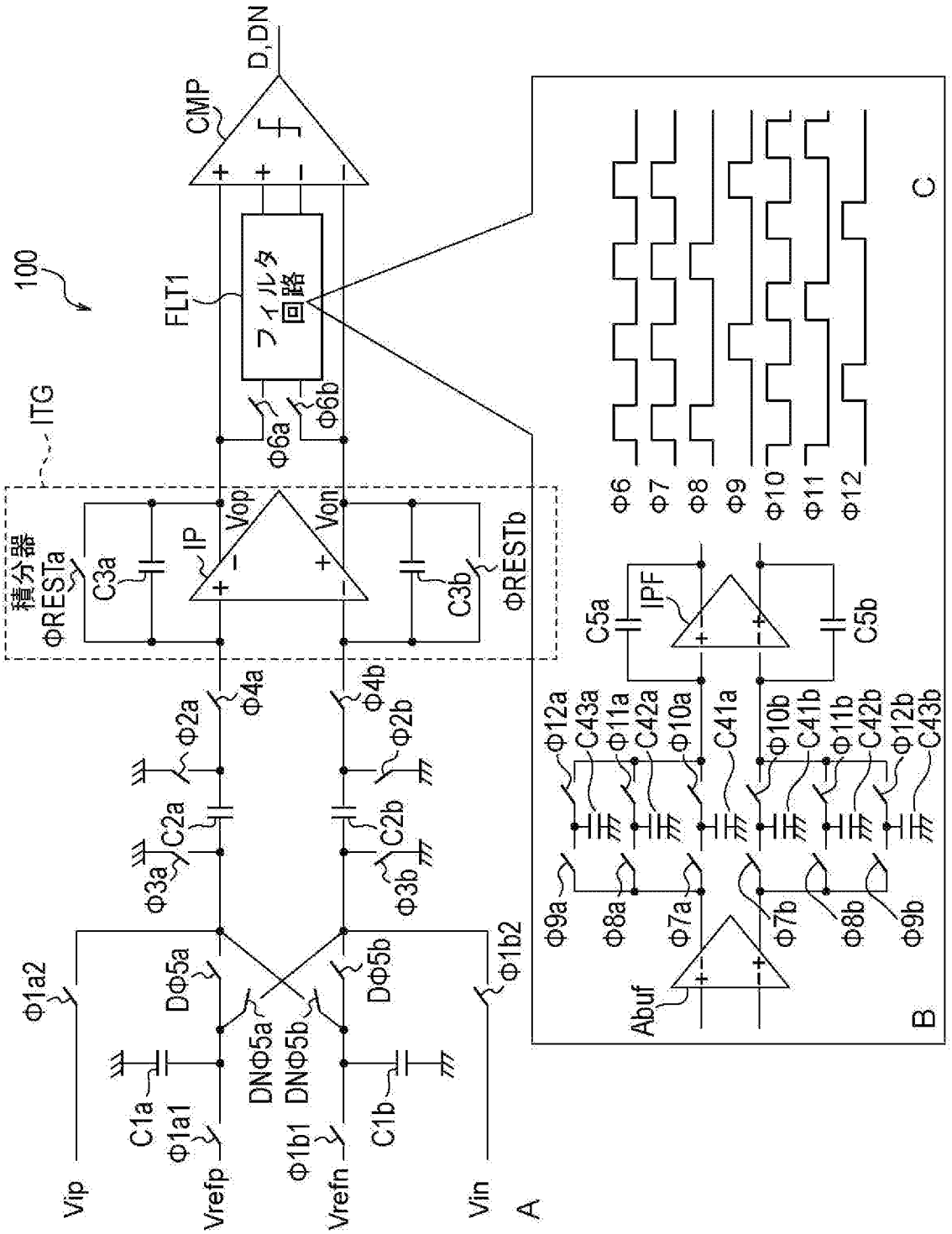
[図2]


Φ2 Φ3
Φ4
Φ6
LSB bit のコンパレータ判定結果を
フィードバック＆電荷再配分

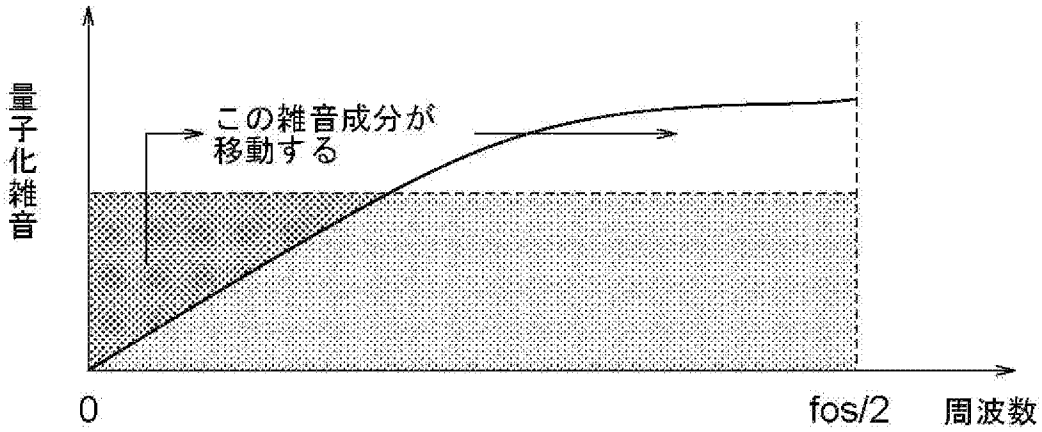
[図3]


Vi
SB
ITG
積分器
AD
SQ
SAR
量子化器
D,DN
FLT
フィルタ
回路
−

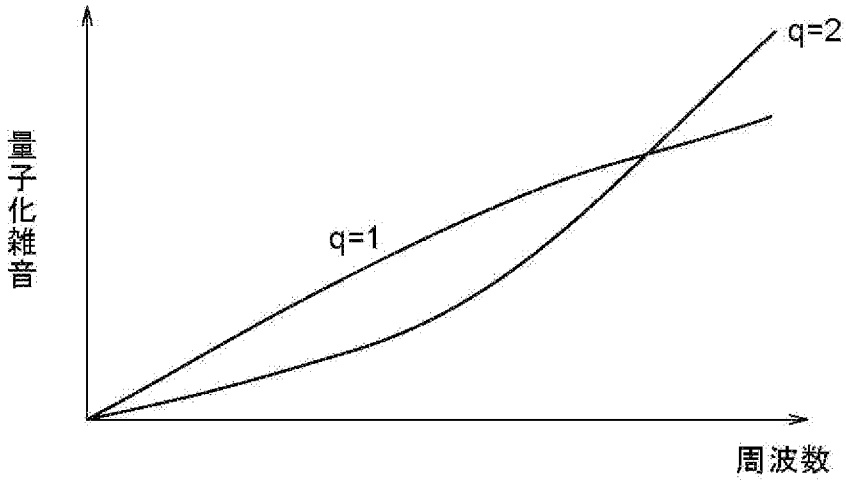
[図4]


100
ITG
積分器
ΦRESTa
C3a
IP
Vop
Von
C3b
ΦRESTb
FLT1
フィルタ回路
CMP
D,DN
Φ6a
Φ6b
Φ4a
Φ4b
Φ2a
Φ2b
C2a
C2b
Φ3a
Φ3b
Φ1a2
Φ1b2
DΦ5a
DΦ5b
DNΦ5a
DNΦ5b
C1a
C1b
Φ1a1
Φ1b1
Vip
Vrefp
Vrefn
Vin
A
B
C
C5a
IPF
C5b
Abuf
Φ6
Φ7
Φ8
Φ9
Φ10
Φ11
Φ12
Φ12a
C43a
Φ11a
C42a
Φ10a
C41a
Φ10b
C41b
Φ11b
C42b
Φ12b
C43b
Φ9a
Φ8a
Φ7a
Φ7b
Φ8b
Φ9b

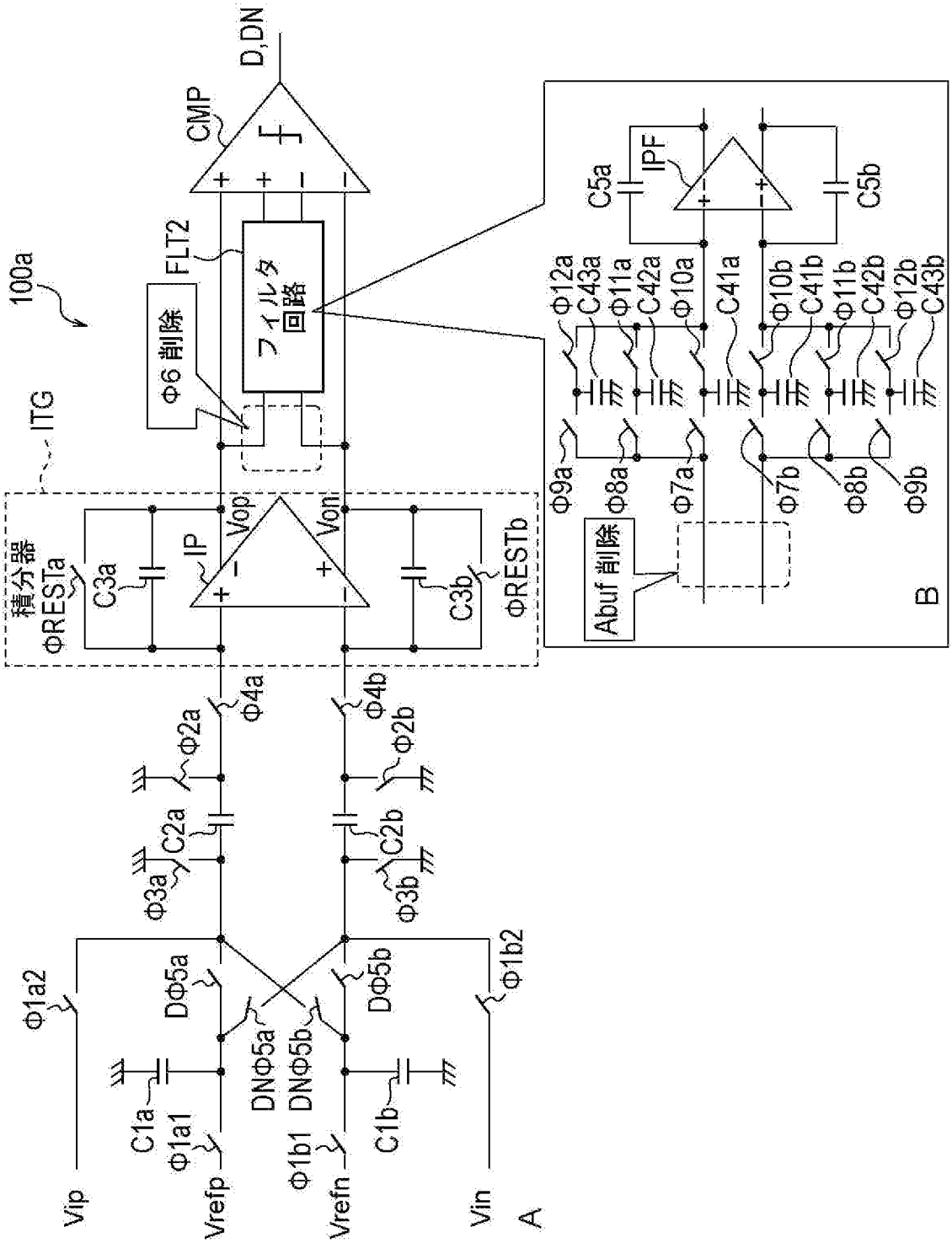
[図5]



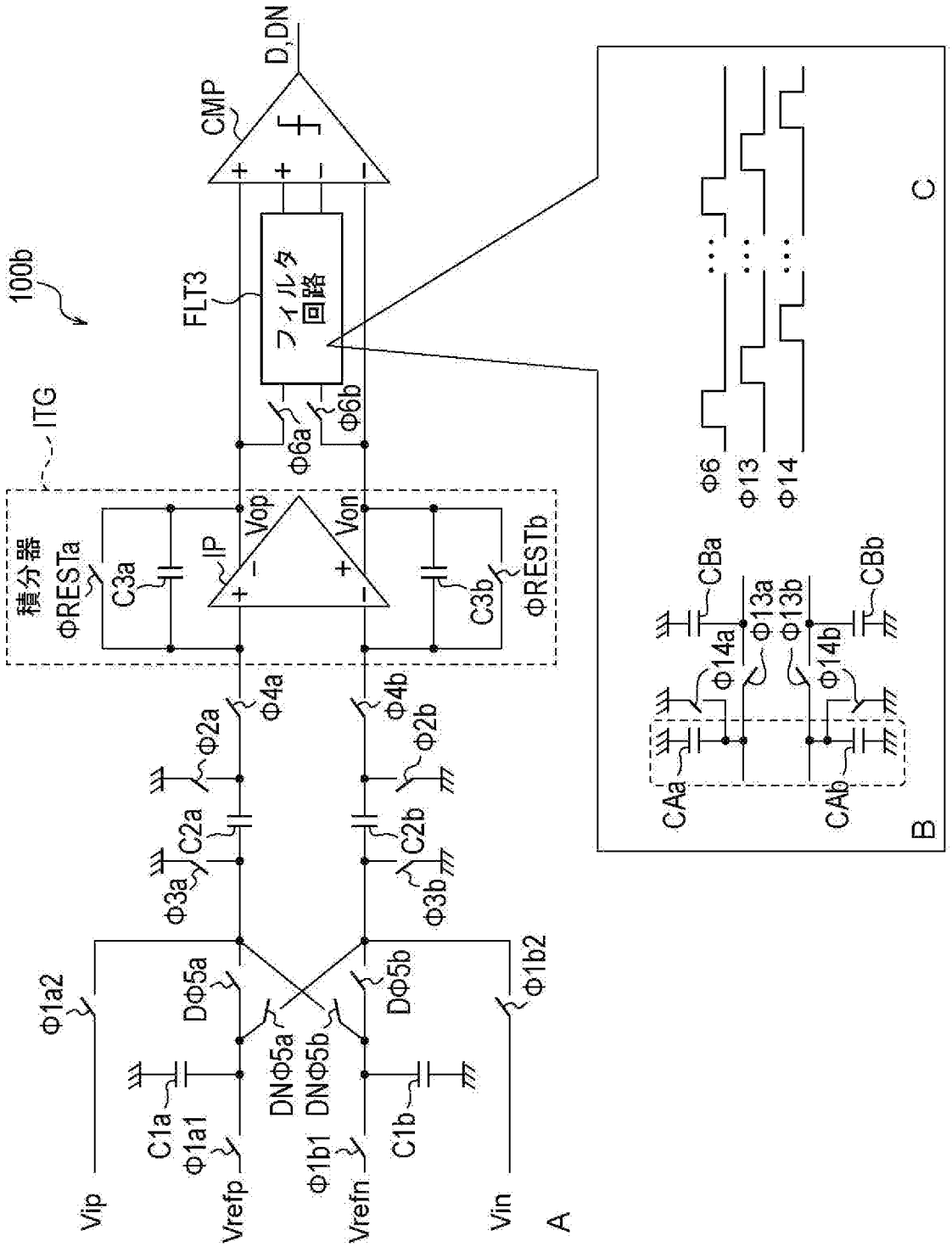
[図6]



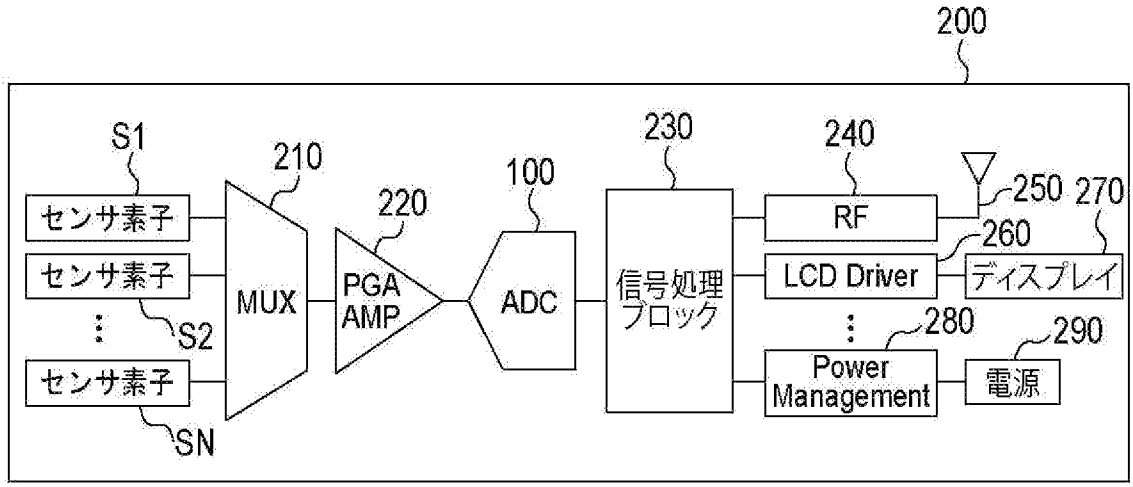
[図7]


100a
ITG
積分器
ΦRESTa
C3a
IP
Vop
Von
C3b
ΦRESTb
Φ6 削除
FLT2
フィルタ回路
CMP
D,DN
Φ4a
Φ4b
Φ2a
Φ2b
C2a
C2b
Φ3a
Φ3b
Φ1a2
Dφ5a
Dφ5b
Φ1b2
DNφ5a
DNφ5b
C1a
C1b
Φ1a1
Φ1b1
Vip
Vrefp
Vrefn
Vin
A
C5a
IPF
C5b
Φ12a
C43a
Φ11a
C42a
Φ10a
C41a
Φ10b
C41b
Φ11b
C42b
Φ12b
C43b
Φ9a
Φ8a
Φ7a
Φ7b
Φ8b
Φ9b
Abuf 削除
B

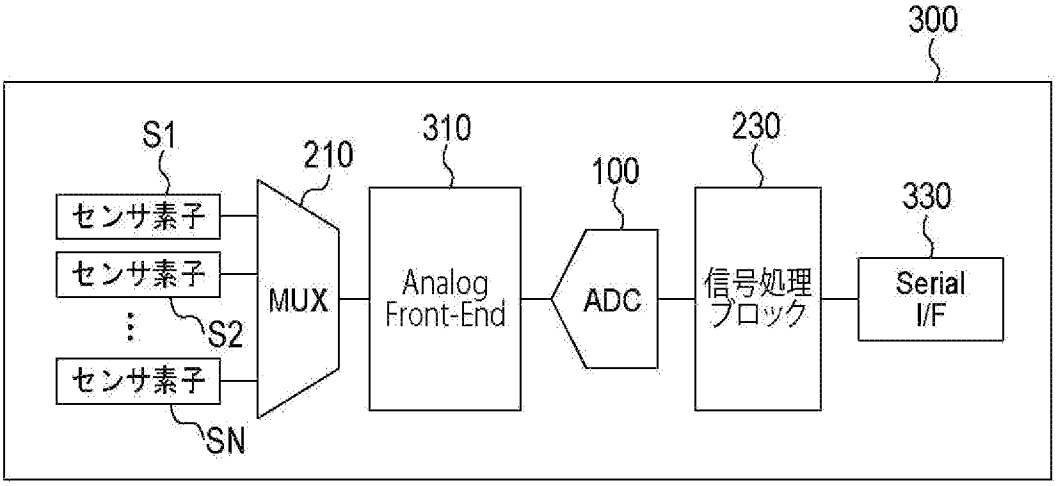
[図8]


100b
ITG
積分器
ΦRESTa
C3a
IP
Vop
Von
C3b
ΦRESTb
CMP
D,DN
FLT3
フィルタ回路
Φ6a
Φ6b
Φ4a
Φ4b
Φ2a
Φ2b
C2a
C2b
Φ3a
Φ3b
Φ1a2
DΦ5a
DΦ5b
Φ1b2
DNΦ5a
DNΦ5b
C1a
C1b
Φ1a1
Φ1b1
Vrefp
Vrefn
Vip
Vin
A
Φ6
Φ13
Φ14
CBa
CBb
Φ14a
Φ13a
Φ13b
Φ14b
CAa
CAb
B
C

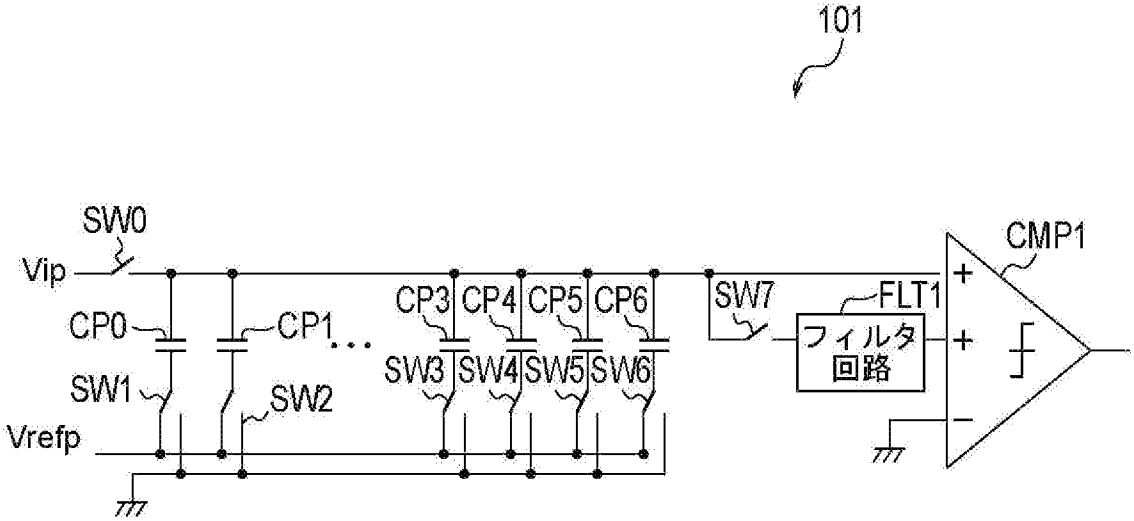
[図9]


200
S1
210
230
240
センサ素子
センサ素子
S2
センサ素子
SN
MUX
220
PGA
AMP
100
ADC
信号処理
ブロック
RF
250
270
LCD Driver
260
ディスプレイ
280
290
Power
Management
電源

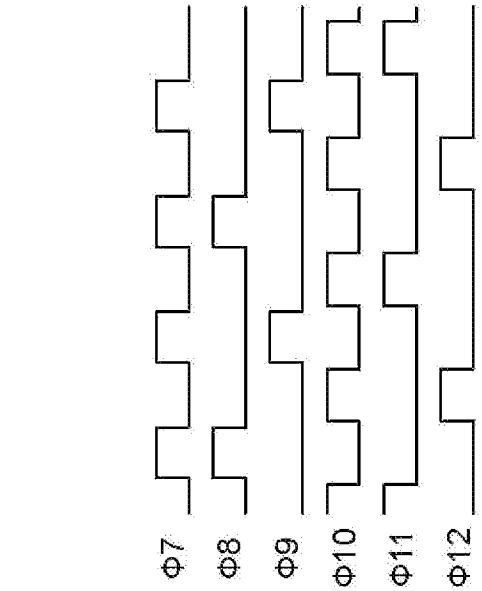
[図10]


300
S1
210
310
100
230
330
センサ素子
センサ素子
S2
センサ素子
SN
MUX
Analog
Front-End
ADC
信号処理
ブロック
Serial
I/F

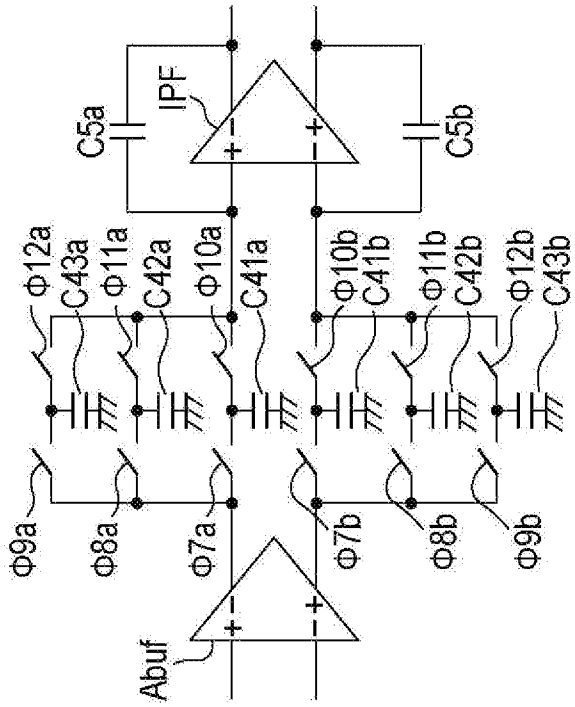
[図11]


101
SW0
Vip
CP0
CP1
CP3
CP4
CP5
CP6
SW7
FLT1
フィルタ
回路
CMP1
SW1
SW2
SW3
SW4
SW5
SW6
Vrefp

[図12]

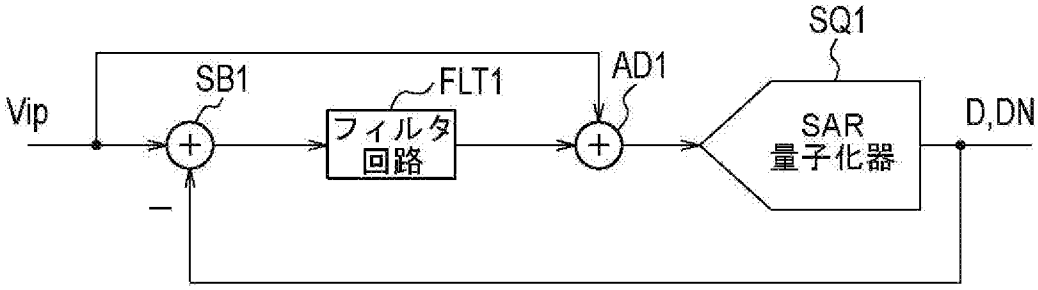

Φ7
Φ8
Φ9
Φ10
Φ11
Φ12

B

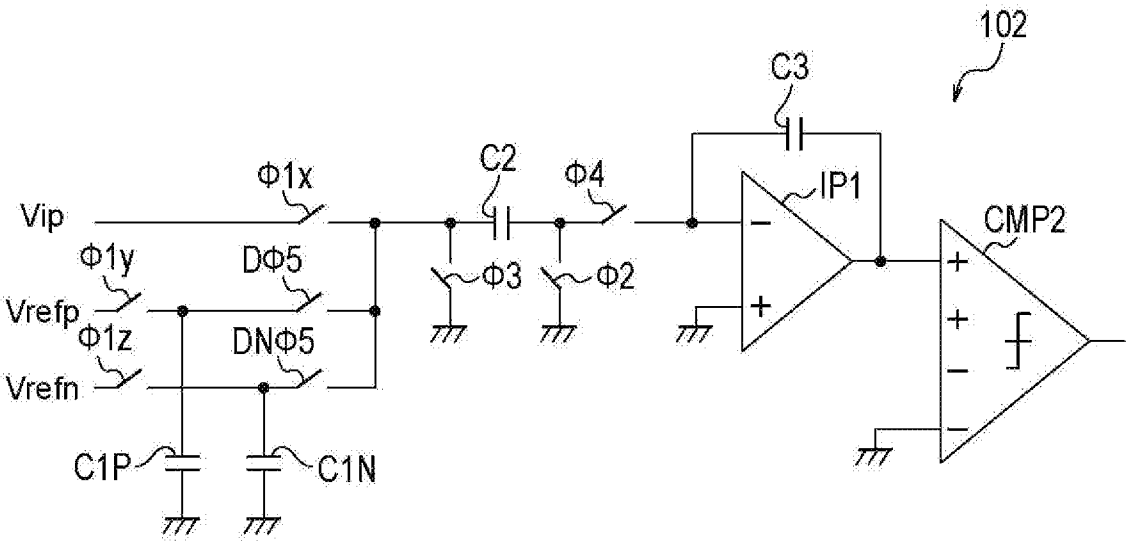

C5a
IPF
C5b
Φ12a
C43a
Φ11a
C42a
Φ10a
C41a
Φ10b
C41b
Φ11b
C42b
Φ12b
C43b
Φ9a
Φ8a
Φ7a
Φ7b
Φ8b
Φ9b
Abuf

A

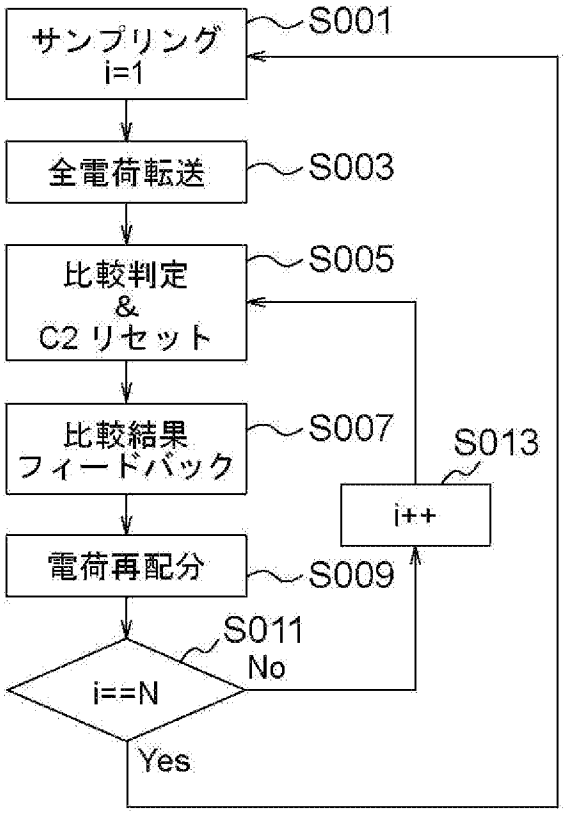
[図13]


Vip
SB1
FLT1
フィルタ
回路
AD1
SQ1
SAR
量子化器
D,DN
−

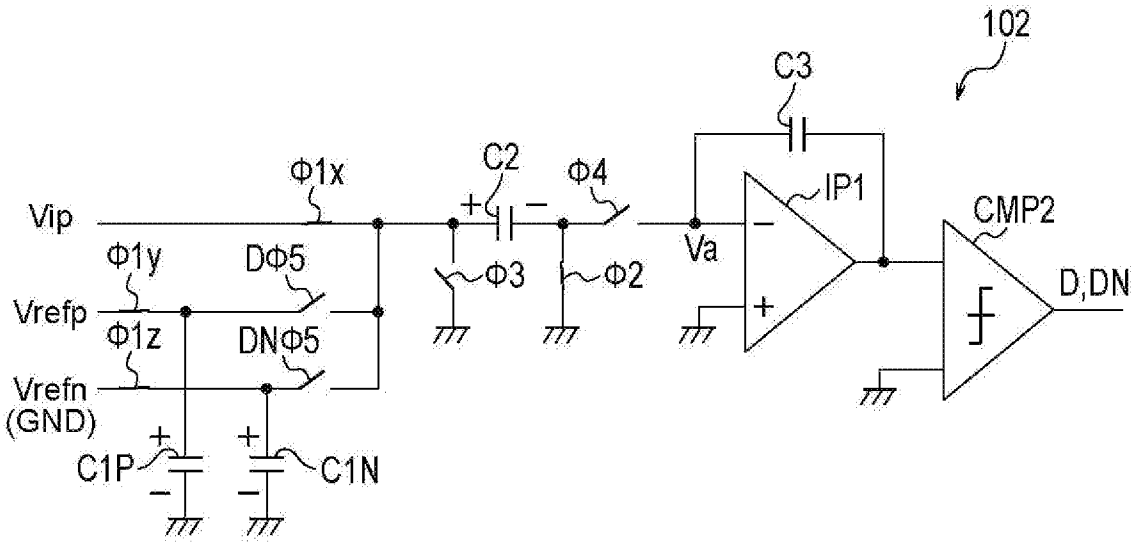
[図14]


102
C3
C2
Φ4
Φ1x
Vip
IP1
CMP2
Φ1y
DΦ5
Φ3
Φ2
Vrefp
Φ1z
DNΦ5
Vrefn
C1P
C1N

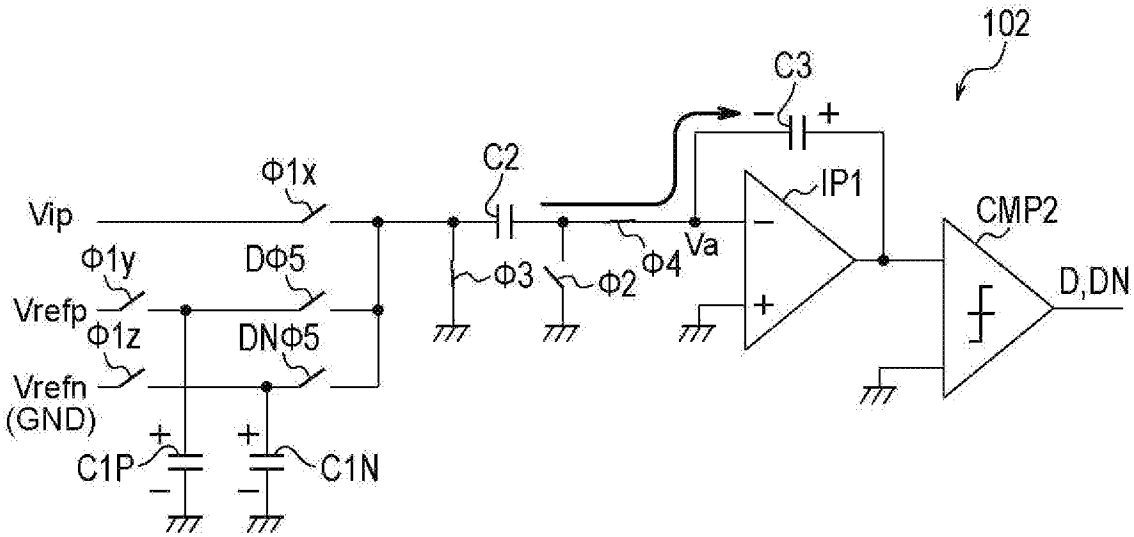
[図15]


サンプリング
i=1
S001
全電荷転送
S003
比較判定
&
C2 リセット
S005
比較結果
フィードバック
S007
S013
i++
電荷再配分
S009
S011
No
i==N
Yes

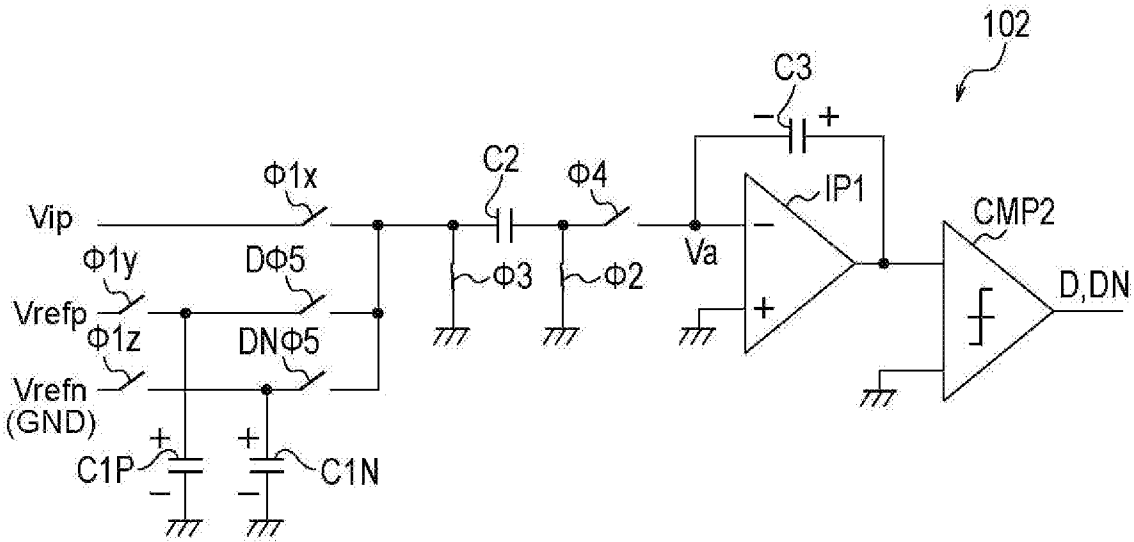
[図16]


102
C3
Φ1x
C2
Φ4
Vip
IP1
CMP2
Φ1y
DΦ5
Φ3
Φ2
Va
Vrefp
D,DN
Φ1z
DNΦ5
Vrefn
(GND)
C1P
C1N

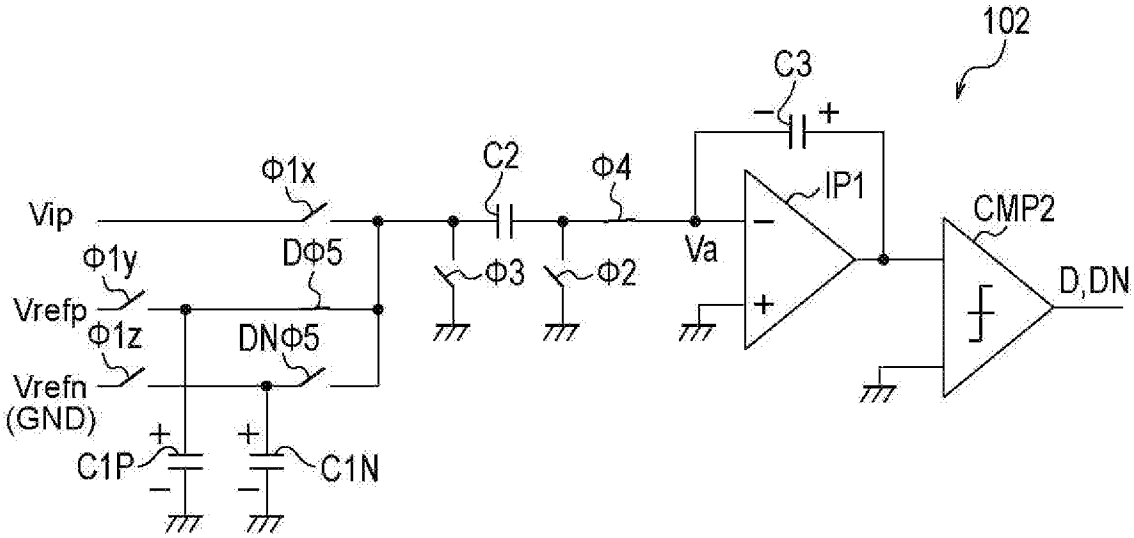
[図17]


102
C3
C2
Φ1x
IP1
CMP2
Vip
Φ1y
DΦ5
Vrefp
Φ1z
DNΦ5
Vrefn
(GND)
Φ3
Φ2
Φ4
Va
D,DN
C1P
C1N

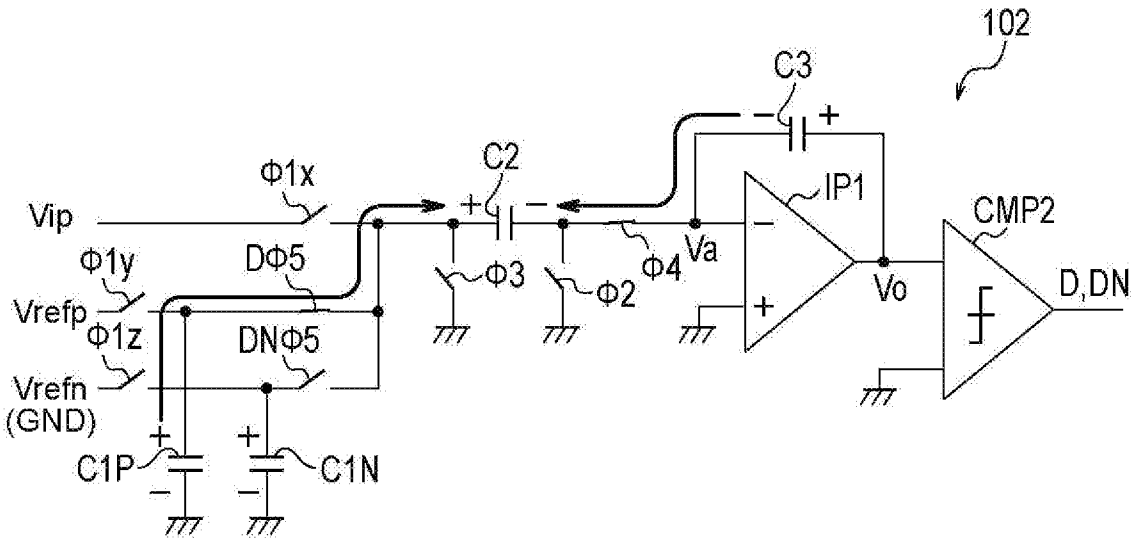
[図18]


102
C3
C2
Φ1x
Φ4
IP1
CMP2
Vip
Φ1y
DΦ5
Vrefp
Φ1z
DNΦ5
Vrefn
(GND)
Φ3
Φ2
Va
D,DN
C1P
C1N

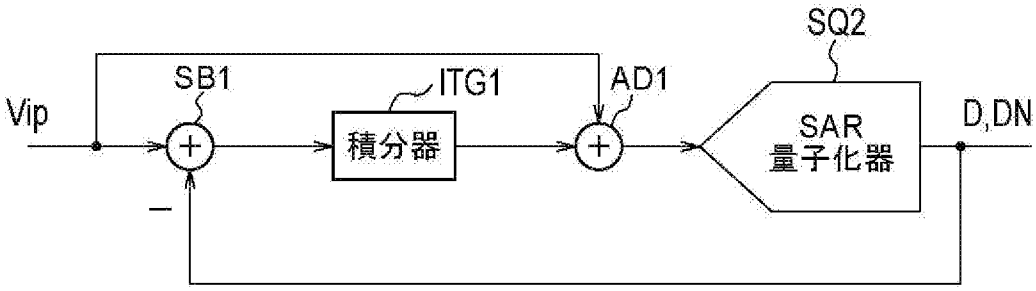
[図19]


102
C3
Φ1x
C2
Φ4
IP1
CMP2
Vip
Φ1y
DΦ5
Φ3
Φ2
Va
D,DN
Vrefp
Φ1z
DNΦ5
Vrefn
(GND)
C1P
C1N

[図20]


102
C3
Φ1x
C2
IP1
CMP2
Vip
Φ1y
DΦ5
Φ3
Φ2
Φ4
Va
Vo
D,DN
Vrefp
Φ1z
DNΦ5
Vrefn
(GND)
C1P
C1N

[図21]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/000063

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H03M1/40(2006.01)i, A61B5/00(2006.01)i, H03M1/08(2006.01)i, H03M1/14(2006.01)i, H03M1/16(2006.01)i
FI: H03M1/40, H03M1/14 B, H03M1/16 B, H03M1/08 A, A61B5/00 B
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H03M1/40, A61B5/00, H03M1/08, H03M1/14, H03M1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/088041 A1 (NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) 16 July 2009, entire text, all drawings	1-8
A	JP 2018-125652 A (ASAHI KASEI EMD CORP.) 09 August 2018, entire text, all drawings	1-8
A	JP 2012-74919 A (HANDOTAI RIKOUGAKU KENKYU CENTER KK) 12 April 2012, entire text, all drawings	1-8
A	JP 2016-25552 A (ASAHI KASEI EMD CORP.) 08 February 2016, entire text, all drawings	1-8
A	JP 2010-517327 A (IMEC) 20 May 2010, entire text, all drawings	1-8

☒ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26.02.2020	10.03.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/000063

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2008/0258951 A1 (TEXAS INSTRUMENTS INCORPORATED) 23 October 2008, entire text, all drawings	1-8
A	US 2015/0109159 A1 (GLOBAL UNICHIP CORPORATION) 23 April 2015, entire text, all drawings	1-8
A	US 2008/0129570 A1 (SAMSUNG ELECTRONICS CO., LTD.) 05 June 2008, entire text, all drawings	1-8

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/000063

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2009/088041 A1	16.07.2009	US 2011/0006935 A1 entire text, all drawings KR 10-2010-0096195 A entire text, all drawings	
JP 2018-125652 A	09.08.2018	(Family: none)	
JP 2012-74919 A	12.04.2012	(Family: none)	
JP 2016-25552 A	08.02.2016	(Family: none)	
JP 2010-517327 A	20.05.2010	US 2010/0052957 A1 entire text, all drawings EP 1947769 A1 entire text, all drawings	
US 2008/0258951 A1	23.10.2008	(Family: none)	
US 2015/0109159 A1	23.04.2015	TW 201517523 A entire text, all drawings	
US 2008/0129570 A1	05.06.2008	KR 10-2008-0040484 A entire text, all drawings	

国際調査報告

国際出願番号
PCT/JP2020/000063

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03M 1/40(2006.01)i; A61B 5/00(2006.01)i; H03M 1/08(2006.01)i; H03M 1/14(2006.01)i; H03M 1/16(2006.01)i
FI: H03M1/40; H03M1/14 B; H03M1/16 B; H03M1/08 A; A61B5/00 B

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H03M1/40; A61B5/00; H03M1/08; H03M1/14; H03M1/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2009/088041 A1 (国立大学法人静岡大学) 16.07.2009 (2009-07-16) 全文,全図	1-8
A	JP 2018-125652 A (旭化成エレクトロニクス株式会社) 09.08.2018 (2018-08-09) 全文,全図	1-8
A	JP 2012-74919 A (株式会社半導体理工学研究センター) 12.04.2012 (2012-04-12) 全文,全図	1-8
A	JP 2016-25552 A (旭化成エレクトロニクス株式会社) 08.02.2016 (2016-02-08) 全文,全図	1-8
A	JP 2010-517327 A (アイメック) 20.05.2010 (2010-05-20) 全文,全図	1-8
A	US 2008/0258951 A1 (TEXAS INSTRUMENTS INCORPORATED) 23.10.2008 (2008-10-23) 全文,全図	1-8

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
26.02.2020	10.03.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
渡井　高広 5W 1208
電話番号 03-3581-1101 内線 3576

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 2015/0109159 A1 (GLOBAL UNICHIP CORPORATION) 23.04.2015 (2015-04-23) 全文,全図	1-8
A	US 2008/0129570 A1 (SAMSUNG ELECTRONICS CO., LTD.) 05.06.2008 (2008-06-05) 全文,全図	1-8

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/000063

引用文献	公表日	パテントファミリー文献	公表日
WO 2009/088041 A1	16.07.2009	US 2011/0006935 A1 全文,全図 KR 10-2010-0096195 A 全文,全図	
JP 2018-125652 A	09.08.2018	（ファミリーなし）	
JP 2012-74919 A	12.04.2012	（ファミリーなし）	
JP 2016-25552 A	08.02.2016	（ファミリーなし）	
JP 2010-517327 A	20.05.2010	US 2010/0052957 A1 全文,全図 EP 1947769 A1 全文,全図	
US 2008/0258951 A1	23.10.2008	（ファミリーなし）	
US 2015/0109159 A1	23.04.2015	TW 201517523 A 全文,全図	
US 2008/0129570 A1	05.06.2008	KR 10-2008-0040484 A 全文,全図	