

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成20年5月8日(2008.5.8)

【公開番号】特開2006-295825(P2006-295825A)

【公開日】平成18年10月26日(2006.10.26)

【年通号数】公開・登録公報2006-042

【出願番号】特願2005-117345(P2005-117345)

【国際特許分類】

H 04 L 12/28 (2006.01)

【F I】

H 04 L 12/28 200 Z

【手続補正書】

【提出日】平成20年3月21日(2008.3.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】

周辺機器のケーブル接続状況及び内部又は外部のCPUの動作状況に応じて動作モードを切り替える半導体集積回路であって、

周辺機器のケーブルの信号を送受信する下位インタフェースと、

前記下位インタフェースと前記CPUとの間の通信を行う上位インタフェースとを備え、

前記下位インタフェースは、

少なくとも1本の周辺機器のケーブルが挿されたとき、第1の信号を第1の論理レベルに変化させる一方、すべての周辺機器のケーブルが抜かれたとき、前記第1の信号を第2の論理レベルに変化させる挿抜検出回路と、

前記第1の信号の論理レベルが変化してから所定時間後に、前記第1の信号が前記第1の論理レベルのとき、第2の信号を第1の論理レベルに設定する一方、前記第1の信号が前記第2の論理レベルのとき、前記第2の信号を第2の論理レベルに設定する検出確定回路とを有するものであり、

前記第2の信号が前記第2の論理レベルのとき、前記挿抜検出回路のみが動作する第1のモードで動作し、前記第2の信号が前記第1の論理レベルであり、かつ、前記CPUが休止状態であるとき、前記下位インタフェースのみが動作する第2のモードで動作し、前記第2の信号が前記第1の論理レベルであり、かつ、前記CPUが動作状態であるとき、前記下位インタフェース及び前記上位インタフェースのいずれもが動作する第3のモードで動作する

ことを特徴とする半導体集積回路。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項2

【補正方法】変更

【補正の内容】

【請求項2】

請求項1に記載の半導体集積回路において、

前記検出確定回路は、

前記第1の信号の論理レベルが変化したとき、与えられたクロック信号のパルスカウン

トを開始し、当該パルスカウント値が所定値となったとき、当該パルスカウントを停止し、かつ、このときの前記第1の信号の論理レベルに応じて前記第2の信号の論理レベルを設定するカウンタ回路と、

前記第1の信号の論理レベルが変化したとき、前記クロック信号の生成を開始し、前記パルスカウントが停止したときであって前記第1の信号が前記第1の論理レベルのとき又は前記第2の信号が前記第2の論理レベルのとき、前記クロック信号の生成を停止するクロック生成回路とを有するものであり、

前記下位インターフェースは、前記第2の信号が前記第1の論理レベルであり、かつ、前記CPUが動作状態であるとき、前記クロック信号を前記上位インターフェースに供給するものであり、

前記上位インターフェースは、前記クロック信号の供給により動作するものであることを特徴とする半導体集積回路。

【手続補正3】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項6

【補正方法】変更

【補正の内容】

【請求項6】

ケーブルの接続状態を検出する半導体集積回路であって、

少なくとも1本のケーブルが挿されたとき、第1の信号を第1の論理レベルに変化させる一方、すべてのケーブルが抜かれたとき、前記第1の信号を第2の論理レベルに変化させる挿抜検出回路と、

前記第1の信号の論理レベルが変化したとき、与えられたクロック信号のパルスカウントを開始し、当該パルスカウント値が所定値となったとき、当該パルスカウントを停止し、かつ、このときの前記第1の信号の論理レベルに応じて第2の信号の論理レベルを設定するカウンタ回路と、

前記第1の信号の論理レベルが変化したとき、前記クロック信号の生成を開始し、前記パルスカウントが停止したときであって前記第1の信号が前記第2の論理レベルのとき又は前記第2の信号が所定の論理レベルのとき、前記クロック信号の生成を停止するクロック生成回路とを備え、

前記第2の信号をケーブル接続検出信号として出力することを特徴とする半導体集積回路。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

上記課題を解決するために本発明が講じた手段は、周辺機器のケーブル接続状況及び内部又は外部のCPUの動作状況に応じて動作モードを切り替える半導体集積回路として、周辺機器のケーブルの信号を送受信する下位インターフェースと、この下位インターフェースとCPUとの間の通信を行う上位インターフェースとを備えたものとする。ここで、下位インターフェースは、少なくとも1本の周辺機器のケーブルが挿されたとき、第1の信号を第1の論理レベルに変化させる一方、すべての周辺機器のケーブルが抜かれたとき、第1の信号を第2の論理レベルに変化させる挿抜検出回路と、第1の信号の論理レベルが変化してから所定時間後に、第1の信号が第1の論理レベルのとき、第2の信号を第1の論理レベルに設定する一方、第1の信号が第2の論理レベルのとき、第2の信号を第2の論理レベルに設定する検出確定回路とを有するものとする。そして、上記の半導体集積回路は、第2の信号が第2の論理レベルのとき、挿抜検出回路のみが動作する第1のモードで動作し、第2の信号が第1の論理レベルであり、かつ、CPUが休止状態であるとき、下位イ

ンタフェースのみが動作する第2のモードで動作し、第2の信号が第1の論理レベルであり、かつ、CPUが動作状態であるとき、下位インタフェース及び上位インタフェースのいずれもが動作する第3のモードで動作するものとする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

具体的には、検出確定回路は、第1の信号の論理レベルが変化したとき、与えられたクロック信号のパルスカウントを開始し、このパルスカウント値が所定値となったとき、このパルスカウントを停止し、かつ、このときの第1の信号の論理レベルに応じて第2の信号の論理レベルを設定するカウンタ回路と、第1の信号の論理レベルが変化したとき、上記のクロック信号の生成を開始し、パルスカウントが停止したときであって第1の信号が第1の論理レベルのとき又は第2の信号が第2の論理レベルのとき、上記のクロック信号の生成を停止するクロック生成回路とを有する。また、下位インタフェースは、第2の信号が第1の論理レベルであり、かつ、CPUが動作状態であるとき、クロック信号を前記上位インタフェースに供給する。そして、上位インタフェースは、上記のクロック信号の供給により動作する。