

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成20年5月8日(2008.5.8)

【公開番号】特開2006-295825(P2006-295825A)

【公開日】平成18年10月26日(2006.10.26)

【年通号数】公開・登録公報2006-042

【出願番号】特願2005-117345(P2005-117345)

【国際特許分類】

H 0 4 L 12/28 (2006.01)

【F I】

H 0 4 L 12/28 2 0 0 Z

【手続補正書】

【提出日】平成20年3月21日(2008.3.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1

【補正方法】変更

【補正の内容】

【請求項 1】

周辺機器のケーブル接続状況及び内部又は外部の C P U の動作状況に応じて動作モードを切り替える半導体集積回路であって、

周辺機器のケーブルの信号を送受信する下位インタフェースと、

前記下位インタフェースと前記 C P U との間の通信を行う上位インタフェースとを備え、

前記下位インタフェースは、

少なくとも 1 本の周辺機器のケーブルが挿されたとき、第 1 の信号を第 1 の論理レベルに変化させる一方、すべての周辺機器のケーブルが抜かれたとき、前記第 1 の信号を第 2 の論理レベルに変化させる挿抜検出回路と、

前記第 1 の信号の論理レベルが変化してから所定時間後に、前記第 1 の信号が前記第 1 の論理レベルのとき、第 2 の信号を第 1 の論理レベルに設定する一方、前記第 1 の信号が前記第 2 の論理レベルのとき、前記第 2 の信号を第 2 の論理レベルに設定する検出確定回路とを有するものであり、

前記第 2 の信号が前記第 2 の論理レベルのとき、前記挿抜検出回路のみが動作する第 1 のモードで動作し、前記第 2 の信号が前記第 1 の論理レベルであり、かつ、前記 C P U が休止状態であるとき、前記下位インタフェースのみが動作する第 2 のモードで動作し、前記第 2 の信号が前記第 1 の論理レベルであり、かつ、前記 C P U が動作状態であるとき、前記下位インタフェース及び前記上位インタフェースのいずれもが動作する第 3 のモードで動作する

ことを特徴とする半導体集積回路。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 2

【補正方法】変更

【補正の内容】

【請求項 2】

請求項 1 に記載の半導体集積回路において、

前記検出確定回路は、

前記第 1 の信号の論理レベルが変化したとき、与えられたクロック信号のパルスカウン

トを開始し、当該パルスカウント値が所定値となったとき、当該パルスカウントを停止し、かつ、このときの前記第 1 の信号の論理レベルに応じて前記第 2 の信号の論理レベルを設定するカウンタ回路と、

前記第 1 の信号の論理レベルが変化したとき、前記クロック信号の生成を開始し、前記パルスカウントが停止したときであって前記第 1 の信号が前記第 1 の論理レベルのとき又は前記第 2 の信号が前記第 2 の論理レベルのとき、前記クロック信号の生成を停止するクロック生成回路とを有するものであり、

前記下位インタフェースは、前記第 2 の信号が前記第 1 の論理レベルであり、かつ、前記 CPU が動作状態であるとき、前記クロック信号を前記上位インタフェースに供給するものであり、

前記上位インタフェースは、前記クロック信号の供給により動作するものであることを特徴とする半導体集積回路。

【手続補正 3】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 6

【補正方法】変更

【補正の内容】

【請求項 6】

ケーブルの接続状態を検出する半導体集積回路であって、

少なくとも 1 本のケーブルが挿されたとき、第 1 の信号を第 1 の論理レベルに変化させる一方、すべてのケーブルが抜かれたとき、前記第 1 の信号を第 2 の論理レベルに変化させる挿抜検出回路と、

前記第 1 の信号の論理レベルが変化したとき、与えられたクロック信号のパルスカウントを開始し、当該パルスカウント値が所定値となったとき、当該パルスカウントを停止し、かつ、このときの前記第 1 の信号の論理レベルに応じて第 2 の信号の論理レベルを設定するカウンタ回路と、

前記第 1 の信号の論理レベルが変化したとき、前記クロック信号の生成を開始し、前記パルスカウントが停止したときであって前記第 1 の信号が前記第 2 の論理レベルのとき又は前記第 2 の信号が所定の論理レベルのとき、前記クロック信号の生成を停止するクロック生成回路とを備え、

前記第 2 の信号をケーブル接続検出信号として出力することを特徴とする半導体集積回路。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

上記課題を解決するために本発明が講じた手段は、周辺機器のケーブル接続状況及び内部又は外部の CPU の動作状況に応じて動作モードを切り替える半導体集積回路として、周辺機器のケーブルの信号を送受信する下位インタフェースと、この下位インタフェースと CPU との間の通信を行う上位インタフェースとを備えたものとする。ここで、下位インタフェースは、少なくとも 1 本の周辺機器のケーブルが挿されたとき、第 1 の信号を第 1 の論理レベルに変化させる一方、すべての周辺機器のケーブルが抜かれたとき、第 1 の信号を第 2 の論理レベルに変化させる挿抜検出回路と、第 1 の信号の論理レベルが変化してから所定時間後に、第 1 の信号が第 1 の論理レベルのとき、第 2 の信号を第 1 の論理レベルに設定する一方、第 1 の信号が第 2 の論理レベルのとき、第 2 の信号を第 2 の論理レベルに設定する検出確定回路とを有するものとする。そして、上記の半導体集積回路は、第 2 の信号が第 2 の論理レベルのとき、挿抜検出回路のみが動作する第 1 のモードで動作し、第 2 の信号が第 1 の論理レベルであり、かつ、CPU が休止状態であるとき、下位イ

インタフェースのみが動作する第 2 のモードで動作し、第 2 の信号が第 1 の論理レベルであり、かつ、CPU が動作状態であるとき、下位インタフェース及び上位インタフェースのいずれもが動作する第 3 のモードで動作するものとする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 2

【補正方法】変更

【補正の内容】

【0 0 1 2】

具体的には、検出確定回路は、第 1 の信号の論理レベルが変化するとき、与えられたクロック信号のパルスカウントを開始し、このパルスカウント値が所定値となったとき、このパルスカウントを停止し、かつ、このときの第 1 の信号の論理レベルに応じて第 2 の信号の論理レベルを設定するカウンタ回路と、第 1 の信号の論理レベルが変化するとき、上記のクロック信号の生成を開始し、パルスカウントが停止したときであって第 1 の信号が第 1 の論理レベルのとき又は第 2 の信号が第 2 の論理レベルのとき、上記のクロック信号の生成を停止するクロック生成回路とを有する。また、下位インタフェースは、第 2 の信号が第 1 の論理レベルであり、かつ、CPU が動作状態であるとき、クロック信号を前記上位インタフェースに供給する。そして、上位インタフェースは、上記のクロック信号の供給により動作する。