

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4933687号
(P4933687)

(45) 発行日 平成24年5月16日 (2012.5.16)

(24) 登録日 平成24年2月24日 (2012.2.24)

(51) Int. Cl. F I
 HO 1 L 27/10 (2006.01) HO 1 L 27/10 4 5 1
 HO 1 L 45/00 (2006.01) HO 1 L 45/00 Z

請求項の数 9 (全 17 頁)

(21) 出願番号	特願平10-519794	(73) 特許権者	500147735
(86) (22) 出願日	平成9年10月27日 (1997.10.27)		エネルギー コンバージョン デバイセス
(65) 公表番号	特表2001-502848 (P2001-502848A)		インコーポレイテッド
(43) 公表日	平成13年2月27日 (2001.2.27)		ENERGY CONVERSION D
(86) 国際出願番号	PCT/US1997/019253		EVICES, INC.
(87) 国際公開番号	W01998/019350		アメリカ合衆国 48309 ミシガン州
(87) 国際公開日	平成10年5月7日 (1998.5.7)		ロチェスター ヒルズ ウォータービュ
審査請求日	平成16年10月6日 (2004.10.6)	(74) 代理人	100083806
審判番号	不服2009-22341 (P2009-22341/J1)		弁理士 三好 秀和
審判請求日	平成21年11月16日 (2009.11.16)	(74) 代理人	100095500
(31) 優先権主張番号	08/739,080		弁理士 伊藤 正和
(32) 優先日	平成8年10月28日 (1996.10.28)	(74) 代理人	100111235
(33) 優先権主張国	米国 (US)		弁理士 原 裕子

最終頁に続く

(54) 【発明の名称】 相変化性メモリ材料と誘電材料との混合物から成る複合メモリ材料

(57) 【特許請求の範囲】

【請求項1】

活性な相変化性メモリ材料の層と不活性な誘電材料の層との多層構造の異質混合物である複合メモリ材料であって、

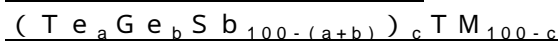
前記相変化性メモリ材料が、Te、Se、Ge、Sb、Bi、Pb、Sn、As、S、Si、P、O及びそれらの混合物又は合金から成るグループから選択された一又はそれ以上の元素を含み、

前記誘電材料が、酸化物、窒化物、酸化窒化物、炭化窒化物、フッ化物、硫化物、塩化物、炭化物、ホウ化物、リン化物及びそれらの混合物から成るグループから選択された一又はそれ以上の材料であるか、または、有機誘電材料であり、

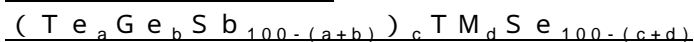
前記相変化性メモリ材料は、



ここで、2 ≤ a ≤ 8 及び 0 ≤ b ≤ 40 ; 4 ≤ a ≤ 8 及び 0 ≤ b ≤ 40 ; 又は 4 ≤ a ≤ 8 及び 0 ≤ b ≤ 30、



ここで、2 ≤ a ≤ 8 , 0 ≤ b ≤ 40 及び 0 ≤ c ≤ 99.99、TMは一以上の遷移金属元素であり、並びに



ここで、2 ≤ a ≤ 8 , 0 ≤ b ≤ 40 , 0 ≤ c ≤ 99.99 及び 0 ≤ d ≤ 10、TMは一以上の遷移金属元素であり、

から成るグループから選択された組成の一つを有することを特徴とする、複合メモリ材料。

【請求項2】

前記一以上の遷移金属元素が、Cr、Fe、Ni、Nb、Pd、Pt及びそれらの混合物又は合金から成るグループから選択される、請求項1の複合メモリ材料。

【請求項3】

(a) 活性な相変化性メモリ材料の層と不活性な誘電材料の層との多層構造の異質混合物であって、単一セルメモリ素子を規定している一定体積の複合メモリ材料と、

(b) 前記メモリ素子に保存された情報を読み出したり書き込んだりするための端子を提供する、間を置いて配置された一対のコンタクトと

を含む単一セルメモリ素子であって、

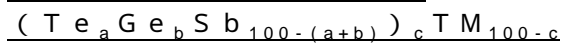
前記相変化性メモリ材料が、Te、Se、Ge、Sb、Bi、Pb、Sn、As、S、Si、P、O及びそれらの混合物から成るグループから選択された一又はそれ以上の元素を含み、

前記誘電材料が、酸化物、窒化物、酸化窒化物、炭化窒化物、フッ化物、硫化物、塩化物、炭化物、ホウ化物、リン化物及びそれらの混合物又は合金から成るグループから選択された一又はそれ以上の材料であるか、または、有機誘電材料であり、

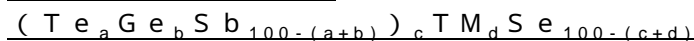
前記相変化性メモリ材料は、



ここで、 $2 \leq a \leq 8$ 及び $8 \leq b \leq 40$; $48 \leq a \leq 8$ 及び $8 \leq b \leq 40$; 又は 48



ここで、 $2 \leq a \leq 8$, $8 \leq b \leq 40$ 及び $90 \leq c \leq 99.99$ 、TMは一以上の遷移金属元素であり、並びに



ここで、 $2 \leq a \leq 8$, $8 \leq b \leq 40$, $90 \leq c \leq 99.99$ 及び $0.01 \leq d \leq 10$

、TMは一以上の遷移金属元素であり、
から成るグループから選択された組成の一つを有することを特徴とする、単一セルメモリ素子。

【請求項4】

前記一以上の遷移金属元素が、Cr、Fe、Ni、Nb、Pd、Pt及びそれらの混合物又は合金から成るグループより選択される、請求項3の単一セルメモリ素子。

【請求項5】

前記間を置いて配置された一対のコンタクトのうち少なくとも一は、第1コンタクト材料と第2コンタクト材料との混合物であって、第1コンタクト材料は炭素を含み、かつ第2コンタクト材料は少なくとも一の遷移金属元素を含む、請求項3の単一セルメモリ素子。

【請求項6】

前記第2コンタクト材料が、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W及びそれらの混合物又は合金から成るグループより選択される一又はそれ以上の元素を含む、請求項5の単一セルメモリ素子。

【請求項7】

前記第2コンタクト材料がTiとWとを含む、請求項6の単一セルメモリ素子。

【請求項8】

前記活性な相変化性メモリ材料の層の厚さが5 ~ 75 であり、前記不活性な誘電材料の層の厚さが5 ~ 75 である、請求項1の複合メモリ材料。

【請求項9】

前記活性な相変化性メモリ材料の層の厚さが5 ~ 75 であり、前記不活性な誘電材料の層の厚さが5 ~ 75 である、請求項3の単一セルメモリ素子。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は、一般に、電氣的に動作するメモリ材料に関する。より特定的には、本発明は、活性な相変化性メモリ材料と不活性な誘電材料と混合物から成る複合メモリ材料に関する。

【 背景技術 】

【 0 0 0 2 】

オボニック (Ovonic) の E E P R O M は、新規な、所有権保護された、高性能、不揮発性の薄膜電子メモリデバイスである。これは、データが不揮発的に記憶できること、高ビット密度にできる潜在的な能力、並びにその結果として、専有面積が小さく単純な 2 端子デバイス構成のため低コストであること、プログラミングサイクル寿命が長いこと、プログラ
10
ミングエネルギーが低くてすむこと、高速であること、といった利点を有する。オボニックの E E P R O M は、アナログとデジタル双方の形態での情報記憶が可能である。デジタル記憶はバイナリ (メモリセル 1 つに対して 1 ビット) かマルチステート (セル 1 つに対して複数ビット) のいずれかとすることができる。この 2 つのデジタルモードを切り替えるには、ほんの小さな修正が必要とされるだけである。本発明の記述目的において、「メモリ素子」との語と「制御素子」との語は同義的に使用される。

【 0 0 0 3 】

初期の電氣的相変化メモリ

電子メモリ応用分野に対する電氣的書き込み可能・消去可能な相変化性材料 (すなわち、概して非晶性状態と概して結晶性の状態の間で電氣的に切り替えられる材料) を利用
20
することの一般的概念は技術上周知であり、それは例えば、1966年9月6日に発行されたオブシンスキー (Ovsinsky) に対する米国特許第 3, 271, 591 号と 1970年9月22日に発行されたオブシンスキーに対する米国特許第 3, 530, 441 号に開示されているが、双方とも参照してここに組み込まれる (以下「オブシンスキー特許」と呼ぶ)。

【 0 0 0 4 】

オブシンスキー特許に開示されているように、このような材料は概して非晶性なローカルオーダーと概して結晶性なローカルオーダーという 2 つの構造状態間又は完全に非晶性状態と完全に結晶性状態間の全スペクトル全体にわたっての検出可能な別々のローカルオーダー状態間で電氣的に切り替え可能であり得る。すなわち、このような材料を電氣的に切
30
り替えることは、完全に非晶性状態と完全に結晶性状態との間で発生する必要はなく、むしろ、インクレメンタルなステップでローカルオーダーの変化を反映して、完全に非晶性な状態と完全に結晶性な状態間のスペクトルを包括する多くのローカルオーダー状態によって表される「グレースケール」を提供することをオブシンスキー特許は述べている。オブシンスキー特許が述べる初期の材料はまた、必要とあれば、概して非晶性構造状態と概して結晶性構造状態間で切り替えて、単一ビットのエンコーディングされたバイナリ情報の記憶と検索に対処することもできる。

【 0 0 0 5 】

オブシンスキー特許に述べる電氣的削除可能な相変化性メモリ及びそれに続く電氣的ソリッドステートメモリは、テープ、フロッピーディスク、磁気ハードディスクドライブ
40
、光ハードディスクドライブ、ソリッドステートディスクフラッシュ、D R A M、S R A M、及びソケットフラッシュメモリなどの現在のコンピュータ応用分野に直接にまた汎用的に取って代わって広く使用されることを妨げる多くの制限を有している。具体的には、次にこれらの制限の内で最も重要なものを挙げると; (i) 比較的遅い (現在の基準では) 電氣的切り換え速度、特に大きなローカルオーダー方向 (結晶性が増加する方向) に切り替えられる場合に顕著である; (i i) ローカルオーダーの検出可能な変化を始動するに必要とされる比較的高い入力エネルギー必要量; 及び (i i i) 記憶情報メガバイト単位にコストが比較的高い (特に現在のハードディスク媒体と比較して顕著である)。

【 0 0 0 6 】

この制限の内の最も重要なものは、ローカルオーダーの検出可能な変化を始動するためにカ
50

ルコゲン化物材料の化学的及び/電子的結合構成の検出可能変化を得るに必要とされるエネルギー入力が比較的高いことである。また、オブシンスキー特許に述べる電氣的メモリ材料の切り換え時間も重要であった。これらの材料は一般的には、設定時間（非晶性から結晶性に状態を切り替えるに必要な時間）として数ミリ秒範囲の時間及び；約1マイクロ秒というリセット時間（材料を結晶性から非晶性に状態を切り替えるに必要な時間）が必要であった。これらの材料間を切り替えるに必要な電氣的エネルギーは一般的には約1マイクロジュール範囲の測定値であった。

【0007】

このエネルギー量はメモリセルの行列ソリッドステートマトリックス中の各メモリ素子に送られる。このような高エネルギーレベルは、独立した各々のメモリ素子と関連するアドレスラインとセル分離/アドレスデバイスのための高電流搬送要件に変換する。このようなエネルギー必要量を考慮すると、当業者にとってメモリーセル分離を選択しようとするれば、ミクロンオーダーのリソグラフィ、したがってメモリ素子を可能な限り高実装密度化する非常の大型の単一ダイオード又はトランジスタに限られる。したがって、この材料から作られた低ビット密度マトリックス配列は、記憶情報メガバイト当たりのコストが高くなる。

10

【0008】

永久保存式で不揮発性の大容量メモリーと高速で揮発性のシステムメモリー間の価格と性能の差を効果的に減少させることによって、本発明によるメモリ素子は、新規で非階層の「汎用記憶装置」を可能とする能力を有する。システム内の実質的にすべてのメモリーが低価格で、永久保存式で高速なものとなり得る。最初のオブシンスキータイプの相変化性電氣的メモリーと比較して、本書に述べるメモリ材料は、プログラミング時間が6桁を超える高速（30ナノ秒未満）と、極度に低いプログラミングエネルギー（0.1~2ナノジュール未満）で、長期安定性とサイクル性（10兆サイクルを超える）を示す。また、実験結果によれば、素子の寸法が減少したため、スイッチング速度とサイクル寿命の増加が認められた。

20

【0009】

一般的に、カルコゲン化物メモリ材料のクラスの開発と最適化は、現在かなり速いスイッチング時間とかなり低いセットエネルギー及びリセットエネルギーを有する他のタイプのソリッドステート電氣的メモリーと同じ速度で進歩しなかった。これら他の形態のメモリーは一般的には、1部のメモリー応用分野では各メモリービットにつき1つ又は2つのソリッドステートマイクロエレクトロニック回路素子（1ビット当たり3つ又は4つのトランジスタ）を用いている。EEPROMなどのソリッドステートメモリー分野での主たる「不揮発性」メモリ素子としては一般的には、再プログラミング性が限られ、各メモリービットを記憶するために電界効果トランジスタのゲートに電荷を保持するフローティングゲート型電界効果トランジスタデバイスがある。この電荷は時間の経過と共にリークするので、素子を製造するカルコゲン化物材料の実際の原子構成又は電子的構造の変化を通して情報が記憶される先行技術による相変化性媒体の場合のように真に不揮発性とはいえない。これら他の形態のメモリーは現在市場で受けている。

30

【0010】

DRAM及びSRAM、揮発性メモリー並びに、フローティングゲート構造などの他の「フラッシュ」デバイスとは対照的に、電界効果トランジスタデバイスは本発明による電氣的メモリデバイスにはなんら必要ない。事実、本発明による電氣的に消去可能で、直接にオーバーライト可能なメモリ素子は、薄膜カルコゲン化物材料のモノリシック本体に対するたった2つの電氣的コンタクト及び分離用の半導体ダイオードを含む、最も製造しやすい電氣的メモリデバイスを代表するものである。その結果、1ビットの情報を記憶するためには非常に小さい「不動産（realestate）」しか必要とせず、これによって、本質的に高密度であるメモリーチップが供給される。さらに、各ディスクリットメモリーセル内に複数ビットを記憶する方式を採用したことによって、情報密度はさらに増大する。

40

【0011】

50

フラッシュEEPROMマーケットを扱い、汎用メモリとして考慮されるためには、メモリ素子は真に不揮発性でなければならない。これは、メモリ素子が複数ビット記憶機能を有することを必要とする場合にはさらに重要である。設定抵抗値が失われたり、時間経過によってかなりドリフトすることが分かると、そこに記憶されていた情報は破壊され、ユーザーはメモリの永久保存機能を信頼しない。

【0012】

設定抵抗安定性に加えて、汎用メモリに要求される別の重要な要素は低スイッチング電流である。EEPROMが大規模永久保存し記憶装置に使用される場合はこれは非常に重要である。このように使用されると、EEPROMは現在のコンピュータシステムの機械式ハードディスク（例えば磁気ハードドライブや光ハードドライブ）に取って代わるものである。従来の機械式ハードドライブの代わりにEEPROM「ハードドライブ」を用いる主たる理由の1つは、機械式装置固有の比較的大きい消費電力である。ラップトップコンピュータの場合、機械式ハードディスクドライブは最も電力を消費する部品であるためこれは特に重要である。したがって、この電力を減少させて、電力バッテリーを1回充電する毎のコンピュータ使用可能時間を増大させることは特に長所となる。しかしながら、機械式ハードドライブの代わりにEEPROMを用いるとスイッチングエネルギー必要量が高くなる（したがって電力必要量が高くなる）のであれば、電力節約は取るに足らない又はせいぜい大したことはない。したがって、汎用メモリとして考慮すべきEEPROMのスイッチングエネルギーは低いものが必要である。

【0013】

EEPROM汎用メモリの持つさらに別の要件は、記憶された情報の熱安定性が高いということである。今日のコンピュータ、特にパソコンは、定常的に高温に曝される。この高温は、電源や他の熱発生する内部部品からの熱によって引き起こされることがある。この高温はまた、高温気候下でコンピュータを使用したり常温より高い温度で間接的又は直接的に加熱される環境下でコンピュータを保管したりすることによっても引き起こされる。高温の原因がなにであれ、現在のコンピュータ装置特に「ハード」又は永久保存式メモリはかなりの高温でも熱的に安定していなければならない。この熱安定性がないと、データが失われ、前述の信頼性が失われる。

【0014】

EEPROM汎用メモリのさらに別の要件は書き込み/消去サイクル寿命が長いことである。EEPROMの場合、永久保存式メモリと同じように、サイクル寿命は消費者の信頼と受け入れにとって重要な役割を演じる。メモリデバイスのサイクル寿命が短すぎると、消費者は価値あるデータを失うことをおそれてこのデバイスを使用しなくなる。EEPROMをコンピュータの主記憶装置又は表示記憶装置の代わりに使用する、すなわちDRAM、SRAM又はVRAMの代わりに使用する場合、この長サイクル寿命という要件はさらにより重要となる。主記憶装置と表示記憶装置はコンピュータでは最も頻繁に書き込まれたり/消去されたりするデータ記憶領域である。新しいコンピュータプログラムがロードされる毎に、コンピュータの主記憶装置の1部が消去され再書き込みされる。コンピュータプログラムの実行中は、コンピュータの主記憶装置の1部は常にサイクリング（循環）されている。コンピュータの主記憶装置と表示記憶装置の代わりに使用するEEPROMが比較的に長い書き込み/消去サイクル寿命を有しない場合、これらのメモリはきわめて交換する必要性が高い。

【発明の概要】

【0015】

本発明の目的は、スイッチング電流必要量が低減され、記憶データの熱安定性が増大したソリッドステートメモリ材料を提供することである。本発明の別の目的は、前述のメモリ材料を含むメモリ素子を提供することである。

【0016】

本発明のこれらの目的及び他の目的は、活性（アクティブ）な相変化性メモリ材料と不活性（イナクティブ）な誘電材料との混合物から成る複合メモリ材料によって達成される。

この相変化性メモリ材料には、T e、S e、G e、S b、B i、P b、S n、A s、S、S i、P、O及びそれらの混合物もしくは合金からなるグループから選ばれた1つ以上の元素が含まれる。

【0017】

これらの目的及び他の目的はまた、以下から成る単一セルメモリ素子によって達成される。すなわち、メモリ素子を規定する一定体積のメモリ材料であって、活性な相変化性材料と不活性な誘電材料との混合物から成るメモリ材料と、メモリ素子に記憶されている情報を読み出したり情報をメモリ素子に書き込んだりするための端子となる、1対の離間配置されたコンタクトとから成る単一セルメモリ素子である。

【0018】

これらの目的及び他の目的はまた、以下から成る、電氣的に動作する、直接上書き可能な、マルチビットの単一セルメモリ素子によっても達成される。すなわち、

(a) 単一セルメモリ素子を規定する一定体積のメモリ材料であって、前記メモリ材料は、前記単一セルにマルチビット記録能力を与えるよう、特定の出発すなわち消去抵抗値への設定を要せず、前記材料の以前の抵抗値に無関係に、選択された電気入力信号に応答してダイナミックレンジ内の複数の抵抗値の1つに直接設定されることができる、

電気抵抗値の大きなダイナミックレンジを具備した手段を構成しているメモリ材料と、(b) 前記メモリ材料を前記ダイナミックレンジ内の選択された抵抗値に設定するために、前記電気入力信号を供給する、間を置いて配置された一対のコンタクトであって、前記間を置いて配置されたコンタクトのうち少なくとも一は、第1コンタクト材料と第2コンタクト材料との混合物であって、第1コンタクト材料は炭素を含み、かつ第2コンタクト材料は少なくとも一の遷移金属元素を含む、間を置いて配置された一対のコンタクトとから成るメモリ素子である。

第2のコンタクト材料は、T i、V、C r、Z r、N b、M o、H f、T a、W又はこれらの混合物もしくは合金からなるグループから選択された1つ以上の元素を含むことが好ましい。第2のコンタクト材料がT i及びWを含むのが特に好ましい。

【図面の簡単な説明】

【0019】

【図1】複合メモリ材料と1対のコンタクトを示す単一メモリ素子の断面図である。

【図2】メモリ素子が1群のX-Yアドレスラインにどのように接続されるかを示す、複数のメモリ素子の考えられるレイアウトの上面図である。

【図3】図1からの複数のメモリ素子の概略図であって、デバイスをそれぞれ互いに電氣的に分離するためにダイオードなどの分離素子がどのように1連となってメモリ素子に接続されるかがさらに示された図である。

【図4】アドレス/ドライバ/デコーダが動作可能に固定される集積回路チップと電氣的に通信状態にある図に示す本発明による集積化されたメモリーマトリックスを持った単結晶半導体基板を示す概略図である。

【発明を実施するための形態】

【0020】

相変化性メモリ材料と不活性誘電材料の混合物を含む複合メモリ材料をここに開示する。本発明によるこの複合メモリ材料は、改良型の電氣的メモリ素子の製造に使用できるように高速で低エネルギー入力で広い安定状態の動的範囲内でのスイッチングを可能とするものである。

【0021】

この複合メモリ材料は不揮発性であり、周期的なりフレッシュ信号を必要とすることなく、記憶済み情報の保全性を(選択された誤差範囲内で)維持するものである。記憶済みの情報を変更するために分離して存在する各々のメモリ素子を消去する(指定された開始点に設定する)必要がないように、この複合メモリ材料はまた、直接に上書き可能である。高速で低エネルギーでいかなる異なった抵抗値にもスイッチングできるという機能は、相

10

20

30

40

50

変化性スイッチング材料の全原子再配置の必要性無くスイッチングが発生するという事実に起因する。

【0022】

すでに述べたように、複合メモリ材料は活性相変化性メモリ材料と不活性誘電材料の混合物である。活性相変化性メモリ材料は複数の構成元素から作成される。相変化性メモリ材料には、Te、Se、Ge、Sb、Bi、Pb、Sn、As、S、Si、P、O又はこれらの混合物もしくは合金からなるグループから選択された1つ以上の元素がある。相変化性メモリ材料は、少なくとも1つのカルコゲン元素を含み、また、少なくとも1つの遷移金属元素を含むのが好ましい。

【0023】

カルコゲン元素はTe、Se及びそれらの混合物もしくは合金からなるグループから選択するのが好ましい。カルコゲン元素はTe及びSeの混合物であればより好ましい。

【0024】

本書で用いる「遷移金属」という用語には、元素(原子番号)21~30、39~48、57及び72~80までが含まれる。遷移金属元素はCr、Fe、Ni、Nb、Pd、Pt及びこれらの混合物もしくは合金からなるグループから選択するのが好ましい。遷移金属がNiであれば最も好ましい。このような複数元素晶系の具体的な例を以下にNi及び/又はSeを持った又は持たないTe:Ge:Sb晶系を参照して述べる。

【0025】

具体的には、本書に述べるテルルは孤立対状態からなる価電子帯を有している。4つの(4)p殻電子がTe中には存在し、Te原子はp殻中のこれら結合電子の内の2つによって化学的に結合されるので、他の2つの外殻電子(孤立対)は結合目的には利用されず、したがって、晶系の原子エネルギーを余り変化させない。この点において、最高度に充填された分子軌道とは、孤立対電子を包含している軌道である。これは重要であるが、その理由は、テルルとゲルマニウムの原子が完全に正規組成された結晶においては、結晶を構成している元の格子中にある程度の内部歪みを印加すると、価電子帯が広がって、既存のフェルミレベルの位置まで上方に移動することがある。しかしながら、TeGe結晶は本質的に「自己補償的」である、すなわち、結晶はTe豊富(約52%がTeで48%がGe)の組成と優先的になることが好ましい。この正規組成結晶は面心立方体であるが、エネルギー量をごくわずかでも付加すれば、そのGe及びSbの空孔の数が増加して、結晶は斜面体格子構造となることがある。TeGe合金内の格子歪みを減少でき、材料のエネルギー状態を下降させ、フェルミレベルを価電子帯に近づけるのは結晶格子構造内のこの空孔の生成である。

【0026】

説明の目的上、短い範囲のローカルオーダーの上に非晶性のローカルオーダーモデルを重ねることが必須でないとしても、原子の動作の記述的説明が完全でないとしても許容されることである。材料の非晶性という本質を考えると、帯域のテール中の欠陥状態の密度が帯域のエッジのところまで最大となり、一方、捕獲された電荷担体(chargecarrier)の再結合中心の深さが帯域エッジから遠ざかるほど深くなることに注意されたい。このような深いトラップとテール状態が存在することによって、フェルミレベル位置と帯域エッジ間の中間安定抵抗値に説明がつくかもしれない。理論はともあれ、完全に結晶化した場合、本発明の半導体材料は金属のような導電性を示す縮退型半導体である。

【0027】

さらに、半導体のバルクとメモリ材料内に存在する微結晶の寸法は比較的小さく、約2000未満であれば好ましく、約500と500の間であればさらに好ましく、約200と約400との間であればもっとも好ましいと信じられている。さらに、このような微結晶は、異なった抵抗値(導電率)として検出可能な、材料のフェルミレベル位置の急速な形成と、材料が信頼して繰り返し設定することができるこれら検出可能抵抗値間での遷移のための低エネルギー必要量にも貢献する非晶性のスキンで囲まれていると信じられている。

10

20

30

40

50

【 0 0 2 8 】

本発明による微少結晶材料から製造される2端子又は3端子の半導体デバイスのスイッチング特性の変性は、繰り返し可能で検出可能な抵抗値が実行され得るように制御されることが分かっている。本発明による材料を低エネルギー入力信号によって所望の導電率（フェルミレベル位置によって決まる）に迅速に設定するためには、この材料が、フェルミレベル位置の特徴は実質的に一定の帯域ギャップを持つが電気的導電率は異なるという点にあるが、このフェルミレベルの2つの別々の位置内で安定した（又は長寿命の準安定状態の）存在でありさえすればよい。上記したように、比較的小さい微結晶寸法は検出可能な抵抗値間の迅速な遷移に貢献すると信じられている。

【 0 0 2 9 】

本発明による半導体材料の特徴の1つは、単位体積当たりの微結晶がより小さくそしてより多く形成されるその傾向である。本発明を実現する代表的な材料の最も広い誘電的範囲の微結晶寸法は、約2000よりかなり低く、一般的には、先行技術による材料の特徴である約2000～5000の範囲未満であることが分かっている。微結晶寸法は微結晶の直径、又は、微結晶が球状でない場合の直径に等しい「特徴的寸法」であると本書では定義されている。

【 0 0 3 0 】

本発明の判断基準を満足するTeGeSb材料のクラスの高抵抗状態での組成は一般的に、先行技術による電気的に消去可能なメモリ材料中に存在する濃度に対するTeの濃度がかなり減少するという特徴があることが分かっている。かなり向上した電気的スイッチング性能を持つある1つの組成では、堆積されたままの材料中のTeの平均濃度は70%未満であり、一般的には約60%未満でその範囲は一般的に約23%～約58%と低いTe濃度であり、約48%～58%のTe濃度であれば最も好ましい。Geの濃度は材料中で約5%を越え、約8%～約30%の低い範囲であり、残余は一般的に50%未満である。Geの濃度は約8%～40%の範囲あるのが最も好ましい。この組成中の主要な残余の構成元素はSbである。ここに与えた百分率は、構成元素の原子が合計100%となるような原子百分率である。したがって、この組成の特徴は $Te_aGe_bSb_{100-(a+b)}$ とされる。これらの3元のTe-Ge-Sb合金は電気的特性がさらに良好な追加の相変化性メモリ材料の開発のための開始材料として有用である。

【 0 0 3 1 】

相変化性メモリ材料は少なくとも1つのカルコゲンを包含しているのが好ましく、1つ以上の遷移金属を包含できることが好ましい。遷移金属を包含する相変化性材料は、Te-Ge-Sb3元晶系中の相変化性材料の元素変性された形態である。すなわち、元素変性された相変化性材料は、Te-Ge-Sb相変化性合金の変性済み形態を生成する。この元素変性は、Seなどのカルコゲンを追加する化しないかは別として、遷移金属を基本的なTe-Ge-Sb3元晶系中に組み込むことによって達成される。一般的に、元素変性された相変化性材料は2つのカテゴリに分類される。

【 0 0 3 2 】

第1のカテゴリは、Te、Ge、Sb及び前記金属を $(Te_aGe_bSb_{100-(a+b)})_cTM_{100-c}$ （ここで、添え字は構成元素が合計100%となる原子百分率の値であり、TMは1つ以上の遷移金属であり、a及びbは基本的なTe-Ge-Sb3元晶系に関して上述した値であり、約90%～約99.99%の間の値である）という比率で含む相変化性メモリ材料である。遷移金属はCr、Fe、Ni、Nb、Pd、Pt並びにこれらの混合物及び合金を含むのが好ましい。

【 0 0 3 3 】

この晶系に包括される相変化性メモリ材料の特定の例には次のものが含まれる： $(Te_{56}Ge_{22}Sb_{22})_{95}Ni_{5}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Ni_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{95}Cr_{5}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Cr_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{95}Fe_{5}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Fe_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{95}Pd_{5}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Pd_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{95}Pt_{5}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{95}Pt_{10}$ 、 $(Te_{56}G$

10

20

30

40

50

$e_{22}Sb_{22})_{95}Nb_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Nb_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Ni_5Cr_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Ni_5Fe_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Cr_5Fe_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Pd_5Cr_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Ni_5Pd_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Pd_5Pt_5$ など。

【0034】

第2のカテゴリはTe、Ge、Sb、Se及び遷移金属を、 $(Te_aGe_bSb_{100-(a+b)})_cTM_dSe_{100-(c+d)}$ （ここで、添え字は構成元素を合計すると100%になる原子百分率値であり、TMは1つ以上の遷移金属であり、a及びbは基本的なTe-Ge-Sb3元晶系に関して上述した値であり、cは約90%~99.5%の値であり、dは約0.01%~10%の値である）という比率で含む相変化性メモリ材料である。遷移金属はCr、Fe、Ni、Pd、Pt、Nb並びにこれらの混合物及び合金を含むのが好ましい。この晶系が包括するメモリ材料の特定の例には次のものが含まれる： $(Te_{56}Ge_{22}Sb_{22})_{90}Ni_5Se_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{80}Ni_{10}Se_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Cr_5Se_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{80}Cr_{10}Se_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Fe_5Se_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{80}Fe_{10}Se_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Pd_5Se_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{80}Pd_{10}Se_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})Pt_5Se_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{80}Pt_{10}Se_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{90}Nb_5Se_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{80}Nb_{10}Se_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{85}Ni_5Cr_5Se_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{80}Ni_5Fe_5Se_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{85}Cr_5Fe_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{85}Ni_5Pd_5Se_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{80}Ni_5Pt_5Se_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{85}Ni_5Nb_5Se_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{85}Pd_5Cr_5Se_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{80}Pd_5Pt_5Se_{10}$ 、 $(Te_{56}Ge_{22}Sb_{22})_{85}Pd_5Nb_5Se_5$ 、 $(Te_{56}Ge_{22}Sb_{22})_{85}Pt_5Nb_5Se_{10}$ など。

【0035】

相変化性メモリ材料は、かなり不揮発性の設定抵抗値を有している。しかしながら、相変化性材料の抵抗値がその元の設定値からドリフトする場合、以下に説明する「組成変更 (compositional modification)」を用いてこのドリフトを補償してもよい。本書で用いられる、「不揮発性」という用語は、設定抵抗値が永久保存期間にわたって実質的に一定に留まる状態を意味する。もちろん、(以下に説明するフィードバックシステムを含め)ソフトウェアを用いて、選択された誤差範囲を越える「ドリフト」が決して発生しないようにすることができる。メモリ素子の抵抗値のドリフトは、もし妨害されないままであれば、上方のグレースケール記憶を妨害するので、ドリフトを最小化するのが好ましい。

【0036】

「組成変更」は本書では、相変化性メモリ材料の組成を変性して、実質的に安定な抵抗値を生じ、さらに帯域ギャップを広げる元素を付加して材料の固有抵抗を増加させるあらゆる手段を含むものと定義される。組成変更の1例としては、厚さに対するグレーディング済み組成的不均一性を含むものがある。例えば、相変化性メモリ材料の体積は組成の異なる第1のTe-Ge-Sb合金から第2のTe-Ge-Sb合金にまでグレーディングされる。この組成上のグレーディングは、設定抵抗値のドリフトを減少させるようないかなる形態をもとり得る。例えば、組成上のグレーディングは同じ合金晶系の第1と第2の合金に限られる必要はない。また、このグレーディングは3つ以上の合金で遂行することができる。グレーディングは均一で連続であり得ると同時に、また、不均一で不連続でもあり得る。抵抗値のドリフトが減少する結果となる組成上のグレーディングの特定の例には、 $Ge_{22}Sb_{22}Te_{56}$ に対する一方の表面から反対側表面で $Ge_{14}Sb_{29}Te_{57}$ を均一にそして連続してグレーディングする例がある。

【0037】

組成変更を用いて抵抗値のドリフトを減少させる別の方法は、ある体積の相変化性メモリ材料を積層する方法である。すなわち、ある体積の相変化性メモリ材料を異なった組成を持つ複数の分離した、比較的薄い層で形成できる。例えば、ある体積の相変化性メモリ材料には、各層が別々のTe-Ge-Sb合金で形成された1対以上の層を含むことがある

10

20

30

40

50

。再度、グレーディング済み組成の場合のように、抵抗値ドリフトをかなり減少させる結果となるいかなる層の組み合わせでも用いることができる。これらの層の厚さは同様であったり異なっていたりする。層をいくつ用いてもよく、同じ合金でできた複数の層が、互いに連続していたり隔たっていたりしてある体積のメモリ材料中に存在してもよい。また、別々の合金をいくつ用いて作成して用いてもよい。組成積層の具体的な例は、 $Ge_{14}Sb_{29}Te_{57}$ と $Ge_{22}Sb_{22}Te_{56}$ の対が交互に積層されているある体積を持ったメモリ材料である。

【0038】

抵抗値ドリフトを減少させる組成的不均一性のさらに別の形態は、組成グレーディングと組成積層を組み合わせることによって達成される。具体的にいうと、前述の組成グレーディングを上述の組成積層の内のいずれかと組み合わせ、安定したある一定体積のメモリ材料を形成してもよい。この組み合わせを用いる例示体積の相変化性メモリ材料は：(1) $Ge_{22}Sb_{22}Te_{56}$ から成る分離層及び $Ge_{14}Sb_{29}Te_{57}$ と $Ge_{22}Sb_{22}Te_{56}$ から成るグレーディング済み組成を含むある体積の相変化性メモリ材料と；(2) $Ge_{14}Sb_{29}Te_{57}$ の分離層及び $Ge_{14}Sb_{29}Te_{57}$ と $Ge_{22}Sb_{22}Te_{56}$ から成るグレーディング済み組成を含むある体積の相変化性メモリ材料と；である。

10

【0039】

複合メモリ材料は、上述のような活性相変化性メモリ材料及び不活性誘電材料の混合物である。一般的に、誘電材料は、相変化性メモリ材料に対して化学的に不反応性であればどの誘電材料でもよい。融点が相変化性メモリ材料より高い誘電材料が好ましい。

20

【0040】

特に、誘電材料は、酸化物、窒化物、フッ化物、硫化物、塩化物、カーバイド、窒素酸化物(oxynitride)、窒素炭化物、ほう化物、燐化物並びにこれらの混合物もしくは合金から成るグループから選択された1つ以上の材料であればよい。技術上周知の他の誘電材料を用いてもよい。誘電製材流はまた、有機誘電材料のグループから選択してもよい。これらには、アミド、ポリアミド、イミド、ポリイミド及びパリレン(parylen)などの材料が含まれるがこれらに限定されるわけではない。

【0041】

酸化物には、 SiO_2 などの酸化物、 TiO_2 などの酸化チタニウム、 Al_2O_3 などの酸化アルミ、 ZrO_2 などの酸化ジルコニウム、 GeO_2 などの酸化ゲルマニウム、 Ta_2O_5 などの酸化タンタルなどがある。他にも考えられる酸化物としては、 B_2O_3 、 Sb_2O_3 、 PbO などがある。窒化物には、 SiN_4 などの窒化シリコン、 AlN などの窒化アルミ、及び TiN 、 SiN 、 ZrN 及び BN 並びに非化学量論窒化シリコン SiN_x などがある。硫化物には、 SiS_2 などの硫化シリコン、 GeS_2 などの硫化ゲルマニウム及び ZnS などの硫化亜鉛などがある。フッ化物には MgF_2 、 CaF_2 、 LiF_2 などがある。

30

【0042】

さまざまなガラスも使用可能である。例えば、 La 、 Si 、 O 及び N を含む $LaSiON$ 材料； Si 、 Al 、 O 及び N を含む $SiAlON$ 材料；イットリウムを含む $SiAlON$ 材料；又は Nd 、 Si 、 O 及び N を含む $NdSiON$ ；などが用いられる。

【0043】

複合メモリ材料は活性相変化性メモリ材料と不活性誘電材料の異質混合物であるのが好ましい。このような異質混合物の1つの実施形態は、相変化性メモリ材料の層が誘電材料の層と混在している多層構造物のそれである。各層の厚さは約5 ~ 約75 であるのが好ましい。各層の厚さは約10 ~ 約50 であればもっと好ましい。各層の厚さは約20 ~ 約30 であればもっとも好ましい。

40

【0044】

複合メモリ材料は、RFグロー放電などのプラズマ技法によって効果が増すスパッタリング、蒸着又は化学的気相成長法で製造してもよい。本発明による複合メモリ材料は、無線(RF)スパッタリング又は蒸着で製造するのがもっとも好ましい。それは、一般には相変化性メモリ材料の目標と誘電材料の目標である複数の目標を利用した複数源スパッタリ

50

ング技法によって形成される。これらの目標が基板の反対側に配置されると、各目標に対して基板を回転させながらスパッタリングが実行される。相変化性材料と誘電材料の双方を含んでいる目標を用いてもよい。また、基板を加熱して、表面移動による結晶成長及び結晶凝集に影響を与えることによって形成された複合材料内の相変化性材料の形態を制御してもよい。

【0045】

複合メモリ材料中の誘電材料の体積百分率は制御可能である。誘電材料の体積百分率は約10%～約90%の間であるのが好ましい。誘電材料の体積百分率は約20%～約80%であればより好ましい。誘電材料の体積百分率は約40%～約60%であればもっとも好ましい。

10

【0046】

複合メモリ材料はまた、スピコーティングによっても製造される。相変化性メモリ材料はポリアミドのような有機重合体などの誘電体と混合してもよい。その結果得られた混合物は次に、シリコン基板上でスピコーティングされて、所望の特性を持った複合メモリ材料を形成する。

【0047】

上記で開示した複合メモリ材料を含む単一セルメモリ素子をまたここに開示する。このメモリ素子はまた、複合メモリ材料に電気入力信号を出力するための離間配置された1対のコンタクトをさらに含んでいる。図1に、単結晶シリコン半導体ウエハ10上に形成されたメモリ素子の実施形態の断面図を示す。このメモリ素子は複合メモリ材料、離間配置された第1のコンタクト6及び離間配置された第2のコンタクトを含んでいる。

20

【0048】

第1のコンタクト6及び第2のコンタクト8はそれぞれが2つの薄膜層から成る。複合メモリ材料36に隣接して堆積された薄膜層38と34は、異物が複合メモリ材料36中に拡散して電氣的マイグレーションする優れた拡散バリア特性を有する。

【0049】

隣接した薄膜層38と34は非晶性炭素などの炭素材料から成っていてもよい。あるいは、隣接薄膜層38と34を、Ti、V、Cr、Zr、Nb、M、Hf、Ta、Wから成るグループから選択された1つの元素とB、C、N、Al、Si、P、Sから成るグループから選択された1つ以上の元素を含む化合物から形成してもよい。隣接薄膜層38と34は、Ti並びに、C、N、Al、Si並びにこれらの混合物又は合金から成るグループから選択された1つ以上の元素を含む化合物から形成するのが好ましい。ある実施形態では、隣接薄膜層は、原子百分率で、約10%～60%のチタニウム、5%～50%の炭素及び10%～60%の窒素から成っている。その上、炭化チタニウムもまた、最大で40%の水素を含んでいる。

30

【0050】

別の実施形態では、隣接薄膜層38と34は、シリコン窒化チタニウムから成っている。この実施形態では、隣接薄膜層は、原子百分率で約10%～60%のチタニウム、5%～50%のシリコン及び10%～60%の窒素という組成を有する化合物から成るのが好ましい。その上、シリコン窒化チタニウムもまた最大で40%の水素を含んでいる。

40

【0051】

第3の実施形態では、隣接薄膜層38と34は、アルミ窒化チタニウムから成っている。この実施形態では、隣接薄膜層は、原子百分率で約10%～60%のチタニウム、5%～50%のアルミニウム及び10%～60%の窒素という組成を有する化合物から成るのが好ましい。その上、アルミニウム窒化チタニウムもまた最大で40%の水素を含んでいる。

【0052】

炭素窒化チタニウム、シリコン窒化チタニウム及びアルミ窒化チタニウムは優れたバリア特性を有し、これによって異物が複合メモリ材料中に拡散したり電氣的マイグレーションするのを防いでいる。さらに、炭素窒化チタニウム、シリコン窒化チタニウム及びアルミ

50

ニウム窒化チタニウムは、蒸着を含む物理的気相成長法、イオン打ち込み法及びDCとRFスパッタリング堆積法、化学的気相成長法並びにプラズマ支援型化学的気相成長法などの方法によって堆積してもよい。その方法が正しいかは多くの要因によるが、その要因の1つは、目標となる材料の組成に起因する堆積温度の制約である。

【0053】

1対の離間配置されたコンタクト6と8は、複合メモリ材料36から遠隔に堆積された追加の薄膜層相32と40から成るのが好ましい。これらの遠隔薄膜層のおのものが、Ti、W及びMoから成るグループから選択された1つ以上の元素から成っている。ある実施形態では、各遠隔薄膜層はTiとWから成っている。遠隔薄膜層は、原子百分率で5%~30%のチタニウムと70%~95%のタングステンの化合物から成っているのが好ましい。Ti-W合金層32と40は、DCスパッタリング堆積プロセスで堆積するのが好ましい。これらは約100~2000に厚さに堆積するのが好ましい。これらは約100~4000に厚さに堆積するのが好ましい。Ti-W合金層32と40は優れたオーム接触特性を有している。そのうえ、これらは、複合メモリ材料36中への異物の電氣的マイグレーションと拡散の双方を防ぐに必要なバリヤ特性を有している。

10

【0054】

複合メモリ材料36の層は、約200~5000の厚さに堆積するのが好ましく、約250~2500の堆積厚さがより好ましく、約250~500の厚さに堆積するのがもっとも好ましい。

【0055】

図1に示すメモリ素子は複数ステッププロセスで製造される。層32、34及び46は最初に堆積され、次に絶縁層46がエッチングされて、複合メモリ材料36と層34の間にコンタクトのための領域ができるようにする。残っている層36、38及び40が堆積され、層32、34、36、46、38、及び40の全堆積層が選択された寸法にエッチングされる。全体構造物の上に絶縁材料39の層が堆積される。絶縁材料の例としてはSiO₂、Si₃N₄及び酸素硫化テルル(例えばTeOS)がある。絶縁材料39の層はエッチングされ、アルミニウム層が堆積されて、導体12に向けて直角に伸長する第2の電極グリッド構造物42を形成して、個別のメモリ素子に対するX-Yグリッド接続を完成させる。この完成された集積構造体の上には、性能を劣化させたり縮退させたりしかねない湿気や他の外部要因からこの構造物を密封するSi₃N₄又はポリアミドなどの可塑性材料などの適当なカプセル封入材から成る頂部カプセル封入層が重なっている。Si₃N₄カプセル封入材は、例えば低温プラズマ堆積プロセスを用いて堆積することができる。このポリアミド材料は堆積後に周知の技法に従ってスピニングしてベーキングしてカプセル封入層を形成する。

20

30

【0056】

本書で用いる「孔径(pore diameter)」という用語は、複合メモリ材料36間での最小のコンタクト領域並びに電氣的コンタクト6及び8の平均の断面のことである。孔径はリソグラフィの分解能の限界が許す限り小さくできる。孔径はデバイスの性能に関連がある。孔径を減少させるとデバイスの体積が減少し、これによって電氣的スイッチングに要する電流とエネルギーの必要量が低下する。これによってデバイスの速度と感度が増し、検出可能な抵抗値変化を始動するに必要なスイッチング時間と電氣的エネルギーが減少する。

40

【0057】

メモリ素子に関する以前の実施形態では、孔径は、材料が高低の抵抗状態間をいずれの方向にもスイッチングした際に実際に変化する抵抗を持つメモリ材料の断面に実質的に適合するように選択するのが好ましい。メモリ材料のこのセクションは「線条部分(フィラメント部分、filamentary portion)」と呼ばれる。孔径は線条部分の直径に等しいのが理想である。

【0058】

孔径をリソグラフィが許容する値を越えて減少させる手段として、メモリ素子の以前の実

50

施形態では、離間配置されたコンタクトの内の少なくとも1つとメモリ材料の体積の間に「線条制限手段（フィラメント制限手段、filament confining means）」が用いられていた。線条制限手段は一般的には、電気的コンタクトとメモリ材料体積間を電流が通過する少なくとも1つの低抵抗通路を持つ高抵抗性材料から成る薄膜層である。線条制限手段は、離間配置されているコンタクトに非常に低い電流が入力されると、線条部分内に高電流密度をもたらした。

【0059】

線条制限手段は、メモリデバイスの「電気的形成プロセス」において一つの役割を演ずるのである。この電気的形成プロセスは、メモリ素子とその最初の非常に高い「バージン」抵抗値から低い抵抗値に切り替わるまで、より高電流の電気パルスが製造されたばかりのメモリ素子に印加する、というものである。ひとたびこれが行われれば、メモリ素子は「形成された」と言われる。これで、より低いプログラミング電流によって電気的サイクリングを行う準備ができたことになる。

10

【0060】

この形成プロセスによって線条制限手段が「ブレイクダウン」される。この形成プロセスの際の一又は複数のより高い電流パルス印加において、制限層内でもっとも電気的に弱い「ブレイクダウン」領域が物理的に変化して、層の他の部分より遥かに導電性が高くなる。その後続くあらゆるメモリサイクリングパルス（すなわちセットパルスとリセットパルス）による電流が通過するのはこの領域である。非常に低い電流がメモリ素子に印加されると、すべての電流が線条部分を通過して流れる。すなわち、その寸法が極端に小さいため、メモリ材料のこの領域内での電流密度は非常に高くなる。

20

【0061】

メモリ素子の以前の実施の形態においては、電気的サイクリングに必要なプログラミング電流は、孔径をリソグラフィによって小さくするか、或いは線条制限手段の導入によるかのいずれかの方法によって低減されていた。これに対して、本発明による複合材料を含むメモリ素子では、プログラミング電流は、不活性誘電材料を導入することによって相変化性材料の体積を制限することによって、所望の電流低減を達成するのである。

【0062】

この新規複合材料の選択した体積部分を誘電材料で占有させることによって、活性な相変化性メモリ材料が占有する体積部分を減少させることができる。この活性な相変化性メモリ材料の体積比率の減少によって、メモリ素子をプログラミングするのに必要とされる電流値が低減されるのである。

30

【0063】

誘電材料の体積比率を制御することができるので、薄膜メモリへの応用において、電気伝導性材料の体積は、フォトリソグラフィで画定されるコンタクト領域の寸法に拘束されることなく、制御可能なのである。これによって、与えられたフォトリソグラフィ技術のスケールにおいて、必要とされるプログラミング電流を、メモリドライバから供給可能な電流にかなった電流値にまで低減することができるのである。

【0064】

従って、本発明の複合材料は、上述の線条制限手段と同様の機能を果たすのである。線条制限手段を併用して本発明の複合材料を用いれば、電気的形成プロセス及びスイッチングの際に、メモリ材料内において線条部分の断面積が決められるのである。すなわち、本発明による複合材料を用いれば、さらに材料層を追加する必要なく、微細孔を形成するリソグラフィ技術の限界が克服されるのである。

40

【0065】

また、単一セルメモリ素子を規定するある体積を持つメモリ材料であり、このメモリ材料が、単一セルに複数ビット記憶機能を備えるために選択済み電気入力信号に反応しての材料の以前の抵抗値とは無関係に、特定の開始抵抗値や消去済み抵抗値に設定する必要なく、後出の動的範囲内で複数の抵抗値の内の1つに直接的に設定される機能を持った電気抵抗値の大きな動的範囲を得るための手段を構成しているある体積のメモリ材料を含む、電

50

氣的に動作する、直接に上書き可能で、マルチビットの単一セルメモリ素子をここに開示する。

【0066】

この電氣的に動作する、直接上書き可能で、マルチビットの、単一セルメモリ素子はさらに、動的範囲内の選択済み抵抗値にメモリ材料を設定するために電気入力信号を供給するための1対の離間配置されたコンタクトをさらに含んでいる。少なくとも一方の離間配置されたコンタクトは第1と第2のコンタクト最良の混合物である。第1のコンタクト材料は炭素を含み、第2のコンタクト材料は少なくとも1つの遷移金属元素を含んでいる。本書で用いる「遷移金属」という用語は、元素(原子番号)21~30、39~48、57及び72~80の元素を含む。第2のコンタクト材料は、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W並びにこれらの混合物もしくは合金からなるグループから選択された1つ以上の元素を含むのが好ましい。第2のコンタクト材料はTi及びWを含むのがより好ましい。コンタクトは共スパッタリングプロセスで製造することができる。

10

【0067】

複数メモリ素子の考えられる構成の上面図を図2に示す。図示するように、デバイスはメモリ素子のX-Yマトリックスを形成する。水平方向片2は個別の素子をアドレス指定するためのX-Y電極グリッドのX集合を表している。縦方向片42はアドレス指定ラインのY集合を表している。

【0068】

本発明による電氣的に消去可能な記憶装置の他の回路構成はもちろん考えられるし実現可能である。1つの特に有用な構成は、複数の平面を成すメモリ素子又は制御素子並びにその個別の絶縁デバイスが互いに積層されている3次元の、複数レベル配列である。各平面を成すメモリ素子はメモリ素子の複数の行と列として配置され、これによってX-Yアドレス指定を可能としている。この平面積層によって、記憶蓄積密度が増すほかにも、相互接続のさらなる次元が可能となる。この配置は、真にインテリジェントなコンピュータの神経網をシミュレートするには特に有用である。

20

【0069】

各メモリ素子はある種のタイプの絶縁素子を用いて電氣的に互いに絶縁される。図3のメモリデバイスレイアウトに概略図に、ダイオードを用い実行される電氣的絶縁方法が示されている。この回路は絶縁ダイオード26と直列に相互接続されたメモリ素子30を持ったX-Yグリッドを含む。アドレスライン12と42は、当業者には周知の方法で外部アドレス指定回路に接続されている。この絶縁素子の目的は、分離した各メモリ素子を、マトリックス内の隣接した又は遠隔のメモリ素子に記憶されている情報に干渉することなく読み出しと書き込みを可能とすることにある。

30

【0070】

図4に、本発明によるメモリーマトリックス(MEMORY MATRIX)51が形成された単結晶半導体基板(SUBSTRATE)50の1部分を示す。また、この基板50上には、集積回路線53によってメモリーマトリックス51に適切に接続されているアドレス指定マトリックス(ADDRESSING MATRIX)52が形成されている。アドレス指定マトリックス52は、メモリーマトリックス51に印加される設定パルス及び読み取りパルスを画定して制御する信号発生手段を含んでいる。もちろん、アドレス指定マトリックス52はソリッドステートメモリーマトリックス51と同時に集積して形成してもよい。

40

【0071】

実験の結果、カルコゲン組成、熱処理(堆積後アニール)、信号パルス持続時間、組成中の酸素などの不純物、結晶寸法及び信号パルス波形形状などの要素は抵抗の動的範囲の大きさ、この動的範囲の絶対終点抵抗及びデバイスをこれらの抵抗値に設定するに必要とされる電圧に影響を与えることが分かっている。例えば、カルコゲン化物薄膜(例えば約4000)が比較的厚いため、設定電圧必要値が高く(したがってメモリ材料体積内の電流密度が高く)なるが、一方、カルコゲン層が比較的薄い(例えば約250)と、設定電圧(及び電流密度)の必要値が低くなる。もちろん、結晶寸法及び、従ってバルク原子

50

の数に対する表面原子の数の比の潜在的な重要性はすでに論じた。

【0072】

抵抗値の動的範囲によってまた、広いグレースケール及び複数レベルのアナログ記憶蓄積が可能となる。複数レベル記憶蓄積は、広い動的範囲を複数のサブ範囲又はレベルに分割することによって遂行される。連続して抵抗値をプログラミングできることによって、複数ビットのバイナリ情報を一つのメモリーセルに記憶できる。この複数レベル記憶は、複数ビットのバイナリ情報を擬似アナログ形態に模擬して、このアナログ情報を単一メモリーセルに記憶することによって遂行される。したがって、抵抗値の動的範囲を 2 n 個のアナログレベルに分割することによって、各メモリーセルは n ビットのバイナリ情報を記憶する能力が与えられる。

10

【0073】

本書に開示する所有権保護された材料とデバイス構成を用いることによって、SRAMに近い読み出し・書き込み速度を持ち；EEPROMの不揮発性でランダムアクセス再プログラミング機能を持ち；メガバイト記憶容量当たりの価格が他のいかなる半導体メモリー未満である；電氣的に消去可能で、直接的に上書き可能なメモリー素子が開発された。

【0074】

ここに記載する開示は本発明を全部そして完全に開示する目的で述べた詳細な実施形態という形で提示されたものであり、このような詳細は、添付クレームに記載し定義される本発明の真の範囲を制限するものであると解釈すべきでないことを理解されたい。

【図1】

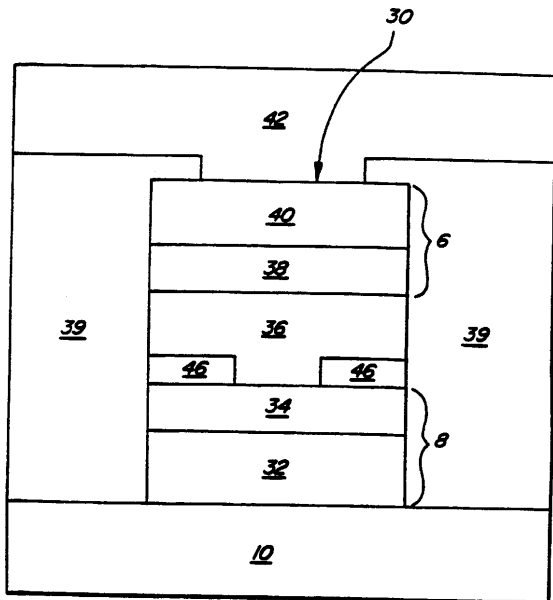


FIG - 1

【図2】

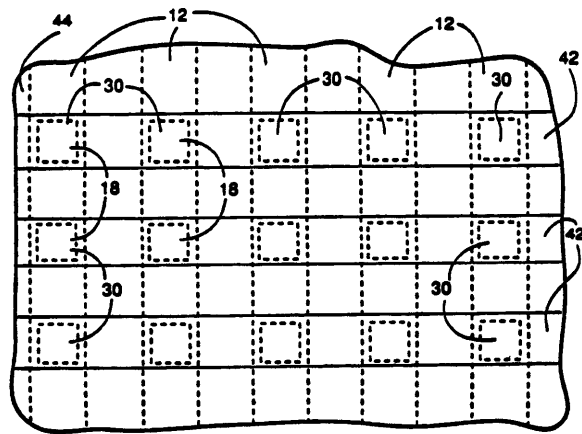


FIG - 2

【図3】

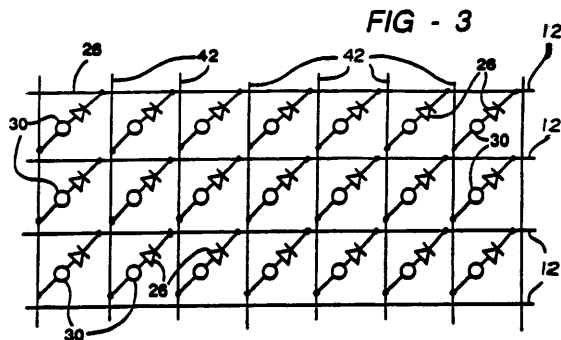
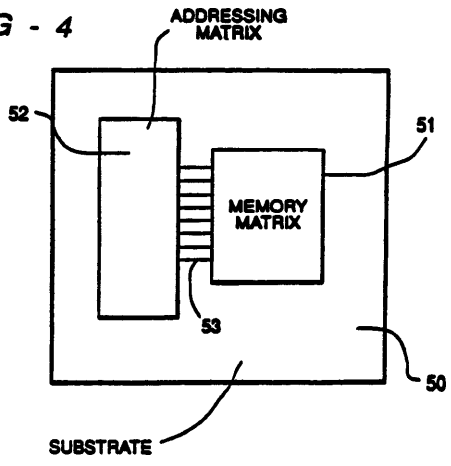


FIG - 3

【 4 】
FIG - 4



フロントページの続き

- (72)発明者 クズバティユ、ウォルドディミール
アメリカ合衆国 48092 ミシガン州 ウォーレン ウォルター 2426
- (72)発明者 オブシンスキー、スタンフォード アール.
アメリカ合衆国 48013 ミシガン州 ブルームフィールド ヒルズ スカーレル ロード
2700
- (72)発明者 ストランド、デイヴィッド エイ.
アメリカ合衆国 48301 ミシガン州 オークランド カウンティ ブルームフィールド タ
ウンシップ プライオール レイン 5611
- (72)発明者 クラスィ、パトリック
アメリカ合衆国 48360 ミシガン州 レイク オリオン カミラ 766

合議体

審判長 鈴木 匡明
審判官 近藤 幸浩
審判官 酒井 英夫

- (56)参考文献 特開平3 - 238882 (JP, A)
特開平6 - 509909 (JP, A)
特開平6 - 260445 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L27/10

H01L45/00