

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-183668

(P2017-183668A)

(43) 公開日 平成29年10月5日(2017.10.5)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H O 1 L 27/146 (2006.01)</b>	H O 1 L 27/14 A	4 M 1 1 8
<b>H O 4 N 5/369 (2011.01)</b>	H O 4 N 5/335 6 9 O	5 C O 2 4
<b>H O 4 N 5/357 (2011.01)</b>	H O 4 N 5/335 5 7 O	

審査請求 未請求 請求項の数 11 O L (全 10 頁)

(21) 出願番号 特願2016-73178 (P2016-73178)  
 (22) 出願日 平成28年3月31日 (2016. 3. 31)

(71) 出願人 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100076428  
 弁理士 大塚 康徳  
 (74) 代理人 100115071  
 弁理士 大塚 康弘  
 (74) 代理人 100112508  
 弁理士 高柳 司郎  
 (74) 代理人 100116894  
 弁理士 木村 秀二  
 (74) 代理人 100130409  
 弁理士 下山 治  
 (74) 代理人 100134175  
 弁理士 永川 行光

最終頁に続く

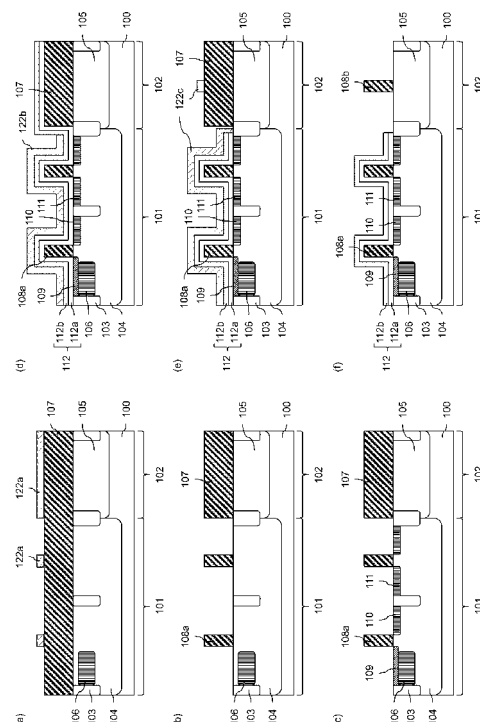
(54) 【発明の名称】 固体撮像装置の製造方法

## (57) 【要約】

【課題】固体撮像装置において周辺回路領域に配されたトランジスタの特性のばらつきを抑制するのに有利な技術を提供する。

【解決手段】画素領域及び周辺回路領域が半導体層に配された固体撮像装置の製造方法であって、半導体層の上にゲート電極膜を成膜する工程と、ゲート電極膜をエッチングし、周辺回路領域にゲート電極膜を残存させるとともに、画素領域にパターニングされた第1のゲート電極を形成する工程と、第1のゲート電極を形成する工程の後に、半導体層の上に第1の絶縁膜を成膜する工程と、周辺回路領域に形成された第1の絶縁膜を除去する工程と、第1の絶縁膜を除去する工程の後に、周辺回路領域に残存していたゲート電極膜をエッチングし、周辺回路領域にパターニングされた第2のゲート電極を形成する工程と、を含む。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

画素領域及び周辺回路領域が半導体層に配された固体撮像装置の製造方法であって、  
前記半導体層の上にゲート電極膜を成膜する工程と、  
前記ゲート電極膜をエッチングし、前記周辺回路領域に前記ゲート電極膜を残存させるとともに、前記画素領域にパターニングされた第 1 のゲート電極を形成する工程と、  
前記第 1 のゲート電極を形成する工程の後に、前記半導体層の上に第 1 の絶縁膜を成膜する工程と、  
前記周辺回路領域に形成された前記第 1 の絶縁膜を除去する工程と、  
前記第 1 の絶縁膜を除去する工程の後に、前記周辺回路領域に残存していた前記ゲート電極膜をエッチングし、前記周辺回路領域にパターニングされた第 2 のゲート電極を形成する工程と、  
を含むことを特徴とする固体撮像装置の製造方法。

10

**【請求項 2】**

前記第 2 のゲート電極を形成する工程の後に、前記半導体層の上に第 2 の絶縁膜を形成する工程と、  
前記第 2 の絶縁膜をエッチングすることによって、前記第 2 のゲート電極の側壁にサイドウォールを形成する工程と、  
を更に含むことを特徴とする請求項 1 に記載の固体撮像装置の製造方法。

20

**【請求項 3】**

前記第 1 の絶縁膜が、前記サイドウォールとは異なる絶縁体を含むことを特徴とする請求項 2 に記載の固体撮像装置の製造方法。

**【請求項 4】**

前記第 1 の絶縁膜の水素濃度が、前記サイドウォールの水素濃度よりも高いことを特徴とする請求項 2 又は 3 に記載の固体撮像装置の製造方法。

**【請求項 5】**

前記サイドウォールが、酸化シリコンを含むことを特徴とする請求項 2 乃至 4 の何れか 1 項に記載の固体撮像装置の製造方法。

**【請求項 6】**

前記第 1 の絶縁膜が、窒化シリコン膜を含むことを特徴とする請求項 2 乃至 5 の何れか 1 項に記載の固体撮像装置の製造方法。

30

**【請求項 7】**

前記第 1 の絶縁膜が、前記窒化シリコン膜と酸化シリコン膜とを含む積層構造を有することを特徴とする請求項 6 に記載の固体撮像装置の製造方法。

**【請求項 8】**

前記第 1 の絶縁膜が、前記半導体層の側から前記酸化シリコン膜、前記窒化シリコン膜の順に積層され、

前記第 1 の絶縁膜をエッチングする工程が、前記窒化シリコン膜を等方性ドライエッチングする工程と、前記窒化シリコン膜をエッチングした後に前記酸化シリコン膜をウェットエッチングする工程と、を含むことを特徴とする請求項 7 に記載の固体撮像装置の製造方法。

40

**【請求項 9】**

前記窒化シリコン膜が、ジクロロシラン及びヘキサクロロジシランの少なくとも 1 つを含む材料を用いて形成されることを特徴とする請求項 6 乃至 8 の何れか 1 項に記載の固体撮像装置の製造方法。

**【請求項 10】**

第 2 のゲート電極を形成する工程において、前記画素領域がマスクパターンによって覆われることを特徴とする請求項 1 乃至 9 の何れか 1 項に記載の固体撮像装置の製造方法。

**【請求項 11】**

前記製造方法は、

50

前記第２のゲート電極を形成する工程の後、前記半導体層のうち前記第２のゲート電極に近接した部分にソース・ドレイン領域を形成する工程と、

前記第２のゲート電極及び前記ソース・ドレイン領域の表面に金属シリサイドを形成する工程と、を更に含むことを特徴とする請求項１乃至１０の何れか１項に記載の固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、固体撮像装置の製造方法に関する。

【背景技術】

【０００２】

固体撮像装置において、画素領域での白点キズや暗電流などのノイズの原因の１つとして、半導体基板と半導体基板に接する絶縁膜との界面に形成される界面準位（ダングリングボンド）がある。このダングリングボンド起因のノイズを低減するために画素領域の上に水素供給膜を配し、画素領域に形成されたフォトダイオードなどの受光素子の表面のダングリングボンドを水素供給膜から供給される水素によって終端させることが特許文献１に示されている。特許文献１の製造方法では、基板の画素領域及び周辺回路領域となるそれぞれの部分にゲート電極を形成した後、基板を覆うように絶縁膜を形成し、この絶縁膜をエッチバックすることによってゲート電極の側壁にサイドウォールを形成する。次いで、基板を覆うように水素供給膜を形成し、水素供給膜のうち画素領域の上に配された部分を残し、周辺回路領域の上に配された部分をエッチングによって除去する。画素領域の上に配された水素供給膜によって、画素領域の受光素子に水素を供給することができる。

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開２００８－２５２０３２号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

特許文献１に示される製造方法では、ゲート電極の形成や水素供給膜のうち周辺回路領域の上に配された部分の除去などを行うためのドライエッチングにおいて、半導体層にプラズマダメージなどのダメージが生じる可能性がある。周辺回路領域の半導体層にダメージが生じた場合、周辺回路領域に配されたトランジスタの接合リークの増大などトランジスタの特性がばらつく可能性がある。トランジスタの特性ばらつきは、固体撮像装置を製造する際の歩留まりを低下させる要因となりうる。

【０００５】

本発明は、固体撮像装置において周辺回路領域に配されたトランジスタの特性のばらつきを抑制するのに有利な技術を提供することを目的とする。

【課題を解決するための手段】

【０００６】

上記課題に鑑みて、本発明の実施形態に係る固体撮像装置の製造方法は、画素領域及び周辺回路領域が半導体層に配された固体撮像装置の製造方法であって、半導体層の上にゲート電極膜を成膜する工程と、ゲート電極膜をエッチングし、周辺回路領域にゲート電極膜を残存させるとともに、画素領域にパターニングされた第１のゲート電極を形成する工程と、第１のゲート電極を形成する工程の後に、半導体層の上に第１の絶縁膜を成膜する工程と、周辺回路領域に形成された第１の絶縁膜を除去する工程と、第１の絶縁膜を除去する工程の後に、周辺回路領域に残存していたゲート電極膜をエッチングし、周辺回路領域にパターニングされた第２のゲート電極を形成する工程と、を含むことを特徴とする。

【発明の効果】

【０００７】

10

20

30

40

50

上記手段によって、固体撮像装置において周辺回路領域に配されたトランジスタの特性のばらつきを抑制するのに有利な技術が提供される。

【図面の簡単な説明】

【0008】

【図1】本発明に係る固体撮像装置の製造方法を示す断面図。

【図2】本発明に係る固体撮像装置の製造方法を示す断面図。

【発明を実施するための形態】

【0009】

以下、本発明に係る固体撮像装置の具体的な実施形態を、添付図面を参照して説明する。なお、以下の説明及び図面において、複数の図面に渡って共通の構成については共通の符号を付している。そのため、複数の図面を相互に参照して共通する構成を説明し、共通の符号を付した構成については適宜説明を省略する。

【0010】

図1、2を参照して、本発明の実施形態による固体撮像装置の構造及び製造方法について説明する。図1、2は、本発明の実施形態における固体撮像装置の製造方法の各工程を示す断面図である。説明のため、図1、2では、画素領域101と周辺回路領域102とを隣接させて描いている。また、固体撮像装置の形成される半導体層100をn型の導電型の半導体領域として説明するが、以下に説明する各構成要素の導電型を含め、導電型はそれぞれ逆の導電型であってもよい。

【0011】

固体撮像装置は、半導体層100及び半導体層100の上に形成される。半導体層100は、シリコンなどのn型の半導体基板であってもよいし、半導体基板に設けられたn型のウェルであってもよい。また例えば、ガラスやプラスチックなどの絶縁基板上に設けられたn型の半導体層であってもよい。

【0012】

まず、半導体層100には、図1(a)に示すように、STIや選択酸化法(LOCOS)などによって形成された素子分離領域103、画素領域101及び周辺回路領域102に形成されたp型のウェル104、105が、それぞれ配される。また、画素領域101には、n型の半導体領域106が配される。半導体領域106は、ウェル104とpn接合を構成し、光電変換部として機能する。素子分離領域103、ウェル104、105、半導体領域106の形成後、ゲート絶縁膜(不図示)、及び、ゲート電極を形成するためのゲート電極膜としてポリシリコン膜107を半導体層100上に成膜する。素子分離領域103、ウェル104、105、半導体領域106、ゲート絶縁膜、及び、ポリシリコン膜107のそれぞれは、既知の製造方法にて形成することができる。

【0013】

ポリシリコン膜107を形成した後、図1(a)に示すように、ポリシリコン膜107のうち画素領域101のゲート電極となる部分、及び、周辺回路領域102の上に配された部分を覆うマスクパターン122aを形成する。マスクパターン122aには、例えばフォトレジストなどが用いられる。次いで、形成されたマスクパターン122aに覆われない開口部を通してポリシリコン膜107をドライエッチングし、図1(b)に示すように、画素領域101にパターニングされたトランジスタのゲート電極108aを形成する。この工程によって、周辺回路領域102のポリシリコン膜107は加工されずに残存するとともに、画素領域101のトランジスタのゲート電極108aが形成される。周辺回路領域102は、ポリシリコン膜107及びマスクパターンによって覆われているため、周辺回路領域102の半導体層100に対するドライエッチングによるプラズマダメージを抑制できる。このドライエッチングを行う際のマスクパターンに、フォトレジストだけでなく酸化シリコンなどの絶縁膜を用いたハードマスクを使用してもよい。ドライエッチング後、マスクパターン122aは除去してもよいし、残存させておいてもよい。マスクパターン122aを周辺回路領域102に残存させた場合には、その後のイオン注入工程におけるダメージが半導体層100に入るのを抑制することができる。

## 【 0 0 1 4 】

次いで、図 1 ( c ) に示すように、フローティングディフュージョン部となる n 型の半導体領域 1 1 0、画素領域 1 0 1 のトランジスタのソース・ドレイン領域となる n 型の半導体領域 1 1 1 を、イオン注入法によって不純物を注入し形成する。また、図 1 ( c ) に示す構成のように、半導体領域 1 0 6 を埋め込み構造とするために、半導体領域 1 0 6 よりも浅い領域に p 型の半導体領域 1 0 9 をイオン注入法によって形成してもよい。半導体領域 1 0 9、1 1 0、1 1 1 を形成する順番は、上述の順番に限られることはなく、適宜、形成すればよい。また、半導体領域 1 0 6 もポリシリコン膜 1 0 7 の成膜前でなく、ゲート電極 1 0 8 a の形成後に形成してもよい。マスクパターン 1 2 2 a をイオン注入工程前に除去した場合であっても、周辺回路領域 1 0 2 はポリシリコン膜 1 0 7 に覆われているため、不純物を注入する際のイオン衝撃に起因するダメージが抑制される。半導体領域 1 0 9、1 1 0、1 1 1 を形成した後、イオン注入による注入欠陥を回復するために 7 0 0 ~ 1 1 0 0 程度の熱処理を行ってもよい。

## 【 0 0 1 5 】

半導体領域 1 0 9、1 1 0、1 1 1 の形成後、画素領域 1 0 1 及び周辺回路領域 1 0 2 を覆うように、半導体層 1 0 0 の上に絶縁膜 1 1 2 を成膜する。本実施形態において、絶縁膜 1 1 2 は、酸化シリコン膜 1 1 2 a と、酸化シリコン膜 1 1 2 a の上に配された窒化シリコン膜 1 1 2 b とを含む。酸化シリコン膜 1 1 2 a は、例えばテトラエトキシシラン ( T E O S ) を含む材料を用いて減圧 C V D 法によって形成される。窒化シリコン膜 1 1 2 b は、例えばジクロロシランやヘキサクロロジシランを含む材料を用いてプラズマ C V D 法によって形成される。これらの材料を用いてプラズマ C V D 法によって形成された窒化シリコンは、膜中に水素を多く含む水素供給膜として機能しうる。画素領域 1 0 1 の上に窒化シリコン膜 1 1 2 b を含む絶縁膜 1 1 2 を形成することによって、窒化シリコン膜 1 1 2 b から画素領域 1 0 1 に生成されたダングリングボンドに水素を供給し、ダングリングボンドを水素終端することができる。これによって、画素領域 1 0 1 の光電変換部やトランジスタで発生するノイズを低減することができる。本実施形態において、窒化シリコン膜 1 1 2 b の形成はプラズマ C V D で行ったが、減圧 C V D でもよい。また、本実施形態において、絶縁膜 1 1 2 は、酸化シリコン膜 1 1 2 a と窒化シリコン膜 1 1 2 b との 2 層の積層構造を有するが、例えば、窒化シリコン膜 1 1 2 b の上に更に酸化シリコン膜を形成した 3 層構造であってもよい。

## 【 0 0 1 6 】

次いで、図 1 ( d ) に示すように、絶縁膜 1 1 2 の形成後、画素領域 1 0 1 に配された絶縁膜 1 1 2 のうち少なくとも半導体領域 1 0 6 の形成された光電変換部を覆うマスクパターン 1 2 2 b を形成する。本実施形態において、絶縁膜 1 1 2 のうち画素領域 1 0 1 の上に配された部分全体を覆うマスクパターン 1 2 2 b を形成する。次いで、形成されたマスクパターン 1 2 2 b に覆われない開口部を通して、酸化シリコン膜 1 1 2 a 及び窒化シリコン膜 1 1 2 b を含む絶縁膜 1 1 2 をエッチングする。このエッチングによって、周辺回路領域に形成された絶縁膜 1 1 2 が除去される。酸化シリコン膜 1 1 2 a 及び窒化シリコン膜 1 1 2 b をドライエッチングによってエッチングしてもよい。また、窒化シリコン膜 1 1 2 b を等方性のドライエッチングによって除去した後、酸化シリコン膜 1 1 2 a をウエットエッチングによって除去してもよい。ドライエッチングとウエットエッチングとを組み合わせることによって、周辺回路領域 1 0 2 上のポリシリコン膜の側壁に絶縁膜 1 1 2 によるサイドウォールを形成することなく、絶縁膜 1 1 2 を除去することができる。本実施形態において、画素領域 1 0 1 全体を覆うマスクパターン 1 2 2 b によって、画素領域 1 0 1 の全体を覆うように絶縁膜 1 1 2 が残存する。

## 【 0 0 1 7 】

この周辺回路領域 1 0 2 上の絶縁膜 1 1 2 をエッチングする工程において、画素領域 1 0 1 はマスクパターン 1 2 2 b 及び絶縁膜 1 1 2 によって覆われている。このため、画素領域 1 0 1 の半導体層 1 0 0 へのドライエッチングによるプラズマダメージを抑制することができる。また、マスクパターン 1 2 2 b のアッシングなどによる除去及びマスクパタ

10

20

30

40

50

ーン 1 2 2 b を除去した後も、画素領域 1 0 1 上に絶縁膜 1 1 2 が残存する。このため、絶縁膜 1 1 2 を成膜する工程の後に行われる工程、例えば、周辺回路領域 1 0 2 の各構成要素を形成するためのイオン注入やドライエッチング、アッシングなどの工程によって生じる画素領域 1 0 1 の半導体層 1 0 0 へのダメージを抑制することができる。結果として、画素領域 1 0 1 の光電変換部で発生するノイズやトランジスタの特性のばらつきを抑制できる。マスクパターン 1 2 2 b が、画素領域 1 0 1 のうち光電変換部の上の部分のみを覆う場合であっても、以降の工程において、光電変換部が絶縁膜 1 1 2 によって覆われるため、光電変換部で発生するノイズを抑制できる。

#### 【 0 0 1 8 】

また、周辺回路領域 1 0 2 上の絶縁膜 1 1 2 をエッチングする工程において、周辺回路領域 1 0 2 は、ポリシリコン膜 1 0 7 によって覆われている。このため、画素領域 1 0 1 と同様に、周辺回路領域 1 0 2 の半導体層 1 0 0 へのドライエッチングによるプラズマダメージを低減することができる。

#### 【 0 0 1 9 】

本実施形態において、図 1 ( e ) に示すように、ポリシリコン膜 1 0 7 上の絶縁膜 1 1 2 を全て除去している。しかしこれに限られることなく、例えば、次に説明する周辺回路領域 1 0 2 のトランジスタのゲート電極を形成する際のハードマスクとして用いるために、絶縁膜 1 1 2 の一部を残してもよい。また例えば、絶縁膜 1 1 2 を除去した後、周辺回路領域 1 0 2 のトランジスタのゲート電極を形成する前に、形成されるゲート電極を低背化するために、ポリシリコン膜 1 0 7 をエッチングしてもよい。

#### 【 0 0 2 0 】

ポリシリコン膜 1 0 7 上の絶縁膜 1 1 2 をエッチングした後、図 1 ( e ) に示すように、ゲート電極 1 0 8 a の形成後も残存するポリシリコン膜 1 0 7 のうち少なくとも周辺回路領域 1 0 2 のゲート電極となる部分を覆うマスクパターン 1 2 2 c を形成する。このとき、マスクパターン 1 2 2 c は、画素領域 1 0 1 の上を覆っていてもよい。例えば、図 1 ( e ) に示すように、マスクパターン 1 2 2 c は、画素領域 1 0 1 の上全体を覆っていてもよい。また例えば、マスクパターン 1 2 2 c は、画素領域 1 0 1 のうち少なくとも半導体領域 1 0 6 を含む光電変換部を覆っていてもよい。マスクパターン 1 2 2 c に覆われる領域は、ポリシリコン膜 1 0 7 をエッチングする条件に応じて、適宜決定すればよい。次いで、マスクパターン 1 2 2 c に覆われない開口部を通して、周辺回路領域 1 0 2 に残存していたポリシリコン膜 1 0 7 をドライエッチングし、周辺回路領域 1 0 2 にパターンニングされたトランジスタのゲート電極 1 0 8 b を形成する。上述の通り、画素領域 1 0 1 は、このエッチング工程において、絶縁膜 1 1 2 によってプラズマダメージなどから保護される。ゲート電極 1 0 8 b が形成された断面図を図 1 ( f ) に示す。

#### 【 0 0 2 1 】

ゲート電極 1 0 8 b の形成後、図 2 ( a ) に示すように、ゲート電極 1 0 8 b をマスクとし、ゲート電極 1 0 8 b に近接した部分に、周辺回路領域 1 0 2 のトランジスタのソース・ドレイン領域を構成する n 型の半導体領域 1 1 4 を形成する。半導体領域 1 1 4 は、例えばイオン注入法によって不純物を注入することによって形成される。図 2 ( a ) に示す構成では、n 型のトランジスタのみを示すが、例えば、半導体層 1 0 0 に n 型のウェルが形成され、p 型の半導体領域で構成されるソース・ドレイン領域を有する p 型のトランジスタも、周辺回路領域 1 0 2 に形成されうる。

#### 【 0 0 2 2 】

次に、図 2 ( b ) に示すように、画素領域 1 0 1 及び周辺回路領域 1 0 2 を覆うように、半導体層 1 0 0 の上に、後の工程でゲート電極 1 0 8 b のサイドウォールとなる絶縁膜 1 1 5 を成膜する。本実施形態において、絶縁膜 1 1 5 には、例えば T E O S を含む材料を用いて減圧 C V D 法によって形成された酸化シリコン膜を用いる。絶縁膜 1 1 5 を形成する際、半導体領域 1 1 4 に注入された不純物の拡散を抑制するために、T E O S を含む材料を用いて減圧 C V D 法によって形成する酸化シリコン膜 1 1 2 a よりも低温で成膜してもよい。

10

20

30

40

50

## 【0023】

絶縁膜115の形成後、画素領域101の上に配された絶縁膜115を覆うマスクパターン122dを形成し、周辺回路領域102の上に配された絶縁膜115をドライエッチングによってエッチバックする。このエッチバックの工程によって、図2(c)に示すように画素領域101の絶縁膜112の上に絶縁膜115の一部を残した状態で、絶縁膜115からゲート電極108bの側壁を覆うサイドウォール116が形成される。絶縁膜115のうち画素領域101の上に配された部分を残すことによって、後の工程で周辺回路領域102の半導体領域114やゲート電極108bの表面に金属シリサイドを形成する際のシリサイドプロテクション膜として絶縁膜115を用いることができる。サイドウォール116の形成後、絶縁膜115が、画素領域101の全体を覆っていてもよい。

10

## 【0024】

図2(c)に示す構成のように、絶縁膜112は、サイドウォール116を構成する酸化シリコンとは異なる絶縁体である窒化シリコン膜112bを含む。ここで、絶縁膜112の水素濃度が、サイドウォール116の水素濃度よりも高くてもよい。サイドウォール116を形成するための絶縁膜115に用いられる酸化シリコン膜は、絶縁膜112を構成する窒化シリコン膜112bと比較して、膜中に含まれる水素の濃度が低くなりうる。また、絶縁膜115を成膜する際に、絶縁膜115が絶縁膜112よりも水素濃度が低くなるような条件を適宜選択し、絶縁膜115を形成してもよい。ここで、絶縁膜112及びサイドウォール116の水素濃度とは、例えば絶縁膜112、及び、サイドウォール116それぞれのある領域中の平均の水素濃度であってもよい。また例えば、絶縁膜112、及び、サイドウォール116それぞれのうち最も高い水素濃度であってもよい。水素濃度は、例えば飛行時間型の二次イオン質量分析法などを用いて測定することができる。

20

## 【0025】

画素領域101でダングリングボンドを終端するために必要とされる水素の量は、画素領域101に配されたトランジスタよりも微細化された周辺回路領域102に配されたトランジスタに必要とされる水素の量に対して過剰な場合がある。トランジスタに過剰な水素が供給されると、トランジスタのNBTI特性やホットキャリアによる特性などが悪化する可能性がある。このため本実施形態では、ゲート電極108bのサイドウォールとなる絶縁膜115に、画素領域101への水素供給膜として機能する窒化シリコン膜112bを含む絶縁膜112よりも水素濃度が低い絶縁膜が用いられる。

30

## 【0026】

また、サイドウォール116を形成する際に、画素領域101の上に配された絶縁膜115は、本実施形態のように画素領域101上に残存せずに、例えばエッチングされてもよい。例えば、絶縁膜115からサイドウォール116を形成する際、マスクパターン122dを形成せずに、画素領域101及び周辺回路領域102の全面をドライエッチングによってエッチバックしてもよい。マスクパターン122dを形成しないことによって、固体撮像装置の製造コストを低減できる。この場合、サイドウォール116の形成後、画素領域101上に配された絶縁膜112の少なくとも一部が残ることによって、画素領域101の半導体層100に対するダメージを抑制することができる。

## 【0027】

40

サイドウォール116の形成後、周辺回路領域102のトランジスタのLDD構造のソース・ドレイン領域を構成するn型の半導体領域117をイオン注入法によって不純物を注入し形成する。ソース・ドレイン領域がLDD構造を有さない場合、半導体領域114を形成する際の不純物の注入量を適宜、調整し、半導体領域117を形成しなくてもよい。次いで、画素領域101及び周辺回路領域102を覆うように半導体層100の上にコバルトやニッケルなどの金属を形成する。形成された金属を周辺回路領域102のゲート電極108bや半導体領域114、117と反応させることによって、ゲート電極108b及び半導体領域114、117によって構成されるソース・ドレイン領域の表面に金属シリサイド118が形成される。

## 【0028】

50

金属シリサイド 118 を形成後、周辺回路領域 102 のエッチストップパとして機能する窒化シリコン膜 119 を画素領域 101 及び周辺回路領域 102 を覆うように半導体層 100 上に形成する。窒化シリコン膜 119 は、窒化シリコン膜 112 b と異なる成膜条件を用いることによって、膜中に含まれる水素濃度を窒化シリコン膜 112 b よりも低くなるように形成してもよい。次いで、周辺回路領域 102 を覆うマスクパターンを形成し、画素領域 101 の上に配された窒化シリコン膜 119 を等方性ドライエッチングによって除去する。画素領域 101 の上に配された窒化シリコン膜 119 をエッチングした際の断面図を図 2 (d) に示す。窒化シリコン膜 119 は、周辺回路領域 102 のトランジスタのストレスライナ膜として機能するような成膜条件で形成されてもよい。図 2 (d) に示す構成では、画素領域 101 の窒化シリコン膜 119 をすべて除去しているが、これに限られるわけではない。例えば、光電変換部の上に光導波路を形成する場合、絶縁膜 112 上に形成される層間絶縁膜に光導波路を配するための開口部を形成する際のエッチングストップパ膜として機能するように、該当する部分に窒化シリコン膜 119 を残してもよい。

#### 【0029】

次いで、層間絶縁膜 120 を形成する。層間絶縁膜 120 には、例えば高密度プラズマ CVD 法によって成膜された BPSG や BSG、PSG などの酸化シリコンを用いてもよい。層間絶縁膜 120 の形成後、画素領域 101 において、絶縁膜 112 をエッチングストップ膜として用い、半導体領域 110、111 やゲート電極 108 a と電気的な接続をするためのコンタクトホールを開口する。コンタクトホールの開口には、例えば異方性のドライエッチングを用いてもよい。半導体領域 110、111 に形成されるコンタクトホールは、絶縁膜 112 がサイドウォールとして機能することによって自己整合的に半導体領域 110、111 の上に形成されうる。コンタクトホールの開口後、コンタクトホールに形成されるコンタクトプラグと半導体領域 110、111 との間の電気的な接続がより確実となるように、コンタクトホールの開口部を通してイオン注入法によって不純物を注入してもよい。次に、周辺回路領域 102 においても、窒化シリコン膜 119 をエッチングストップ膜として用い、周辺回路領域 102 のトランジスタのゲート電極 108 b やソース・ドレイン領域と電気的に接続するためのコンタクトホールを開口する。画素領域 101 のコンタクトホールの開口と同様に、ドライエッチングを用いてコンタクトホールを形成してもよい。画素領域 101 と周辺回路領域 102 とで、コンタクトホールを形成する順番は、本実施形態に限らず、周辺回路領域 102 の方が先であってもよいし、画素領域 101 と周辺回路領域 102 とで同時にコンタクトホールを形成してもよい。続いてコンタクトホールの中に導電体を充填して電極 121 a、121 b を形成する。電極 121 a、121 b の形成された断面図を図 2 (e) に示す。その後、金属など用いた配線や、カラーフィルタ、マイクロレンズなどを形成し、固体撮像装置が完成する。また、配線を形成する工程の最終工程で画素領域 101 及び周辺回路領域 102 に配されたトランジスタへの水素供給を促進させるための水素アニール工程を追加してもよい。

#### 【0030】

以上、説明したように、ポリシリコン膜 107 から、画素領域 101 と周辺回路領域 102 とで、それぞれ別の工程でゲート電極 108 a 及びゲート電極 108 b を形成する。また、画素領域 101 のゲート電極 108 a や他の構成要素を形成する際は、周辺回路領域 102 がポリシリコン膜 107 で覆われ、周辺回路領域 102 のゲート電極 108 b や他の構成要素を形成する際は、画素領域 101 が絶縁膜 112 で覆われる。このような工程を用いることによって、固体撮像装置を製造する際のエッチング処理の際の画素領域 101 及び周辺回路領域 102 の半導体層 100 へのダメージを抑制することが可能となる。結果として、画素領域 101 の光電変換部で発生するノイズを低減できる。また、画素領域 101 及び周辺回路領域 102 にそれぞれ配されたトランジスタの特性のばらつきを抑制することができる。更に、画素領域 101 を覆う絶縁膜 112 と周辺回路領域 102 のサイドウォール 116 を構成する絶縁膜 115 とで、それぞれ異なる構成を有する絶縁体を形成する。絶縁膜 112 が、絶縁膜 115 から形成されるサイドウォール 116 の水素濃度よりも高い水素濃度を有することによって、画素領域 101 ではダンダリングボン

10

20

30

40

50

ドを効果的に終端しノイズを低減する。また、周辺回路領域 102 への過剰な水素の供給を抑制することによって、周辺回路領域 102 に配されたトランジスタの特性の低下を抑制することができる。

### 【0031】

以上、本発明に係る実施形態を示したが、本発明はこれらの実施形態に限定されないことはいうまでもなく、本発明の要旨を逸脱しない範囲で、上述した実施形態は適宜変更、組み合わせが可能である。

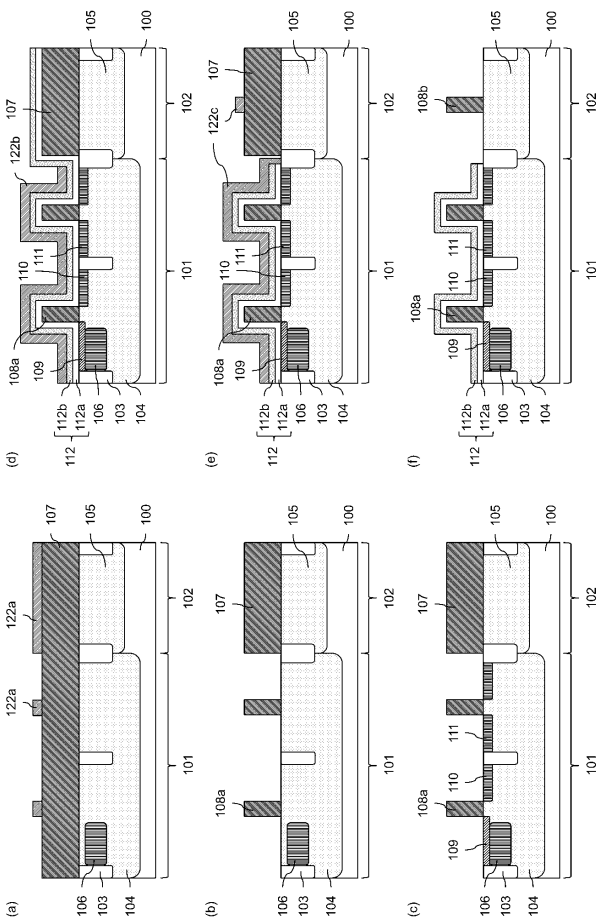
### 【符号の説明】

### 【0032】

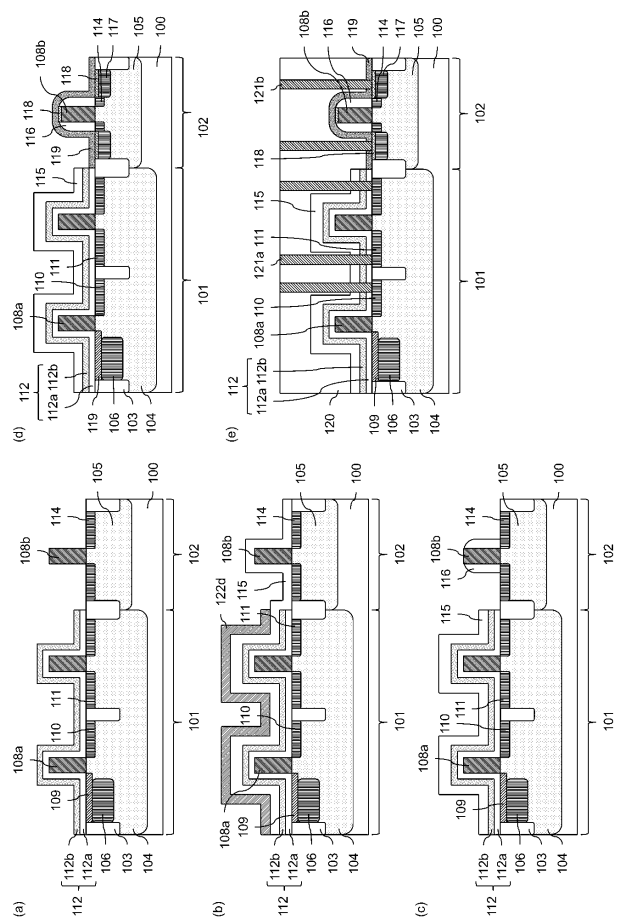
100：半導体層、101：画素領域、102：周辺回路領域、108a、b：ゲート電極、112、115：絶縁膜、122a、b、c、d：マスクパターン

10

### 【図 1】



### 【図 2】



---

フロントページの続き

(72)発明者 楠川 将司

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 4M118 AB01 BA14 CA04 EA01 EA07 EA14 EA15 FA28 FA33  
5C024 CX21 CY47 HX40