



(12) 发明专利申请

(10) 申请公布号 CN 114709221 A

(43) 申请公布日 2022. 07. 05

(21) 申请号 202210046067.3

(22) 申请日 2022.01.14

(30) 优先权数据

63/154,121 2021.02.26 US

17/464,460 2021.09.01 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 孙宏彰 赖升志 吴承润 江昱维

杨丰诚 林仲德

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

专利代理师 朱亦林

(51) Int. Cl.

H01L 27/1159 (2017.01)

H01L 27/11585 (2017.01)

权利要求书2页 说明书14页 附图49页

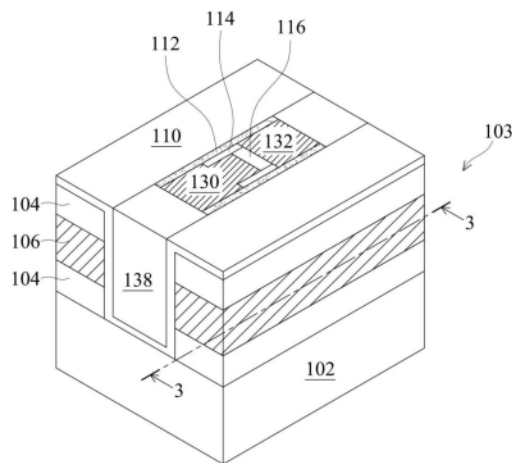
(54) 发明名称

半导体存储器结构及其形成方法

(57) 摘要

本公开涉及半导体存储器结构及其形成方法。一种半导体存储器结构包括铁电层和形成在该铁电层之上的沟道层。该结构还包括形成在沟道层之上的源极结构和漏极结构。该结构还包括形成在源极结构和漏极结构之间的第一隔离结构。源极结构在帽盖层之上朝向漏极结构延伸。

10a



1. 一种半导体存储器结构,包括:
铁电层;
沟道层,布置在所述铁电层之上;
帽盖层,布置在所述沟道层之上;
源极结构和漏极结构,布置在所述沟道层之上;以及
隔离结构,布置在所述源极结构与所述漏极结构之间,其中,所述源极结构的一部分超过所述帽盖层朝向所述漏极结构延伸。
2. 如权利要求1所述的半导体存储器结构,其中,所述源极结构包括布置在所述沟道层的各部分之间的第一部分和布置在所述帽盖层的各部分之间的第二部分。
3. 如权利要求1所述的半导体存储器结构,还包括与所述铁电层直接接触的栅极层。
4. 如权利要求3所述的半导体存储器结构,其中,所述隔离结构为第一隔离结构,所述半导体存储器结构还包括第二隔离结构,所述第二隔离结构沿所述源极结构、所述漏极结构、所述栅极层、所述铁电层、和所述沟道层的侧壁布置。
5. 如权利要求1所述的半导体存储器结构,其中,所述源极结构被配置成在截面图中具有L形。
6. 如权利要求1所述的半导体存储器结构,其中,所述源极结构和所述漏极结构与衬底直接接触。
7. 如权利要求1所述的半导体存储器结构,其中,所述漏极结构的一部分朝向所述源极结构延伸,并且其中,所述源极结构的延伸部分的长度大于所述漏极结构的延伸部分的长度。
8. 一种半导体存储器结构,包括:
栅极层,布置在衬底之上;
铁电层,布置在所述栅极层的侧壁之上;
沟道层,形成在所述铁电层的侧壁之上;
隔离层,布置在所述沟道层之间;以及
源极结构和漏极结构,布置在所述隔离层的相反侧上,其中,在顶视图中,所述源极结构的面积大于所述漏极结构的面积。
9. 如权利要求8所述的半导体存储器结构,其中,所述隔离层为第一隔离层,所述半导体存储器结构还包括布置在所述衬底之上的第二隔离层,其中,所述栅极层夹在所述第二隔离层之间。
10. 一种形成半导体存储器结构的方法,包括:
在第一隔离层之间沉积栅极层以在衬底之上形成堆叠;
图案化所述堆叠以形成第一开口,以暴露所述衬底;
在所述堆叠之上并在所述第一开口中沉积铁电层;
在所述铁电层之上沉积沟道层;
在所述沟道层之上沉积帽盖层;
在所述第一开口中形成第二隔离层;
图案化所述第二隔离层以形成第二开口和第三开口,从而暴露所述铁电层;
图案化所述第二隔离层以将所述第二开口朝向所述第三开口延伸;并且

在经延伸的第二开口和所述第三开口中填充导电材料以分别形成源极结构和漏极结构,其中,所述源极结构与所述帽盖层之间的接触面积大于所述漏极结构与所述帽盖层之间的接触面积。

半导体存储器结构及其形成方法

技术领域

[0001] 本公开涉及半导体领域,具体地,涉及半导体存储器结构及其形成方法。

背景技术

[0002] 半导体器件用于各种电子应用中,例如个人计算机、手机、数码相机和其他电子设备。通常通过如下操作来制造半导体器件:在半导体衬底上顺序地沉积绝缘或层间电介质(ILD)ILD结构、导电层和半导体材料层,并使用光刻来对各种材料层进行图案化以在这些层上形成电路组件和元件。通常在单个半导体晶片上制造许多集成电路,并且通过沿着切割线在集成电路之间锯切来使晶片上的各个管芯被分割。单个管芯通常单独封装(例如,在多芯片模块中),或以其他类型的封装来封装。

[0003] 在IC发展过程中,功能密度(即每个芯片面积的互连器件的数目)总体增加,同时几何尺寸(即,可以使用制造工艺创建的最小组件(或线路))减少。这种按比例缩小(scaling-down)的过程通常通过提高生产效率和降低相关成本来提供益处。

[0004] 然而,这些进步增加了处理和制造IC的复杂性。由于特征尺寸继续减小,制造工艺继续变得更加难以执行。因此,以越来越小的尺寸形成可靠的半导体器件是一个挑战。

发明内容

[0005] 根据本公开的实施例,提供了一种半导体存储器结构,包括:铁电层;沟道层,布置在所述铁电层之上;帽盖层,布置在所述沟道层之上;源极结构和漏极结构,布置在所述沟道层之上;以及隔离结构,布置在所述源极结构与所述漏极结构之间,其中,所述源极结构的一部分超过所述帽盖层朝向所述漏极结构延伸。

[0006] 根据本公开的实施例,提供了一种半导体存储器结构,包括:栅极层,布置在衬底之上;铁电层,布置在所述栅极层的侧壁之上;沟道层,形成在所述铁电层的侧壁之上;隔离层,布置在所述沟道层之间;以及源极结构和漏极结构,布置在所述隔离层的相反侧上,其中,在顶视图中,所述源极结构的面积大于所述漏极结构的面积。

[0007] 根据本公开的实施例,提供了一种形成半导体存储器结构的方法,包括:在第一隔离层之间沉积栅极层以在衬底之上形成堆叠;图案化所述堆叠以形成第一开口,以暴露所述衬底;在所述堆叠之上并在所述第一开口中沉积铁电层;在所述铁电层之上沉积沟道层;在所述沟道层之上沉积帽盖层;在所述第一开口中形成第二隔离层;图案化所述第二隔离层以形成第二开口和第三开口,从而暴露所述铁电层;图案化所述第二隔离层以将所述第二开口朝向所述第三开口延伸;并且在经延伸的第二开口和所述第三开口中填充导电材料以分别形成源极结构和漏极结构,其中,所述源极结构与所述帽盖层之间的接触面积大于所述漏极结构与所述帽盖层之间的接触面积。

附图说明

[0008] 从以下详细描述(当结合附图阅读时)可以最好地理解本公开的各方面。需要注意

的是,根据行业中的标准惯例,各种特征并未按比例绘制。事实上,为了讨论的清楚起见,可以任意增加或减少各种特征的尺寸。

[0009] 图1A-1、图1B-1、图1C-1、图1D-1、图1E-1、图1F-1、图1G-1、图1H-1、图1I-1、图1J-1、图1K-1、图1L-1、图1M-1是根据本公开的一些实施例的形成半导体存储器结构的各个阶段的透视图表示。

[0010] 图1A-2、图1B-2、图1C-2、图1D-2、图1E-2、图1F-2、图1G-2、图1H-2、图1I-2、图1J-2、图1K-2、图1L-2、图1M-2分别是根据本公开的一些实施例的形成半导体存储器结构的如图1A-1、图1B-1、图1C-1、图1D-1、图1E-1、图1F-1、图1G-1、图1H-1、图1I-1、图1J-1、图1K-1、图1L-1、图1M-1中描绘的各个阶段的顶视图。

[0011] 图1G-3和图1J-3分别是根据本公开的一些实施例的半导体存储器结构沿图1G-2和图1J-2中描绘的线3-3的截面图。

[0012] 图1M-3是根据本公开的一些实施例的半导体存储器结构沿图1M-1中描绘的线3-3的截面图。

[0013] 图2是根据本公开的一些实施例的半导体存储器结构的顶视图。

[0014] 图3是根据本公开的一些实施例的图2中描绘的半导体存储器结构的透视图表示。

[0015] 图4是根据本公开的一些实施例的半导体存储器结构的顶视图。

[0016] 图5A、图5B、图5C、图5D、图5E、图5F、图5G和图5H是根据本公开的一些实施例的形成半导体存储器结构的各个阶段的顶视图。

[0017] 图6A-1、图6B、图6C-1、图6D、和图6E是根据本公开的一些实施例的形成半导体存储器结构的各个阶段的顶视图。

[0018] 图6A-2和图6C-2是根据本公开的一些实施例的形成半导体存储器结构的各个阶段的截面图。

[0019] 图7A、图7B、图7C、图7D、图7E和图7F是根据本公开的一些实施例的形成半导体存储器结构的各个阶段的截面图。

[0020] 图8A、图8B、图8C和图8D是根据本公开的一些实施例的形成半导体存储器结构的各个阶段的截面图。

[0021] 图9A、图9B、图9C、图9D、图9E和图9F是根据本公开的一些实施例的形成半导体存储器结构的各个阶段的截面图。

具体实施方式

[0022] 下面的公开内容提供了用于实现所提供的主题的不同特征的许多不同的实施例或示例。下文描述了组件和布置的具体示例以简化本公开。当然,这些仅是示例而不意在进行限制。例如,下面的说明中,在第二特征之上或在第二特征上形成第一特征可以包括以直接接触的方式形成第一特征和第二特征的实施例,并且还可以包括可以在第一特征和第二特征之间形成附加特征使得第一特征和第二特征不直接接触的实施例。此外,本公开在各个示例中可以重复附图标记和/或字母。这种重复是为了简单和清楚的目的,并且其本身不表示所讨论的各个实施例和/或配置之间的关系。

[0023] 描述了实施例的一些变型。在各种视图和说明性实施例中,相同的附图标记用于表示相同的元件。应理解,可以在该方法之前、期间和之后提供额外的操作,并且对于该方

法的其他实施例,可以替换或消除所描述的一些操作。

[0024] 在本文中,术语“大约”、“约”、“大致”通常是指在给定值或范围的20%以内,在10%、5%、或3%、或2%、或1%、或0.5%内更好。需要注意的是,本文中的数量为大致数量,即在具体提及“大约”、“约”、“大致”等词语的情况下,仍隐含“大约”、“约”、“大致”等含义。

[0025] 提供了用于形成半导体存储器结构的实施例。一种形成半导体存储器结构的方法可以包括形成一种源极结构,该源极结构延伸的比漏极结构延伸的要多。可以改进半导体存储器结构的存储器窗口。可以增加单元密度,并且半导体存储器结构的导通电流可以更高。

[0026] 图1A-1、图1B-1、图1C-1、图1D-1、图1E-1、图1F-1、图1G-1、图1H-1、图1I-1、图1J-1、图1K-1、图1L-1、图1M-1是根据本公开的一些实施例的形成半导体存储器结构10a的各个阶段的透视图表示。图1A-2、图1B-2、图1C-2、图1D-2、图1E-2、图1F-2、图1G-2、图1H-2、图1I-2、图1J-2、图1K-2、图1L-2、图1M-2是根据本公开的一些实施例的形成半导体存储器结构10a的各个阶段的顶视图。

[0027] 提供了如图1A-1所示的根据一些实施例的衬底102。衬底102可以是半导体晶片,例如硅晶片。衬底102还可以包括其他元素半导体材料、化合物半导体材料和/或合金半导体材料。元素半导体材料的示例可以包括但不限于晶体硅、多晶硅、非晶硅、锗和/或金刚石。化合物半导体材料的示例可以包括但不限于碳化硅、氮化镓、砷化镓、磷化镓、磷化铟、砷化铟和/或锑化铟。合金半导体材料的示例可以包括但不限于SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP和/或GaInAsP。衬底102可以包括外延层。例如,衬底102可以包括上覆于体半导体的外延层。此外,衬底102还可以包括绝缘体上半导体(SOI)。可以通过晶片压焊工艺、硅膜转移工艺、注氧隔离(SIMOX)工艺、其他适用方法或它们的组合来制造SOI衬底。衬底102可以是N型衬底。衬底102可以是P型衬底。

[0028] 接下来,根据一些实施例,在衬底102之上形成包括隔离层104和栅极层106的堆叠103,如图1A-1和图1A-2所示。如图1A-1所示,栅极层106夹在隔离层104之间。隔离层104可以包括氧化硅、氮化硅、氮氧化硅、掺氟硅酸盐玻璃(FSG)、其他低k(介电常数小于氧化硅的介电常数——约为3.9)电介质材料或它们的组合。可以通过诸如化学气相沉积(CVD)工艺、旋涂玻璃工艺、其他适用工艺或它们的组合之类的沉积工艺来沉积隔离层104。

[0029] 栅极层106可以包括多晶硅(poly-Si)、多晶硅锗(poly-SiGe)、金属(例如钨、钛、铝、铜、钼、镍、铂等、或它们的组合)、金属合金、金属氮化物(例如氮化钨、氮化钼、氮化钛和氮化钽等、或它们的组合)、金属硅化物(例如硅化钨、硅化钛、硅化钴、硅化镍、硅化铂、硅化钼等、或它们的组合)、金属氧化物(例如氧化钨、氧化钨锡等、或它们的组合)、其他适用材料或它们的组合。可以通过化学气相沉积工艺(例如低压化学气相沉积工艺或等离子体增强化学气相沉积工艺)、物理气相沉积工艺(例如真空蒸发工艺或溅射工艺)、其他适用工艺或它们的组合来形成栅极层106。

[0030] 之后,可以在隔离层104之上形成光致抗蚀剂层(未示出)。光致抗蚀剂层可以通过图案化工艺进行图案化。图案化工艺可以包括光刻工艺和蚀刻工艺。光刻工艺的示例包括光致抗蚀剂涂覆(例如,旋涂)、软烘烤、掩模对准、曝光、曝光后烘烤、光致抗蚀剂显影、冲洗和干燥(例如,硬烘烤)。蚀刻工艺可以是干法蚀刻工艺或湿法蚀刻工艺。根据一些实施例,

结果是,得到了经图案化的堆叠103,并且在堆叠103中形成开口108以使衬底102暴露出,如图1B-1和1B-2所示。然后,去除经图案化的光致抗蚀剂层。

[0031] 接下来,根据一些实施例,铁电层110、沟道层112和帽盖层(或帽层)114依次沉积在堆叠103之上和开口108中,如图1C-1和图1C-2所示。在一些实施例中,铁电层110、沟道层112和帽盖层114共形地沉积在堆叠103之上和开口108中。在如图1C-1所示的实施例中,栅极层106与铁电层110直接接触。

[0032] 在本实施例中,铁电层110包括展现出电可切换极性的铁电材料。在一些实施例中,铁电层110包括 HfO_x 、 AlO_x 、 ZrO_x 、 HfZrO_x 、其他适用的铁电材料或它们的组合。可以通过CVD工艺、物理气相沉积工艺(PVD)、原子层沉积工艺(ALD)、其他合适的工艺或它们的组合来形成铁电层110。

[0033] 沟道层112可以包括金属氧化物(例如氧化铟镓锌(IGZO)、氧化铟镓锌锡(IGZTO))、SiGe、锗、其他适用材料或它们的组合。可以通过CVD工艺、PVD工艺、ALD工艺、其他合适的工艺或它们的组合来形成沟道层112。

[0034] 帽盖层114可以包括氧化铝(AlO_x)、氧化硅(SiO_x)、氧化铪(HfO_x)、硅、其他适用材料或它们的组合。帽盖层114可以被配置成在后续蚀刻工艺期间保护沟道层112。可以通过CVD工艺、PVD工艺、ALD工艺、其他合适的工艺或它们的组合来形成帽盖层114。

[0035] 接下来,根据一些实施例,执行蚀刻工艺以去除帽盖层114和沟道层112在开口108的底面和堆叠103的顶面之上的部分,如图1D-1和图1D-2所示。如图1D-1和图1D-2所示,在蚀刻工艺之后暴露出在堆叠103之上的和开口108中的铁电层110的顶面。蚀刻工艺可以是干法蚀刻工艺或湿法蚀刻工艺。在一些实施例中,通过干法蚀刻工艺来蚀刻帽盖层114和沟道层112。干法蚀刻工艺可包括使用氟基蚀刻剂气体,例如 SF_6 、 C_xF_y (其中x和y为正整数)、 NF_3 或它们的组合。

[0036] 接下来,根据一些实施例,在开口108中形成隔离结构116,如图1E-1和图1E-2所示。隔离结构116可包括氧化硅、氮化硅、氮氧化硅、掺氟硅酸盐玻璃(FSG)、其他低k介电材料或它们的组合。隔离结构116可以通过诸如CVD工艺、旋涂玻璃工艺、其他适用工艺或它们的组合之类的沉积工艺来沉积。

[0037] 然后,根据一些实施例,隔离结构116可以被平坦化以暴露出铁电层110、沟道层112和帽盖层114的顶面,如图1E-1和图1E-2所示。隔离结构116可以通过化学机械抛光(CMP)工艺来平坦化。

[0038] 之后,可以在隔离结构116之上形成光致抗蚀剂层(未示出)。光致抗蚀剂层可以通过图案化工艺进行图案化。图案化工艺可以包括与上文关于形成图案化堆叠103所讨论的工艺类似的光刻工艺和蚀刻工艺。根据一些实施例,结果是,在隔离结构116中形成开口118和120,如图1F-1和图1F-2所示。

[0039] 接下来,根据一些实施例,去除开口118和120的侧壁之上的帽盖层114,如图1G-1和1G-2所示。在一些实施例中,可以从开口118和120对帽盖层114进行蚀刻以暴露出开口118和120的侧壁上的沟道层112。可以通过蚀刻工艺(例如干法蚀刻工艺或湿法蚀刻工艺)来蚀刻帽盖层114。在一些实施例中,通过干法蚀刻工艺来蚀刻帽盖层114。干法蚀刻工艺可包括使用氟基蚀刻剂气体,例如 SF_6 、 C_xF_y (其中x和y为正整数)、 NF_3 或它们的组合。

[0040] 图1G-3示出了沿图1G-2中的线3-3截取的截面图。如图1G-3中所示,在蚀刻帽盖层

114之后,一部分沟道层112保留在开口118(以及开口120)的底面之上,使得在侧壁和开口118(和开口120)的底面之上的沟道层112在截面图中呈L形。

[0041] 然后,根据一些实施例,在隔离结构116和覆盖堆叠103的铁电层110之上形成掩模结构121,如图1H-1和图1H-2所示。掩模结构121可以包括底层122、中间层124和顶层126。底层122、中间层124和顶层126可以各自包括光致抗蚀剂或光敏材料、一种或多更多种其他合适的材料,或它们的组合。底层122可以包括 $C_xH_yO_z$,中间层124可以包括 $SiC_xH_yO_z$,顶层126可以包括光敏材料(例如,光致抗蚀剂),其中 x 、 y 和 z 是正整数。底层122、中间层124和顶层126使用旋涂工艺、其他适用工艺或它们的组合来沉积。

[0042] 如图1H-1和图1H-2中所示,对掩模结构121的顶层126进行图案化。结果是,在顶层126中形成开口128。中间层124通过开口128被暴露出来。通过上文详细讨论的光刻工艺来图案化顶层126。

[0043] 然后,将经图案化的顶层126用作蚀刻掩模来图案化中间层124。结果是,开口128被转移到中间层124(未示出)。可以在图案化中间层124期间和/或之后去除经图案化的顶层126。类似地,然后将经图案化的中间层124用作蚀刻掩模来图案化和蚀刻底层122。结果是,开口128被转移到底层122(未示出)中。可以在图案化底层122期间和/或之后去除经图案化的中间层124。

[0044] 接下来,使用一种或多种蚀刻工艺、其他适用工艺或它们的组合来顺序地图案化中间层124和底层122。蚀刻工艺可以是干法蚀刻工艺、其他适用工艺或它们的组合。如图1I-1和图1I-2中所示,经图案化的中间层124和底层122用作蚀刻掩模以图案化隔离结构116,从而去除隔离结构116位于开口118附近的、在帽盖层114的相对部分之间的部分。结果是,开口118在隔离结构116中被扩大,同时帽盖层114保留在开口118的部分侧壁之上。换言之,开口118在帽盖层114之间朝向相邻的开口120扩大。在图案化隔离结构116之后,经图案化的中间层124和底层122通过抗蚀剂剥离和/或等离子体灰化被去除。

[0045] 在一些实施例中,隔离结构116在开口118和120中具有渐缩侧壁。在一些实施例中,隔离结构116在开口118和120的顶部附近具有圆角。

[0046] 然后,根据一些实施例,分别在开口118和120中、在隔离结构116之上形成源极结构130和漏极结构132,如图1J-1、1J-2和1J-3所示。源极结构130和漏极结构132可以各自包括金属(例如,Co、Ni、W、Ti、Ta、Cu、Al、Ru、Mo、TiN、TaN、其他合适的金属、或它们的组合)、金属合金、多晶硅、其他适用的导电材料或它们的组合。可以通过CVD工艺、PVD工艺(例如,蒸发或溅射)、ALD工艺、电镀工艺、其他合适的工艺或它们的组合来形成源极结构130和漏极结构132,以使源极结构130和漏极结构132的导电材料分别沉积在开口118和120中,然后可以执行平坦化工艺(例如CMP工艺)或回蚀工艺以去除形成在铁电层110的顶面之上的多余导电材料。

[0047] 在一些实施例中,源极结构130是源线结构130,而漏极结构132是铁电随机存取存储器(FeRAM)单元的位线结构。在一些实施例中,栅极层106是FeRAM单元的字线层106。

[0048] 图1J-3是沿图1J-2中的线3-3截取的截面表示图。如图1J-3中所示,由于部分沟道层112保留在开口118的底面之上,因此源极结构130的截面图配置为T形。在一些实施例中,沟道层112中的一部分位于源极结构130之下。类似地,虽然未描绘出,但漏极结构132在沿平行于线3-3的线的横截面视图图中也被配置为T形。

[0049] 接下来,根据一些实施例,在经图案化的隔离结构116和覆盖堆叠103的铁电层110之上形成包括底层152、中间层154和顶层156的掩模结构141,如图1K-1和图1K-2中所示。多层掩模结构141在成分上可以与掩模结构121基本相同。例如,底层152、中间层154和顶层156分别具有与如上所述的底层122、中间层124和顶层126大致相同的成分。图案化多层掩模结构141以在顶层156中形成暴露出中间层154的开口134。用于形成和图案化掩模结构151的工艺可以与用于形成如图1H-1和图1H-2所示的实施例中的掩膜结构121的工艺相同或相似。为简洁起见,此处不再重复对这些工艺的描述。

[0050] 接下来,如图1L-1和图1L-2中所示,经图案化的掩模结构151用作蚀刻掩模以通过蚀刻工艺进一步图案化下面的隔离结构116。结果是,在源极结构130和漏极结构132的相反侧上的隔离结构116、帽盖层114和沟道层112被去除,从而得到开口136。在一些实施例中,完全去除位于源极结构130和漏极结构132的相反侧上的隔离结构116、帽盖层114和沟道层112以防止电短路。蚀刻工艺可以是干法蚀刻工艺或湿法蚀刻工艺。

[0051] 接下来,如图1M-1、图1M-2和图1M-3所示,在开口136中形成隔离结构138。用于形成隔离结构138的工艺和材料可以与用于形成图1E-1和图1E-2中所示实施例中的隔离结构116的工艺和材料相同或相似。为简洁起见,此处不再重复对这些工艺的描述。在一些实施例中,隔离结构138被配置成提供相邻FeRAM单元之间的隔离。在本实施例中,每个FeRAM单元插入在隔离结构138的两个部分之间。

[0052] 如图1M-1、图1M-2和图1M-3中所示,源极结构130在帽盖层114之间具有延伸部分,而漏极结构132与隔离结构116之间的交界与漏极结构132与帽盖层114之间的交界对齐。在一些实施例中,源极结构130具有在沟道层112之间的第一部分和在帽盖层114之间延伸的第二部分。在一些实施例中,源极结构130与帽盖层114之间的接触面积大于漏极结构132与帽盖层114之间的接触面积。在一些实施例中,源极结构130沿沟道层112的长度大于漏极结构132沿沟道层112的长度。在一些实施例中,帽盖层114的侧壁与隔离结构116的侧壁对齐。因为只有源极结构130延伸而漏极结构132没有延伸,所以由施加在漏极结构132上的电压引起的能带偏移和电场可以被最小化,从而使FeRAM单元的存储器窗口得以改进。

[0053] 在一些实施例中,如图1M-2中所示,源极结构130朝向漏极结构132的延伸距离E1为约5nm至约125nm。如果延伸距离E1太长,则FeRAM单元的面积可能太大。如果延伸距离E1太短,存储器窗口的改进可能不足以带来器件性能的提升。在如图1M-2中所示的一些实施例中,漏极结构132不朝向源极结构130延伸。

[0054] 在一些实施例中,如图1M-2中所示,隔离结构116具有约30nm至约200nm的厚度T1。如果隔离结构116太厚,则FeRAM单元的面积可能太大。如果隔离结构116太薄,源极结构130和漏极结构132之间的隔离可能不足以阻止电短路。

[0055] 应注意的是,隔离结构116中不应存在接缝或空隙。隔离结构116中的接缝或空隙可能导致源极结构130与漏极结构132之间的电短路。

[0056] 在如图1M-2中所示的一些实施例中,邻近源极结构130和漏极结构132的隔离结构138分别具有厚度T2和T3。在一些实施例中,厚度T2和T3各自为约30nm至约300nm。如果隔离结构138的厚度T2和T3太大,则FeRAM单元的面积可能太大。如果隔离结构138的厚度T2和T3太小,则相邻FeRAM单元之间的隔离可能不够。

[0057] 在一些实施例中,如图1M-2中所示,沟道层112具有约5nm至约50nm的厚度C1。沟道

层112的厚度C1可取决于FeRAM单元的电需求。

[0058] 在一些实施例中,如图1M-2中所示,帽盖层114具有约5nm至约50nm的厚度C2。如果帽盖层114太薄,则在为源极结构130和漏极结构132形成开口118和120时可能会在无意中损坏沟道层112。

[0059] 在如图1M-2中所示的一些实施例中,帽盖层114的长度L1与沟道层112的长度L2的比率为约0.1至约0.6。如果长度L1与长度L2的比率太小,则沟道长度可能太短,并且可能会劣化短沟道效应。如果长度L1与长度L2的比率太大,源极结构130和漏极结构132可能太小,并且电阻可能高于所期望的。结果是,导通电流也可能降低。

[0060] 图1M-3是沿图1M-1中的线3-3截取的截面表示图。如图1M-3中所示,半导体存储器结构10a包括FeRAM单元,该单元具有共享公共源极结构130和公共漏极结构132的两个铁电效应晶体管(FeFET)。

[0061] 由于只有源极结构130相对于漏极结构132延伸,施加在漏极结构132上的电压对能带偏移和影响铁电层110中的极性的电场的影响较小。因此,FeRAM单元的存储窗口可以得以改进。

[0062] 可以对本公开的实施例进行许多变化和/或修改。部分工艺或组件与上述实施例中描述的相同或相似,在此不再赘述。图2是根据本公开的一些实施例的经修改的半导体存储器结构10b的示例的顶视图。与上述实施例的不同之处在于,根据如图2中所示的一些实施例,帽盖层114的长度L1与沟道层112的长度L2的比率大于图1M-2中所示的实施例中的长度L1与长度L2的比率。

[0063] 在一些实施例中,如图中2所示,帽盖层114的长度L1与沟道层112的长度L2的比率为约0.04至约0.81。利用相对较长的帽盖层114以及帽盖层114的长度L1与沟道层112的长度L2的更大比率,可以减小器件面积。因此,可以增加FeRAM单元的密度,并且FeRAM单元的导通电流可以更高。

[0064] 图3是根据本公开的一些实施例的经修改的半导体存储器结构10c的另一示例的透视图。与上述实施例的不同之处在于,根据如图3中所示的一些实施例,堆叠103包括多个交替的栅极层106和隔离层104。

[0065] 如图3中所示,将多个栅极层106和隔离层104交替堆叠以在衬底102之上形成堆叠103。然后,如图3中所示,类似于上面关于图1A-1至图1M-3讨论的实施例,铁电层110、沟道层112与帽盖层114形成于堆叠体103的旁边。源极结构130与漏极结构132形成于沟道层112之间,并由隔离结构116隔开。隔离结构138形成在源极结构130和漏极结构132的相反侧之上。

[0066] 除了上文讨论的源极结构130相对于漏极结构132延伸所提供的好处之外,多个栅极层106和隔离层104使得相同面积中有更多的FeFET,并且可以相应地增加存储器存储容量。在如图3中所示的一些实施例中,堆叠103的高度H为约60nm至约3000nm。如果堆叠103太高,则蚀刻堆叠103以使衬底102暴露可能是困难的。

[0067] 应注意的是,虽然在图3的实施例中,堆叠103中具有两个栅极层106和三个隔离层104。但是,栅极层106和隔离层104的层数不限于此,而是取决于设计和蚀刻工艺限制。在一些实施例中,堆叠103包括至少两个栅极层106。

[0068] 图4是根据本公开的一些实施例的又一经修改的半导体存储器结构10d的顶视图。

与上述实施例的不同之处在于,根据如图4中所示的一些实施例,漏极结构132也具有朝向源极结构130延伸的部分。

[0069] 如图4中所示,源极结构130与漏极结构132在帽盖层114之间朝向彼此延伸。此外,源极结构130与漏极结构132通过隔离结构116被隔开。在一些实施例中,源极结构130延伸得多于漏极结构132。就此而言,源极结构130的延伸部分的长度 $LS1$ 大于漏极结构132的延伸部分的长度 $LD1$ 。在一些实施例中,源极结构130在顶视图中的面积大于漏极结构132的面积。由于源极结构130的延伸部分比漏极结构132的延伸部分长,可以改进存储器窗口。

[0070] 由于源极结构130具有比漏极结构132的延伸部分更长的延伸部分,施加在漏极结构132上的电压对能带和影响铁电层110中的极性的电场的影晌较小。因此,FeRAM单元的存储窗口可以得以改进。

[0071] 图5A-图5H是根据本公开的一些实施例的形成另一经修改的半导体存储器结构10e的各个阶段的顶视图。与上述实施例的不同之处在于,根据如图5A和图5B中所示的一些实施例,不形成帽盖层114,并且在沉积沟道层112之后蚀刻在堆叠103和开口108的底面之上的沟道层112。图5A和图5B中描绘的实施例分别与图1C-2和图1D-2中描绘的实施例形成对照。由于没有帽盖层114,蚀刻沟道层112去除了沟道层112在开口108的底面上的部分。

[0072] 接下来,如图5C中所示,隔离结构116形成于沟道层112之间。如图5D中所示,图案化隔离结构116,并在隔离结构116中的沟道层112之间形成开口118和120。接下来,如图5E中所示,图案化隔离结构116并扩大沟道层112之间的开口118。然后,如图5F中所示,分别在开口118和120中形成源极结构130和漏极结构132。之后,如图5G中所示,图案化沟道层112与隔离结构116,并移除位于源极结构130和漏极结构132的相反侧上的沟道层112与隔离结构116。然后,如图5H中所示,隔离结构138形成在源极结构130和漏极结构132的相反侧上。

[0073] 用于形成隔离结构116、开口118和120、源极结构130、漏极结构132和隔离结构138的工艺和材料可以与上文关于图1E-2、图1F-2、图1H-2、图1I-2、图1J-2、图1K-2、图1L-2和图1M-2中所示的实施例讨论的那些相同或相似。为简洁起见,此处不再重复对这些工艺的描述。

[0074] 与之前的如图1M-2中所示的实施例相比,在沟道层112与源极结构130/漏极结构132之间没有形成帽盖层114。因此,除了提供改进的存储窗口的好处之外,还可以省略一些图案化工艺,并且生产所需的成本和时间可能会减少。

[0075] 如图5H中所示,源极结构130和漏极结构132在顶视图中均具有矩形形状。在一些实施例中,源极结构130沿沟道层112的长度 $LS2$ 比漏极结构132的长度 $LD2$ 长。因此,由于上述原因,可以改进存储器窗口。

[0076] 图6A-1、图6B、图6C-1、图6D-图6E是根据本公开的一些实施例的形成再一经修改的半导体存储器结构10f的各个阶段的顶视图。图6A-2示出了沿图6A-1中的线2-2截取的截面表示图。与上述实施例的不同之处在于,如图6A-1和图6A-2中所示,在蚀刻帽盖层114之后,沟道层112在开口118和120的底面之上的部分被去除。

[0077] 然后,如图6B中所示,图案化隔离结构116并扩大帽盖层114之间的开口118。然后,如图6C-1中所示,源极结构130和漏极结构132分别形成在开口118和120中。图6C-2示出了沿图6A-1中的线2-2截取的截面表示图。如图6C-2中所示,由于开口118的底面之上的沟道层112被移除,因此源极结构130在截面图中具有矩形形状而非如图1J-3中描绘的T形。

[0078] 之后,如图6D中所示,图案化沟道层112、帽盖层114和隔离结构116,并且移除在源极结构130和漏极结构132的相反侧上的沟道层112、帽盖层114和隔离结构116。然后,如图6E中所示,隔离结构138形成在源极结构130和漏极结构132的相反侧上。

[0079] 图7A-图7F是根据本公开的一些实施例的形成另一平面半导体存储器结构10g的各个阶段的截面图。与上述实施例的不同之处在于,根据如图7A中所示的一些实施例,半导体存储器结构是平面器件而不是如半导体存储器结构10a-10g中所描绘的三维器件。

[0080] 在如图7A中所示的一些实施例中,在衬底102之上形成包括栅极层106、铁电层110、沟道层112和帽盖层114的堆叠140。如图7A中所示,栅极层106形成在衬底102之上,铁电层110形成在栅极层106之上。此外,沟道层112形成在铁电层110之上,并且帽盖层114形成在沟道层112之上。如图7A中所示,隔离层104形成在帽盖层114之上,并且隔离层104还覆盖堆叠140的侧壁。在一些实施例中,隔离层104将堆叠140包围。

[0081] 用于形成衬底102、栅极层106、铁电层110、沟道层112、帽盖层114和隔离层104的工艺和材料可以与上面关于图1C-1和图1E-1中所示的实施例讨论的那些相同或相似。为简洁起见,此处不再重复对这些工艺的描述。

[0082] 接下来,如图7A中所示,在隔离层104之上形成包括底层122a、中间层124a和顶层126a的经图案化的掩模结构121a。如图7A中所示,图案化掩模结构121a以在顶层126a中形成暴露出中间层124a的开口128a。接下来,如图7B中所示,通过经图案化的掩膜结构121a来图案化隔离层104以在隔离层104中形成开口118和120。

[0083] 形成经图案化的掩膜结构121a的工艺和材料可以与如图1H-1中所示的实施例中形成经图案化的掩膜结构121的工艺和材料相同或相似,在此不再赘述。为简洁起见,此处不再重复对这些工艺的描述。

[0084] 然后,如图7C中所示,在经图案化的隔离层104之上形成包括底层122b、中间层124b和顶层126b的经图案化的掩膜结构121b,使得底层122b将开口118和120填充。如图7C中所示,在顶层126b中形成开口128b和128c。如图7C中所示,开口118之上的开口128c比开口118窄,开口120之上的开口128b与开口120具有相同的宽度。

[0085] 因此,如图7C中所示,顶层126b从两侧延伸以部分地覆盖开口118。在一些实施例中,顶层126b在开口118之上的延伸距离LS1从每一侧起为约5nm至约125nm。如果延伸距离LS1过长,则FeRAM单元的面积可能过大。如果延伸距离LS1太短,存储器窗口的改进可能不够。在一些实施例中,顶层126b中的开口128b的侧壁与隔离层104中的开口120的侧壁基本对齐。

[0086] 接下来,如图7D中所示,通过经图案化的顶层126b来图案化底层122b。随后通过合适的方法来去除中间层124b和顶层126b。在一些实施例中,经图案化的底层122b的部分保留在开口118的侧壁之上。在一些实施例中,开口118中的底层122b与帽盖层114接触。在一些实施例中,底层122b的侧壁与隔离层104在开口120中的侧壁对齐。

[0087] 接下来,如图7E中所示,通过经图案化的底层122b来图案化帽盖层114,然后去除经图案化的底层122b。因此,所得帽盖层114的部分延伸超过隔离层104的侧壁并在开口118的底面之上。

[0088] 形成经图案化的掩模结构121b和图案化帽盖层114的工艺和材料可以与如图1H-1和图1I-1中所示的实施例中用于形成经图案化的掩膜结构121和蚀刻帽盖层114的工艺和

材料相同或相似。为简洁起见,此处不再重复对这些工艺的描述。

[0089] 接下来,根据如图7F中所示的一些实施例,分别在开口118和120中形成源极结构130和漏极结构132,从而得到平面FeFET。执行平坦化工艺(例如CMP工艺)以去除沉积在隔离层104之上的多余导电材料,以便形成源极结构130和漏极结构132。因此,源极结构130和漏极结构132的顶面与隔离层104的顶面大致齐平。

[0090] 如图7F中所示,源极结构130朝向漏极结构132延伸,而漏极结构不朝向源极结构130延伸。因此,由于上述原因,半导体存储器结构10g的存储器窗口可得以改进。在一些实施例中,由于源极结构130在两侧延伸,所以源极结构被配置成在截面图中具有T形。

[0091] 用于形成源极结构130和漏极结构132的工艺和材料可以与根据如图1J-1中所示的实施例中用于形成源极结构130和漏极结构132的工艺和材料相同或相似。为简洁起见,此处不再重复对这些工艺的描述。

[0092] 图8A-图8D是根据本公开的一些实施例的形成经修改的平面半导体存储器结构10h的各个阶段的截面图。与图7A至图7F中描述的实施例的不同之处在于,根据如图8A中所示的一些实施例,经图案化的掩模结构121b的顶层126b仅在开口118之上的开口128c的一侧延伸。

[0093] 如图8A中所示,在经图案化的隔离层104之上形成包括底层122b、中间层124b和顶层126b的经图案化的掩膜结构121b。如图8A中所示,开口128b和128c形成在顶层126中。如图8A中所示,顶层126b从覆盖开口118的开口128的一侧延伸。在一些实施例中,顶层126b从开口120延伸以部分地覆盖开口118。此外,开口120之上的开口128b具有与开口120相同的宽度。

[0094] 如图8A中所示,顶层126b仅在一侧具有覆盖开口118的延伸部分。在一些实施例中,从靠近开口120的一侧起,顶层126b在开口118之上的延伸距离LS1为约5nm至约125nm。如果延伸距离LS1过长,则FeRAM单元的面积可能过大。如果延伸距离LS1太短,存储器窗口的改进可能不够。在一些实施例中,开口128c的侧壁中远离开口120的一侧(非延伸侧)与开口118的侧壁对齐。在一些实施例中,顶层126b中的开口128b的侧壁与隔离层104中的开口120的侧壁大致对齐。

[0095] 接下来,如图8B中所示,通过经图案化的顶层126b来图案化底层122b。在一些实施例中,经图案化的底层122b的一部分保留在开口118的侧壁在开口120附近的一侧之上。在一些实施例中,底层122b的侧壁之一与隔离层104远离开口120的侧壁对齐。在一些实施例中,底层122b的侧壁与隔离层104在开口120中的侧壁对齐。

[0096] 接下来,如图8C中所示,通过经图案化的底层122b来图案化帽盖层114,然后去除经图案化的底层122b。因此,帽盖层114延伸得超出经图案化的隔离层104的侧壁之一并延伸在开口118靠近开口120的一侧处的底面之上。

[0097] 用于形成经图案化的掩模结构121b和图案化帽盖层114的工艺和材料可以与根据如图7C-图7E中所示的实施例中用于形成经图案化的掩模结构121b和蚀刻帽盖层114的工艺和材料相同或相似。为简洁起见,此处不再重复对这些工艺的描述。

[0098] 接下来,根据如图8D中所示的一些实施例,分别在开口118和120中形成源极结构130和漏极结构132。如图8D中所示,源极结构130包括朝向漏极结构132的延伸部分,而源极结构130不包括任何延伸部分。因此,由于上述原因,可以改进半导体存储器结构10h的存储

器窗口。在一些实施例中,由于源极结构130包括一侧的延伸部,所以源极结构被配置成在截面图中具有倒L形。在本实施例中,参考图8D,源极结构130朝向漏极结构132延伸。相比之下,参考图7F,源极结构130既朝向也远离漏极结构132延伸。

[0099] 用于形成源极结构130和漏极结构132的工艺和材料可以与根据如图7F中所示的实施例中用于形成源极结构130和漏极结构132的工艺和材料相同或相似。为简洁起见,此处不再重复对这些工艺的描述。

[0100] 图9A-图9F是根据本公开的一些实施例的形成再一平面半导体存储器结构10i的各个阶段的截面图。与图7A-图8D中描述的实施例的不同之处在于,根据如图9A和图9B中所示的一些实施例,源极结构130和漏极结构132与衬底102直接接触。

[0101] 如图9A中所示,在衬底102之上形成隔离层104。如图9A中所示,隔离层104被图案化以在隔离层104中形成开口118和120。

[0102] 接下来,如图9B中所示,分别在开口118和120中形成源极结构130和漏极结构132。进行平坦化工艺(例如CMP工艺)以从隔离层104去除的多余导电材料,以便形成源极结构130和漏极结构132。因此,源极结构130和漏极结构132的顶面与隔离层104的顶面大致齐平。

[0103] 用于形成隔离层104、源极结构130和漏极结构132的工艺和材料可以与如图7A、图7B和图7F中所示的实施例中用于形成隔离层104、源极结构130和漏极结构132的工艺和材料相同或相似。为简洁起见,此处不再重复对这些工艺的描述。

[0104] 然后,根据如图9C中所示的一些实施例,在隔离层104、源极结构130和漏极结构132之上沉积帽盖层114。然后,根据如图9D中所示的一些实施例,帽盖层114被图案化以分别在源极结构130和漏极结构132之上的帽盖层114中形成开口142和144。如图9D中所示,源极结构130之上的开口142比源极结构130窄。在一些实施例中,帽盖层114覆盖源极结构130的一部分。在一些实施例中,开口144在漏极结构132之上的侧壁与漏极结构132具有相同的宽度。在一些实施例中,开口144在漏极结构132之上的侧壁与漏极结构132的侧壁对齐。

[0105] 用于形成和图案化帽盖层114的工艺和材料可以与如图7C-图7E中所示的实施例中用于形成和图案化帽盖层114的工艺和材料相同或相似。为简洁起见,此处不再重复对这些工艺的描述。

[0106] 接下来,如图9E中所示,分别在源极结构130和漏极结构132之上的开口142和144中形成导电材料,从而使源极结构130和漏极结构132竖直延伸穿过帽盖层114。如图9E中所示,在横截面图中,源极结构130具有倒T形并且漏极结构132具有矩形形状。如图9E中所示,源极结构130在隔离层104中具有朝向漏极结构132的延伸部分。

[0107] 接下来,如图9F中所示,在帽盖层114之上形成沟道层112,并且在沟道层112之上形成铁电层110。此外,在铁电层110之上形成栅极层106。用于形成沟道层112、铁电层110和栅极层106的工艺和材料可以与如图7A中所示的实施例中用于形成沟道层112、铁电层110和栅极层106的那些相同或相似。为简洁起见,此处不再重复对这些工艺的描述。

[0108] 在一些实施例中,如图9F中所示,源极结构130和漏极结构132直接形成在衬底之上,栅极层106形成在源极结构130和漏极结构132之上。栅极层106可以形成在FeFET的正面而不是背面(如在图7F和图8D中分别描绘的平面半导体存储器结构10g和10h的情况)。

[0109] 如前所述,在半导体存储器结构中形成具有朝向漏极结构132的延伸部分的源极

结构130。在一些实施例中，源极结构130延伸得多于漏极结构132。在一些实施例中，源极结构130朝向漏极结构132延伸，但漏极结构132不朝向源极结构130延伸。在如图2中所示的一些实施例中，随着帽盖层114的长度L1与沟道层112的长度的比率的增加，所得到的FeRAM单元的密度可能更高，并且导通电流也可能更高。在如图3中所示的一些实施例中，在堆叠103中形成多个栅极层106，这可以增加FeRAM单元的存储容量。在如图4中所示的一些实施例中，漏极结构132也朝向源极结构130延伸，但延伸程度小于源极结构130。在如图5H中所示的一些实施例中，在源极结构130/漏极结构132与沟道层112之间没有形成帽盖层114。在如图6C-2中所示的一些实施例中，去除形成在开口118的底面之上的沟道层112，并且源极结构130/漏极结构132的截面呈矩形形状。在如图7F中所示的一些实施例中，FeFET是具有源极结构130在两侧延伸且延伸得比漏极结构132更多的平面器件。在如图8D中所示的一些实施例中，源极结构130仅在朝向漏极结构132的方向上延伸，并且源极结构130的截面呈倒L形。在如图9F中所示的一些实施例中，源极结构130和漏极结构132与衬底102直接接触，并且在FeFET的正面形成栅极层106。

[0110] 提供了一种半导体存储器结构及其形成方法的实施例。由于源极结构比漏极结构延伸得更多，可以改进FeRAM单元的存储窗口。半导体存储器结构可以是三维器件或平面器件。

[0111] 在一方面，提供了一种半导体存储器结构。半导体存储器结构包括铁电层和形成在该铁电层之上的沟道层。该结构还包括形成在沟道层之上的源极结构和漏极结构。该结构还包括形成在源极结构和漏极结构之间的第一隔离结构。源极结构超过帽盖层朝向漏极结构延伸。

[0112] 在另一方面，提供了一种半导体存储器结构。半导体存储器结构包括：形成在衬底之上的栅极层、形成在栅极层的侧壁之上的铁电层、形成在铁电层的侧壁之上的沟道层。该结构还包括：形成在沟道层的侧壁之上的帽盖层和形成在帽盖层之间的隔离结构。该结构还包括：形成在隔离结构的相反侧上的源极结构和漏极结构，其中，在顶视图中，源极结构的面积大于漏极结构的面积。

[0113] 在又一方面，提供了一种形成半导体存储器结构的方法。形成半导体存储器结构的方法包括：交替沉积栅极层和第一隔离层以在衬底之上形成堆叠、图案化堆叠以形成暴露衬底的第一开口、并且在堆叠之上和第一开口中沉积铁电层。形成半导体存储器结构的方法还包括：在铁电层之上沉积沟道层、在沟道层之上沉积帽盖层、并且在第一开口中形成第二隔离层。形成半导体存储器结构的方法还包括：图案化第一隔离层以形成第二开口和第三开口，从而暴露出铁电层、图案化第二隔离层以使第二开口朝向第三开口延伸、并且分别在第二开口和第三开口中填充导电材料以形成源极结构和漏极结构，其中，源极结构与帽盖层的接触面积大于漏极结构与帽盖层的接触面积。

[0114] 前述概述了若干实施例的特征，以便本领域技术人员可以更好地理解本公开的各方面。本领域技术人员应当理解，他们可以容易地使用本公开作为设计或修改其他工艺和结构的基础，以实现与本文介绍的实施例相同的和/或实现相同的优点。本领域技术人员也应该认识到，这样的等效构造并不脱离本发明的精神和范围，并且在不脱离本发明的精神和范围的情况下，可以在本文中进行各种变化、替换和变更。

[0115] 示例1是一种半导体存储器结构，包括：铁电层；沟道层，布置在所述铁电层之上；

帽盖层,布置在所述沟道层之上;源极结构和漏极结构,布置在所述沟道层之上;以及隔离结构,布置在所述源极结构与所述漏极结构之间,其中,所述源极结构的一部分超过所述帽盖层朝向所述漏极结构延伸。

[0116] 示例2是示例1所述的半导体存储器结构,其中,所述源极结构包括布置在所述沟道层的各部分之间的第一部分和布置在所述帽盖层的各部分之间的第二部分。

[0117] 示例3是示例1所述的半导体存储器结构,还包括与所述铁电层直接接触的栅极层。

[0118] 示例4是示例3所述的半导体存储器结构,其中,所述隔离结构为第一隔离结构,所述半导体存储器结构还包括第二隔离结构,所述第二隔离结构沿所述源极结构、所述漏极结构、所述栅极层、所述铁电层、和所述沟道层的侧壁布置。

[0119] 示例5是示例1所述的半导体存储器结构,其中,所述源极结构被配置成在截面图中具有L形。

[0120] 示例6是示例1所述的半导体存储器结构,其中,所述源极结构和所述漏极结构与衬底直接接触。

[0121] 示例7是示例1所述的半导体存储器结构,其中,所述漏极结构的一部分朝向所述源极结构延伸,并且其中,所述源极结构的延伸部分的长度大于所述漏极结构的延伸部分的长度。

[0122] 示例8是一种半导体存储器结构,包括:栅极层,布置在衬底之上;铁电层,布置在所述栅极层的侧壁之上;沟道层,形成在所述铁电层的侧壁之上;隔离层,布置在所述沟道层之间;以及源极结构和漏极结构,布置在所述隔离层的相反侧上,其中,在顶视图中,所述源极结构的面积大于所述漏极结构的面积。

[0123] 示例9是示例8所述的半导体存储器结构,其中,所述隔离层为第一隔离层,所述半导体存储器结构还包括布置在所述衬底之上的第二隔离层,其中,所述栅极层夹在所述第二隔离层之间。

[0124] 示例10是示例9所述的半导体存储器结构,包括至少两个栅极层,所述至少两个栅极层交替地堆叠在所述第二隔离层之间。

[0125] 示例11是示例8所述的半导体存储器结构,还包括布置在所述沟道层的侧壁之上的帽盖层。

[0126] 示例12是示例11所述的半导体存储器结构,其中,所述帽盖层的长度小于所述沟道层的长度。

[0127] 示例13是示例8所述的半导体存储器结构,其中,所述沟道层的一部分布置在所述源极结构之下。

[0128] 示例14是示例8所述的半导体存储器结构,其中,所述源极结构被配置成在截面图中具有T形。

[0129] 示例15是一种形成半导体存储器结构的方法,包括:在第一隔离层之间沉积栅极层以在衬底之上形成堆叠;图案化所述堆叠以形成第一开口,以暴露所述衬底;在所述堆叠之上并在所述第一开口中沉积铁电层;在所述铁电层之上沉积沟道层;在所述沟道层之上沉积帽盖层;在所述第一开口中形成第二隔离层;图案化所述第二隔离层以形成第二开口和第三开口,从而暴露所述铁电层;图案化所述第二隔离层以将所述第二开口朝向所述第

三开口延伸;并且在经延伸的第二开口和所述第三开口中填充导电材料以分别形成源极结构和漏极结构,其中,所述源极结构与所述帽盖层之间的接触面积大于所述漏极结构与所述帽盖层之间的接触面积。

[0130] 示例16是示例15所述的形成半导体存储器结构的方法,还包括:去除所述帽盖层暴露在所述第二开口和所述第三开口中的部分。

[0131] 示例17是示例15所述的形成半导体存储器结构的方法,还包括:在图案化所述第二隔离层以延伸所述第二开口之后,图案化所述第二隔离层以将所述第三开口朝向经延伸的第二开口延伸,其中,所述第三开口中的延伸长度小于所述第二开口中的延伸长度。

[0132] 示例18是示例15所述的形成半导体存储器结构的方法,还包括:从所述第二开口和所述第三开口的底面去除所述沟道层。

[0133] 示例19是示例15所述的形成半导体存储器结构的方法,还包括:去除所述第二隔离层和所述沟道层在所述源极结构和所述漏极结构的相反侧上的部分。

[0134] 示例20是示例15所述的形成半导体存储器结构的方法,其中,所述堆叠为第一堆叠,所述方法还包括:在所述第一堆叠之上形成第二堆叠,以使所述第一开口形成在所述第一堆叠和所述第二堆叠中。

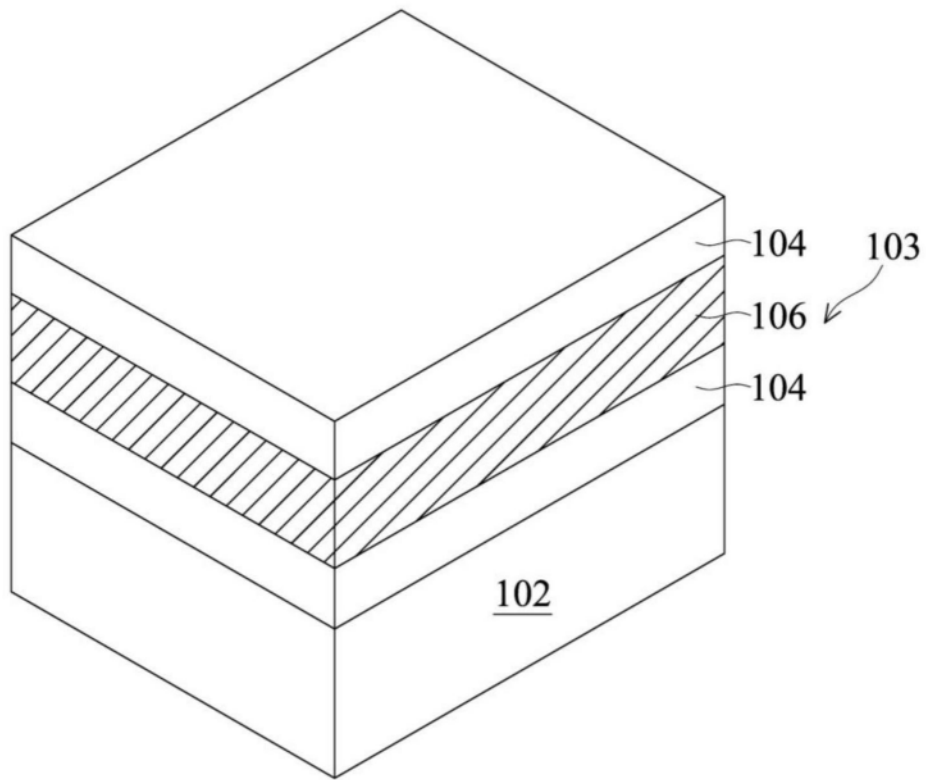


图1A-1

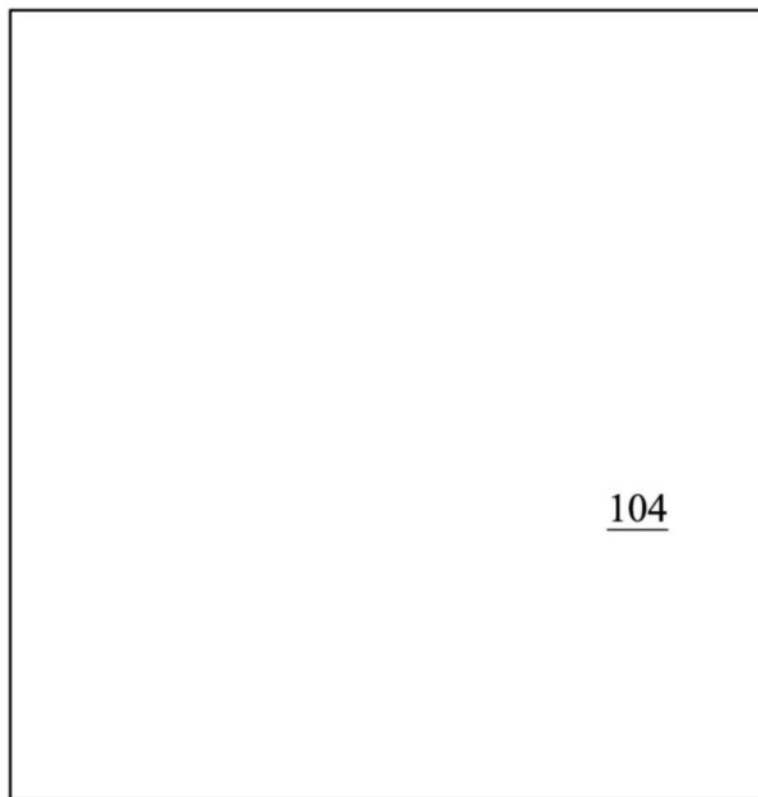


图1A-2

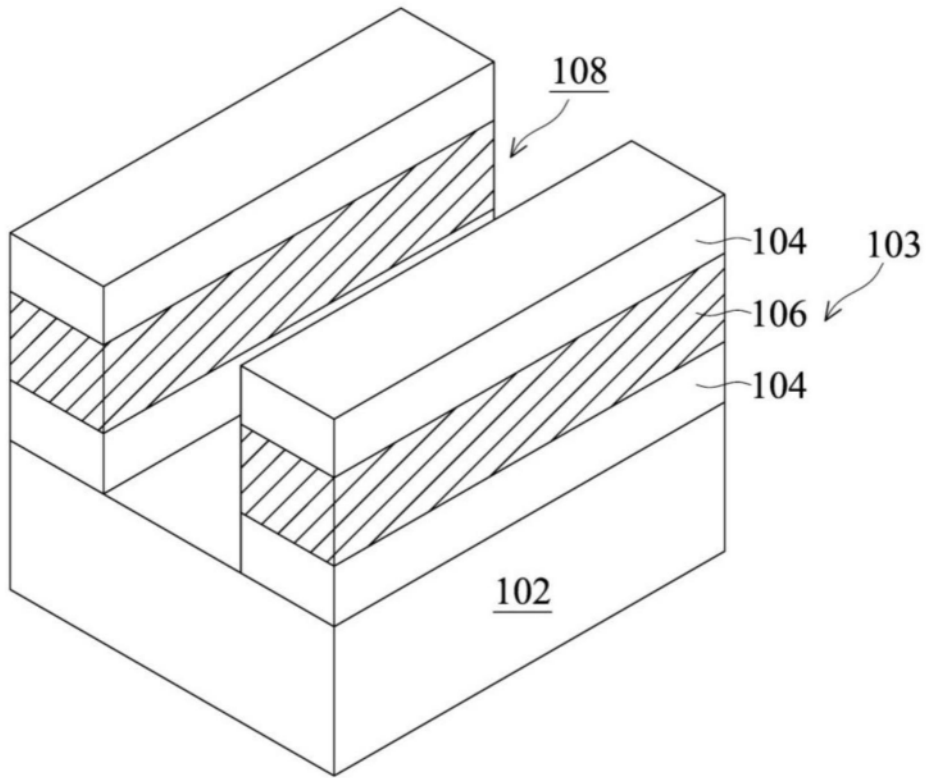


图1B-1

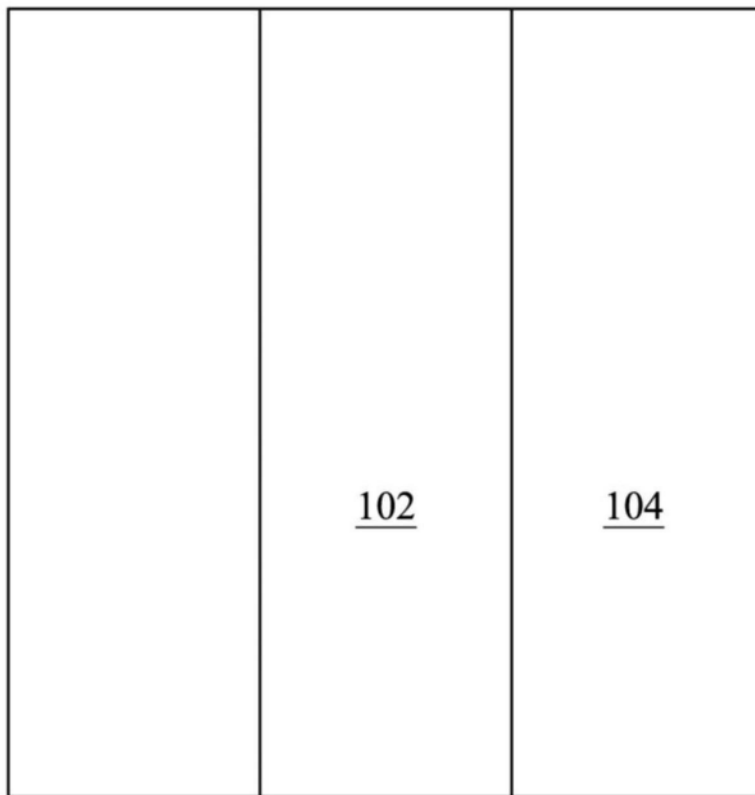


图1B-2

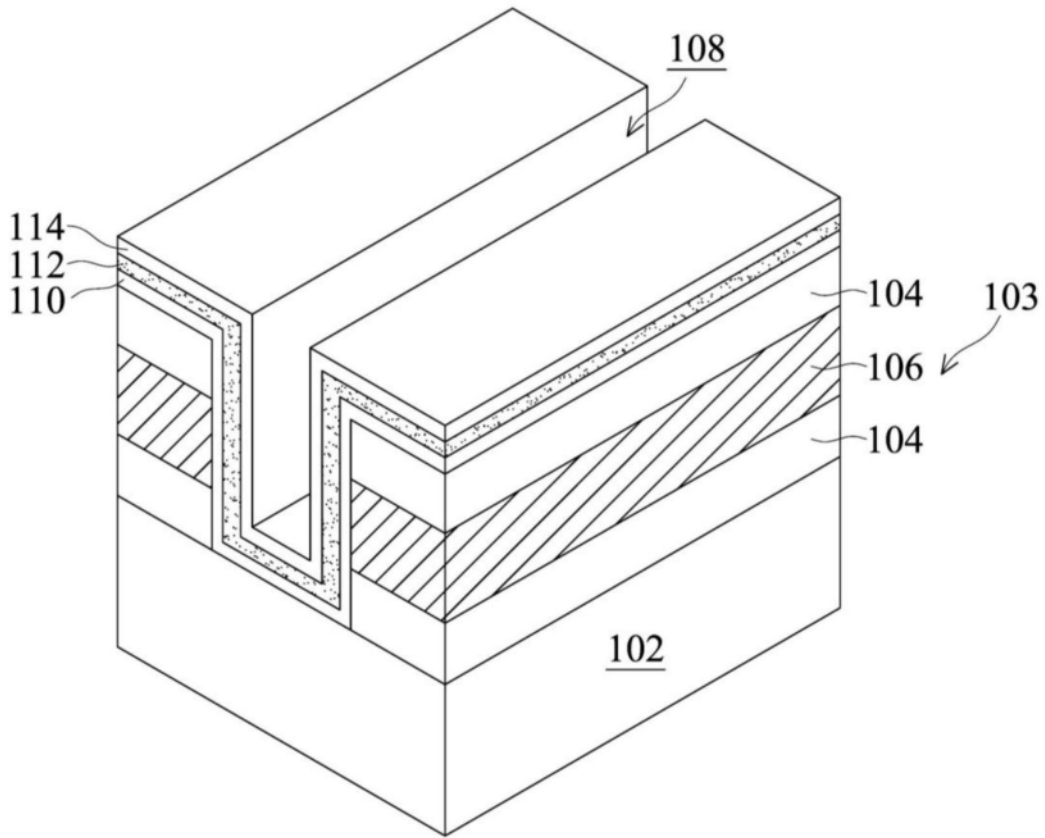


图1C-1

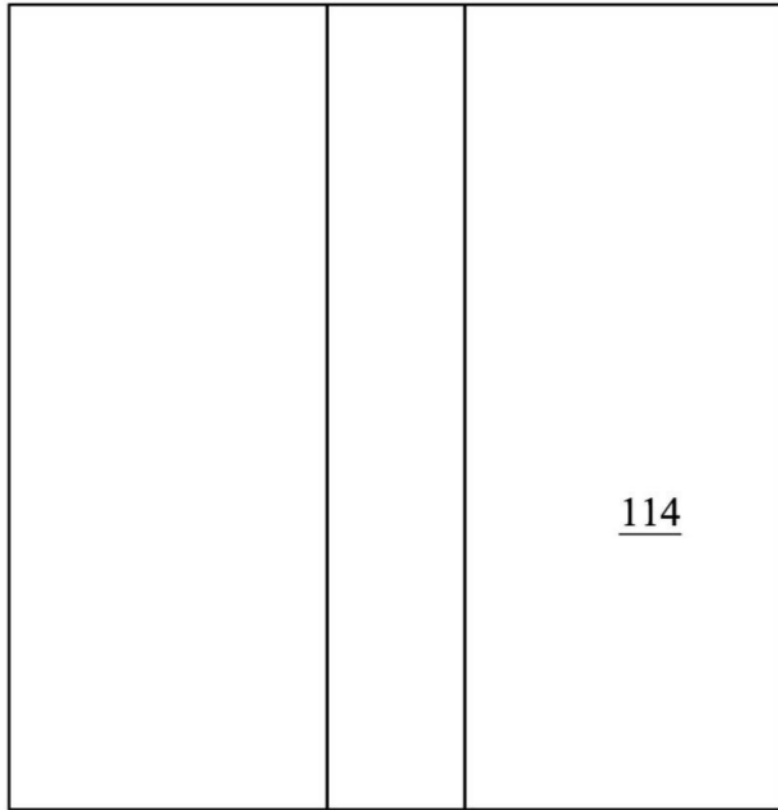


图1C-2

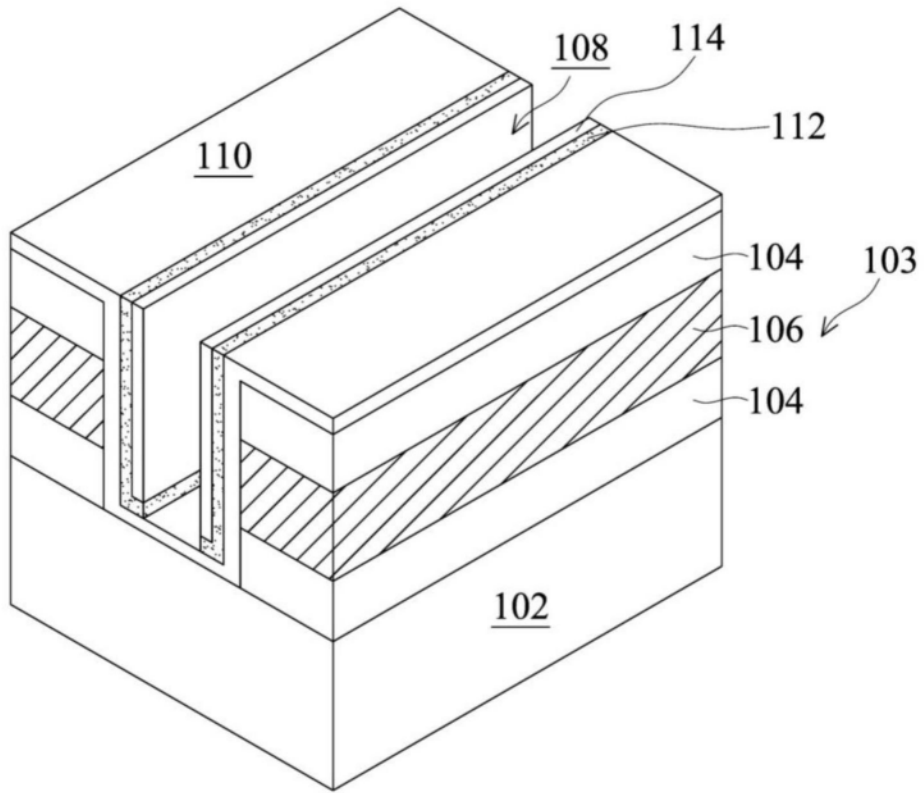


图1D-1

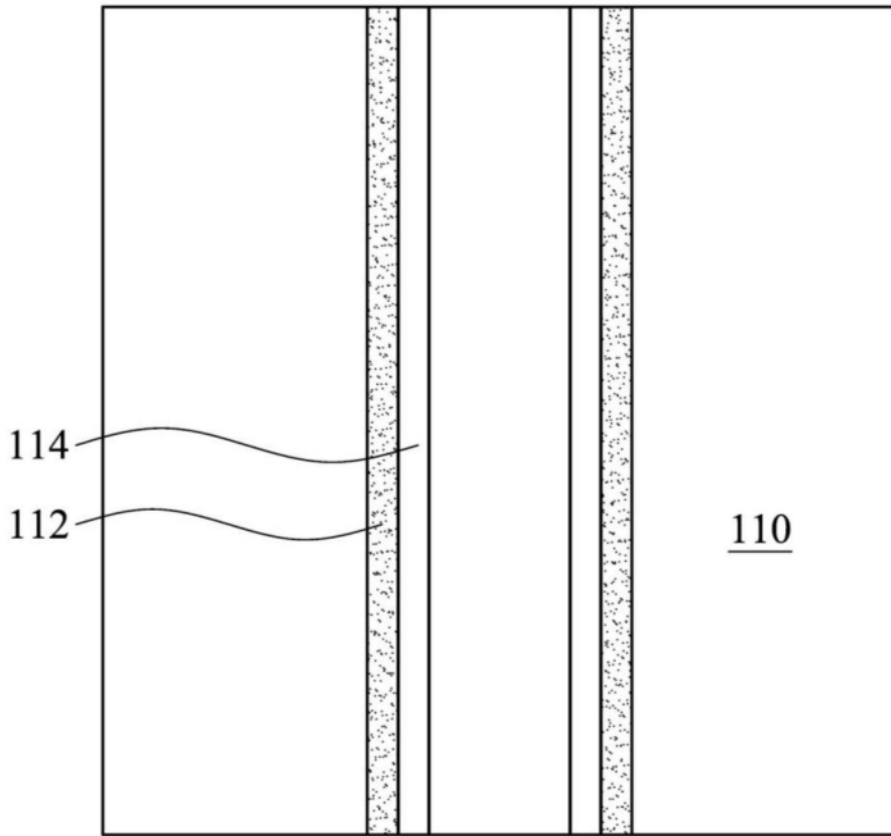


图1D-2

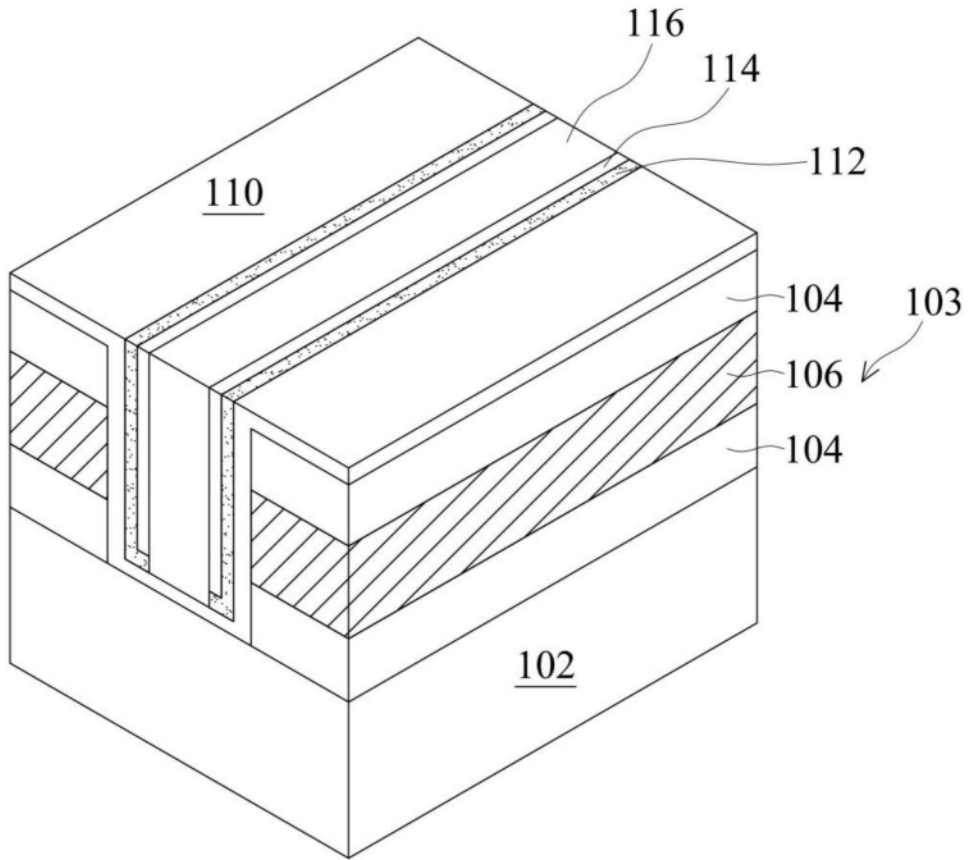


图1E-1

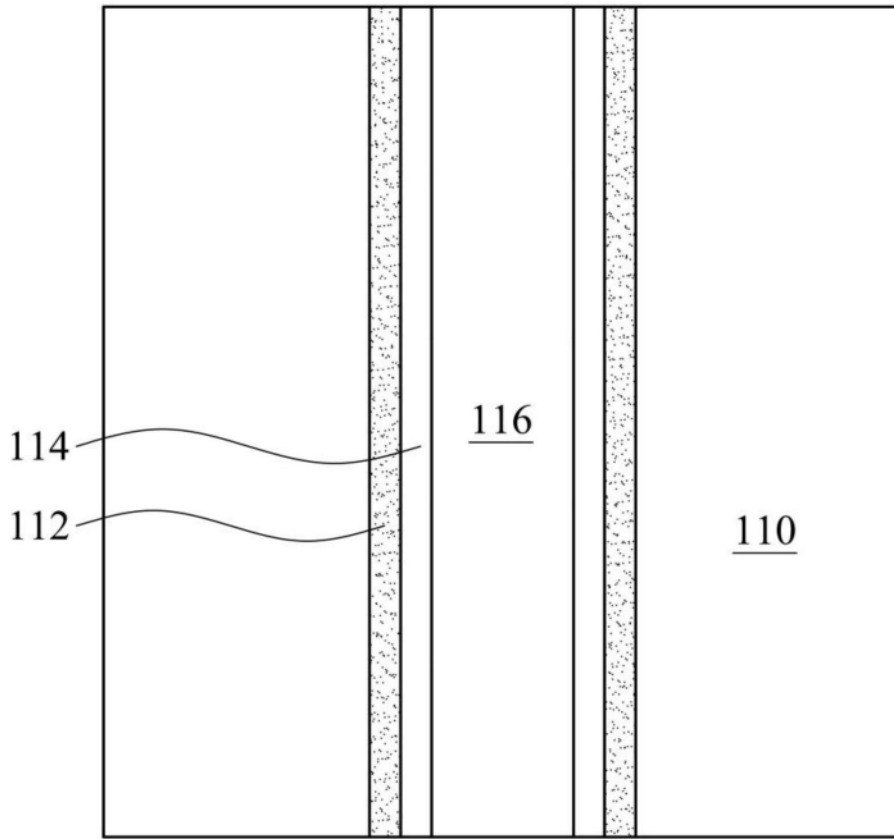


图1E-2

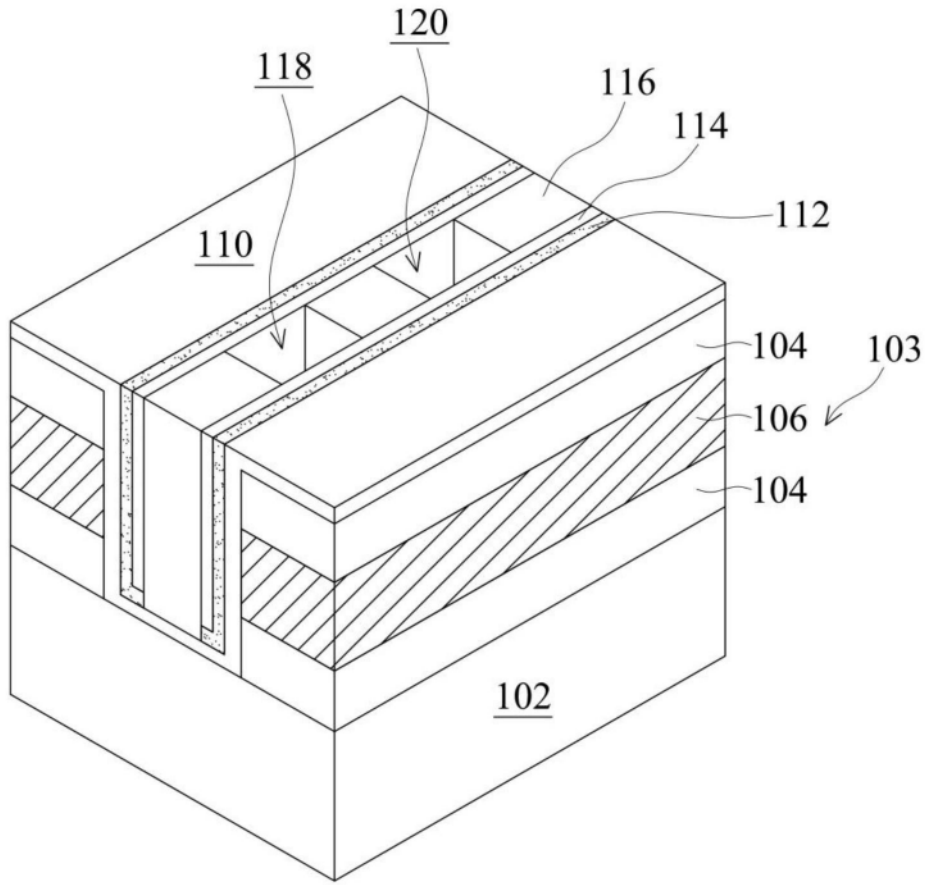


图1F-1

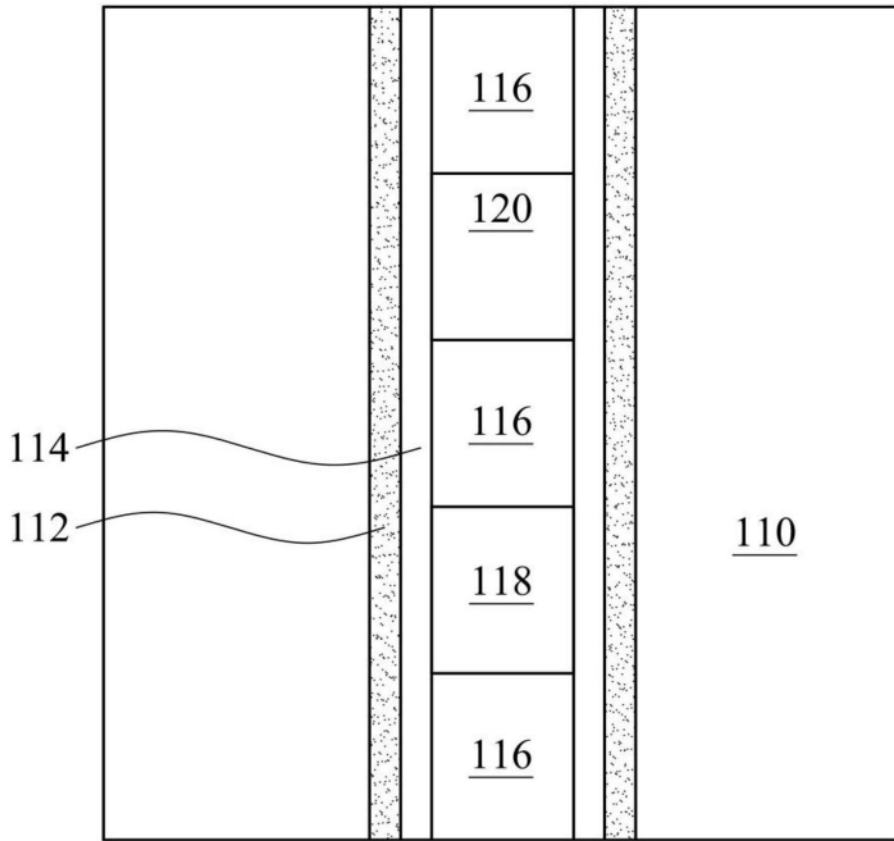


图1F-2

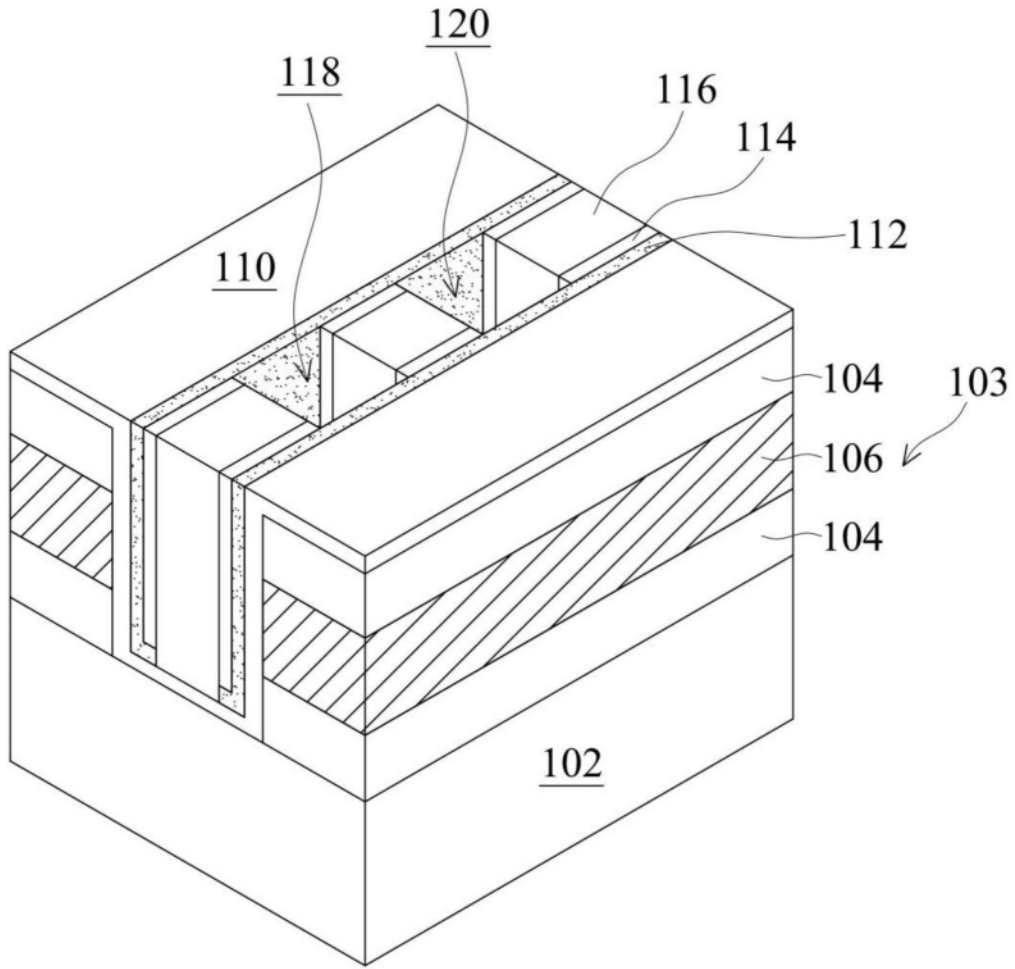


图1G-1

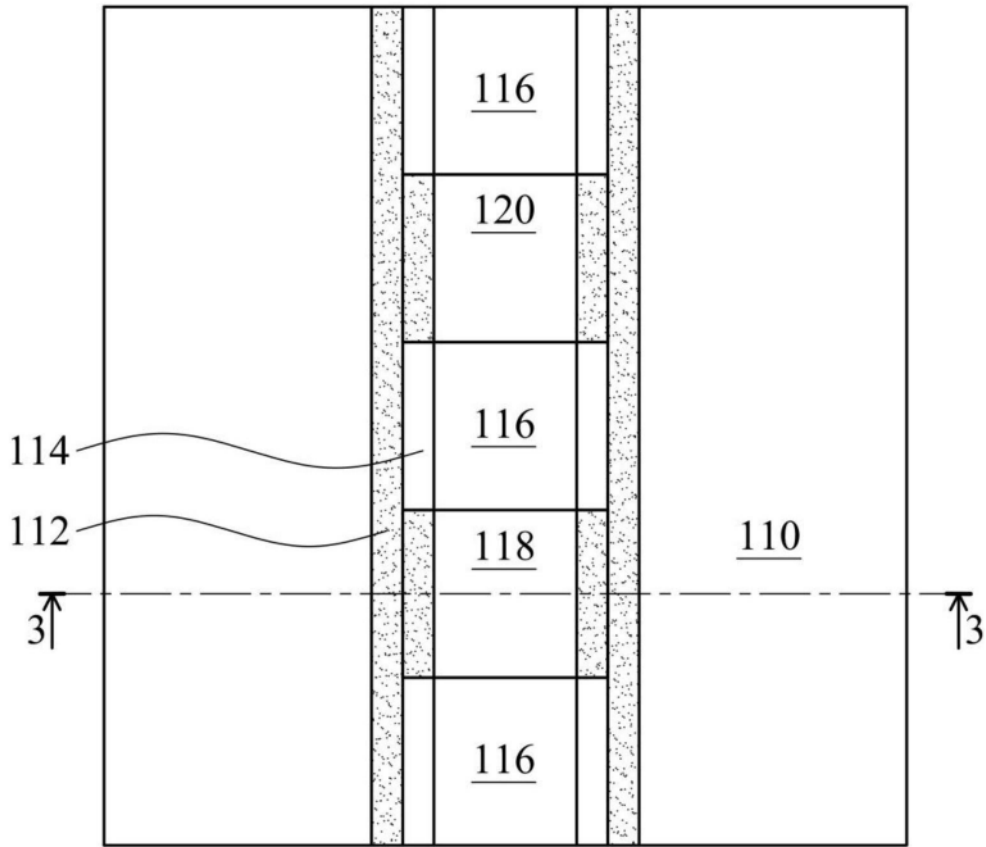


图1G-2

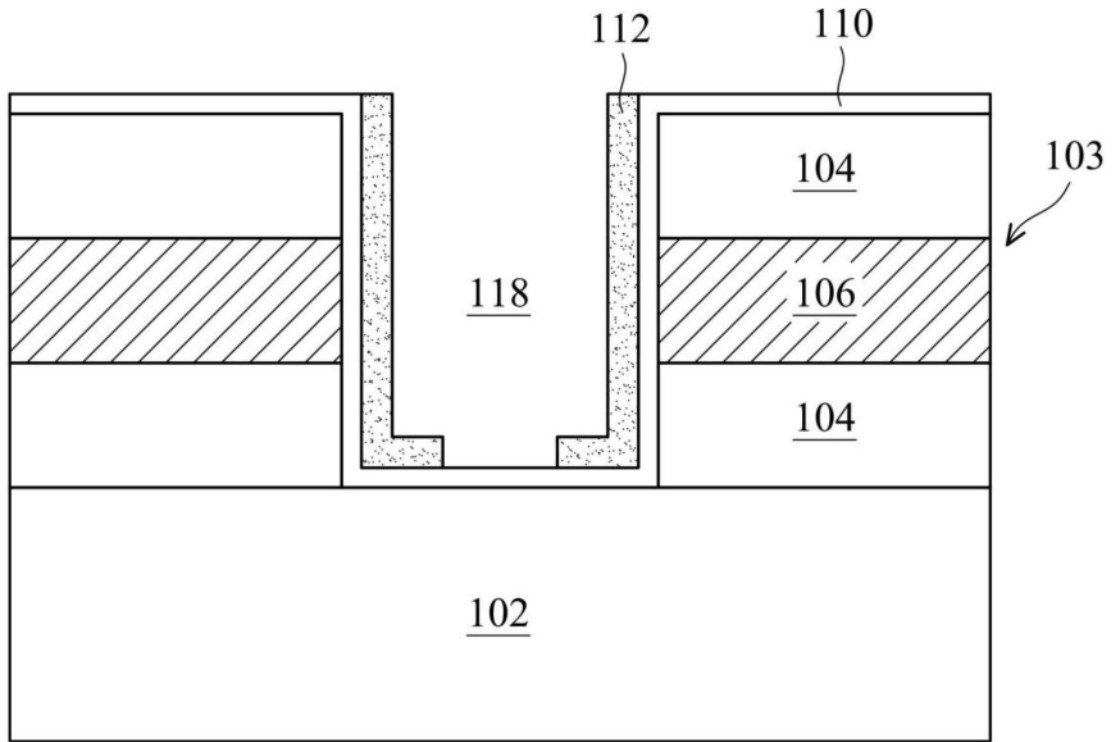


图1G-3

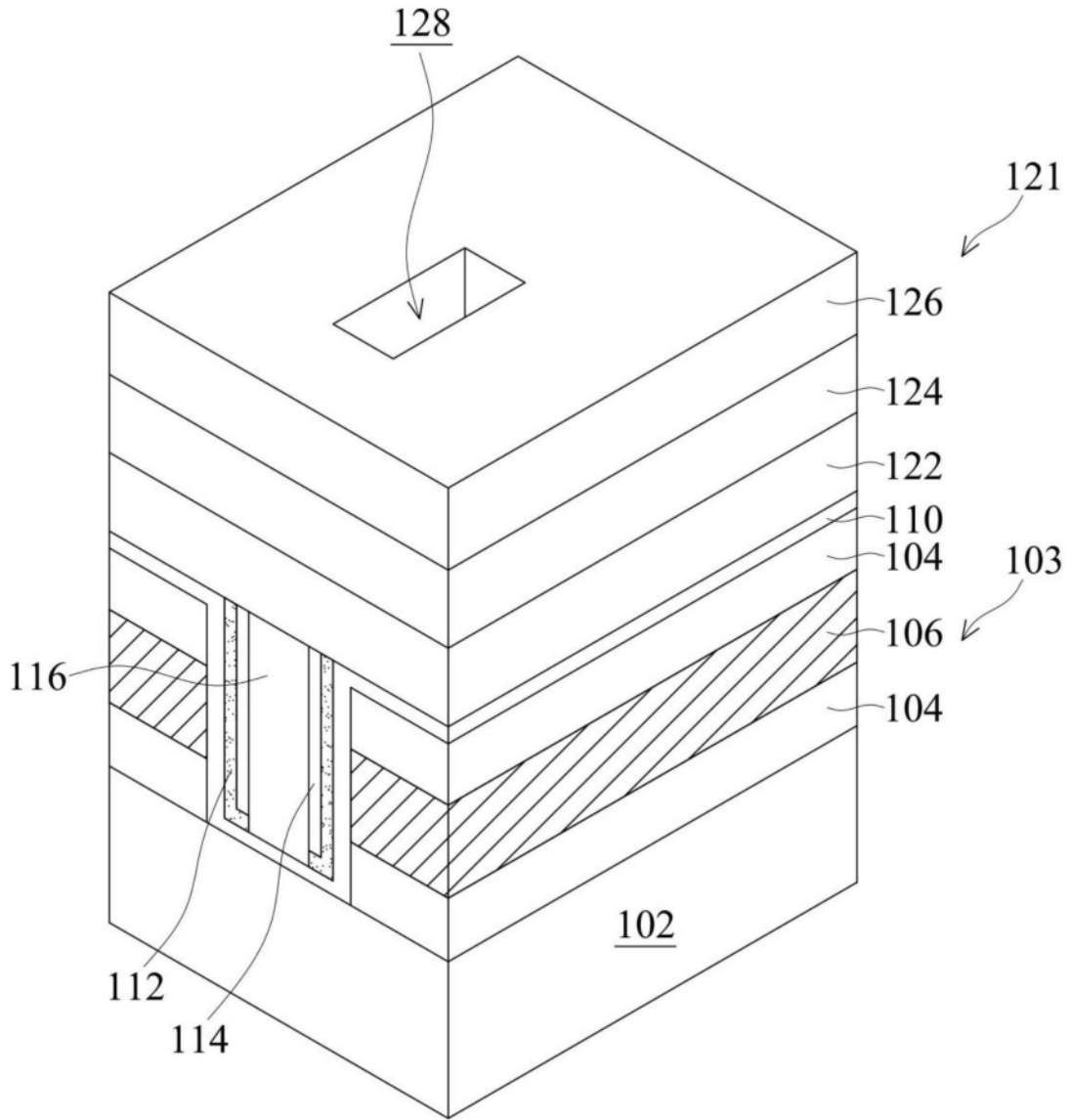


图1H-1

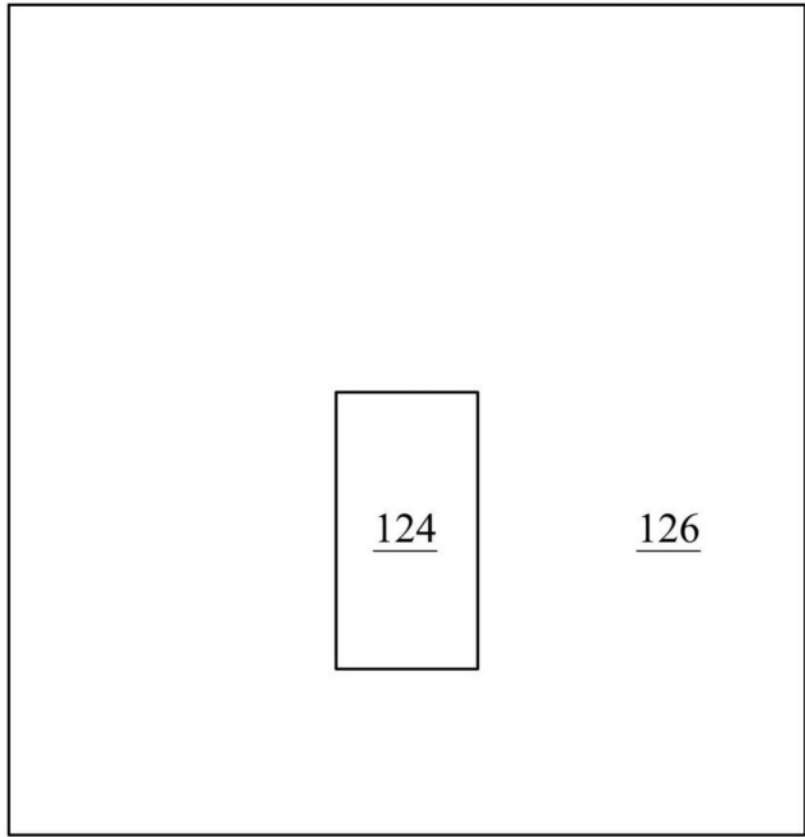


图1H-2

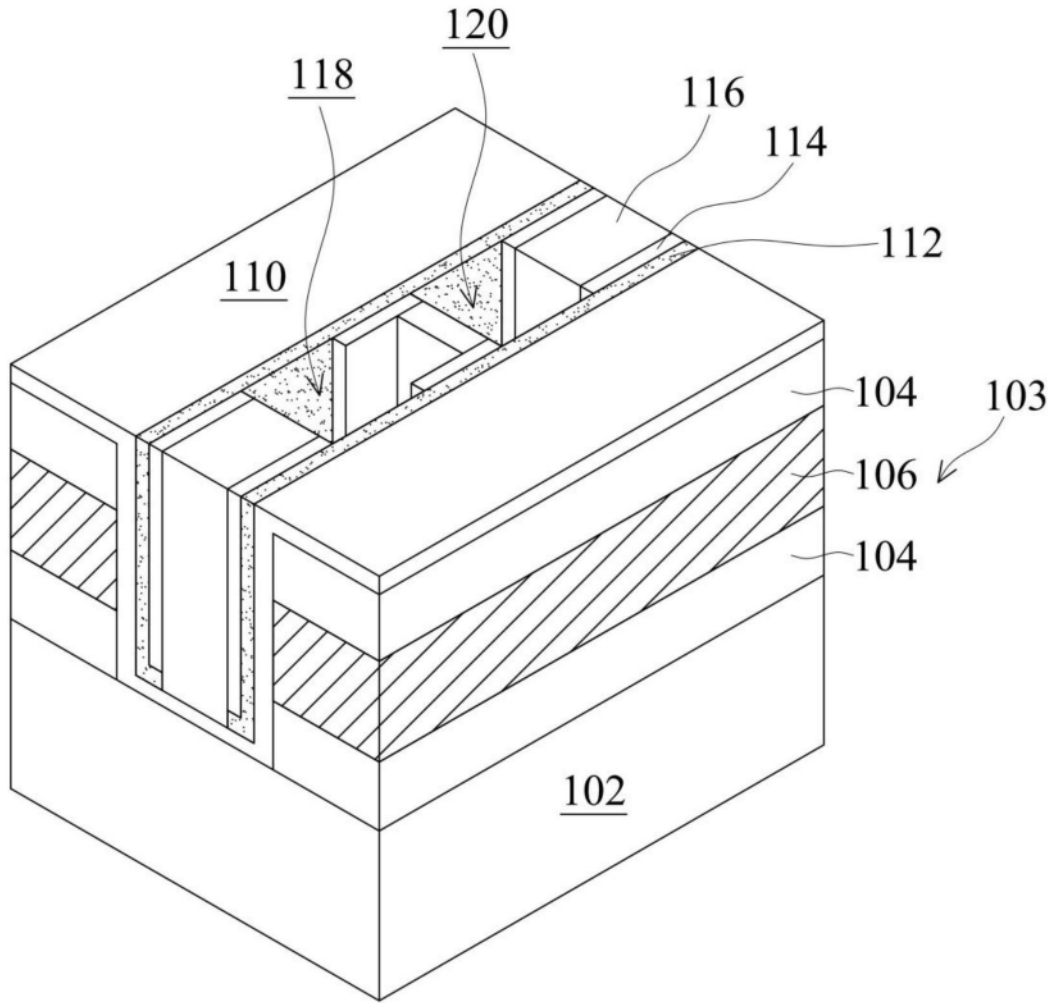


图1I-1

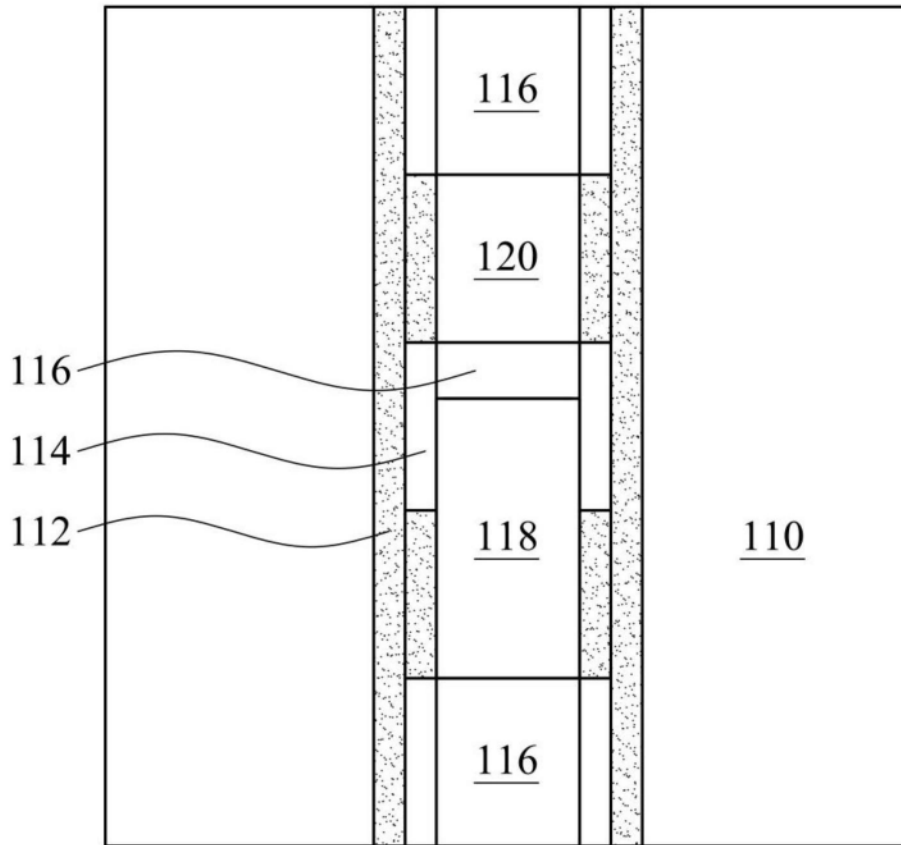


图11-2

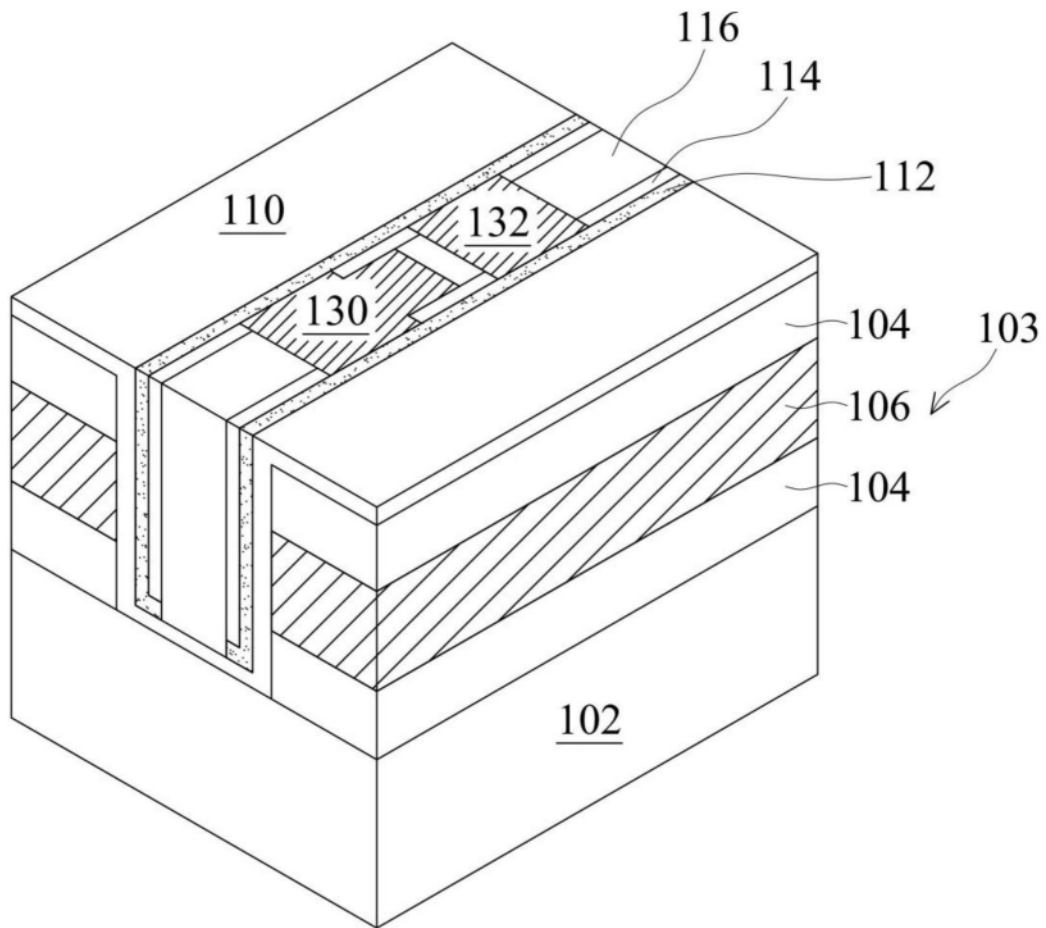


图1J-1

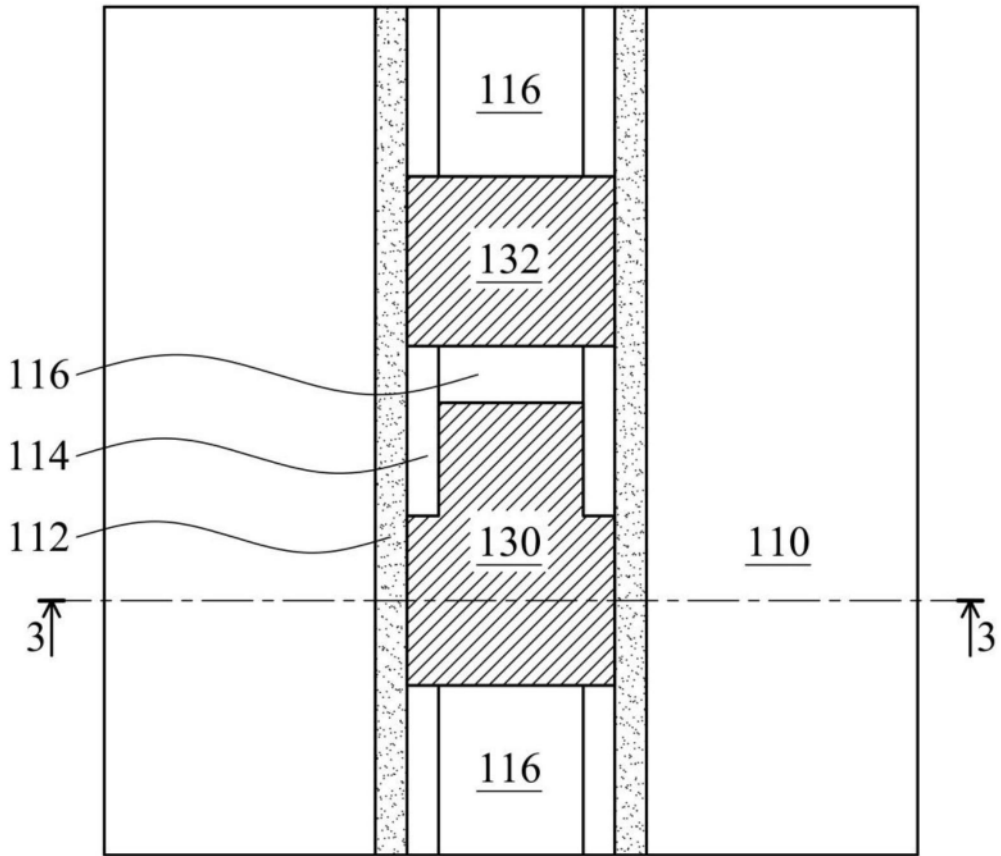


图1J-2

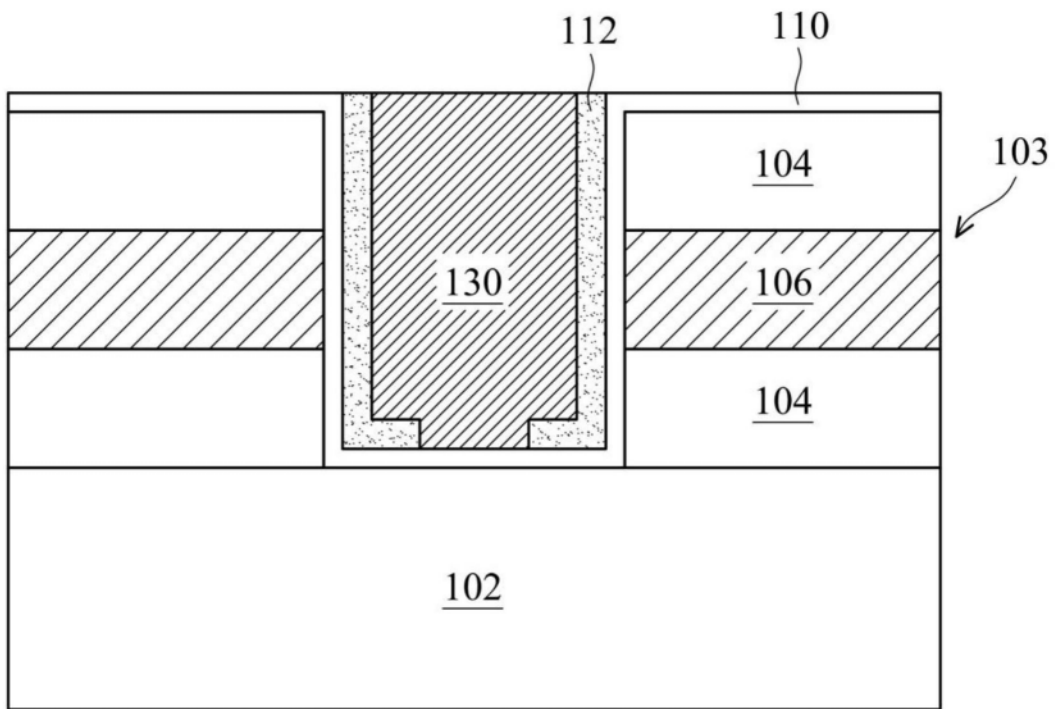


图1J-3

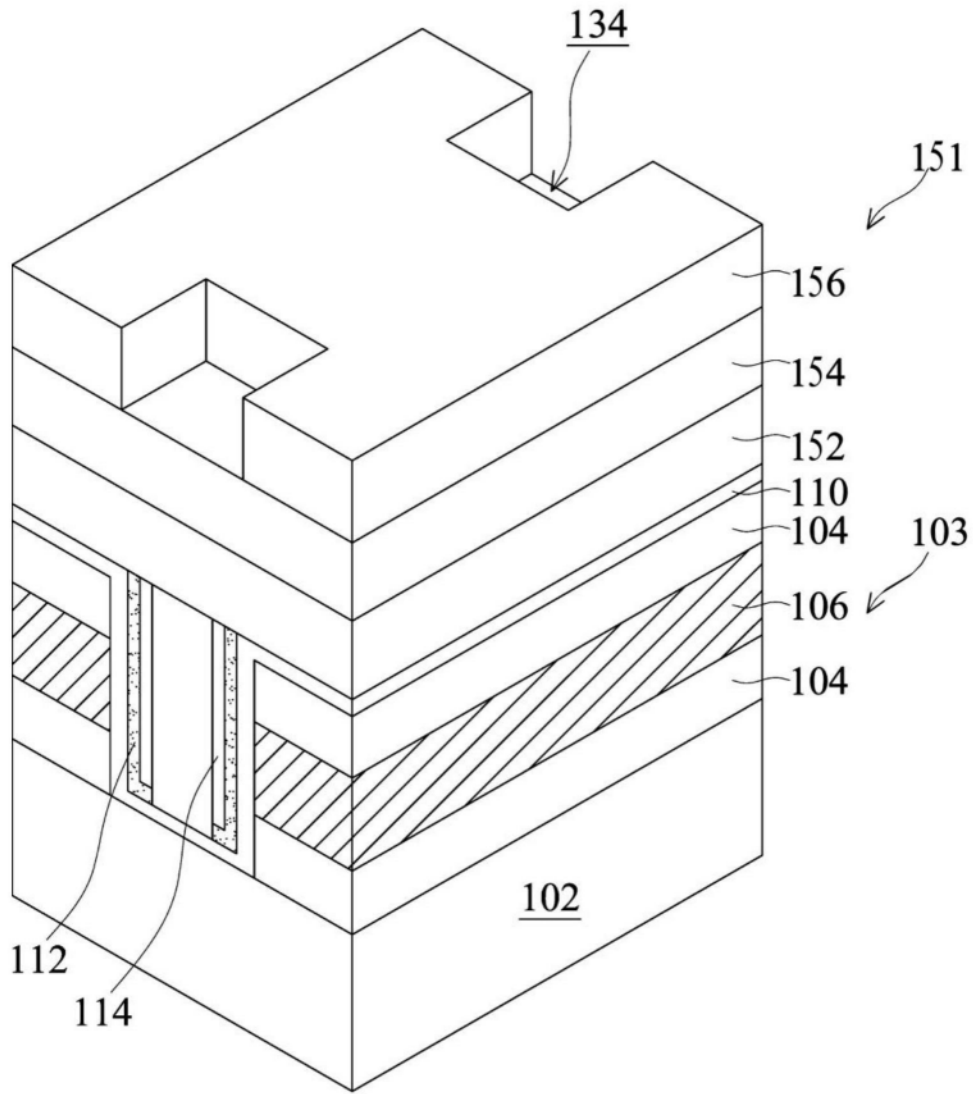


图1K-1

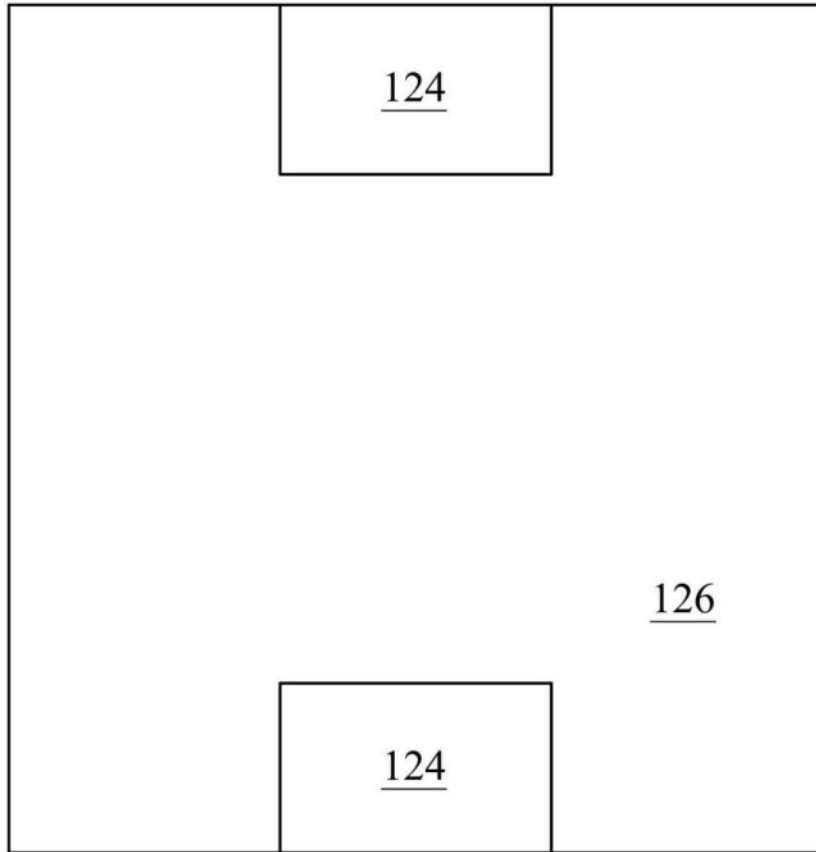


图1K-2

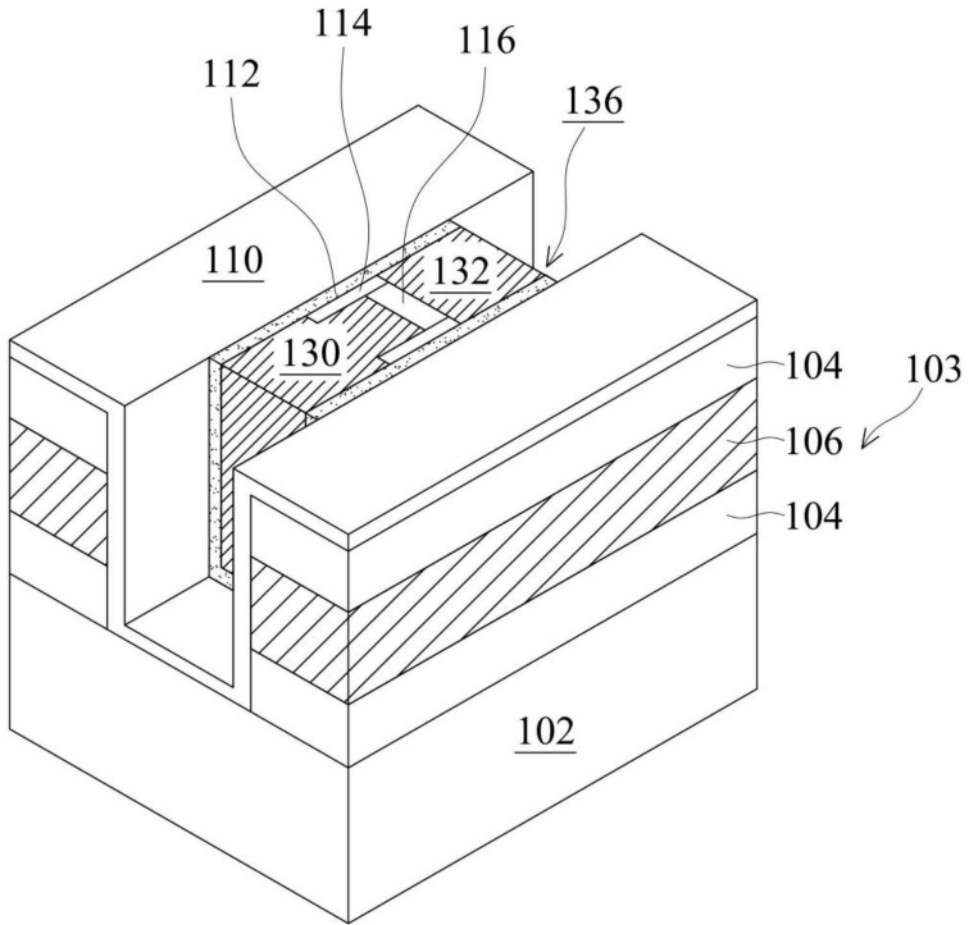


图1L-1

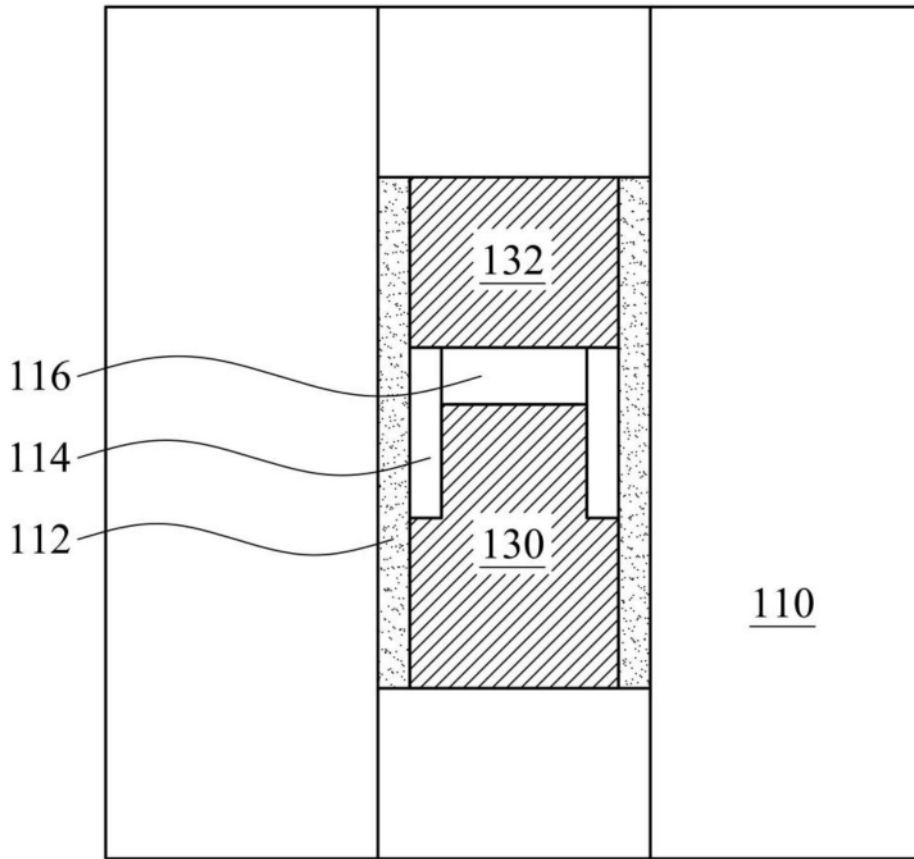


图1L-2

10a

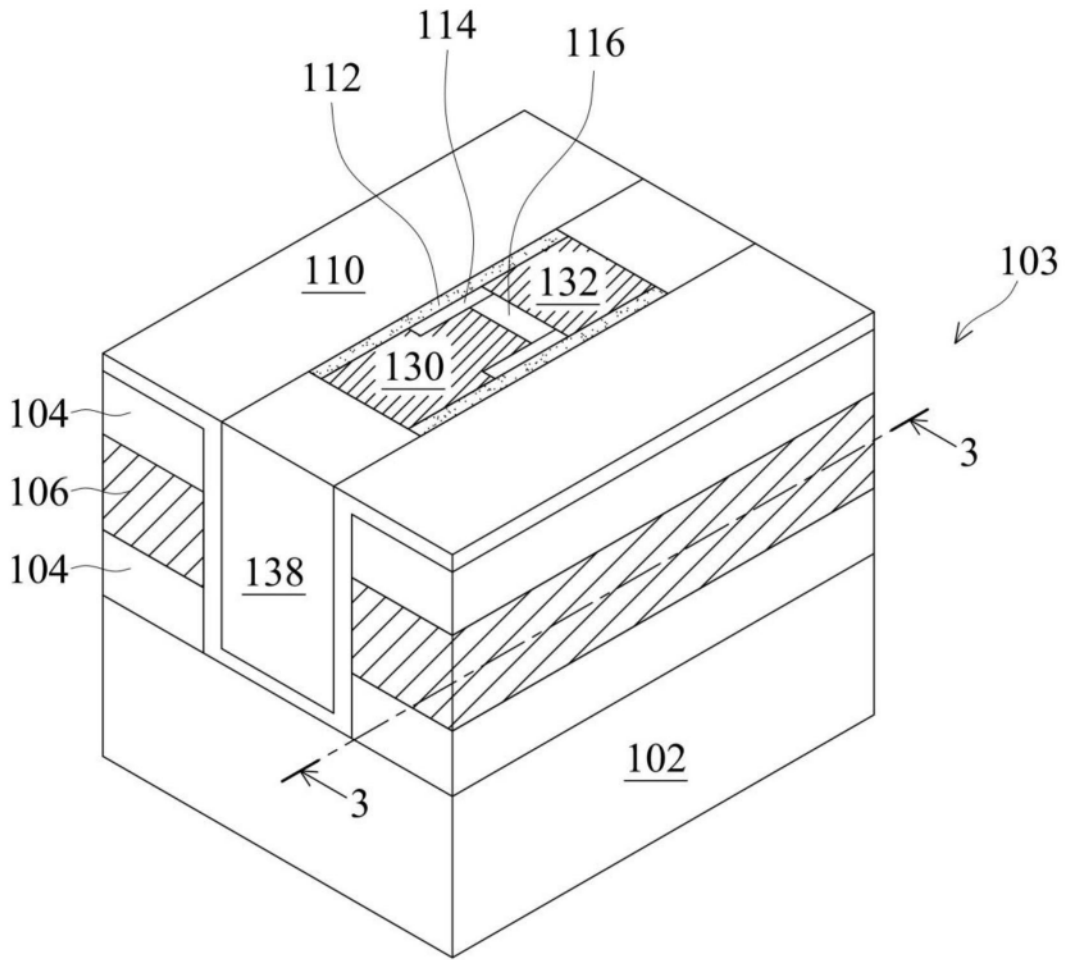


图1M-1

10a

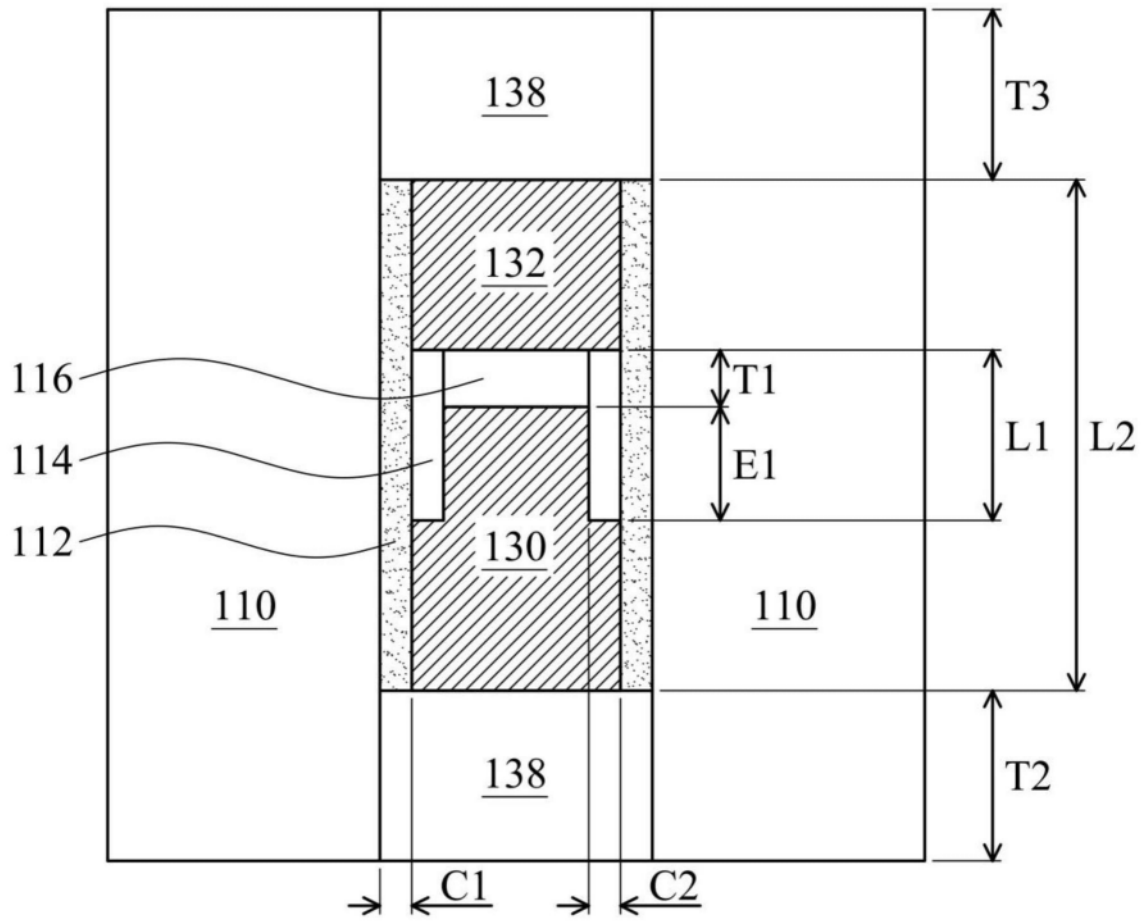


图1M-2

10a

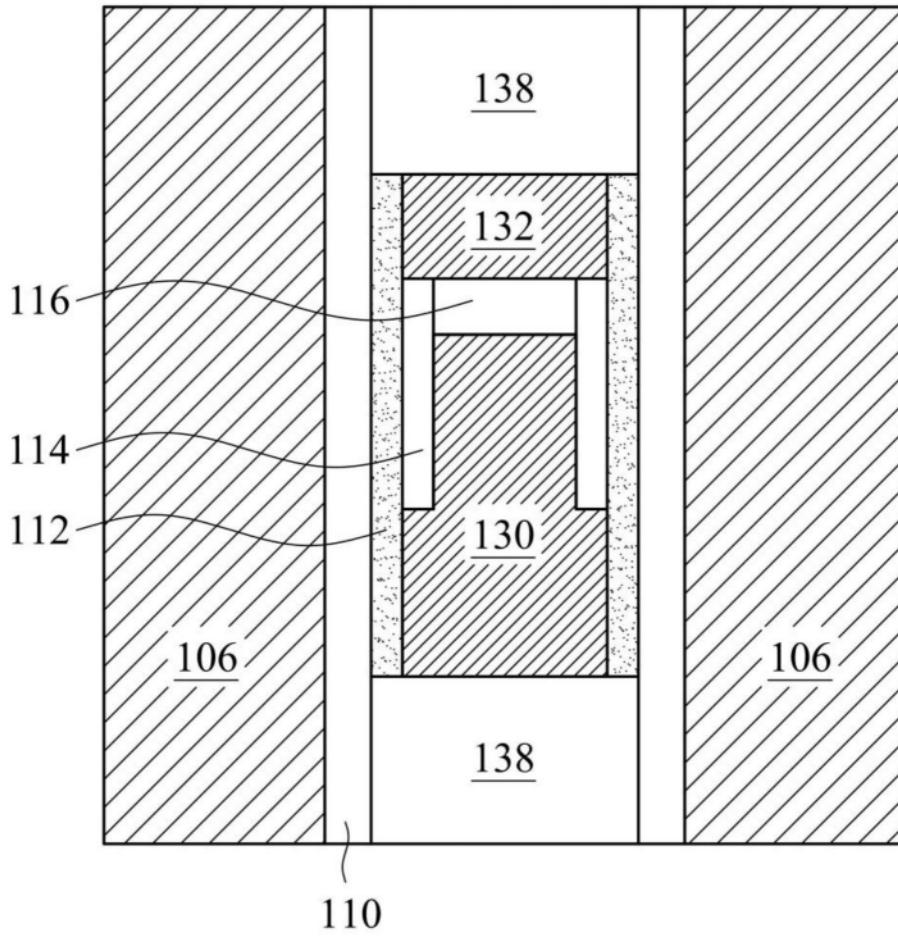


图1M-3

10b

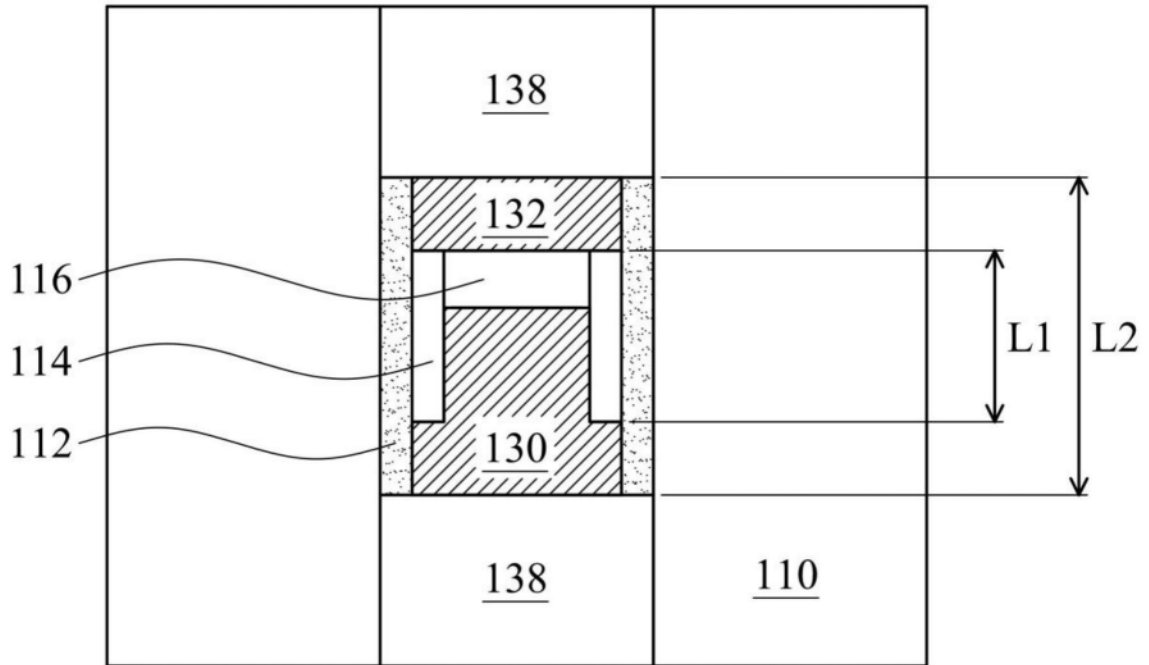


图2

10c

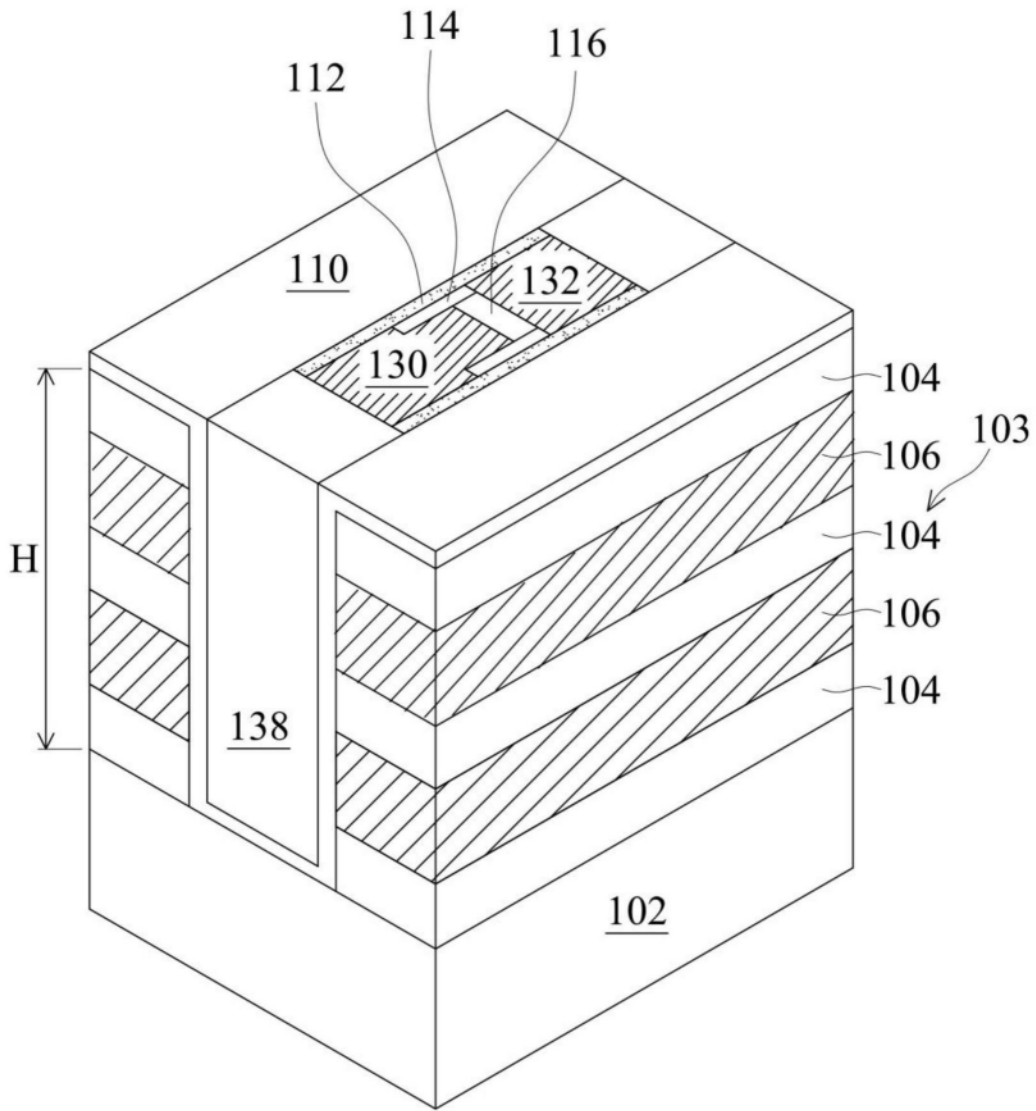


图3

10d

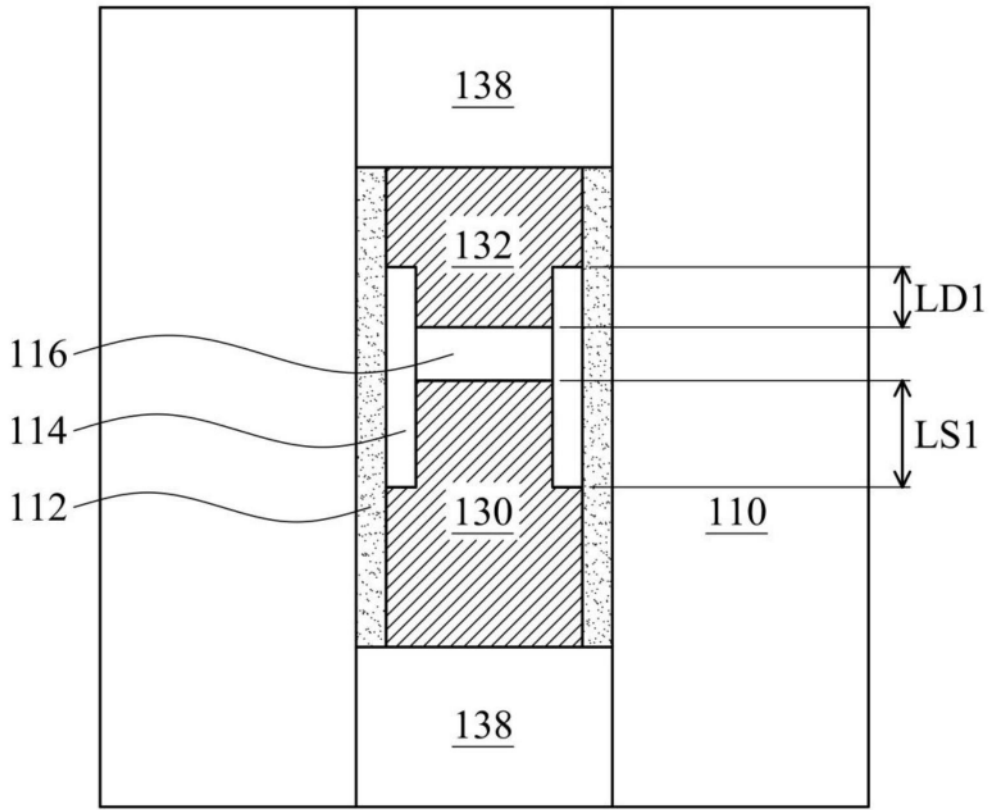


图4

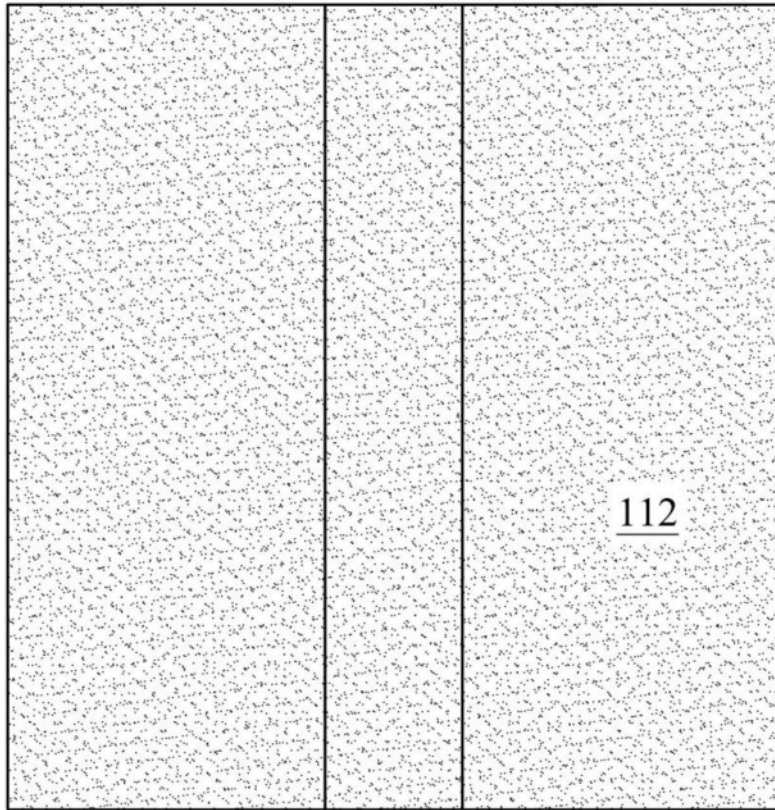


图5A

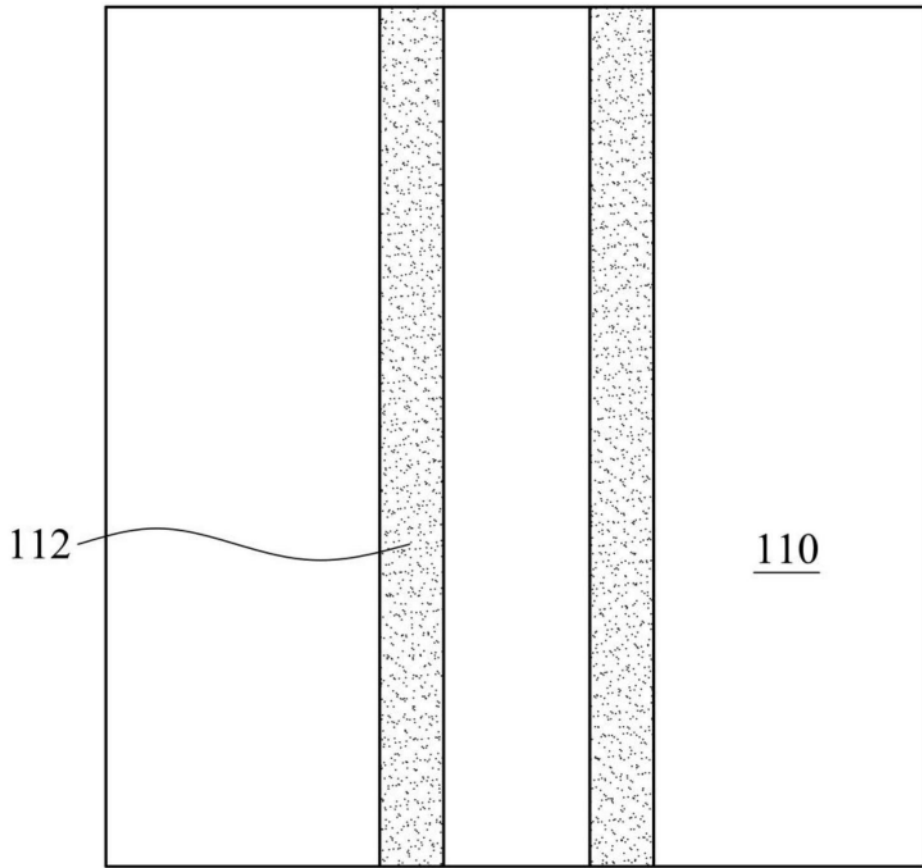


图5B

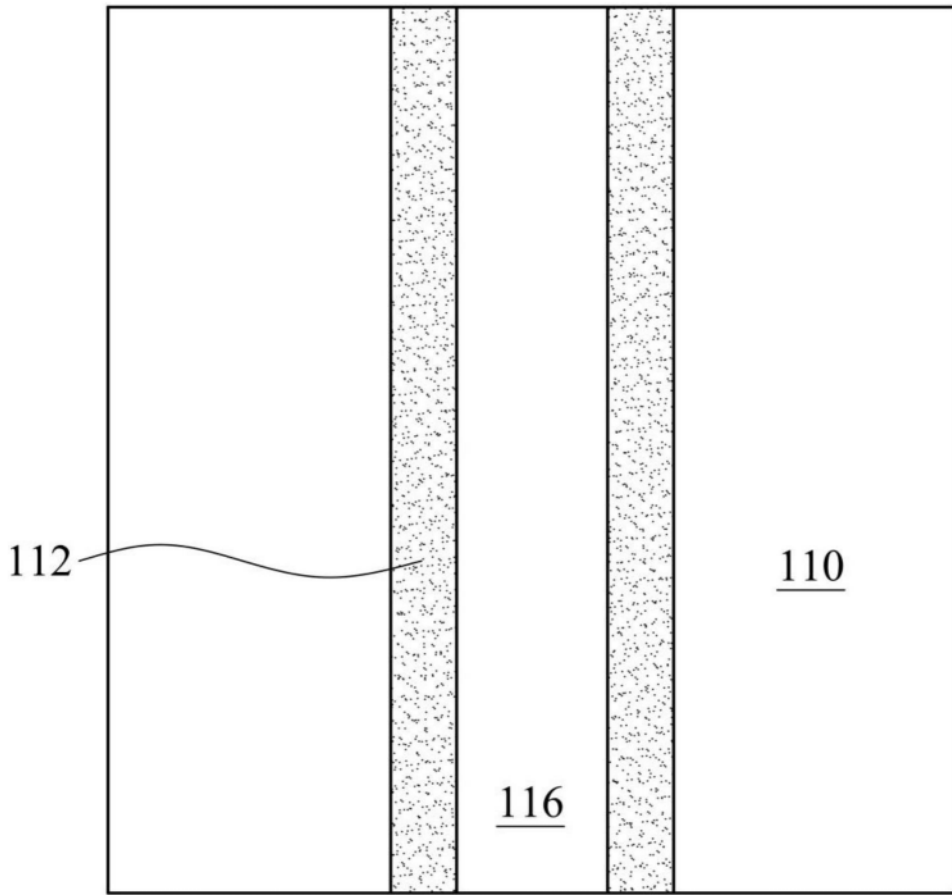


图5C

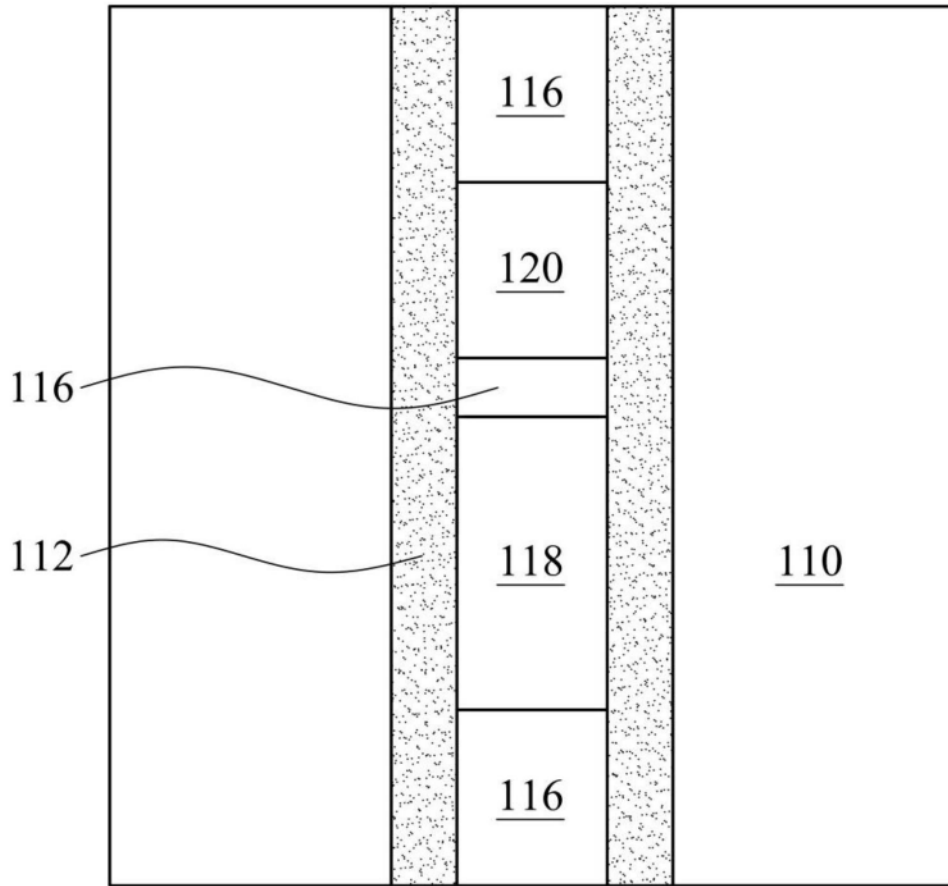


图5D

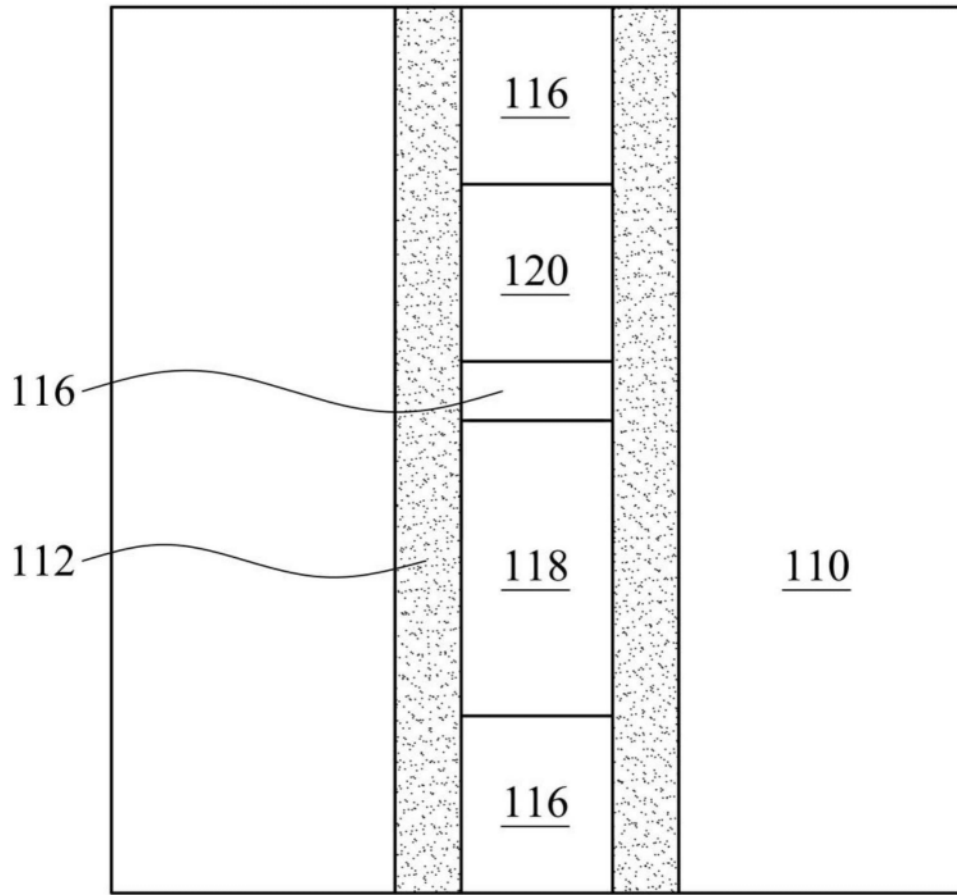


图5E

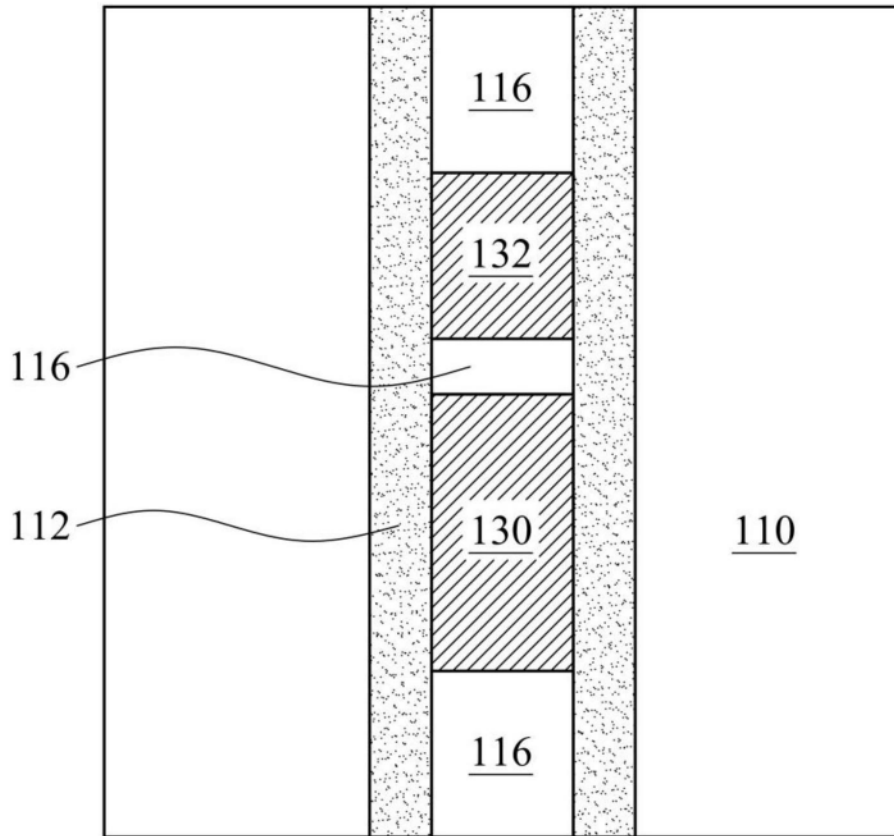


图5F

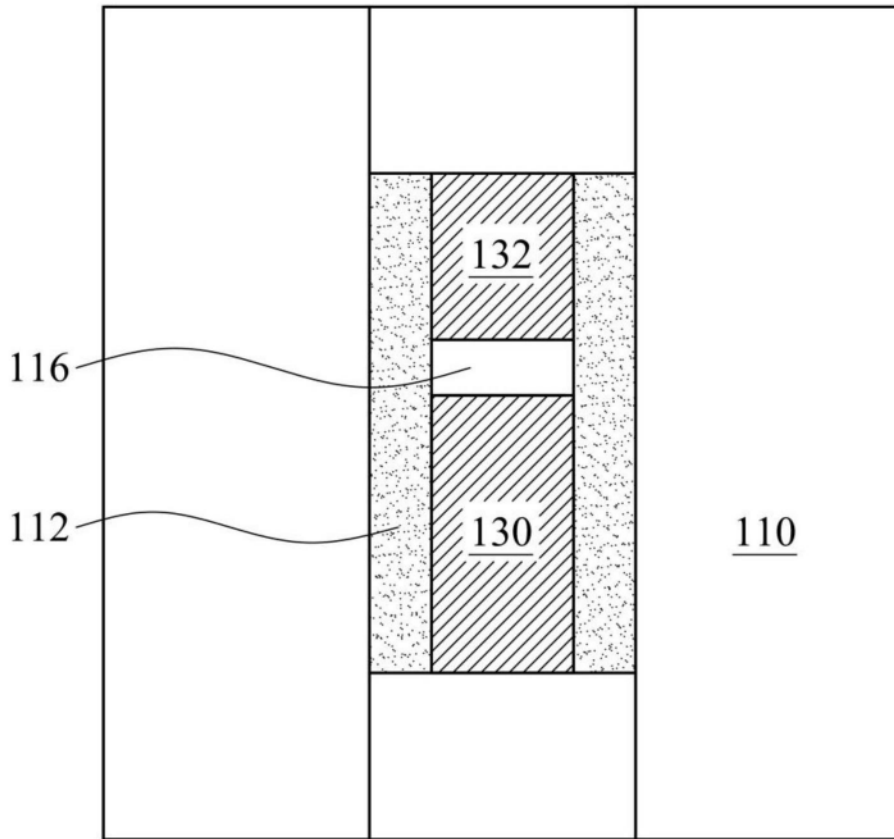


图5G

10e

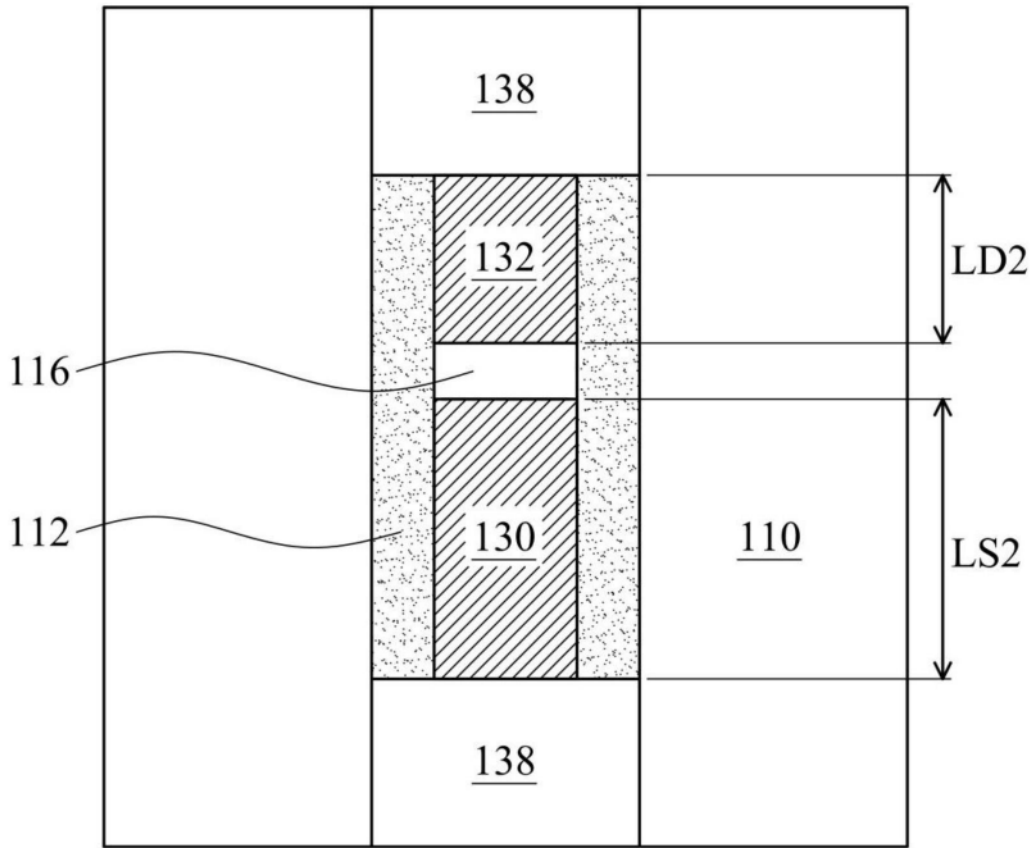


图5H

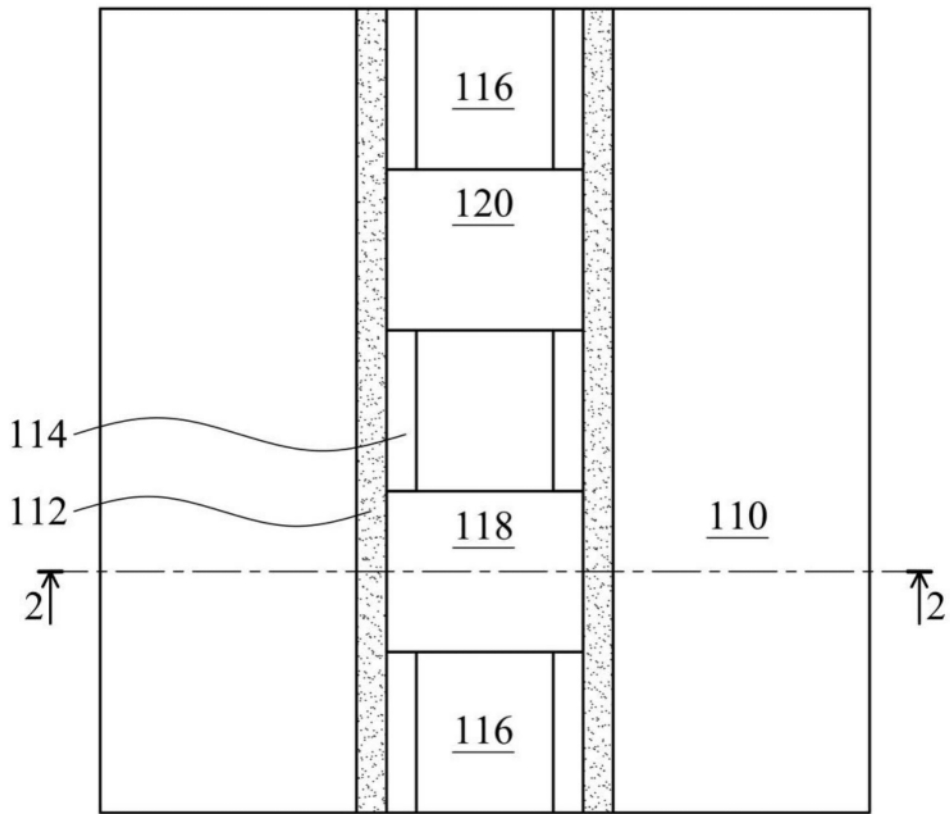


图6A-1

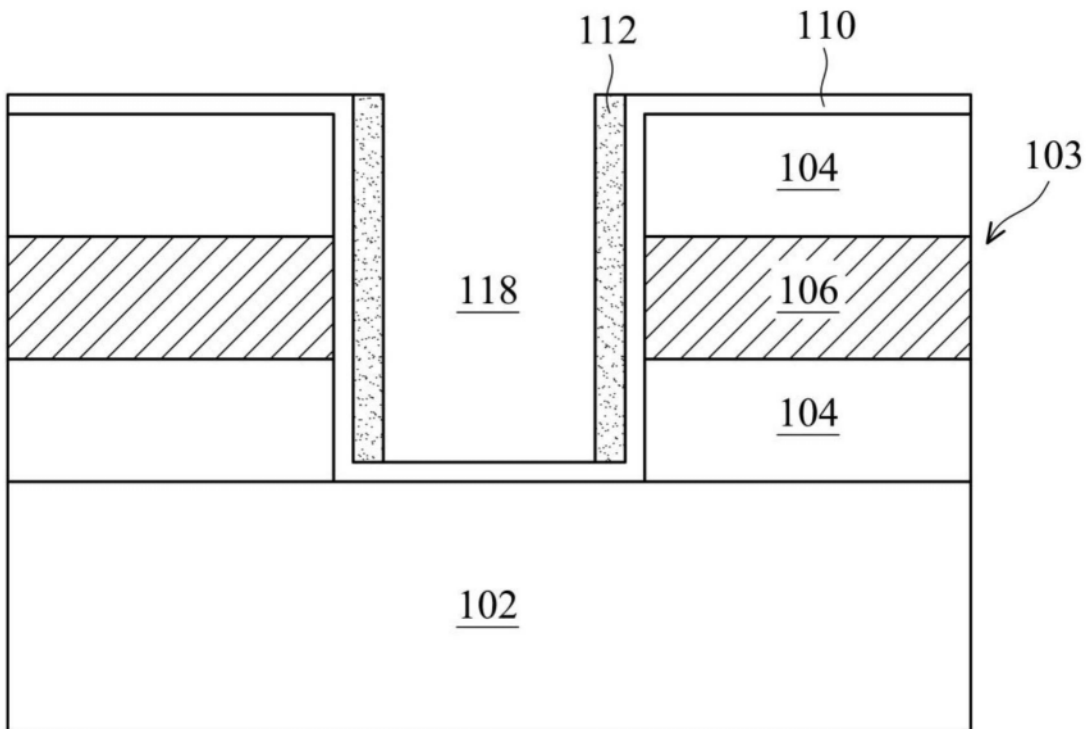


图6A-2

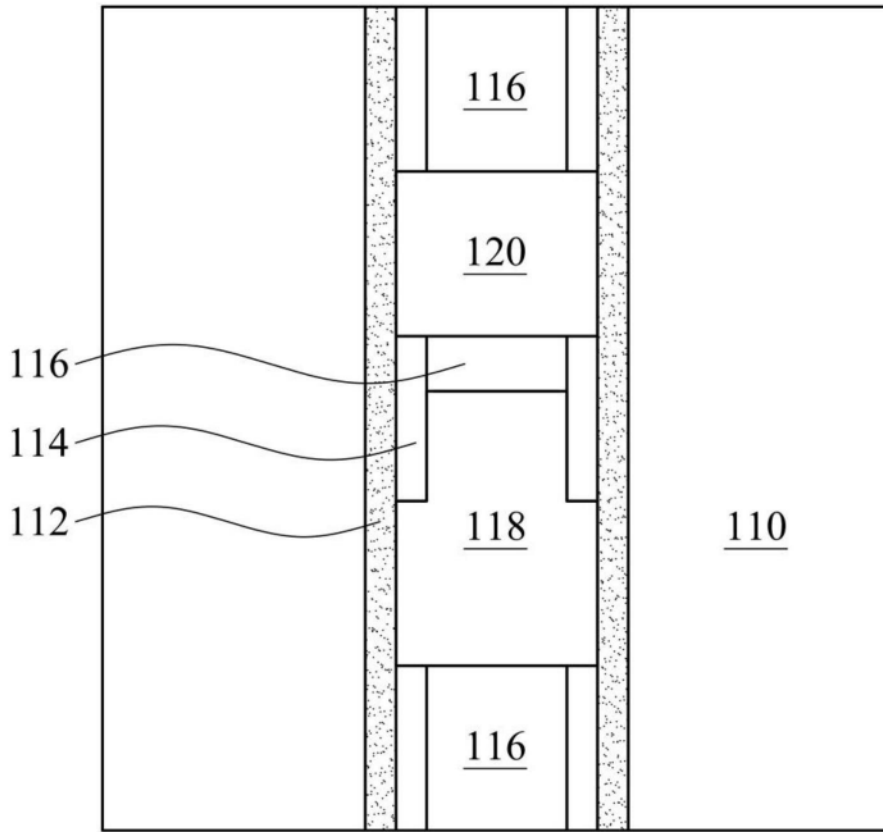


图6B

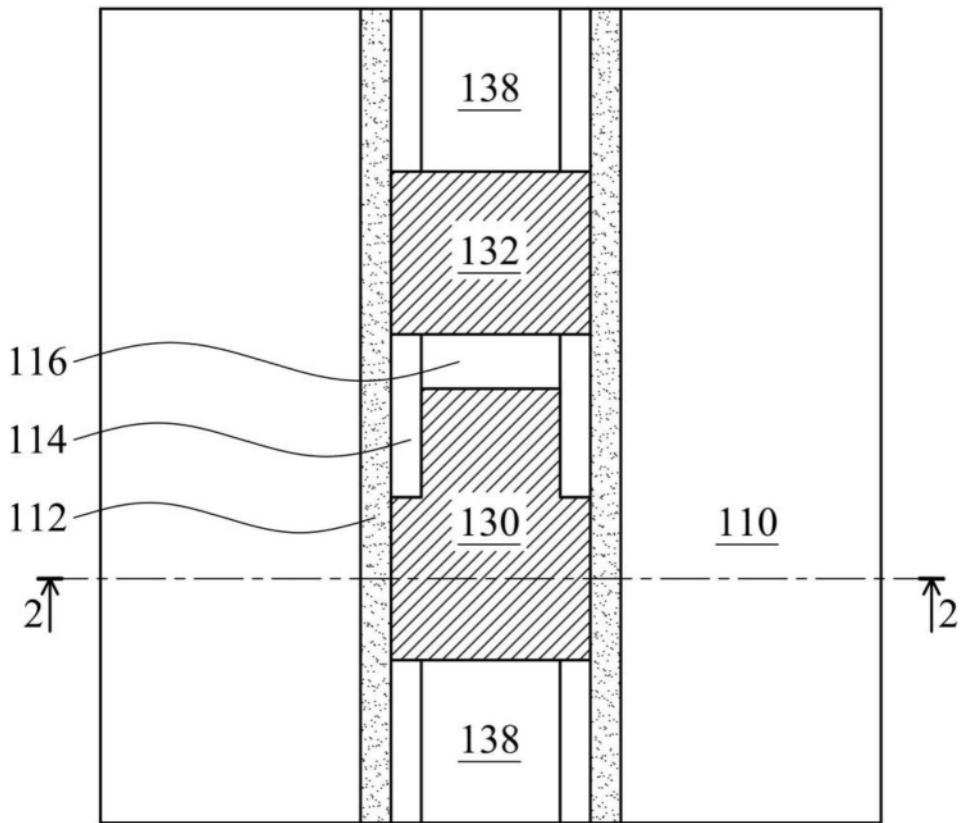


图6C-1

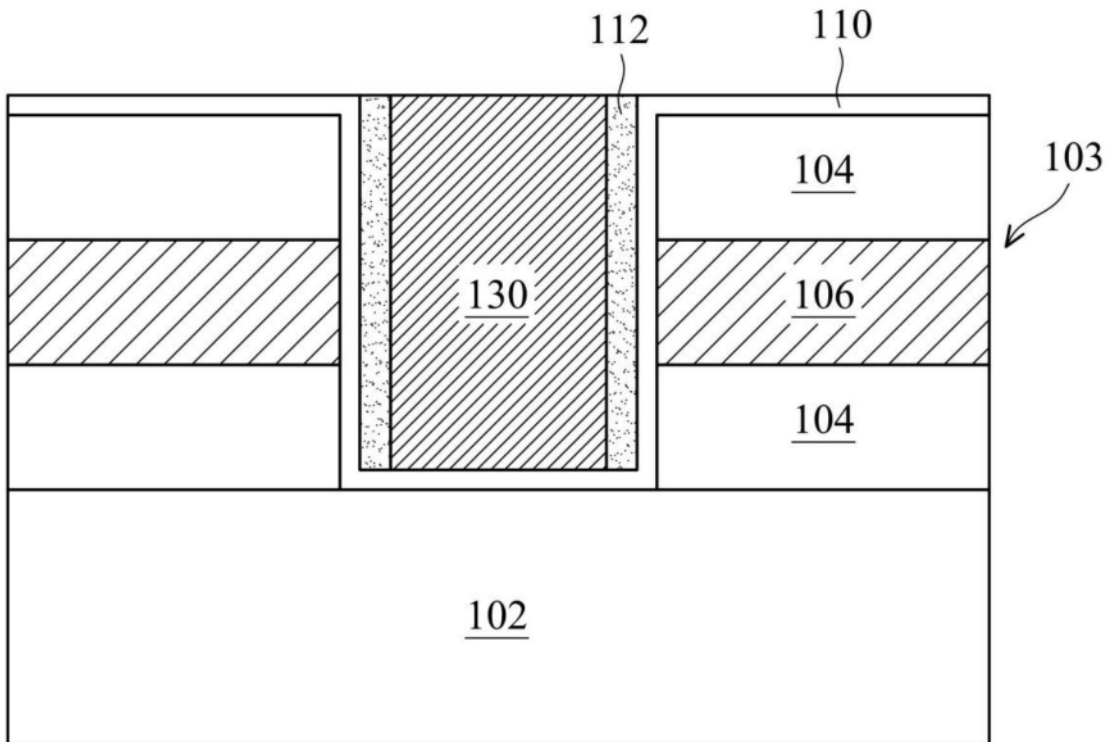


图6C-2

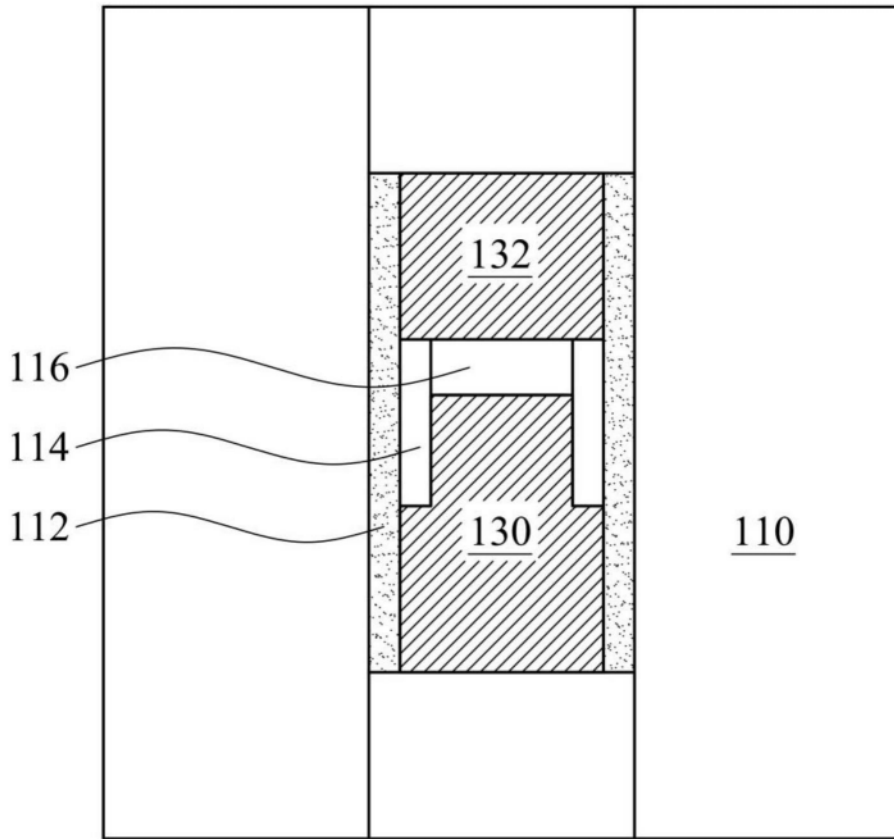


图6D

10f

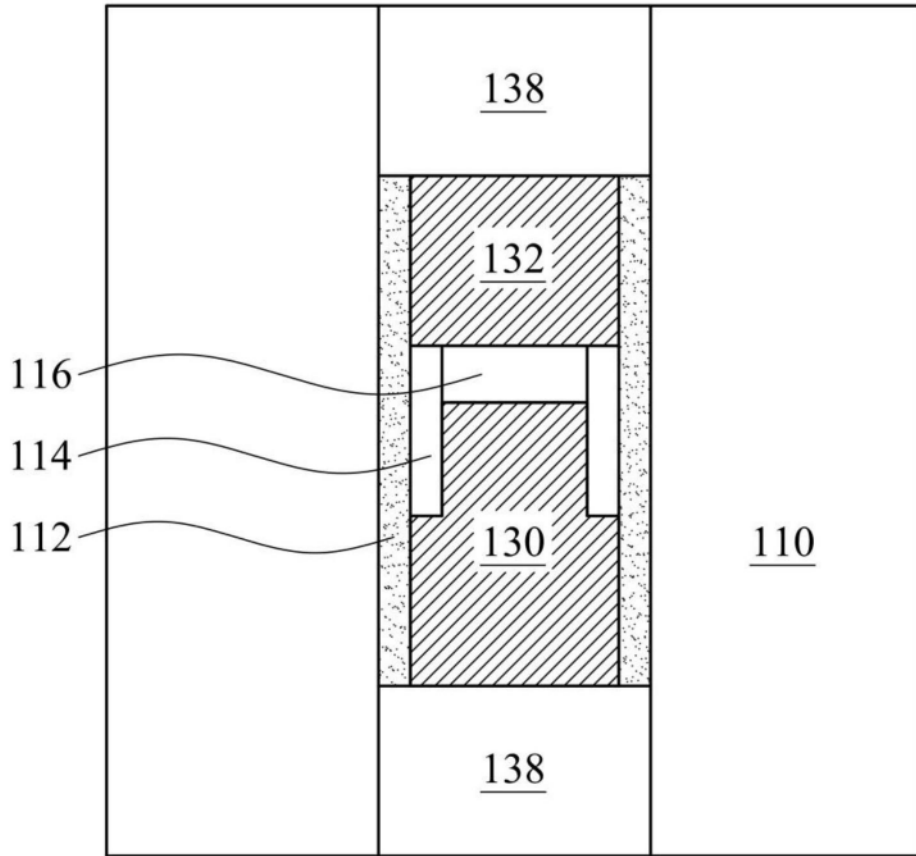


图6E

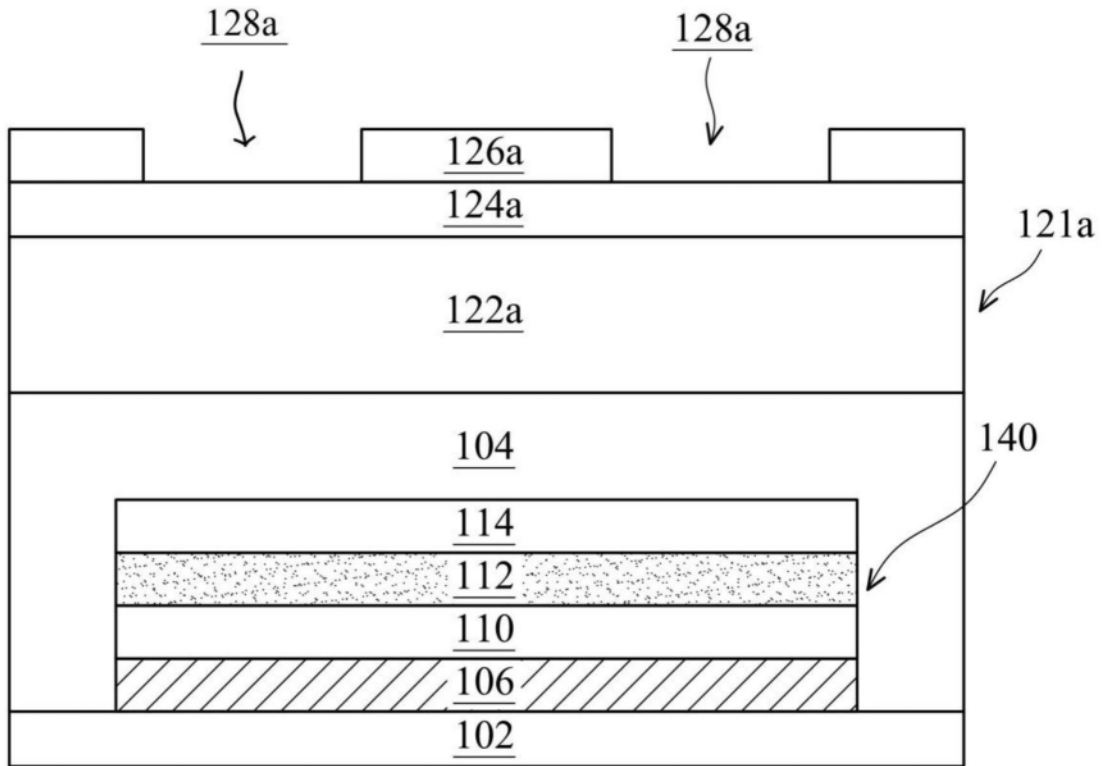


图7A

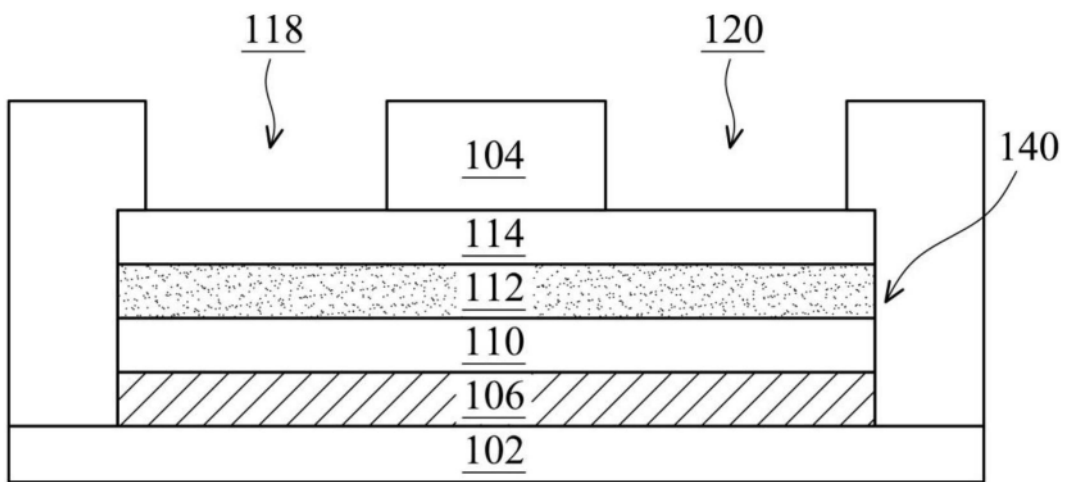


图7B

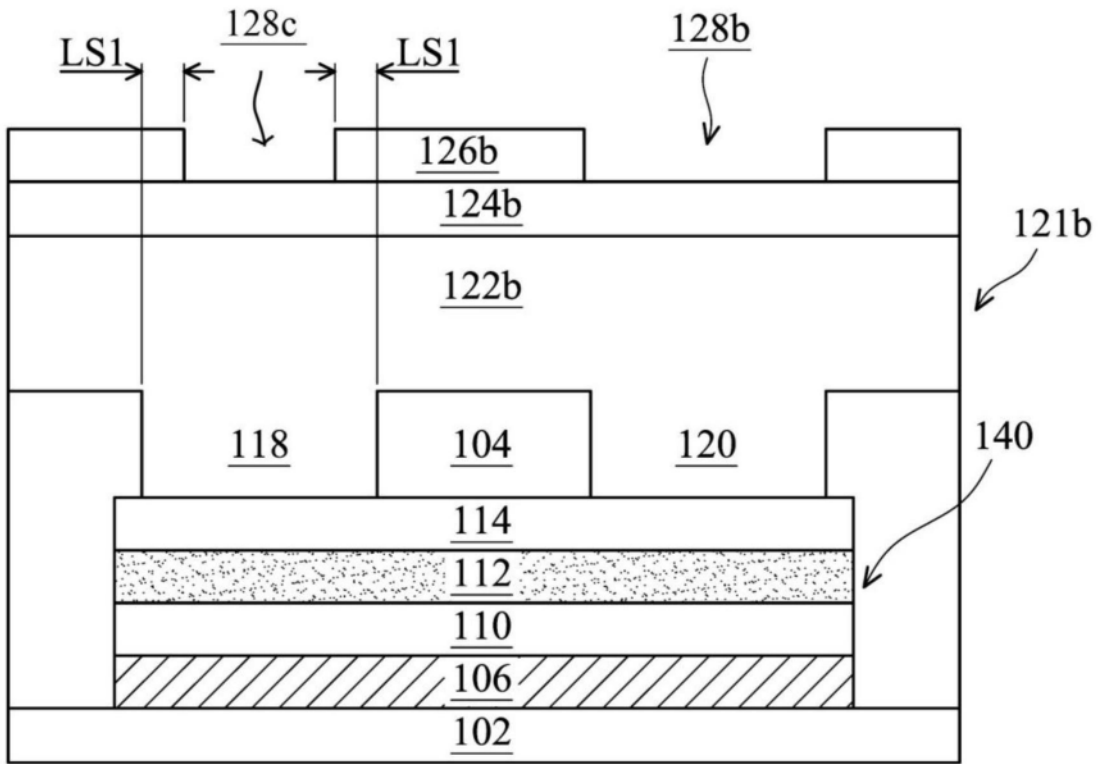


图7C

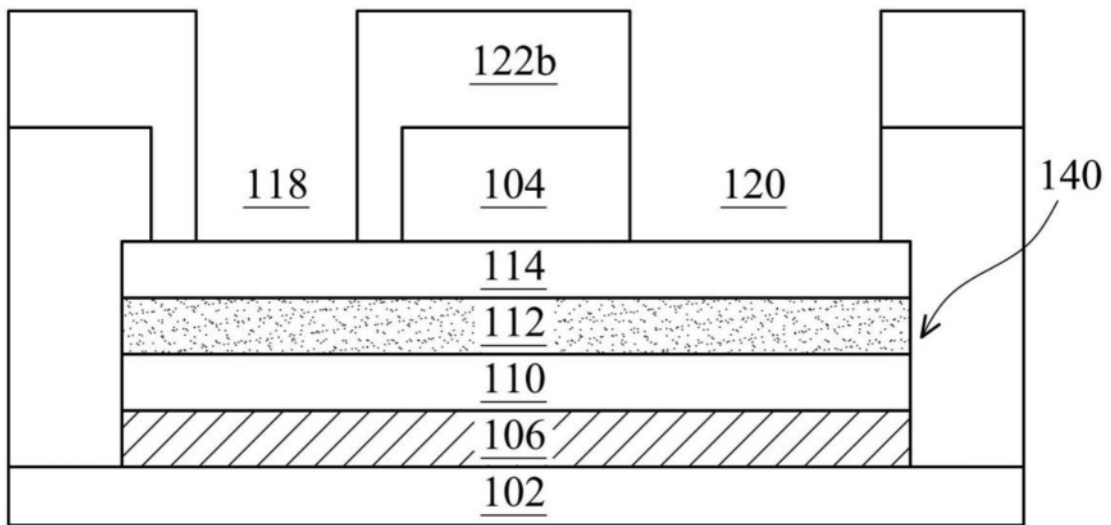


图7D

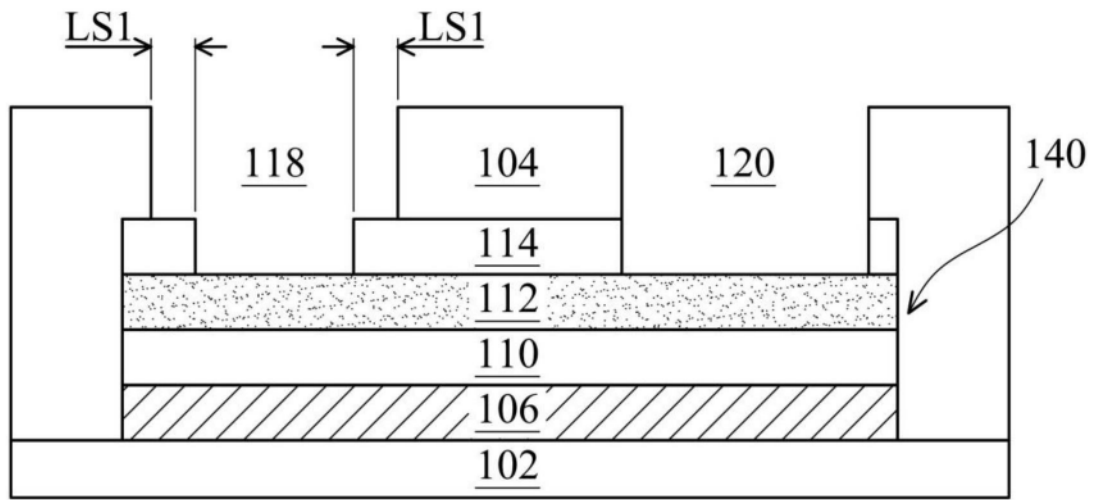


图7E

10g

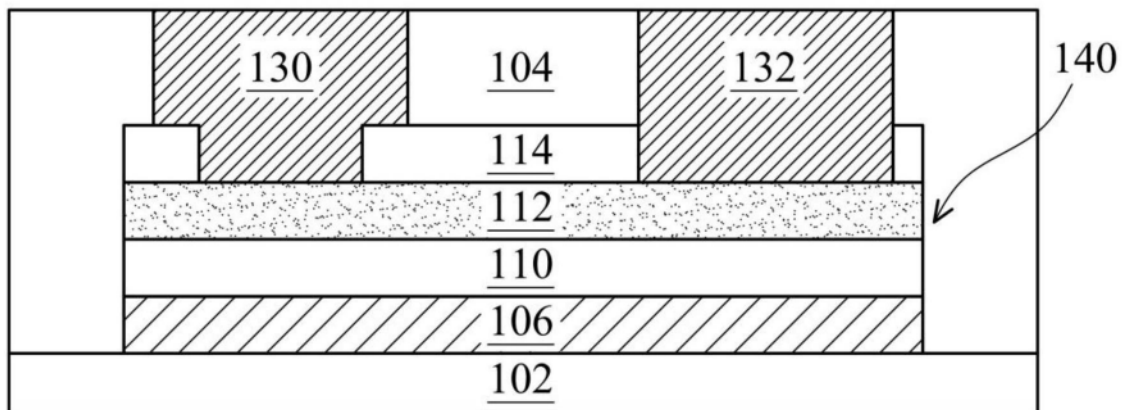


图7F

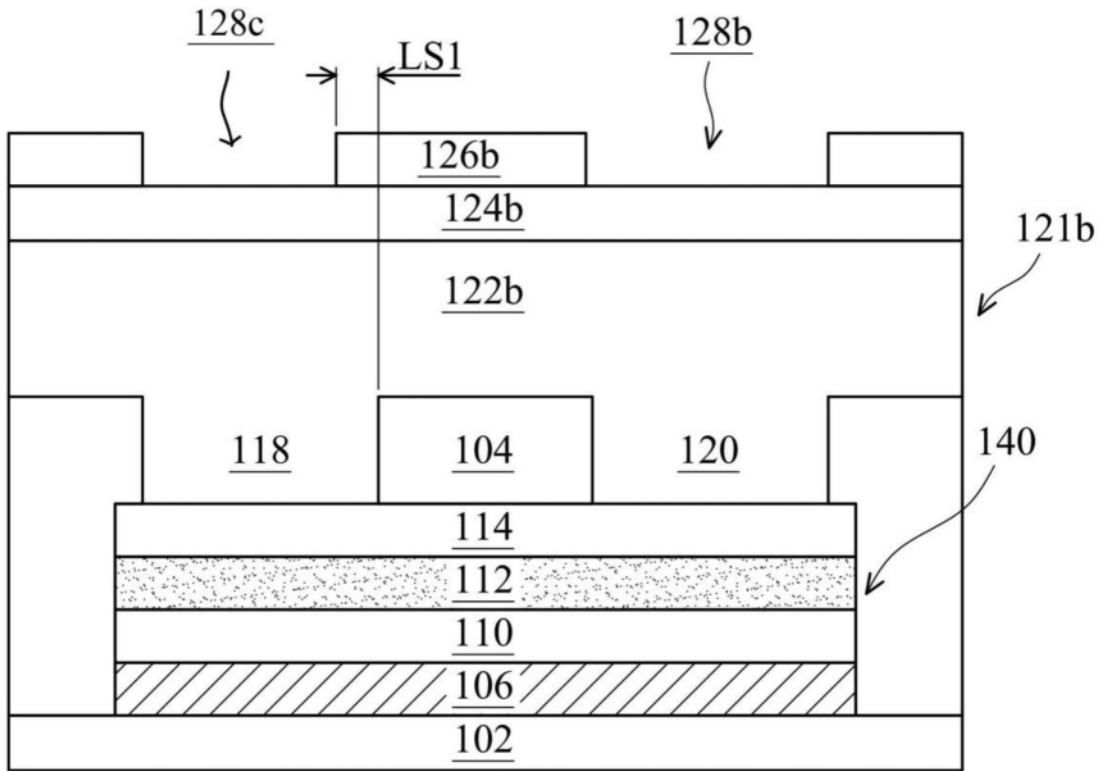


图8A

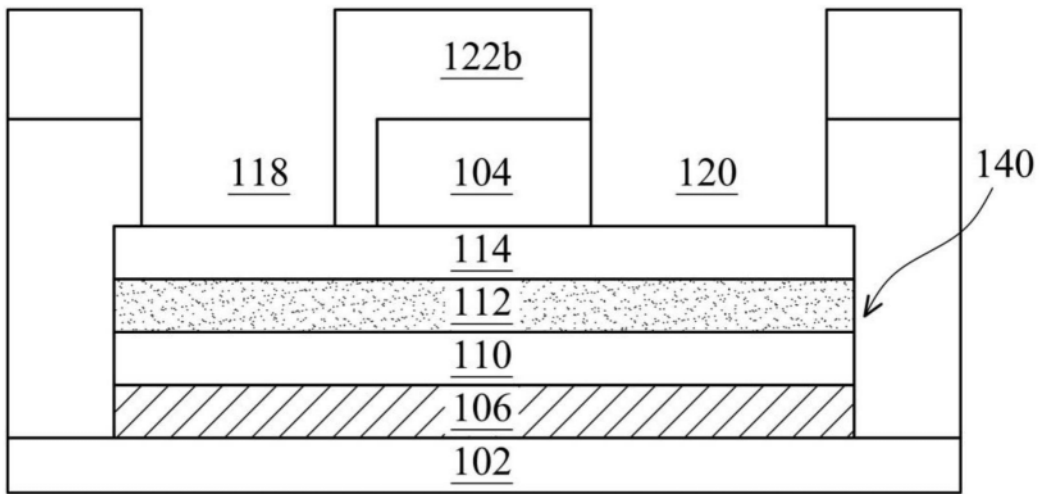


图8B

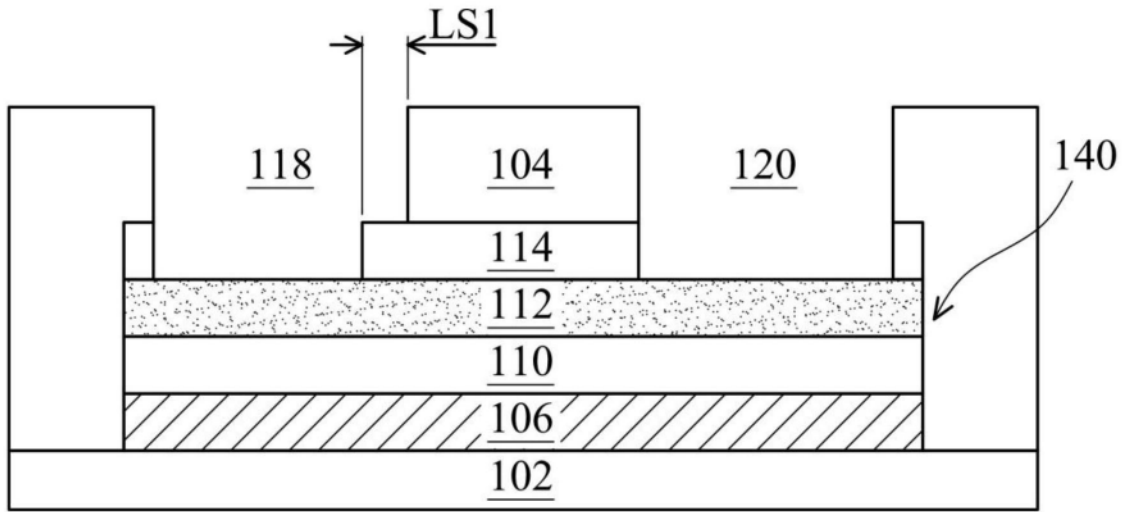


图8C

10h

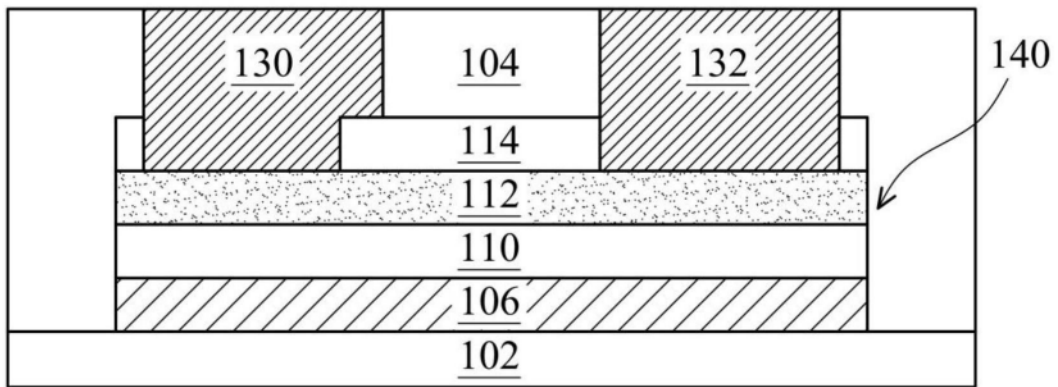


图8D

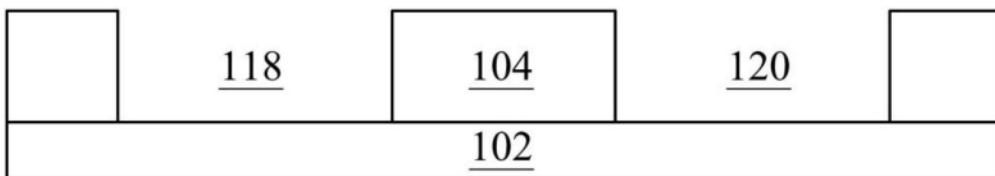


图9A

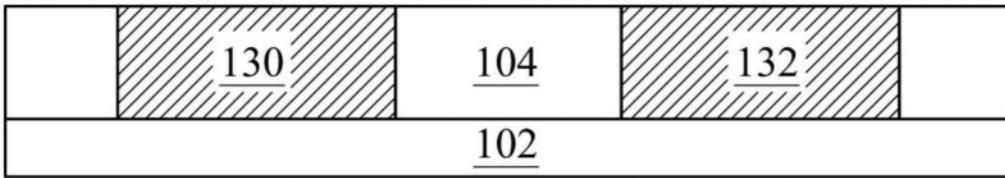


图9B

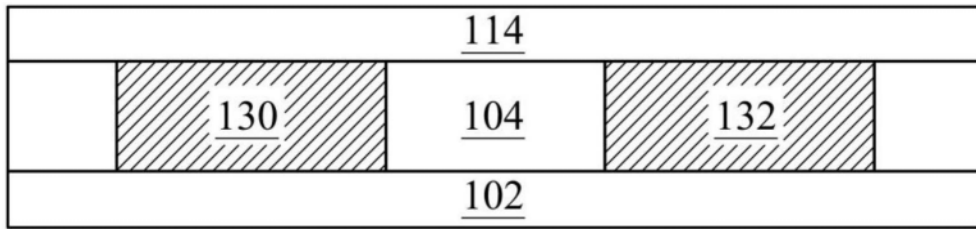


图9C

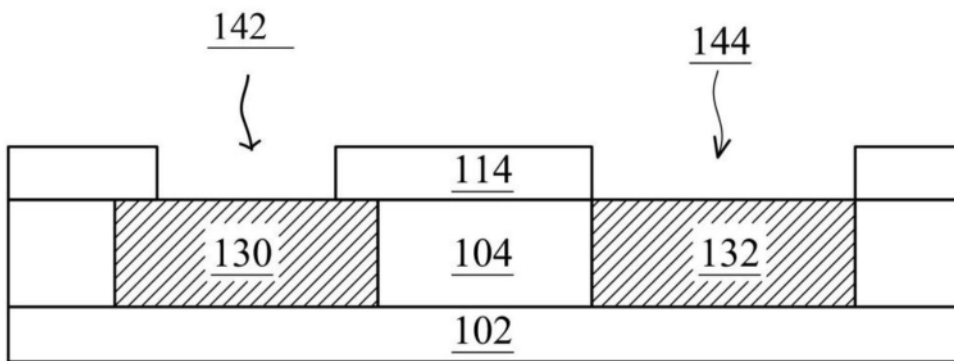


图9D

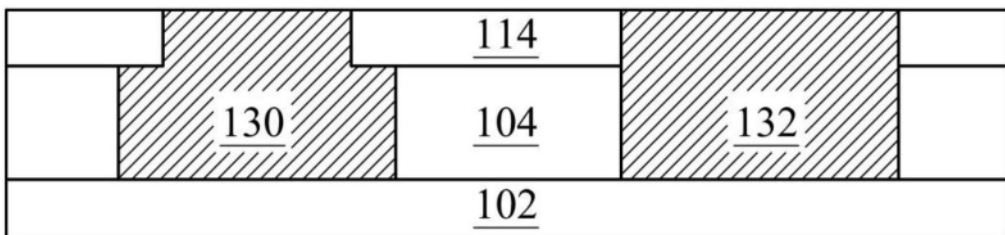


图9E

10i

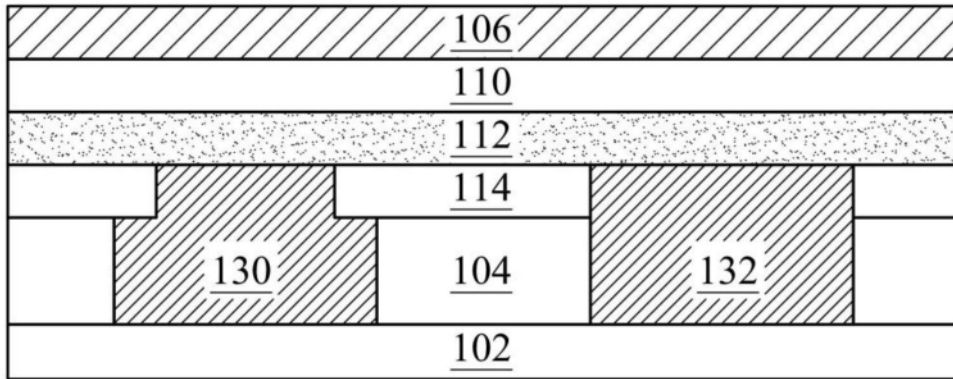


图9F