

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-174029

(P2007-174029A)

(43) 公開日 平成19年7月5日(2007.7.5)

(51) Int. Cl.	F I	テーマコード (参考)
<b>H03F 3/45 (2006.01)</b>	H03F 3/45	5J100
<b>H03G 3/30 (2006.01)</b>	H03G 3/30	5J500
	H03G 3/30	B

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2005-365933 (P2005-365933)  
 (22) 出願日 平成17年12月20日 (2005.12.20)

(71) 出願人 000000295  
 沖電気工業株式会社  
 東京都港区虎ノ門1丁目7番12号  
 (74) 代理人 100086807  
 弁理士 柿本 恭成  
 (72) 発明者 西野 章  
 東京都港区虎ノ門1丁目7番12号 沖電  
 気工業株式会社内  
 Fターム(参考) 5J100 JA01 KA05 LA00 LA09 QA01  
 5J500 AA01 AA12 AC37 AC92 AF00  
 AH09 AH25 AH26 AH29 AK00  
 AK01 AK02 AK05 AK47 AM11  
 AM21 AT01 DN03 DN22 DP02

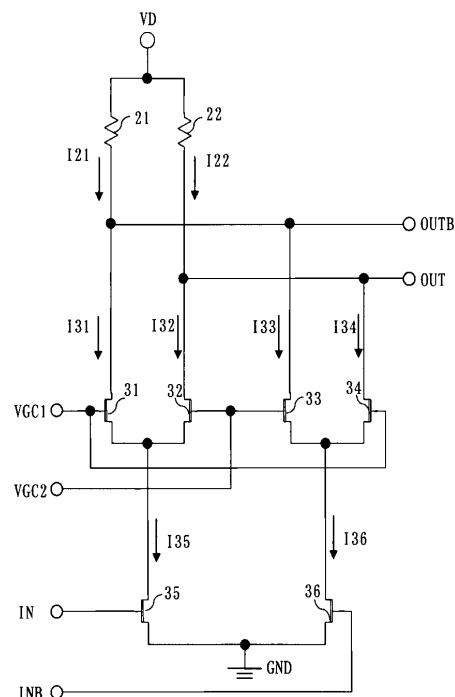
(54) 【発明の名称】 利得可変回路及びそれを用いた自動利得制御増幅器

(57) 【要約】

【課題】 縦積みのトランジスタ数を削減し、電源電圧を低減する。

【解決手段】 利得可変回路は、電源端子VDと出力端子OUT TBとの間に接続された負荷抵抗21と、電源端子VDと出力端子OUTとの間に接続された負荷抵抗22と、出力端子OUTB,OUTと第1のノードとの間に接続され、相補的な第1及び第2の利得可変電圧の差に応じて出力端子OUTB,OUTの出力電圧の利得を変えるFET31,32からなる第1の差動回路と、出力端子OUTB,OUTの出力電圧と第2のノードとの間に接続され、第1及び第2の利得可変電圧の差に応じて出力端子OUTB,OUTの出力電圧の利得を変えるFET33,34からなる第2の差動回路と、第1及び第2のノードとグラウンドGNDとの間に接続され、相補的な第1及び第2の入力電圧の差に応じて出力端子OUTB,OUTの出力電圧を増幅するFET35,36からなる増幅用ソース接地回路とにより構成されている。

【選択図】 図1



本発明の実施例1の利得可変回路

## 【特許請求の範囲】

## 【請求項 1】

第 1 の電源電圧ノードと第 1 の出力信号を出力する第 1 の出力端子との間に接続された第 1 の負荷手段と、

前記第 1 の電源電圧ノードと前記第 1 の出力信号とは逆相の第 2 の出力信号を出力する第 2 の出力端子との間に接続された第 2 の負荷手段と、

前記第 1 及び第 2 の出力端子と第 1 のノードとの間に接続され、相補的な第 1 及び第 2 の利得可変信号の差に応じて前記第 1 及び第 2 の出力信号の利得を変える第 1 の差動回路と、

前記第 1 及び第 2 の出力端子と第 2 のノードとの間に接続され、前記第 1 及び第 2 の利得可変信号の差に応じて前記第 1 及び第 2 の出力信号の利得を変える第 2 の差動回路と、

前記第 1 及び第 2 のノードと第 2 の電源電圧ノードとの間に接続され、相補的な第 1 及び第 2 の入力信号の差に応じて前記第 1 及び第 2 の出力信号を増幅する増幅回路と、

を有することを特徴とする利得可変回路。

## 【請求項 2】

前記第 1 の差動回路は、

前記第 1 の出力端子と前記第 1 のノードとの間に接続され、前記第 1 の利得可変信号により導通状態が制御される第 1 のトランジスタと、

前記第 2 の出力端子と前記第 1 のノードとの間に接続され、前記第 2 の利得可変信号により導通状態が制御される第 2 のトランジスタとにより構成され、

前記第 2 の差動回路は、

前記第 1 の出力端子と前記第 2 のノードとの間に接続され、前記第 2 の利得可変信号により導通状態が制御される第 3 のトランジスタと、

前記第 2 の出力端子と前記第 2 のノードとの間に接続され、前記第 1 の利得可変信号により導通状態が制御される第 4 のトランジスタとにより構成されていることを特徴とする請求項 1 記載の利得可変回路。

## 【請求項 3】

前記増幅回路は、

前記第 1 のノードと前記第 2 の電源電圧ノードとの間に接続され、前記第 1 の入力信号により導通状態が制御される第 5 のトランジスタと、

前記第 2 のノードと前記第 2 の電源電圧ノードとの間に接続され、前記第 2 の入力信号により導通状態が制御される第 6 のトランジスタとにより構成されていることを特徴とする請求項 1 又は 2 記載の利得可変回路。

## 【請求項 4】

前記第 1 及び第 2 の負荷手段は、同一の抵抗値を有し、

前記第 1、第 2、第 3 及び第 4 のトランジスタは、同一のトランジスタ特性を有し、

前記第 5 及び第 6 のトランジスタは、同一のトランジスタ特性を有することを特徴とする請求項 3 記載の利得可変回路。

## 【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の利得可変回路と、

前記利得可変回路の前記第 1 及び第 2 の出力信号を差動増幅して相補的な第 3 及び第 4 の出力信号を出力する 1 段又は複数段の差動増幅回路と、

前記第 3 及び第 4 の出力信号の変動量を前記第 1 及び第 2 の利得可変信号として前記利得可変回路に帰還入力する帰還回路と、

を有することを特徴とする自動利得制御増幅器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、差動信号に対して低電圧で動作可能な利得可変回路と、それを用いた自動利得制御増幅器（以下「AGCアンプ」という。）に関するものである。

10

20

30

40

50

## 【背景技術】

## 【0002】

従来、利得可変回路に関する技術としては、例えば、次のような文献に記載されるものがあった。

## 【0003】

【非特許文献1】M. Moller, H.-M. Rein and H. Wernz, "13 Gb/s Si-Bipolar AGC Amplifier IC with High Gain and Wide Dynamic Range for Optical-Fiber Receivers", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL 29, No. 7, JULY 1994, p815-p822

## 【特許文献1】特開平9 - 18329号公報

## 【0004】

非特許文献1の第817頁の図2(a)には、バイポーラトランジスタで構成された利得可変回路の回路図が記載され、この利得可変回路を用いたAGCアンプの回路図が、同文献1の第816頁の図1に記載されている。

## 【0005】

又、特許文献1の図3には、非特許文献1の利得可変回路と同一の回路構成の電界効果トランジスタ(以下「FET」という。)を用いたギルバート型マルチプライヤ(2重平衡型差動増幅回路)の回路構成図が記載されている。このマルチプライヤは、2つのアナログ信号を取り入れてこれらの積に比例する出力信号を出力回路であり、利得可変回路とは用途が異なる。

## 【0006】

図4は、従来利得可変回路を示す回路図である。

この利得可変回路は、非特許文献1に記載されたバイポーラトランジスタで構成される利得可変回路を、説明の簡略化のためにFETで置き換えた回路である。

## 【0007】

図4の利得可変回路は、正相信号入力端子IN、逆相信号入力端子INB、正相信号出力端子OUT、逆相信号出力端子OUTB、利得可変端子VGC1、VGC2、及び電源端子VDを有し、これらの端子間に、2つの負荷抵抗1、2と7つのFET11~17が接続されている。

## 【0008】

負荷抵抗1、2の一方の端子は、電源端子VDに接続されている。負荷抵抗1の他方の端子とFET11、13のドレインは、出力端子OUTBに接続され、負荷抵抗2の他方の端子とFET12、14のドレインが、出力端子OUTに接続されている。FET11、14のゲートは、利得可変端子VGC1に接続され、FET12、13のゲートが利得可変端子VGC2に接続されている。FET11、12のソースは、FET15のドレインに接続され、FET13、14のソースがFET16のドレインに接続されている。FET15のゲートは、入力端子INに接続され、FET16のゲートが入力端子INBに接続されている。FET15、16のソースは、FET17のドレインに接続され、このFET17のゲート及びソースがグランドGNDに接続されている。

## 【0009】

この利得可変回路は、FET17により定電流源が構成され、FET15及び16により信号増幅用差動回路が構成され、FET11~14により利得可変用差動回路が構成されている。

## 【0010】

このような回路構成において、FET15及び16は同じ特性を持ち、各FET11、12、13、14も同じ特性を持つものとする。ここで、正相信号入力端子INに印加される入力信号電圧を $v_{in}$ とし、逆相信号入力端子INBに印加される入力信号電圧を $-v_{in}$ とし、利得可変端子VGC1及びVGC2に印加される利得可変電圧の差を $v_{gc}$ とする。FET17のドレインに流れる定電流を $i$ とし、負荷抵抗1及び2の抵抗値を $r$ とし、FET15及び16の相互コンダクタンスのドレイン電流依存性を $A1$ とし、各FET11、12、13、14の相互コンダクタンスのドレイン電流依存性を $A2$ とする。

## 【0011】

10

20

30

40

50



## 【0014】

特に、利得可変回路は、A G C アンプ等の種々の集積回路を構成する際に使用されるが、前記の問題のため、集積回路に対する電源電圧の低減や構成素子数の削減を図る上で大きな障害になっており、これを解決することが困難であった。

## 【課題を解決するための手段】

## 【0015】

本発明の利得可変回路では、第1の電源電圧ノードと第1の出力信号を出力する第1の出力端子との間に接続された第1の負荷手段と、前記第1の電源電圧ノードと前記第1の出力信号とは逆相の第2の出力信号を出力する第2の出力端子との間に接続された第2の負荷手段と、前記第1及び第2の出力端子と第1のノードとの間に接続され、相補的な第1及び第2の利得可変信号の差に応じて前記第1及び第2の出力信号の利得を変える第1の差動回路と、前記第1及び第2の出力端子と第2のノードとの間に接続され、前記第1及び第2の利得可変信号の差に応じて前記第1及び第2の出力信号の利得を変える第2の差動回路と、前記第1及び第2のノードと第2の電源電圧ノードとの間に接続され、相補的な第1及び第2の入力信号の差に応じて前記第1及び第2の出力信号を増幅する増幅回路とを有している。

10

## 【0016】

本発明のA G C アンプでは、前記利得可変回路と、前記利得可変回路の前記第1及び第2の出力信号を差動増幅して相補的な第3及び第4の出力信号を出力する1段又は複数段の差動増幅回路と、前記第3及び第4の出力信号の変動量を前記第1及び第2の利得可変信号として前記利得可変回路に帰還入力する帰還回路とを有している。

20

## 【発明の効果】

## 【0017】

本発明の利得可変回路によれば、第1、第2の差動回路と増幅回路との縦積みの素子数を削減でき、これによって電源電圧を低減できる。

## 【0018】

本発明のA G C アンプによれば、前記利得可変回路を設けているので、A G C アンプ全体の電源電圧を低減できる。そのため、A G C アンプ全体の低電圧動作による低消費電力化が可能で、素子数の削減による回路の小型化が可能になる。

## 【発明を実施するための最良の形態】

30

## 【0019】

可変利得回路は、第1の電源電圧ノードと第1の出力信号を出力する第1の出力端子との間に接続された第1の負荷抵抗と、前記第1の電源電圧ノードと前記第1の出力信号とは逆相の第2の出力信号を出力する第2の出力端子との間に接続された第2の負荷抵抗と、前記第1及び第2の出力端子と第1のノードとの間に接続され、相補的な第1及び第2の利得可変信号の差に応じて前記第1及び第2の出力信号の利得を変える第1の差動回路と、前記第1及び第2の出力端子と第2のノードとの間に接続され、前記第1及び第2の利得可変信号の差に応じて前記第1及び第2の出力信号の利得を変える第2の差動回路と、前記第1及び第2のノードと第2の電源電圧ノードとの間に接続され、相補的な第1及び第2の入力信号の差に応じて前記第1及び第2の出力信号を増幅する増幅回路とを有している。

40

## 【実施例1】

## 【0020】

(実施例1の構成)

図1は、本発明の実施例1を示す利得可変回路の回路図である。

## 【0021】

この利得可変回路は、正相信号入力端子IN、逆相信号入力端子INB、第2の出力端子(例えば、正相信号出力端子)OUT、第1の出力端子(例えば、逆相信号出力端子)OUTB、利得可変端子VGC1、VGC2、及び第1の電源電圧ノード(例えば、電源端子)VDを有し、これらの端子間に、第1、第2の負荷手段(例えば、負荷抵抗)21、22と、第1、第2

50

のトランジスタ（例えば、F E T）3 1 , 3 2 からなる利得可変用の第 1 の差動回路と、第 3、第 4 のトランジスタ（例えば、F E T）3 5 , 3 6 からなる利得可変用の第 2 の差動回路と、第 5、第 6 のトランジスタ（例えば、F E T）3 5 , 3 6 からなる増幅回路（例えば、信号増幅用ソース接地回路）とが接続されている。本実施例 1 では、従来の信号増幅用差動回路に代えて、信号増幅用ソース接地回路を設けることにより、F E T の縦積み段数を 2 段にして素子数の削減と電源電圧の低減を実現している。

#### 【 0 0 2 2 】

負荷抵抗 2 1 , 2 2 の一方の端子は電源端子 VD に接続され、負荷抵抗 2 1 の他方の端子が、F E T 3 1 , 3 3 のドレイン及び出力端子 OUTB に接続されている。負荷抵抗 2 2 の他方の端子は、F E T 3 2 , 3 4 のドレイン及び出力端子 OUT に接続されている。F E T 3 1 , 3 4 のゲートは、可変利得端子 VGC1 に接続され、F E T 3 2 , 3 3 のゲートが、可変利得端子 VGC2 に接続されている。F E T 3 1 , 3 2 のソース側の第 1 のノードは、F E T 3 5 のドレインに接続され、F E T 3 3 , 3 4 のソース側の第 2 のノードが、F E T 3 6 のドレインに接続されている。F E T 3 5 のゲートは入力端子 IN に接続され、F E T 3 6 のゲートが入力端子 INB に接続されている。F E T 3 5 , 3 6 のソースは、第 2 の電源電圧ノード（グランド GND）に接続されている。

#### 【 0 0 2 3 】

（実施例 1 の動作）

図 1 の回路構成において、F E T 3 5 及び 3 6 は同じ特性を持ち、各 F E T 3 1 , 3 2 , 3 3 , 3 4 も同じ特性を持つものとする。ここで、正相信号入力端子 IN に印加される第 1 の入力信号（例えば、入力信号電圧）を  $v_{in}$  とし、逆相信号入力端子 INB に印加される第 2 の入力信号（例えば、入力信号電圧）を  $-v_{in}$  とし、利得可変端子 VGC1 及び VGC2 に印加される第 1、第 2 の利得可変信号（例えば、利得可変電圧） $v_{gc1}, v_{gc2}$  の差を  $v_{gc}$  とする。 $v_{in} = -v_{in} = 0$  の時の F E T 3 5 及び T3 6 のドレイン電流を  $i/2$  とし、各負荷抵抗 2 1 , 2 2 の抵抗値を  $r$  とし、F E T 3 5 及び 3 6 の相互コンダクタンスのドレイン電流依存性を  $A_1$  とし、各 F E T 3 1 , 3 2 , 3 3 , 3 4 の相互コンダクタンスのドレイン電流依存性を  $A_2$  とする。

#### 【 0 0 2 4 】

F E T 3 5 のドレイン電流  $I_{35}$  は、

$$I_{35} = i \cdot (1 + A_1 \cdot v_{in}) / 2 \quad \dots \dots \dots (11)$$

となり、F E T 3 6 のドレイン電流  $I_{36}$  は、

$$\begin{aligned} I_{35} &= i \cdot \{1 + A_1 \cdot (-v_{in})\} / 2 \\ &= i \cdot (1 - A_1 \cdot v_{in}) / 2 \quad \dots \dots \dots (12) \end{aligned}$$

となる。F E T 3 1 のドレイン電流  $I_{31}$  は、

$$\begin{aligned} I_{31} &= I_{35} \cdot (1 + A_2 \cdot v_{gc} / 2) / 2 \\ &= i \cdot (1 + A_1 \cdot v_{in}) \cdot (1 + A_2 \cdot v_{gc} / 2) / 4 \quad \dots \dots \dots (13) \end{aligned}$$

となり、F E T 3 2 のドレイン電流  $I_{32}$  は、

$$\begin{aligned} I_{32} &= I_{35} \cdot (1 - A_2 \cdot v_{gc} / 2) / 2 \\ &= i \cdot (1 + A_1 \cdot v_{in}) \cdot (1 - A_2 \cdot v_{gc} / 2) / 4 \quad \dots \dots \dots (14) \end{aligned}$$

となる。F E T 3 3 のドレイン電流  $I_{33}$  は、

$$\begin{aligned} I_{33} &= I_{36} \cdot (1 - A_2 \cdot v_{gc} / 2) / 2 \\ &= i \cdot (1 - A_1 \cdot v_{in}) \cdot (1 - A_2 \cdot v_{gc} / 2) / 4 \quad \dots \dots \dots (15) \end{aligned}$$

となり、F E T 3 4 のドレイン電流  $I_{34}$  は、

$$\begin{aligned} I_{34} &= I_{36} \cdot (1 + A_2 \cdot v_{gc} / 2) / 2 \\ &= i \cdot (1 - A_1 \cdot v_{in}) \cdot (1 + A_2 \cdot v_{gc} / 2) / 4 \quad \dots \dots \dots (16) \end{aligned}$$

となる。又、負荷抵抗 2 1 に流れる電流  $I_{21}$  は、F E T 3 1 のドレイン電流  $I_{31}$  と F E T 3 3 のドレイン電流  $I_{33}$  の和であり、その値は (13) 式と (15) 式より、

$$\begin{aligned} I_{21} &= I_{31} + I_{33} \\ &= i \cdot (1 + A_1 \cdot A_2 \cdot v_{in} \cdot v_{gc} / 2) / 2 \quad \dots \dots \dots (17) \end{aligned}$$

となる。負荷抵抗 2 1 に流れる電流  $I_{21}$  は、F E T 3 2 のドレイン電流  $I_{32}$  と F E T 3 4 の

ドレイン電流 I34 の和であり、その値は (14) 式と (16) 式より、

$$I_{22} = I_{32} + I_{34} \\ = i \cdot (1 - A1 \cdot A2 \cdot v_{in} \cdot v_{gc}/2) / 2 \dots \dots \dots (18)$$

となる。従って、正相信号出力端子 OUT から出力される第 2 の出力信号 (例えば、出力信号電圧)  $v_{out}$  の  $v_{gc} = 0$  の時からの変化分を  $v_{out}$  とすると、 $v_{out}$  は、

$$v_{out} = r \cdot A1 \cdot A2 \cdot v_{in} \cdot v_{gc} / 4 \dots \dots \dots (19)$$

となり、逆相信号出力端子 OUTB から出力される第 1 の出力信号 (例えば、出力信号電圧)  $v_{outb}$  の  $v_{gc} = 0$  の時からの変化分を  $v_{outb}$  とすると、 $v_{outb}$  は、

$$v_{outb} = - r \cdot A1 \cdot A2 \cdot v_{in} \cdot v_{gc} / 4 \dots \dots \dots (20)$$

となる。

#### 【0025】

このように上記構成の回路は、利得可変端子 VGC1 及び VGC2 に印加される電圧  $v_{gc1}$ ,  $v_{gc2}$  の差  $v_{gc}$  により利得が可変される利得可変回路として動作する。

#### 【0026】

(実施例 1 の効果)

本実施例 1 によれば、信号増幅用ソース接地回路の FET 35, 36 及び利得可変用差動回路の FET 31 ~ 34 からなる縦積み 2 段と、負荷抵抗 21, 22 とで構成されているため、従来に比べ素子数を 1 つ削減できるという効果がある。又、FET が動作するために必要なドレイン - ソース間電圧を  $V_{ds}$  とし、負荷抵抗 21, 22 にかかる電圧を  $V_r$  とすると、必要とされる最小電源電圧  $V_{min}$  は、

$$V_{min} = 2 \cdot V_{ds} + V_r$$

となり、従来の利得可変回路と比べ、FET の 1 段分だけ電源電圧を下げることでできるという効果がある。

#### 【0027】

なお、本実施例 1 では、信号増幅用に FET 35, 36 からなるソース接地回路を用いているので、例えば、逆相信号入力端子 INB に印加される入力信号電圧  $-v_{in}$  が固定電圧で、正相信号入力端子 IN に印加される入力信号電圧  $v_{in}$  が可変電圧の場合は、信号増幅用ソース接地回路では、シングルバランス変換されないため、2 入力信号が差動入力に制限される。しかし、通常、この種の利得可変回路には複数段のアンプが接続されるので、その差動入力の制限が問題となることは少なく、このような不利な点に比べて上記の効果の方が大きい。

#### 【実施例 2】

#### 【0028】

図 2 は、本発明の実施例 2 を示す利得可変回路の回路図であり、実施例 1 を示す図 1 中の要素と共通の要素には共通の符号が付されている。

#### 【0029】

実施例 1 の図 1 では正電源で動作する利得可変回路について説明したが、本実施例 2 では、負電源で使用する時の回路構成を示す。本実施例 2 の利得可変回路では、負荷抵抗 21, 22 の一方の端子をグランド GND に接続し、FET 35, 36 のソースを負電源端子 VSS に接続している。又、利得可変端子の VGC1 と VGC2 を相互に入れ替えている。このよ

#### 【実施例 3】

#### 【0030】

(実施例 3 の構成)

図 3 は、本発明の実施例 3 を示す AGC アンプの回路図である。

本実施例 3 は、実施例 1 又は 2 の可変利得回路の応用例として AGC アンプを示すものである。この AGC アンプ 100 は、差動入力信号がブロッキングキャパシタ 98, 99 を介して入力される正相信号入力端子 IN 及び逆相信号入力端子 INB を有し、この入力端子 IN, INB に、初段の実施例 1 又は 2 の可変利得回路 101 が接続され、この後段側に、複数段 (例えば、4 段) の固定利得の差動増幅回路 111 ~ 114 が接続されている。最終段

の差動増幅回路 114 内には、出力の振幅を検出するピーク検出回路が設けられ、このピーク検出回路の検出信号が抵抗 115, 116 を介して端子 PD1, PD2 から出力される。ここで、差動増幅回路 114 の出力端子に接続された正相信号出力端子 OUT 及び逆相信号出力端子 OUTB からブロッキングキャパシタ 117, 118 を介して出力される第 3 及び第 4 の出力信号の差（例えば、差動出力振幅）と、端子 PD1 及び PD2 から出力される検出信号の差分（PD1 と PD2 の差分）とは、比例関係にあるものとする。

#### 【0031】

端子 PD1, PD2 からは、抵抗 115, 116 と積分容量 119, 120 により積分値が出力される。この積分値は、帰還回路である例えば 2 段の演算増幅回路（以下「オペアンプ」という。）130, 140 により増幅される。オペアンプ 130 の入出力端子間には、帰還抵抗 131 が接続され、このオペアンプ 130 の出力信号と基準電圧  $V_{th}$  とが、入力抵抗 132, 133 を介してオペアンプ 140 に与えられる。オペアンプ 140 の入出力端子間には、帰還容量 141 が接続され、このオペアンプ 140 の出力信号が、出力抵抗 142 を介して利得可変回路 101 の利得可変端子 VGC1 に帰還入力される。利得可変回路 101 の利得可変端子 VGC2 には、固定の一定電圧が印加されているものとする。

10

#### 【0032】

（実施例 3 の動作）

差動入力信号がブロッキングキャパシタ 98, 99 を介して入力端子 IN, INB に入力されると、この差動入力信号が回路利得（利得可変回路 101 の利得とこの後段の差動増幅回路 111 ~ 114 の利得）分だけ増幅されて、差動出力信号が出力端子 OUT, OUTB からブロッキングキャパシタ 117, 118 を介して出力される。ここで、回路利得が一定値の場合には、差動入力信号の振幅が変化すると、差動出力信号の振幅も変化する。

20

#### 【0033】

AGC アンプ 100 の場合には、差動入力信号が大きくなり、端子 PD1 と PD2 から出力される差動出力振幅の検出値の差分が大きくなると、利得可変端子 VGC1 の電圧が増加され、利得可変回路 101 の利得を下げることにより、回路利得を減少させる。逆に差動出力振幅が小さい時には、利得可変端子 VGC1 の電圧が減少し、回路利得を上げるように動作する。このように差動入力振幅の変化に対し、差動出力振幅が一定となるように利得が変化する。

#### 【0034】

（実施例 3 の効果）

本実施例 3 の AGC アンプ 100 によれば、初段に実施例 1 又 2 の利得可変回路 101 を設けているので、電源端子 VD に印加する AGC アンプ全体の電源電圧を低減できる。そのため、AGC アンプ 100 を集積回路等で形成した場合に、低電圧動作による低消費電力化が可能で、素子数の削減による回路の小型化が可能になる。

30

#### 【0035】

なお、本発明は、上記実施例 1 ~ 3 に限定されず、種々の変形や利用形態が可能である。この変形や利用形態としては、例えば、次の (1) ~ (3) のようなものがある。

#### 【0036】

(1) 図 1、図 2 では、FET を用いて利得可変回路を構成しているが、バイポーラトランジスタ等の他のトランジスタを用いて構成しても、上記実施例とほぼ同様の作用効果が得られる。例えば、図 1、図 2 の利得可変回路をバイポーラトランジスタで構成する場合は、FET 35, 36 からなる信号増幅用ソース接地回路に代えて、エミッタ接地回路等を設ければ良い。

40

#### 【0037】

(2) 図 1、図 2 の利得可変回路において、負荷抵抗 21, 22 に代えて、負荷トランジスタ等を設けても良い。

#### 【0038】

(3) 図 1、図 2 の利得可変回路は、図 3 の AGC アンプ以外にも、種々の適用例（応用例）が可能である。

50

【図面の簡単な説明】

【0039】

【図1】本発明の実施例1を示す利得可変回路の回路図である。

【図2】本発明の実施例2を示す利得可変回路の回路図である。

【図3】本発明の実施例3を示すAGCアンプの回路図である。

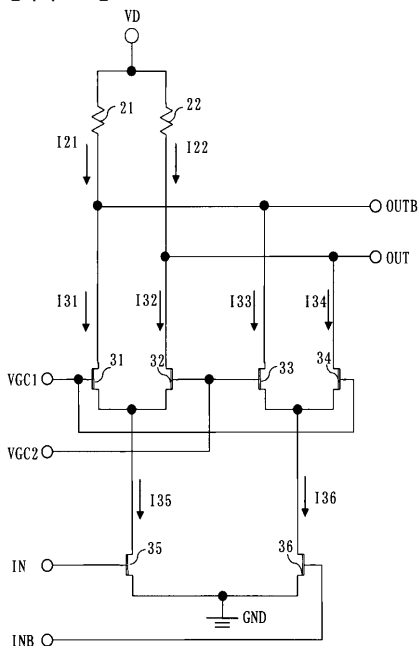
【図4】従来の利得可変回路を示す回路図である。

【符号の説明】

【0040】

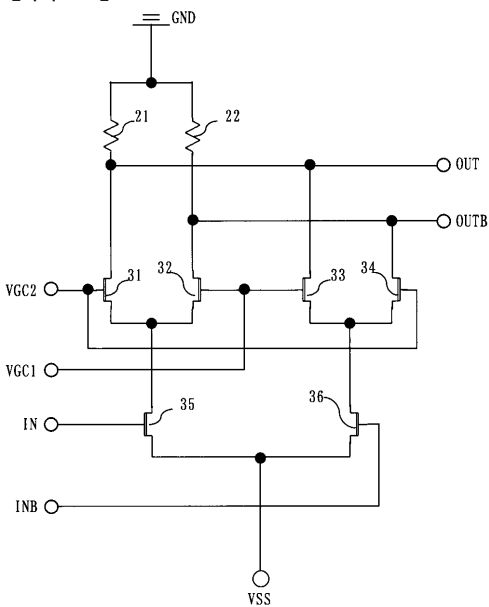
- 21, 22 負荷抵抗
- 31 ~ 36 第1 ~ 第6のFET
- 100 AGCアンプ
- 101 利得可変回路
- 111 ~ 114 差動増幅回路
- 130, 140 オペアンプ

【図1】



本発明の実施例1の利得可変回路

【図2】



本発明の実施例2の利得可変回路

