

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5922494号
(P5922494)

(45) 発行日 平成28年5月24日 (2016. 5. 24)

(24) 登録日 平成28年4月22日 (2016. 4. 22)

(51) Int. Cl.		F I			
GO 1 R	23/10	(2006. 01)	GO 1 R	23/10	C
GO 4 F	10/04	(2006. 01)	GO 4 F	10/04	A

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2012-118458 (P2012-118458)	(73) 特許権者	000006507
(22) 出願日	平成24年5月24日 (2012. 5. 24)		横河電機株式会社
(65) 公開番号	特開2013-245984 (P2013-245984A)		東京都武蔵野市中町2丁目9番32号
(43) 公開日	平成25年12月9日 (2013. 12. 9)	(72) 発明者	大島 明浩
審査請求日	平成25年6月10日 (2013. 6. 10)		東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
審判番号	不服2015-4615 (P2015-4615/J1)	(72) 発明者	濃野 友人
審判請求日	平成27年3月10日 (2015. 3. 10)		東京都武蔵野市中町2丁目9番32号 横河電機株式会社内
		台議体	
		審判長	酒井 伸芳
		審判官	清水 稔
		審判官	堀 圭史

最終頁に続く

(54) 【発明の名称】 物理量測定装置、物理量測定方法

(57) 【特許請求の範囲】

【請求項1】

連続パルスを入力信号を基準クロックに同期させて同期入力信号を生成する同期部と、
n周期を1ユニットとして、前記同期入力信号1ユニットに含まれる前記基準クロックの個数のnユニット分の合計値<N>を加減算のみで計測する計数部と、

前記入力信号に対する前記同期入力信号の遅れ時間に相当する端数信号を発生させる端数発生部と、

前記端数信号2n回について、前半のn回の端数信号に基づくアナログ値を加算し、後半のn回の端数信号に基づくアナログ値を減算して端数積算信号を出力するアナログ回路の端数積算部と、

前記端数積算信号を前記基準クロックの個数<dN>に変換する補正計数部と、

前記<N>、前記<dN>およびnに基づいて、前記入力信号1ユニットに含まれる前記基準クロックの個数を算出する演算部と、
を備えたことを特徴とする物理量測定装置。

【請求項2】

前記演算部は、さらに、

算出した入力信号1ユニットに含まれる前記基準クロックの個数と、前記基準クロックの周波数とに基づいて、前記入力信号の周波数を算出することを特徴とする請求項1に記載の物理量測定装置。

【請求項3】

前記端数積算部は、前記前半の n 回の端数信号に対応する電荷を蓄積し、前記後半の n 回の端数信号に対応する電荷を放出する積分器を備えていることを特徴とする請求項 1 または 2 に記載の物理量測定装置。

【請求項 4】

前記端数積算部は、前記積分器の充電量に応じた幅のパルスが発生させ、前記端数積算信号として出力することを特徴とする請求項 3 に記載の物理量測定装置。

【請求項 5】

前記端数発生部は、

前記後半の n 回の端数信号に対応する電荷の放出後に、前記積分器の充電量が基準値よりも大きくなるように、前記前半の n 回の端数信号に所定量を予め、あるいは前記前半の n 回の端数信号毎に増加させ、

前記演算部は、

前記入力信号 1 ユニットに含まれる前記基準クロックの個数の算出時に、この増加分を差し引くことを特徴とする請求項 3 または 4 に記載の物理量測定装置。

【請求項 6】

前記端数積算部は、

前記後半の n 回の端数信号に対応する電荷の放出後に、前記積分器の充電量が基準値以上か否かを判定し、判定結果に応じて、前記パルスの発生機構を切り換えることを特徴とする請求項 4 に記載の物理量測定装置。

【請求項 7】

前記端数積算部に代えて、

前記端数信号 2 n 回について、前半の n 回の端数信号に基づくアナログ値と、後半の n 回の端数信号に基づくアナログ値をそれぞれ別個に積算して前半端数積算信号、後半端数積算信号として出力するアナログ回路の第 2 端数積算部を備え、

前記補正計数部に代えて、

前記前半端数積算信号を前記基準クロックの個数 $\langle d N p \rangle$ に変換し、前記後半端数積算信号を前記基準クロックの個数 $\langle d N m \rangle$ に変換する第 2 補正係数部を備え、

前記演算部に代えて、

前記 $\langle N \rangle$ 、前記 $\langle d N p \rangle$ 、前記 $\langle d N m \rangle$ および n に基づいて、前記入力信号 1 ユニットに含まれる前記基準クロックの個数を算出する第 2 演算部を備えたことを特徴とする請求項 1 に記載の物理量測定装置。

【請求項 8】

連続パルスの入力信号を基準クロックに同期させて同期入力信号を生成する同期部ステップと、

n 周期を 1 ユニットとして、前記同期入力信号 1 ユニットに含まれる前記基準クロックの個数の n ユニット分の合計値 $\langle N \rangle$ を加減算のみで計測する計数ステップと、

前記入力信号に対する前記同期入力信号の遅れ時間に相当する端数信号を発生させる端数発生ステップと、

前記端数信号 2 n 回について、前半の n 回の端数信号に基づく値をアナログ回路により加算し、後半の n 回の端数信号に基づく値をアナログ回路により減算して端数積算信号を出力する端数積算ステップと、

前記端数積算信号を前記基準クロックの個数 $\langle d N \rangle$ に変換する補正計数ステップと、

前記 $\langle N \rangle$ 、前記 $\langle d N \rangle$ および n に基づいて、前記入力信号 1 ユニットに含まれる前記基準クロックの個数を算出する演算ステップと、
を有することを特徴とする物理量測定方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、連続パルスの入力信号のパルス間隔を基準クロックでカウントすることにより、入力信号の周波数やパルス間隔等の物理量を測定するパルス数カウント技術に関する

10

20

30

40

50

【背景技術】

【0002】

連続パルスの入力信号の立ち上がりエッジあるいは立ち下がりエッジを検出し、その間隔を周波数が既知の基準クロックでカウントすることにより、入力信号の周波数やパルス間隔等の物理量を測定することができる。このパルス数カウント技術を利用した周波数測定装置、パルス間隔測定装置等の物理量測定装置が実用化されている。

【0003】

一般に、入力信号は、基準クロックと非同期で変動するため、物理量測定装置では、入力信号を基準クロックに同期させて同期入力信号に変換し、同期入力信号のエッジの間隔を基準クロックでカウントしている。

10

【0004】

図13は、従来の物理量測定装置の一例である周波数測定装置の構成を示すブロック図である。本図に示すように、周波数測定装置400は、同期回路410と計数回路420と演算回路430とを備えており、入力信号 f_{in} と基準クロック CLK とを入力し、入力信号 f_{in} の周波数を測定する。

【0005】

同期回路410は、入力信号 f_{in} を基準クロック CLK に同期させて同期入力信号 F_{in} を生成する。図14は、基準クロック CLK と入力信号 f_{in} と同期入力信号 F_{in} との関係を説明するタイミング図である。ここでは、各信号ともパルスの立ち上がりエッジを基準とする。以下の説明についても同様とする。

20

【0006】

あるタイミングで入力信号 f_{in} が立ち上がると、同期回路410は、次の基準クロック CLK の立ち上がりタイミングでパルスを生成する。この処理を繰り返すことで、図14に示すように、同期入力信号 F_{in} が生成される。

【0007】

計数回路420は、同期入力信号 F_{in} の立ち上がりエッジを所定回数カウントする期間の基準クロック CLK の回数をカウントする。これにより、基準クロック CLK と同期入力信号 F_{in} との周期比が得られる。基準クロック CLK の周波数は既知であるため、演算回路430により同期入力信号 F_{in} の周波数が演算される。

30

【0008】

同期入力信号 F_{in} は、入力信号 f_{in} を基準クロック CLK に同期させて生成したものである、このため、演算回路430は、演算された同期入力信号 F_{in} の周波数を入力信号 f_{in} の周波数とみなして、入力信号 f_{in} の周波数測定結果として出力する。

【0009】

本図の例では、同期入力信号 F_{in} を5回カウントする期間、すなわち同期入力信号 F_{in} の4周期内の基準クロック CLK をカウントするものとしており、同期入力信号 F_{in} の周期 $F_1 \sim F_4$ の間に、基準クロック CLK が13回カウントされている。このため、同期入力信号 F_{in} の周期は基準クロック CLK の $13/4$ 倍となる。したがって、基準クロックの周波数を 100MHz とすると、同期入力信号 F_{in} の周波数は、 $100\text{MHz} \div (13/4) = 30.8\text{MHz}$ となり、演算回路430は、入力信号 f_{in} の周波数測定結果として 30.8MHz を出力する。

40

【0010】

一般に、周波数測定装置400は、測定結果のばらつきを防ぐため、測定を複数回繰り返し、平均値を算出して測定結果として出力する。この場合、前の測定が終わってから次の測定を開始すると測定時間が長くなり、測定のリアルタイム性が損なわれてしまう。これを防ぐため、測定期間をずらしながら並行にカウントを行なうことで、測定時間を短縮することができる。

【0011】

しかしながら、並行にカウントを行なうとすると、例えば、 k 回の測定の平均値を算出

50

する場合には、基準クロックをカウントするカウンタがk個必要となる。この煩雑さを避けるため、非特許文献1には、基準クロックをカウントする同期入力信号F i nの周期数と、測定の回数とを同じnとすることで、基準クロックをカウントするカウンタが1つで済み、加算と減算によりn回の測定の平均値を得られることが示されている。

【0012】

図15に示すように、同期入力信号F i nをn+1回カウントする期間、すなわち、同期入力信号F i nのn周期(1ユニットと称する)内の基準クロックの回数のカウントを、測定期間をずらしながらn回繰り返したときの基準クロック合計値<N>を算出する場合を考える。各測定期間は、同期入力信号F i nごとに開始するものとする。なお、nは、例えば、所定の基準時間T内の同期入力信号F i nの立ち上がり回数とすることができる。

10

【0013】

i回目の測定で得られる基準クロックの個数をCc(i)とすると、n回の測定の平均値<N_{av}>は、[数1]で得られる。

【数1】

$$\langle N_{av} \rangle = \frac{1}{n} \sum_{i=1}^n Cc(i)$$

ここで、最初の測定開始からカウントされるk番目の基準クロックをP_kで表わすと、Cc(1)は、Cc(1) = P_{n+1} - P₁と表わすことができ、以下、Cc(2) = P_{n+2} - P₂、...、Cc(n) = P_{2n} - P_nと表わすことができる。このとき、P₁ ~ P_nは、1回目~n回目の測定開始時の基準クロックのカウント値であり、P_{n+1} ~ P_{2n}は、1回目~n回目の測定終了時の基準クロックのカウント値である。

20

【0014】

[数1]は、カウント値P_kを用いて[数2]のように変形することができる。ここで、<N_{sum}>は、n回の測定の基準クロックの合計個数(Cc(i))である。

【数2】

$$\begin{aligned} \langle N_{av} \rangle &= \frac{1}{n} \sum_{i=1}^n Cc(i) \\ &= \frac{1}{n} (Cc(1) + Cc(2) + \dots + Cc(n)) \\ &= \frac{1}{n} \{ (P_{n+1} - P_1) + (P_{n+2} - P_2) + \dots + (P_{2n} - P_n) \} \\ &= \frac{1}{n} \left(- \sum_{i=1}^n P_i + \sum_{i=n+1}^{2n} P_i \right) \\ &= \frac{1}{n} \langle N_{sum} \rangle \end{aligned}$$

30

40

[数2]に示すように、n回の測定の基準クロックの合計個数<N_{sum}>は、カウント値P₁ ~ P_nを減算し、カウント値P_{n+1} ~ P_{2n}を加算して得ることができる。

【0015】

このように、基準となる同期入力信号F i nの周期数と、測定の回数とを同じnとすることで、n回の測定ごとに個別に基準クロックをカウントする必要がなくなり、測定開始からの基準クロックCKLをカウントするカウンタが1つで足りることになる。

【0016】

同期入力信号F i nのn周期内の基準CLKの回数測定のn回の合計個数<N_{sum}>が計数されると、1回あたりの測定の平均値<N_{av}>は、<N_{sum}>/nであるから

50

、同期入力信号 F_{in} の周波数 F_{in} は、[数3] で得ることができる。ここで、 c_{LK} は基準クロック CLK の周波数である。

【数3】

$$V_{Fin} = \frac{n}{\left(\frac{\langle N_{sum} \rangle}{n} \right)} V_{CLK}$$

$$= \frac{n^2}{\left(-\sum_{i=1}^n P_i + \sum_{i=n+1}^{2n} P_i \right)} V_{CLK}$$

10

【先行技術文献】

【特許文献】

【0017】

【特許文献1】特開2004-198393号公報

【非特許文献】

【0018】

【非特許文献1】J.J.Snyder "AN ULTRA-HIGH RESOLUTION FREQUENCY METER" Proc.35th Ann. Freq. Control Symposium, USAERADCOM, Ft. Monmouth, NJ, 07703, May 1981 20

【発明の概要】

【発明が解決しようとする課題】

【0019】

上述のように、基準となる同期入力信号 F_{in} の周期数と、測定回数とを同じにすることで、基準クロック CLK をカウントするカウンタが1つで済み、基準クロック CLK のカウント値の加算と減算により、基準クロック CLK と同期入力信号 F_{in} との周期比の平均値が得られる。

【0020】

ここで、同期入力信号 F_{in} は、測定対象の入力信号 f_{in} を基準クロック CLK に同期させたものであるため、図16に示すように、入力信号 f_{in} と同期入力信号 F_{in} とは基準クロック周期未満のずれが生じている。 30

【0021】

具体的には、カウントに用いた同期入力信号 F_{in} の1ユニットの測定間隔と、入力信号 f_{in} の実際の間隔とでは、前端数分のずれと後端数分のずれがある。前端数は、実際の間隔よりも短くなる量であり、後端数は、実際の間隔よりも長くなる量であるため、前端数と後端数との差が誤差となる。

【0022】

入力信号から同期入力信号への変換で生じる誤差は、測定結果の周波数の誤差として顕在化するため、変換誤差は少ないことが望ましい。変換誤差を小さくするためには、基準クロックの周波数を高くすることが考えられるが、消費電力の増加を招いてしまうため好ましくなく、また、その他の制約によって基準クロックの周波数には限界があり、高くすることは容易でない。 40

【0023】

そこで、本発明は、連続パルスの入力信号のパルス間隔を基準クロックでカウントする際に、基準クロックの周波数を高くすることなく、カウント精度を向上させることを目的とする。

【課題を解決するための手段】

【0024】

上記課題を解決するため、本発明の第1の態様である物理量測定装置は、連続パルスの 50

入力信号を基準クロックに同期させて同期入力信号を生成する同期部と、

n周期を1ユニットとして、前記同期入力信号1ユニットに含まれる前記基準クロックの個数のnユニット分の合計値 $\langle N \rangle$ を加減算のみで計測する計数部と、

前記入力信号に対する前記同期入力信号の遅れ時間に相当する端数信号を発生させる端数発生部と、

前記端数信号2n回について、前半のn回の端数信号に基づくアナログ値を加算し、後半のn回の端数信号に基づくアナログ値を減算して端数積算信号を出力するアナログ回路の端数積算部と、

前記端数積算信号を前記基準クロックの個数 $\langle dN \rangle$ に変換する補正計数部と、

前記 $\langle N \rangle$ 、前記 $\langle dN \rangle$ およびnに基づいて、前記入力信号1ユニットに含まれる前記基準クロックの個数を算出する演算部と、を備えたことを特徴とする。 10

ここで、前記演算部は、さらに、算出した入力信号1ユニットに含まれる前記基準クロックの個数と、前記基準クロックの周波数とに基づいて、前記入力信号の周波数を算出することができる。

また、前記端数積算部は、前記前半のn回の端数信号に対応する電荷を蓄積し、前記後半のn回の端数信号に対応する電荷を放出する積分器を備えるようにしてもよい。

このとき、前記端数積算部は、前記積分器の充電量に応じた幅のパルスを発生させ、前記端数積算信号として出力することができる。

また、前記端数発生部は、前記後半のn回の端数信号に対応する電荷の放出後に、前記積分器の充電量が基準値よりも大きくなるように、前記前半のn回の端数信号に所定量を予め、あるいは前記前半のn回の端数信号毎に増加させ、前記演算部は、前記入力信号1ユニットに含まれる前記基準クロックの個数の算出時に、この増加分を差し引くようにしてもよい。 20

また、前記端数積算部は、前記後半のn回の端数信号に対応する電荷の放出後に、前記積分器の充電量が基準値以上か否かを判定し、判定結果に応じて、前記パルスの発生機構を切り換えるようにしてもよい。

あるいは、前記端数積算部に代えて、

前記端数信号2n回について、前半のn回の端数信号に基づくアナログ値と、後半のn回の端数信号に基づくアナログ値をそれぞれ別個に積算して前半端数積算信号、後半端数積算信号として出力するアナログ回路の第2端数積算部を備え、 30

前記補正計数部に代えて、

前記前半端数積算信号を前記基準クロックの個数 $\langle dN_p \rangle$ に変換し、前記後半端数積算信号を前記基準クロックの個数 $\langle dN_m \rangle$ に変換する第2補正係数部を備え、

前記演算部に代えて、

前記 $\langle N \rangle$ 、前記 $\langle dN_p \rangle$ 、前記 $\langle dN_m \rangle$ およびnに基づいて、前記入力信号1ユニットに含まれる前記基準クロックの個数を算出する第2演算部を備えるようにしてもよい。

上記課題を解決するため、本発明の第2の態様である物理量測定方法は、連続パルスの入力信号を基準クロックに同期させて同期入力信号を生成する同期部ステップと、

n周期を1ユニットとして、前記同期入力信号1ユニットに含まれる前記基準クロックの個数のnユニット分の合計値 $\langle N \rangle$ を加減算のみで計測する計数ステップと、 40

前記入力信号に対する前記同期入力信号の遅れ時間に相当する端数信号を発生させる端数発生ステップと、

前記端数信号2n回について、前半のn回の端数信号に基づく値をアナログ回路により加算し、後半のn回の端数信号に基づく値をアナログ回路により減算して端数積算信号を出力する端数積算ステップと、

前記端数積算信号を前記基準クロックの個数 $\langle dN \rangle$ に変換する補正計数ステップと、

前記 $\langle N \rangle$ 、前記 $\langle dN \rangle$ およびnに基づいて、前記入力信号1ユニットに含まれる前記基準クロックの個数を算出する演算ステップと、を有することを特徴とする。

【発明の効果】

【 0 0 2 5 】

本発明によれば、連続パルスの入力信号のパルス間隔を基準クロックでカウントする際に、基準クロックの周波数を高くすることなく、カウント精度を向上させることができる。

【 図面の簡単な説明 】

【 0 0 2 6 】

【 図 1 】 本実施形態に係る周波数測定装置の構成を示すブロック図である。

【 図 2 】 各ユニットにおける端数を示すタイミング図である。

【 図 3 】 端数発生回路と端数積算回路の構成例を示す回路図である。

【 図 4 】 端数処理における各信号の波形例を示すタイミング図である。

10

【 図 5 】 本実施形態の周波数測定装置における周波数測定手順について説明するフローチャートである。

【 図 6 】 計数処理の手順を説明するフローチャートである。

【 図 7 】 端数補間処理の手順を説明するフローチャートである。

【 図 8 】 前半端数信号を伸ばす端数発生回路の構成例を示す回路図である。

【 図 9 】 1クロック分伸ばされた前半端数信号を示すタイミング図である。

【 図 1 0 】 前半端数と後半端数とを別に処理する構成例を示すブロック図である。

【 図 1 1 】 前半端数積算回路と後半端数積算回路の構成例を示す回路図である。

【 図 1 2 】 電流源を用いて端数積算回路を構成した場合の例を示す回路図である。

【 図 1 3 】 従来の周波数測定装置の構成例を示すブロック図である。

20

【 図 1 4 】 基準クロックと入力信号と同期入力信号との関係を説明するタイミング図である。

【 図 1 5 】 複数回の測定を並行に行なう場合を説明するタイミング図である。

【 図 1 6 】 入力信号と同期入力信号とのずれを説明するタイミング図である。

【 発明を実施するための形態 】

【 0 0 2 7 】

本発明の実施の形態について図面を参照して説明する。本実施形態は、本発明を周波数測定装置に適用した場合について説明する。ただし、本発明は、周波数測定装置に限られず、連続パルスの入力信号のパルス間隔を基準クロックでカウントする構成を有する物理量測定装置全般に適用することができる。このような物理量測定装置には、所定期間内パルス数カウント装置、パルス間隔測定装置等が含まれる。

30

【 0 0 2 8 】

図 1 は、本実施形態に係る周波数測定装置の構成を示すブロック図である。本図に示すように周波数測定装置 1 0 0 は、同期回路 1 1 0 と計数回路 1 2 0 と演算回路 1 3 0 と端数補間回路 1 4 0 とを備えており、連続パルスの入力信号 f_{in} と基準クロック CLK とを入力し、入力信号 f_{in} の周波数を測定する。なお、入力信号 f_{in} は、基準クロック CLK と非同期で変化するものとする。

【 0 0 2 9 】

同期回路 1 1 0 は、従来の同期回路 4 1 0 と同様に、入力信号 f_{in} を基準クロック CLK に同期させて同期入力信号 F_{in} を生成する。

40

【 0 0 3 0 】

計数回路 1 2 0 は、同期入力信号 F_{in} の n 周期 (1 ユニット) に含まれる基準クロック CLK の個数をカウントする測定を n 回行なった場合の合計値 $\langle N_{sum} \rangle$ を計測する。ここで、 $\langle N_{sum} \rangle$ は、上述の [数 2] に従って計測する。

【 0 0 3 1 】

具体的には、最初の測定開始からカウントされる k 番目の基準クロックを P_k で表わした場合、1回目 ~ n 回目の測定開始時点の基準クロック CLK のカウント値を $P_1 \sim P_n$ とし、1回目 ~ n 回目の測定終了時点の基準クロック CLK のカウント値を $P_{n+1} \sim P_{2n}$ として、カウント値 $P_1 \sim P_n$ を減算し、カウント値 $P_{n+1} \sim P_{2n}$ を加算することにより $\langle N_{sum} \rangle$ を計数する。このため、計数回路 1 2 0 は、単純な加減算のみを行

50

なえばよい。

【0032】

端数補間回路140は、入力信号 f_{in} を同期入力信号 F_{in} に変換するとき生じる端数の補間処理を行なう。

【0033】

ここで、本実施形態の端数補間方法について説明する。計数回路120では、同期入力信号 n ユニットに含まれる基準クロック数を計数するが、図16で説明したように、入力信号 f_{in} を同期入力信号 F_{in} に変換するとき、1ユニット毎に前端数と後端数とが発生する。

【0034】

ここで、 i 回目の測定における1ユニットの入力信号 f_{in} に対する基準クロック CLK の個数を $Rc(i)$ とすると、図2に示すように、[数4]で表わすことができる。なお、 $Cc(i)$ は、 i 回目の測定における1ユニットの同期入力信号 F_{in} に対する基準クロック CLK の個数である。

【数4】

$$Rc(i) = Cc(i) + dP_i - dP_{n+i}$$

[数4]において、 dP_i は、前端数に相当し、 dP_{n+i} は、後端数に相当する基準クロック CLK の個数である。ただし、端数であるため1未満の値となる。

【0035】

したがって、 n 回の測定の平均値 $\langle N_{ave} \rangle$ について、変換誤差がなかった場合の実際の値 $\langle Nr_{ave} \rangle$ は、[数5]で表わすことができる。なお、 $\langle Nr_{ave} \rangle$ は、入力信号 f_{in} の1ユニットに含まれる基準クロック CLK の平均値であり、実際の測定対象である。

【数5】

$$\begin{aligned} \langle Nr_{ave} \rangle &= \frac{1}{n} \sum_{i=1}^n \{Rc(i)\} \\ &= \frac{1}{n} \{ (Cc(1) + dP_1 - dP_{n+1}) + \dots + (Cc(n) + dP_n - dP_{2n}) \} \\ &= \frac{1}{n} \{ (P_{n+1} - P_1 + dP_1 - dP_{n+1}) + \dots + (P_{2n} - P_n + dP_n - dP_{2n}) \} \\ &= \frac{1}{n} \left(- \sum_{i=1}^n P_i + \sum_{i=n+1}^{2n} P_i \right) + \frac{1}{n} \left(\sum_{i=1}^n dP_i - \sum_{i=n+1}^{2n} dP_i \right) \\ &= \frac{1}{n} \langle N_{sum} \rangle + \frac{1}{n} \langle dN_{sum} \rangle \end{aligned}$$

すなわち、入力信号 f_{in} の1ユニットに含まれる基準クロック CLK の平均個数 $\langle Nr_{ave} \rangle$ は、 $\langle N_{sum} \rangle$ に $\langle dN_{sum} \rangle$ を加えた値を n で割った値となる。ここで、 $\langle dN_{sum} \rangle$ は、[数6]で表わされ、 n 回の測定で生じる $2n$ 個の端数について、前半の n 個の端数を加算し、後半の n 個の端数を減算した値である。

【数6】

$$\langle dN_{sum} \rangle = \left(\sum_{i=1}^n dP_i - \sum_{i=n+1}^{2n} dP_i \right)$$

本実施形態の周波数測定装置100において、計数回路120は、 $\langle N_{sum} \rangle$ の計数

10

20

30

40

50

を行なう回路であり、端数補間回路 140 は、 $\langle dN_{sum} \rangle$ の計測を行なう回路である。

【0036】

図 1 に示すように、端数補間回路 140 は、 $\langle dN_{sum} \rangle$ の計測を行なうため、端数発生回路 141、端数積算回路 142、補間用計数回路 143、タイミング制御部 144 を備えている。

【0037】

端数発生回路 141 は、前半の各端数の大きさに対応する前半端数信号と後半の各端数の大きさに対応する後半端数信号とを出力する。端数積算回路 142 は、前半端数信号を加算し、後半端数信号を減算する積算処理を行なう。積算結果は、端数積算信号のパルス幅として出力される。補間用計数回路 143 は、端数積算回路 142 の積算結果である端数積算信号のパルス幅を $\langle dN_{sum} \rangle$ に変換する。

【0038】

タイミング制御部 144 は、端数発生回路 141 と端数積算回路 142 における処理のタイミングを制御する。具体的には、測定の前半であることを示す前半信号を端数発生回路 141 に出力し、積算結果をリセットするリセット信号と、積算結果を出力させる端数取り出し信号とを端数積算回路 142 に出力する。

【0039】

演算回路 130 は、計数回路 120 が出力する $\langle N_{sum} \rangle$ と、端数補間回路 140 が出力する $\langle dN_{sum} \rangle$ から、変換誤差がなかった場合の 1 ユニットあたりの実際の値 $\langle N_{rave} \rangle$ を算出し、さらに、入力信号 f_{in} の周波数を算出する。

【0040】

ここで、 $\langle N_{rave} \rangle$ は、上述の [数 5] で示され、入力信号 f_{in} の周波数 f_{in} は、 $\langle N_{rave} \rangle$ を基準クロック CLK の周波数として、[数 7] に従って算出される。

【数 7】

$$V_{fin} = \frac{n}{\left(\frac{\langle N_{sum} \rangle}{n} \right) + \left(\frac{\langle dN_{sum} \rangle}{n} \right)} V_{CLK}$$

$$= \frac{n^2}{\langle N_{sum} \rangle + \langle dN_{sum} \rangle} V_{CLK}$$

図 3 は、端数発生回路 141 と端数積算回路 142 の構成例を示す回路図である。本図に示すように端数発生回路 141 は、前半信号が有効のとき、P-SW が V_{CC} に切り換えられ、前半信号が無効のとき、N-SW が V_{CC} に切り換えられるようになっている。これにより、前半信号が有効のときは、入力信号 f_{in} が H (High) で同期入力信号 F_{in} が L (Low) のときに、前半端数信号を出力し、前半信号が無効のときは、入力信号 f_{in} が H で同期入力信号 F_{in} が L のときに、後半端数信号を端数積算回路 142 に出力する。

【0041】

端数積算回路 142 は、演算増幅器 OP とコンデンサ C と並列に接続された 2 つの抵抗 R とで構成された積分器を備えている。一方の抵抗 R は、前半端数信号が H のときに $V_{CC} / 2$ から接地に切り換えられる SW1 に接続され、他方の抵抗 R は、後半端数信号が H のときに $V_{CC} / 2$ から V_{CC} に切り換えられる SW2 に接続されている。このため、コンデンサ C の充電量である積分器の出力は、前半端数信号に対応する値が加算され、後半端数信号に対応する値が減算されていく。積分器の出力は、リセット信号が H から L に切り替わると基準電圧の $V_{CC} / 2$ にリセットされる。

【0042】

端数取り出し信号が H から L に変化すると SW3 が V_{CC} に切り替わり、積算の結果、

10

20

30

40

50

コンデンサCが充電した電荷が、抵抗Raを介して時定数RaCで放電される。この放電時間は、コンデンサCが充電した電荷、すなわち、前半端数信号の加算値と後半端数信号の減算値との積算値に対応する。

【0043】

端数取り出し信号がLの期間、SW5がV_{CC}からV_{CC}/2に切り替わるため、積分器の出力は、コンパレータCMPによりV_{CC}/2と比較され、積分器の出力がV_{CC}/2以下になるまで端数積算信号が出力される。したがって、SW5がV_{CC}からV_{CC}/2に切り替わって、端数積算信号がHになってから、積分器の出力がV_{CC}/2以下になって、端数積算信号がLになるまでの時間が積算結果に対応することになる。ただし、ここでは、説明を簡単にするため、コンパレータCMPが動作するように、積分器の出力がV_{CC}/2より大きいと仮定している。なお、端数取り出し信号は、端数積分信号がLになった後に、Hに切り換える。

10

【0044】

より具体的に説明すると、端数を示すdP₁、dP₂、...、dP_{2n}は、基準クロックCLKに対する端数であるため、時間に換算すると、基準クロックCLKの周波数を ν_{CLK} として、[数8]のように表わすことができる。

【数8】

$$\frac{dP_1}{\nu_{CLK}}, \frac{dP_2}{\nu_{CLK}}, \dots, \frac{dP_{2n}}{\nu_{CLK}}$$

20

基準電圧をV_{CC}/2としているため、前半端数信号の加算と後半端数信号の減算が終了した時点での積分器の出力V_{1-2n}は、[数9]のように表わされる。[数9]において、右辺第2項は、前半端数信号の加算積算値であり、右辺第3項は、後半端数信号の減算積算値である。

【数9】

$$V_{1-2n} = \frac{V_{cc}}{2} + \frac{V_{cc} \sum_{i=1}^n dP_i}{2RC\nu_{CLK}} - \frac{V_{cc} \sum_{i=n+1}^{2n} dP_i}{2RC\nu_{CLK}}$$

30

上述のように、積分器の出力がV_{CC}/2より大きい、すなわち、[数10]が成り立っているものとして説明する。

【数10】

$$\frac{V_{cc} \sum_{i=1}^n dP_i}{2RC\nu_{CLK}} - \frac{V_{cc} \sum_{i=n+1}^{2n} dP_i}{2RC\nu_{CLK}} > 0$$

$$\therefore \sum_{i=1}^n dP_i - \sum_{i=n+1}^{2n} dP_i > 0$$

40

積分器の出力V_{1-2n}は、端数取り出し信号により、[数11]で表わされるパルス幅T。[sec]を持つ端数積算信号として出力される。すなわち、パルス幅パルス幅T。が、端数信号の積算結果を示すことになる。

【数 1 1】

$$T_o = \frac{R_a}{v_{CLK}} \left(\frac{\sum_{i=1}^n dP_i}{R} - \frac{\sum_{i=n+1}^{2n} dP_i}{R} \right)$$

$$= \frac{A}{v_{CLK}} \left(\sum_{i=1}^n dP_i - \sum_{i=n+1}^{2n} dP_i \right)$$

10

ここで、 $R_a = AR$ としている。なお、 A は、時間拡大率であり、理論的、実験的に定めることができる。一般に、 A を大きくすることにより、高分解能となるが、測定速度が遅くなる。

【0045】

パルス幅 T_o は、補間用計数回路 143 で、基準クロックの個数 $\langle dN_1 \rangle$ に変換される。 $\langle dN_1 \rangle$ は、[数 12] で表わされる。ここで、 int は、小数点以下切り捨てを意味する演算子である。

【数 1 2】

$$\langle dN_1 \rangle = \text{int}(T_o v_{CLK})$$

20

そして、計数回路 120 で計数された $\langle N_{sum} \rangle$ 、補間用計数回路 143 で算出された $\langle dN_1 \rangle$ ($\langle dN_{sum} \rangle$) により、演算回路 130 が、[数 13] に従って、入力信号 f_{in} の測定周波数 f_{in} [Hz] を算出する。

【数 1 3】

$$v_{fin} = \frac{n}{\left(\frac{\langle N_{sum} \rangle}{n} \right) + \left(\frac{\langle dN_1 \rangle}{nA} \right)} v_{CLK}$$

30

このように、本実施形態の周波数測定装置 100 は、計数回路 120 の計数結果に、入力信号を同期入力信号に変換する際に生じる端数分を補間して入力信号の周波数を算出するため、基準クロックの周波数を高くすることなく、測定結果の精度を向上させることができる。

【0046】

図 4 は、以上の端数処理における各信号の波形例を示すタイミング図である。ここでは、8 個 (= $2n$ 個) の入力信号パルスについて、前半 4 個 (= n 個) の端数信号を加算し、後半 4 個 (= n 個) の端数信号を減算する場合を例にしている。

【0047】

リセット信号により積分器の出力が $V_{cc}/2$ にリセットされると、前半信号が有効であるため、前半端数信号が出力され、前半端数信号が出力される毎に、その値が加算されて、積分器の出力が増加している。前半信号が無効になると、後半端数信号が出力され、後半端数信号が出力される毎に、その値が減算されて、積分器の出力が減少している。

40

【0048】

8 個 (= $2n$ 個) 目の入力信号に対応する後半端数信号を減算したときの積分器の出力が端数積算結果であり、端数取り出し信号により、端数積算信号のパルス幅 T_o として出力される。

【0049】

次に、本実施形態の周波数測定装置 100 における周波数測定手順について図 5 のフロ

50

ーチャートを参照して説明する。まず、測定開始に際して、基準クロックをカウントする同期入力信号の周期数と、測定の回数である n を設定する (S 1 1)。 n は、例えば、所定の基準時間 T [sec] 内の同期入力信号の立ち上がり回数を設定することができる。

【 0 0 5 0 】

測定を開始すると、計数処理 (S 1 2) と端数補間処理 (S 1 3) とが並行に行なわれる。図 6 を参照して、 $\langle N_{sum} \rangle$ を計数する計数処理 (S 1 2) の手順を説明する。

【 0 0 5 1 】

計数処理 (S 1 2) では、まず、 $\langle N_{sum} \rangle$ を 0 に初期化する (S 1 2 1)。そして、最初の同期入力信号を検出すると (S 1 2 2 : Yes)、基準クロックのカウントを開始する (S 1 2 3)。

【 0 0 5 2 】

次の同期入力信号を検出すると (S 1 2 4 : Yes)、 n 番目以内であれば (S 1 2 5 : Yes)、現在の $\langle N_{sum} \rangle$ からカウント値を減算する (S 1 2 6)。 n 番目以内でなければ (S 1 2 5 : No)、現在の $\langle N_{sum} \rangle$ にカウント値を加算する (S 1 2 7)。また、 $2n$ 番目であれば (S 1 2 8 : Yes)、計数結果として $\langle N_{sum} \rangle$ を出力する (S 1 2 9)。

【 0 0 5 3 】

次に、図 7 を参照して、 $\langle dN_{sum} \rangle$ を取得する端数補間処理 (S 1 3) の手順について説明する。端数補間処理 (S 1 3) では、まず、タイミング制御部 1 4 4 が前半信号を有効にし (S 1 3 1)、リセット信号を出力する (S 1 3 2)。入力信号が n 番目以下のときは (S 1 3 3 : Yes)、端数発生回路 1 4 1 が前半端数信号を出力し、端数積算回路 1 4 2 で加算される (S 1 3 4)。

【 0 0 5 4 】

入力信号が n 番目を超えると (S 1 3 3 : No)、タイミング制御部 1 4 4 が前半信号を無効にする (S 1 3 5)。これにより、端数発生回路 1 4 1 が後半端数信号を出力し、端数積算回路 1 4 2 で減算される (S 1 3 6)。

【 0 0 5 5 】

入力信号が $2n$ 番目を超えると (S 1 3 7 : No)、タイミング制御部 1 4 4 が端数取り出し信号を有効にする (S 1 3 8)。これにより、積算結果が、端数積算信号のパルス幅 T_0 として出力され (S 1 3 9)、補間用計数回路 1 4 3 において、 $\langle dN_{sum} \rangle$ に変換されて出力される (S 1 3 10)。

【 0 0 5 6 】

図 5 のフローチャートの説明に戻って、計数処理 (S 1 2) により $\langle N_{sum} \rangle$ が計数され、端数補間処理 (S 1 3) により $\langle dN_{sum} \rangle$ が算出されると、演算回路 1 3 0 において、入力信号の周波数が算出され (S 1 4)、測定結果として出力される (S 1 5)。以上の処理は、測定が終了するまで (S 1 6 : Yes)、繰り返して行なうようにする。これにより、測定結果が迅速に更新され、最新の周波数を取得することができる。

【 0 0 5 7 】

ところで、以上の実施例では、上述のように積算終了時において、積分器の出力が $V_{cc} / 2$ より大きい、すなわち、[数 1 0] が成り立っていると仮定して説明した。実際には、50% の確率で、積算終了時において積算結果が負になって、積分器の出力が $V_{cc} / 2$ より小さくなる。この場合、図 3 に示した回路構成のままでは、コンパレータ CMP から積分結果に応じたパルス幅の端数積算信号が出力できなくなる。

【 0 0 5 8 】

そこで、実装化にあたっては、積算結果が負になった場合に、積算結果を正しく出力する仕組みが必要になる。このための仕組みは、例えば、積算結果の正負を判別する回路と正負を入れ替えたコンパレータとを追加し、積算結果が負であれば、コンパレータを切り換えて、基準値より小さいかどうかを比較することで実現することができる。また、コンデンサ C に予め所定量の電荷を蓄積させておくようにしてもよい。この場合、演算時に端数の計数結果からこの電荷量に相当する値を差し引けばよい。

10

20

30

40

50

【 0 0 5 9 】

あるいは、端数発生回路 1 4 1 で、積算結果が必ず正になるような処理を行なうようにしてもよい。具体的には、[数 1 4] のように、前半端数信号を 1 基準クロック分長くして、積算結果を強制的に正にすることが考えられる。

【 数 1 4 】

$$\sum_{i=1}^n (dP_i + 1) - \sum_{i=n+1}^{2n} dP_i > 0$$

図 8 は、このときの端数発生回路 1 4 1 の構成例を示す回路図である。本図の例では、同期入力信号 F_{in} に、基準クロック CLK で動作する D フリップフロップを介在させて前半端数信号を生成することで、図 9 のタイミング図に示すように、前半端数信号を 1 基準クロック分長くしている。

10

【 0 0 6 0 】

この場合、補間用計数回路 1 4 3 の出力を $\langle dN_2 \rangle$ とすると、 $\langle dN_2 \rangle$ は、[数 1 5] で表わせ、入力信号 f_{in} の測定周波数 f_{in} は、[数 1 6] に従って算出される。

【 数 1 5 】

$$\langle dN_2 \rangle = \text{int} \left\{ A \left(\sum_{i=1}^n (dP_i + 1) - \sum_{i=n+1}^{2n} dP_i \right) \right\}$$

20

【 数 1 6 】

$$V_{fin} = \frac{n}{\left(\frac{\langle N_{sum} \rangle}{n} \right) + \left(\frac{\langle dN_2 \rangle}{nA} \right) - 1} V_{CLK}$$

あるいは、図 1 0 に示すように、端数積算回路と補間用計数回路を、前半端数用の回路と、後半端数用の回路に分けて、個別に算出するようにしてもよい。この場合、前半の端数信号は、前半端数積算回路 1 4 2 a で積算し、前半補間用計数回路 1 4 3 a で前半端数積算信号を生成する。また、後半の端数信号は、後半端数積算回路 1 4 2 b で積算し、後半補間用計数回路 1 4 3 b で後半端数積算信号を生成する。

30

【 0 0 6 1 】

前半端数積算回路 1 4 2 a と後半端数積算回路 1 4 2 b とは、図 1 1 に示すように同じ回路構成とすることができる。この場合、前半端数積算値、後半端数積算値とも正の値となって、それぞれのコンパレータ CMP によって、前半端数積算信号、後半端数積算信号として出力される。

【 0 0 6 2 】

前半補間用計数回路 1 4 3 a の出力を $\langle dNa \rangle$ 、後半補間用計数回路 1 4 3 b の出力を $\langle dNb \rangle$ とすると、入力信号 f_{in} の測定周波数 f_{in} は、[数 1 7] に従って算出される。

40

【 数 1 7 】

$$V_{fin} = \frac{n}{\left(\frac{\langle N_{sum} \rangle}{n} \right) + \left(\frac{\langle dNa \rangle - \langle dNb \rangle}{nA} \right)} V_{CLK}$$

なお、端数積算回路 1 4 2 において、抵抗を用いて積分器を構成する場合、高抵抗を使用すると、抵抗と並列に接続される寄生容量に起因して、スイッチング性能が悪くなるこ

50

とがある。このような場合、図 1 2 に示すように、抵抗を電流源 I 1 ~ I 3 に置き換えることで、高速動作が期待できる。

【 0 0 6 3 】

また、上記の説明では、連続する入力信号のパルスを対象に処理を行なう例を説明したが、対象とする入力信号のパルスは連続するものでなくてもよい。例えば、奇数番目の入力信号パルスを対象としたときには、[数 1 8] に従って、計数を行なうことができる。ここで、 $\langle Nro \rangle$ は、奇数番目の入力信号 f_{in} の 1 ユニットに含まれる基準クロック CLK の平均値であり、実際の測定対象である。また、 $\langle No \rangle$ は、奇数番目の同期入力信号を対象とした計数回路 1 2 0 の計数結果であり、 $\langle dNo \rangle$ は、奇数番目の入力信号を対象とした端数補間回路 1 4 0 の出力である。

10

【 数 1 8 】

$$\begin{aligned} \langle Nro \rangle &= \frac{2}{n} \{ Rc(1) + Rc(3) + \dots + Rc(n-1) \} \\ &= \frac{2}{n} \sum_{i=1}^{\frac{n}{2}} Rc(2i-1) \\ &= \frac{2}{n} \left(- \sum_{i=1}^{\frac{n}{2}} P_{2i-1} + \sum_{i=\frac{n}{2}+1}^n P_{2i-1} \right) + \frac{2}{n} \left(\sum_{i=1}^{\frac{n}{2}} dP_{2i-1} - \sum_{i=\frac{n}{2}+1}^n dP_{2i-1} \right) \\ &= \frac{2\langle No \rangle}{n} + \frac{2\langle dNo \rangle}{n} \end{aligned}$$

20

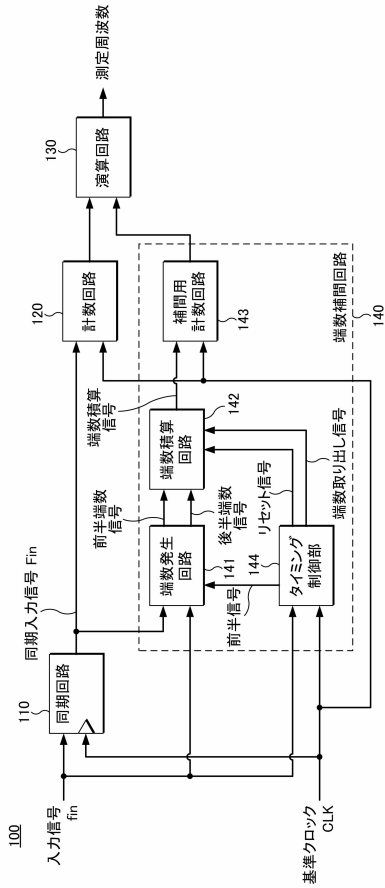
【 符号の説明 】

【 0 0 6 4 】

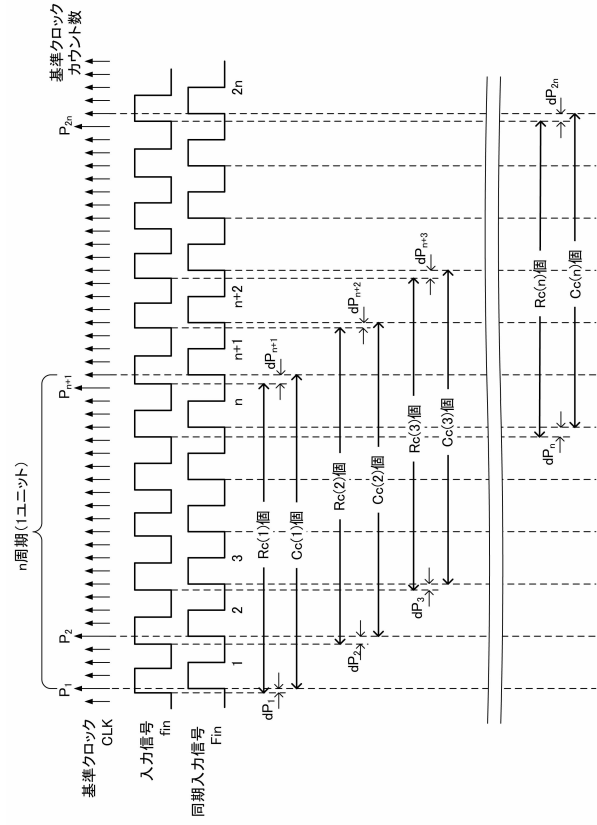
1 0 0 ... 周波数測定装置、1 1 0 ... 同期回路、1 2 0 ... 計数回路、1 3 0 ... 演算回路、1 4 0 ... 端数補間回路、1 4 1 ... 端数発生回路、1 4 2 ... 端数積算回路、1 4 3 ... 補間用計数回路、1 4 4 ... タイミング制御部、4 0 0 ... 周波数測定装置、4 1 0 ... 同期回路、4 2 0 ... 計数回路、4 3 0 ... 演算回路

30

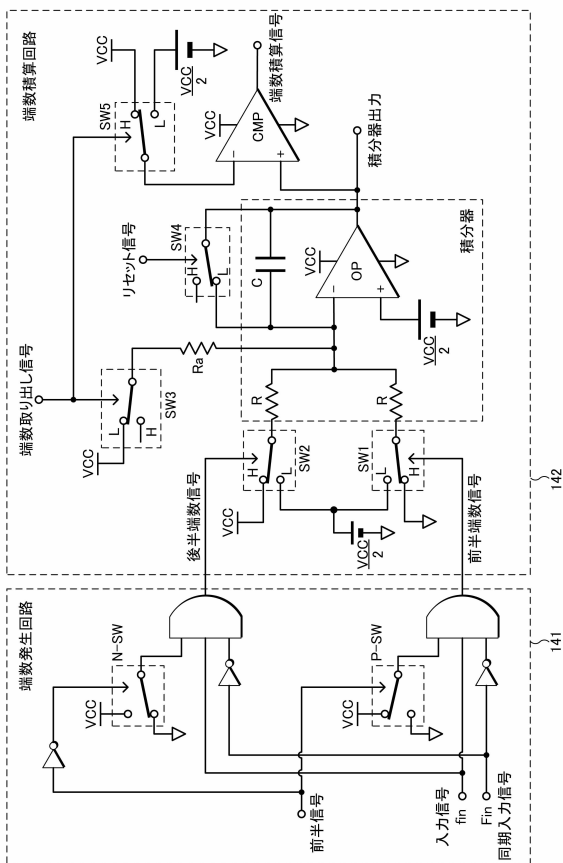
【図1】



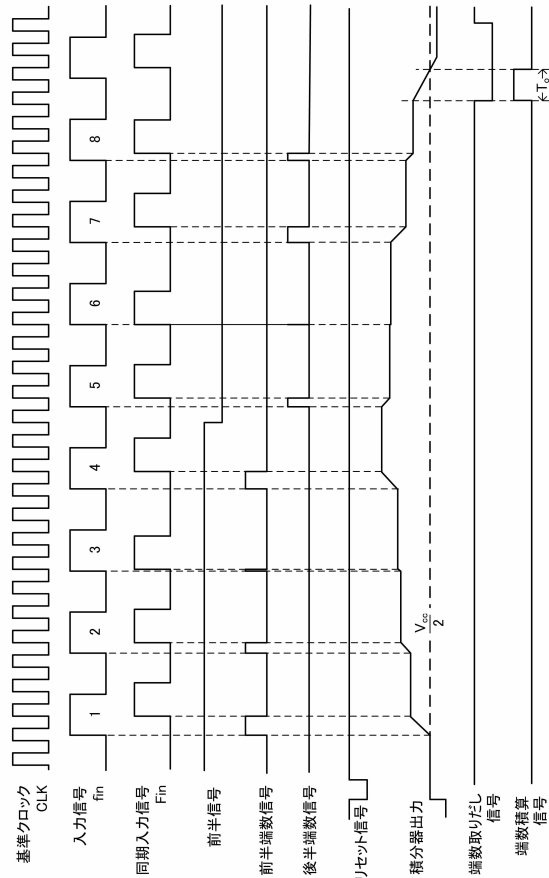
【図2】



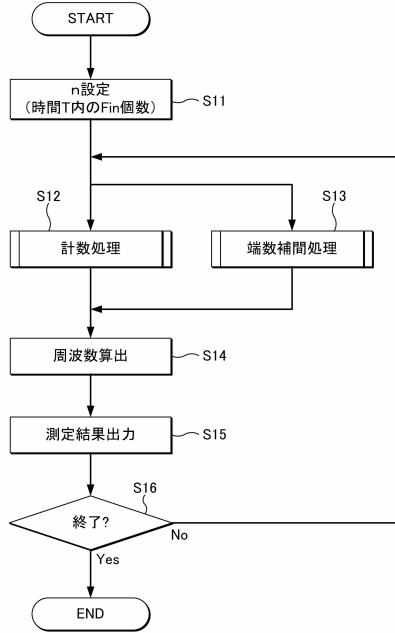
【図3】



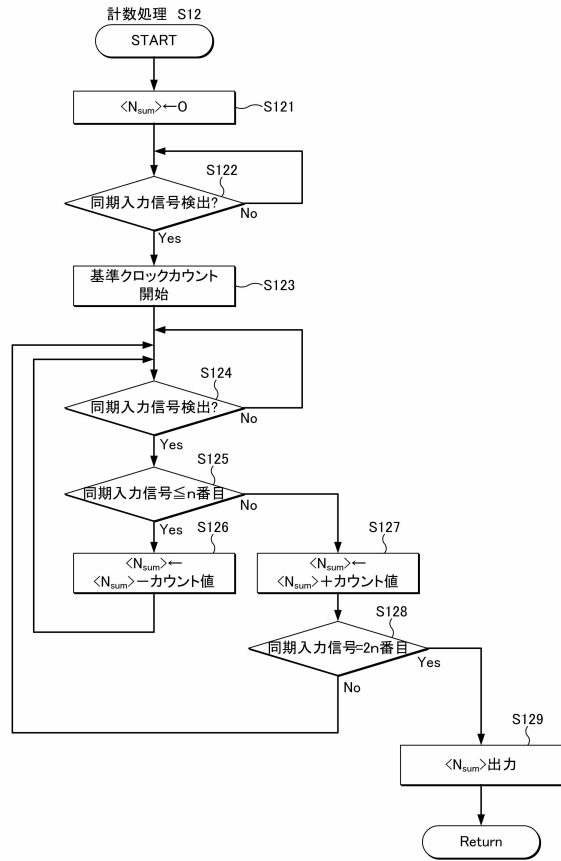
【図4】



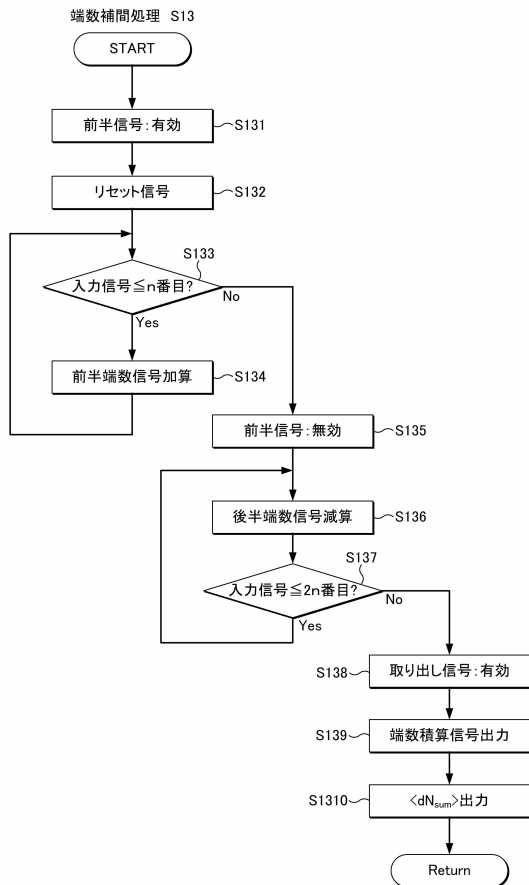
【図5】



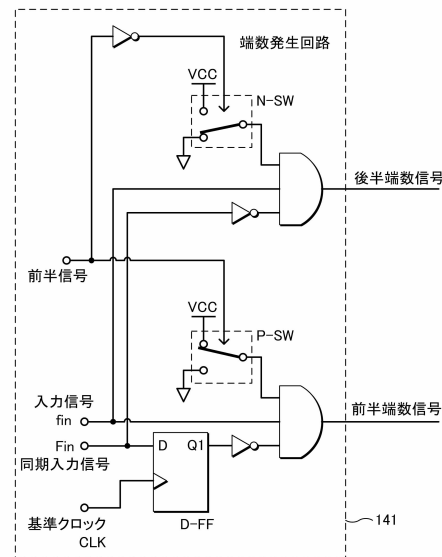
【図6】



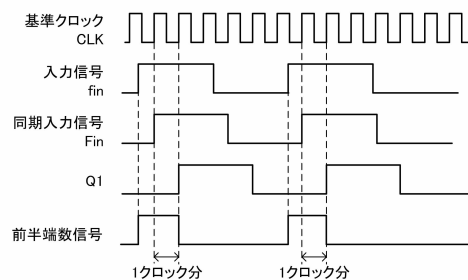
【図7】



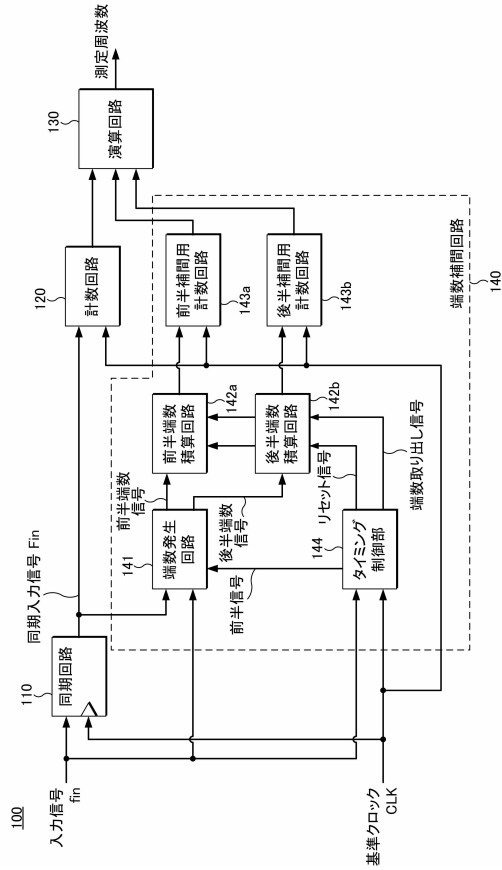
【図8】



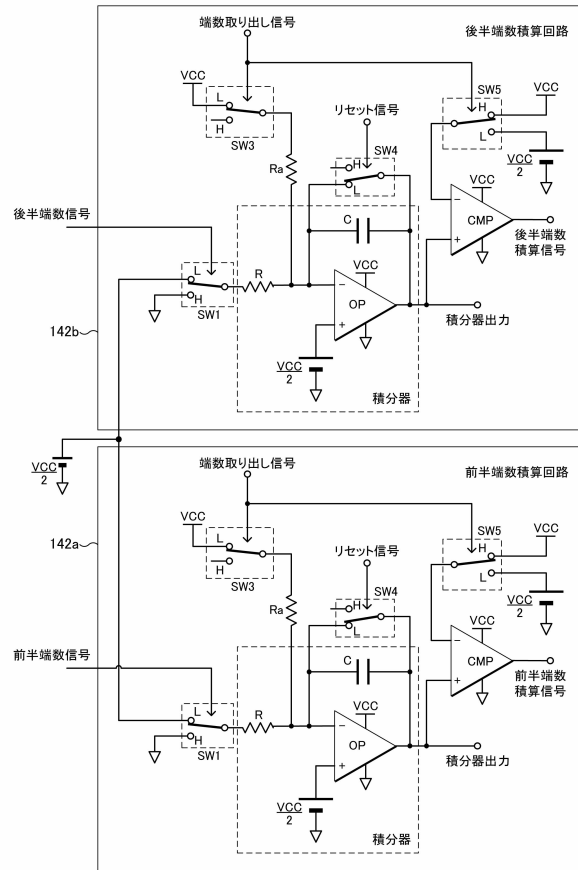
【図9】



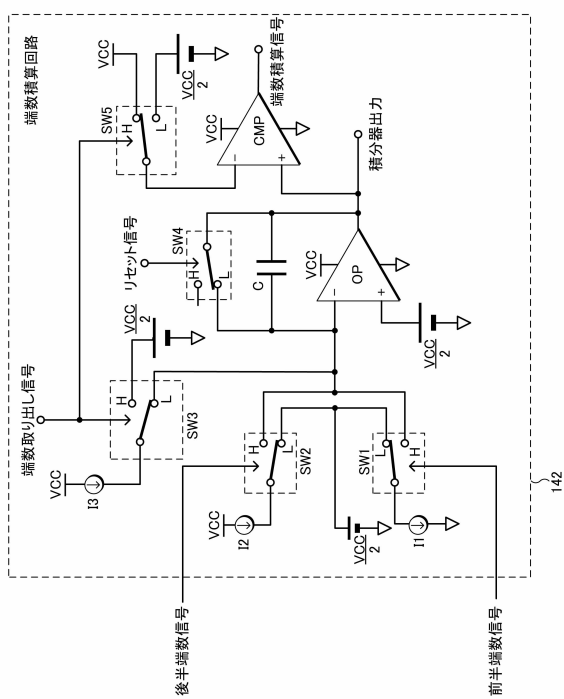
【図10】



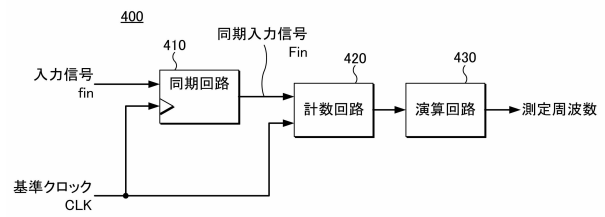
【図11】



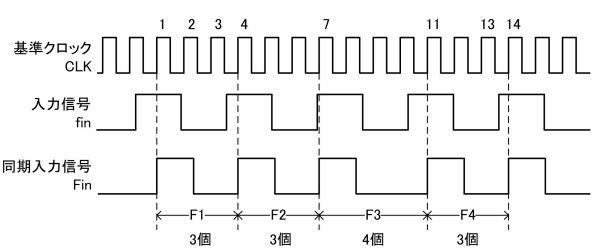
【図12】



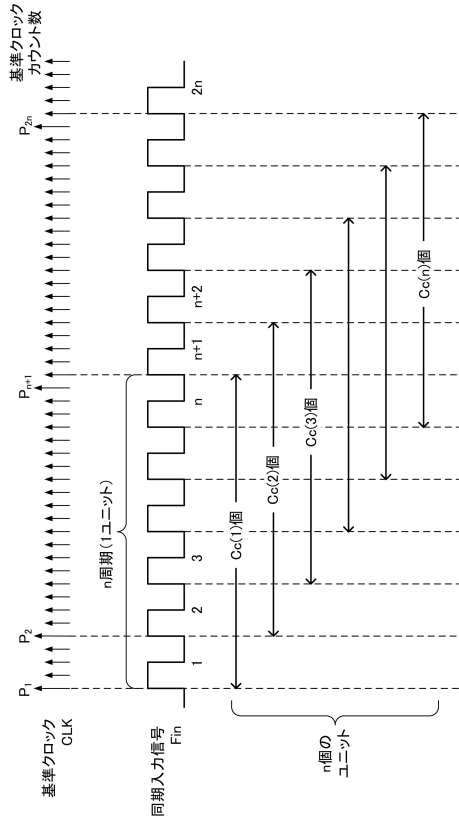
【図13】



【図14】



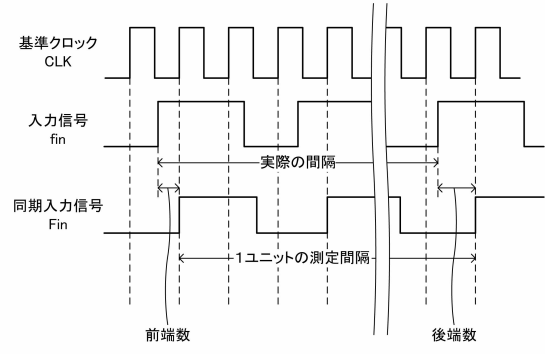
【 図 15 】



$$\langle N_{sum} \rangle = \sum_{i=1}^n Cc(i)$$

同期入力信号 F_{in}
nユニット分の
基準クロック合計個数

【 図 16 】



フロントページの続き

- (56)参考文献 特開平9 - 80091 (JP, A)
特開昭62 - 294993 (JP, A)
国際公開第92 / 15019 (WO, A1)
J. J. Snyder, An Ultra-High Resolution Frequency Meter, Proc. 35th Ann. Freq. Control Symposium, 1981年5月27日, pp. 464 - 469

- (58)調査した分野(Int.Cl., DB名)
G01R 23/10, G04F 10/04