

I232487

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 93107127

※ 申請日期： 93.3.17 ※IPC 分類： H01L21/00

壹、發明名稱：(中文/英文)

製造微波電路的方法

METHODS FOR MAKING MICROWAVE CIRCUITS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

安捷倫科技公司 / AGILENT TECHNOLOGIES, INC.

代表人：(中文/英文) 休柏 瑪利 O. / HUBER, MARIE OH

住居所或營業所地址：(中文/英文) 美國加州帕羅亞托·佩吉密爾路 395 號

395 Page Mill Road, Palo Alto, CA, U.S.A.

國 籍：(中文/英文) 美 國/U.S.A.

參、發明人：(共 6 人)

姓 名：(中文/英文)

1. 卡賽 約翰 F. / CASEY, JOHN F.

2. 多夫 里維斯 R. / DOVE, LEWIS R.

3. 劉霖 / LIU, LING

4. 德瑞里 詹姆士 R. / DREHLE, JAMES R.

5. 羅 小 R. 佛列德里克 / RAU, R. FREDERICK, JR.

6. 強生 羅絲瑪麗 O. / JOHNSON, ROSEMARY O.

住居所地址：(中文/英文)

1. 美國科羅拉多州科羅拉多泉·藍寶石道 5135 號

5135 Sapphire Drive, Colorado Springs, CO 80918, USA

2. 美國科羅拉多州摩努蒙特·摩爾 O 東峰道 19855 號

19855 East Top O The Moor Drive, Monument, CO 80132, USA

3. 美國科羅拉多州科羅拉多泉·七葉樹道 505 號

505 Buckeye Drive, Colorado Springs, CO 80919, USA

4.美國科羅拉多州科羅拉多泉・波拉里斯道 723 號

723 Polaris Drive, Colorado Springs, CO 80906, USA

5.美國科羅拉多州科羅拉多泉・馬奇-1 道 6165 號

6165 Mach-1 Drive, Colorado Springs, CO 80918 USA

6. 美國科羅拉多州科羅拉多泉・南克拉蒙特街 134 號

134 S. Claremont Street, Colorado Springs, CO 80919, USA

國 籍：(中文/英文)

1.2.4.5.6.美國/ U.S.A. 3. 中國/P.R. China

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☒ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國；2003,06,19；10/600,143

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

相關申請案

本申請案係相關於John F. Casey等人與本案同日申請
5 (代理人編號No. 10030748-1)之“在一介電質上製成一導體
的方法”，及亦與本案同日申請(代理人編號No. 10030747-1)
之“在一基材上沉積一厚膜介電質的方法”。這些相關申請
案的內容併此附送參考。

發明領域

10 本發明係有關製造微波電路的方法。

【先前技術】

發明背景

微波電路以往係使用個別的薄膜構件(例如微帶或撓
曲微帶)來構建，其嗣會與一或多個主動電路晶粒組合於一
15 機製的金屬封裝物中，一般稱之為“金磚”(gold brick)。這
些機製的封裝物通常會造成最後完成電路之一大部份的成
本。為簡化該金磚的加工及改善阻抗匹配，該等薄膜構件
最好能與晶粒本身的厚度相同。但是，高頻微波電路會有
高功率…高功率會需要高散熱…高散熱需要很薄的晶粒…
20 薄晶粒需要薄的薄膜構件…薄的薄膜構件會造成易碎的基
材…而易碎的基材會導致低良率及高成本的處理。

【發明內容】

發明概要

本發明之一態樣係實施於第一種製造微波電路的方

法。該方法包含沉積一厚膜介電質於一接地面上，然後在該厚膜介電質上製成一導體。該厚膜介電質係先沉積一第一層厚膜介電質於該接地面上，嗣以空氣乾燥該第一層俾使溶劑逸出，以增加該第一層的多孔性。該第一層嗣會被
5 爐內烘乾。然後，附加的厚膜介電層會被沉積在該第一層頂上，且在沉積之後會被烘乾。所沉積的各層嗣會被烘烤。

本發明的另一態樣係實施於第二種製造微波電路的方法。該方法包含沉積一介電質於一接地面上，嗣在該介電質上製成一導體。該導體係先沉積一導電厚膜於該介電質
10 上，然後“半燒結”(subsintering)該導電厚膜而來製成。在半燒結之前或者之後，該導電厚膜會被圖案化來形成至少一導體。又在半燒結之後，該導電厚膜會被蝕刻來曝露該等導體，且該等導體嗣會在全燒結溫度來被烘烤。

本發明之再一態樣係實施於第三種製造微波電路的方法。該方法包含沉積一第一介電質於一接地面上，嗣在該
15 第一介電質上製成一導體。然後該導體的阻抗會被測出，並與一所需阻抗一起用來解出一第二厚膜介電質之乾印厚度的公式。嗣該第二厚膜介電質會被沉積在該導體和第一介電質上，而使該導體包封在第一和第二介電質之間。然
20 後，一接地屏蔽層會被沉積在第一與第二介電質上。

本發明的又另一態樣係實施於第四種製造微波電路的方法。該方法包含沉積一第一介電質於一接地面上，嗣在該第一介電質上製成一導體。一第二介電質嗣會被沉積在該導體與第一介電質上，而將該導體包封於第一與第二介

電質之間。最後，一接地屏蔽層會被1)以一金屬有機物層預塗該第一與第二介電質，然後2)沉積一厚膜接地屏蔽層於該預塗層上，而來形成於第一和第二介電層上。

本發明之最後態樣係實施於第五種製造微波電路的方法。該方法包含沉積一第一介電質於一接地面上，嗣在該第一介電質上製成一導體。一第二介電質嗣會被沉積在該導體與第一介電質上，而將該導體包封在第一與第二介電質之間。最後，一接地屏蔽層會被1)將一聚合物幕置於第一和第二介電質上，並對該聚合物幕施加壓力，直到其至少部份順應匹配該等介電質的廓形為止，然後2)透過該聚合物幕來印製一厚膜接地屏蔽層，而形成於該等第一和第二介電質上。

本發明的其它實施例亦會被揭露。

圖式簡單說明

15 本發明之各實施例會被示於圖式中，其中：

第1圖示出第一種製造微波電路的方法；

第2圖示出沉積在一接地面上的第一層厚膜介電質；

第3圖示出沉積在第2圖之厚膜介電層上的附加厚膜介電層；

20 第4圖示出第3圖中的厚膜介電層烘烤後的狀態；

第5圖示出一導體沉積在第4圖的厚膜介電質上；

第6圖示出第二種製造微波電路的方法；

第7圖示出一導電厚膜沉積在一介電質上；

第8圖為第7圖的截面圖；

第9圖示出第7及8圖中的導電厚膜在圖案化及蝕刻之後的狀態；

第10圖示出第三種製造微波電路的方法；

第11圖示出一導體被包封在第一和第二介電質之間；

5 第12圖示出一測試結構設在一微波電路旁邊；

第13圖示出第四種製造微波電路的方法；

第14圖示出一聚合物幕置設在第一和第二介電質上；

第15圖示出第五種製造微波電路的方法；及

第16圖示出一厚膜電阻被設在一微波電路附近。

10 【實施方式】

本發明之詳細說明

第1、6、10、13及15圖乃示出用來製造微波電路的各種方法。參閱以下說明將可清楚瞭解，該等方法係能以不同的方式來組合。

15 第一種製造微波電路的方法係示於第1圖中。概括之，該方法100包含沉積102一厚膜介電層於一接地面，再於該厚膜介電質上製成104一導體。該厚膜介電質係先沉積106一第一厚膜介電層於基材上，再以空氣乾燥108該層來使溶劑逸出，俾增加該層的多孔性，而來形成。該層嗣會
20 在爐中以150°C來烘乾110。該第一層被沉積及乾燥之後，添加的厚膜介電層會被沉積112在第一層頂上。在每一添加層(包括最後一層)被沉積之後，該層即會被烘乾。在全部各層已被沉積且烘乾之後，所沉積的各層將會被烘烤114。

第2~4圖乃示出上述方法之一應用例。第2圖示出一基

材200，其例如可為一40 mil的疊層氧化鋁陶瓷基材。該基材200包含一接地面204設在其頂面上。但，該接地面亦可在該基材的底面上，或甚至在該基材內部。於本說明書中，該“接地面”乙詞係包括所有幾乎或完全覆蓋一表面的接地面，以及針對一或多數特定導體形成接地面的接地線路。

依據第1圖的方法，有一第一層厚膜介電質202會被沉積在接地面204上。於一實施例中，該介電質202係為可由 Heraeus Cermalloy 公司 (24 Union Hill Road, West Conshohocken, Pennsylvania, USA)購得之KQ CL-90-7858介電質(一種玻璃介電質)。但，該介電質202亦可為其它的介電質，尤其是，可為另一種KQ介電質，玻璃介電質，或其它具有適當電性質的介電質。

KQ CL-90-7858塗料類似一種標準的厚膜膏漿；其介電常數為3.95(相對地氧化鋁陶瓷有9.6)；損耗正切為 $2E-4$ ；可在一傳統的帶式爐內以 850°C 於空氣中來烘烤；在烘烤後會呈透明的；並能與DuPont QG150之金相容(其可由1007 Market Street, Wilmington, Delaware, USA的DuPont公司購得)。該KQ CL-90-7858的低損耗及低介電常數會使其特別適用於構建微波電路(例如微波傳輸線)。

KQ CL-90-7858可經由屏幕印刷來沉積在一基材200/204上。實務上，已發現在沉積前較好將KQ CL-90-7858稀釋為 18.0 ± 2.0 的黏度，然後透過一不銹鋼屏幕(例如200網目，1.6 mil線徑，0.8 mil乳膠)來印刷沉積該稀釋的介電質。

若所沉積的介電層202嗣立即被烘乾，則當其乾燥時會

易於龜裂。此相信係因為其所含帶的氣體在該介電層的內部造成不正常的壓力所致。但，已發現該介電層的延長空氣乾燥將能使溶劑由該層中逸出，而得增加該層的多孔性。針對一沉積在鍍金氧化鋁陶瓷基材上的第一層KQ CL-90-7858介電質而言，若其具有約1.5 mil的乾印厚度，則當該層被爐內烘乾時，一至少45分鐘的空氣乾燥將能消滅其龜裂現象。而在空氣乾燥之後，該層202即可接受標準的爐內烘乾(例如在約150°C的最高溫度爐內乾燥約15分鐘)。

10 在該第一層厚膜介電層202被空氣乾燥及爐內乾燥之後，各添加的厚膜介電層300、302、304等亦可被沉積在第一層頂面上(例如可利用如同將第一層厚膜介電層沉積在基材上的程序來製成；參見第3圖)。各後續的介電層在次一層被沉積之前可接受大約5分鐘的快速爐內烘乾。令該第一層成為乾燥但並非被烘烤過的介電質，將會使其比基材200/204更具多孔性，又令各添加的介電層300~304具有相同的成分，將可在其相互之間形成比第一層202和基材200/204之間更強固的結合，該等添加的厚膜介電層通常不需要延長的空氣乾燥，並可被省略以縮短製程時間。

20 在所有的厚膜介電層202、300~304全部被沉積及乾燥之後，該各層將會被烘烤(見第4圖之烤固的介電質400)。若該各層係為KQ CL-90-7858介電質，則可使用一般的厚膜烘烤循環來進行烘烤(例如，該各層可在一傳統的帶式爐中以約850°C的最高溫度來空氣烘烤約10分鐘。一緩慢控制的升

溫亦可被加入而來充分地排氣並燒掉所有的有機物質。同樣地，一緩慢控制的降溫亦可被用來防止基材破裂)。

當在烘烤時，所沉積之各介電層202、300~304將會收縮(即由於溶劑和有機黏劑被燒掉所致)。因此，一所需的介電質最終厚度(或“烤印厚度”T2，如第4圖所示)，僅能藉沉積足夠的介電層202、300~304至一比該所需的最終介電質厚度更大的乾印厚度(第3圖中的T1)才可達成。例如，前述的KQ CL-90-7858在被烘烤時，將會收縮至其原來未烘烤前之厚度的大約60%左右。其它的介電質亦可能具有比此更大或更小的收縮率，但該收縮率通常對一特定製造廠商之特定產品係為固定一致的。所沉積各層的“乾印厚度”及“烤印厚度”皆可使用落規測微計或針尖測廓儀來測量。

當沉積該厚膜層時，一厚膜層的高度能被控制到如何精確係有其極限，且因後續之各厚膜層的沉積皆會加乘任何厚膜高度變異的影響，故最好在某些情況下能沉積多層厚膜介電質直到超過所需的乾印厚度(T1)為止。一精確的最終介電質厚度(T2)嗣可用多種方法來達成。其一方法係在烘烤沉積層之前先將各沉積層202、300~304平坦化至一所需的乾印厚度，並利用已知的收縮率來達到最後的結果。於此情況下，一可用的公式係“乾印厚度=烤印厚度/收縮率”。針對一10 mil厚的介電質，亦可小心地使用一簡單的剪切金屬隙片圖案來達到誤差±0.4 mil以內的最終厚度。一種更為精確(但亦較昂貴)的方法係將烤固層研磨至一所需的最終介電層厚度。以此方法，則一10 mil厚的介電層

可被控制在 ± 0.1 mil以內的差異。該接地面嗣可被拋光來除掉任何刮痕，或若該介電質係為KQ CL-90-7858，則亦可再烘烤來使該接地面及邊緣平滑化(即當再烘烤時，該KQ CL-90-7858將會作一小程度的重流)。

- 5 請注意，當對KQ CL-90-7858介電質使用研磨法時，欲得到約5 mil的最終(烤固)介電質厚度，則需要大約11 mil的乾印厚度。

在將厚膜介電質400沉積於接地面204上之後，一導體500可被設在該厚膜介電質400上(見第5圖)。舉例而言，該
10 導體可藉將一導電厚膜沉積在介電質400上(例如以屏幕印刷、鏤版印刷或刀刮)，嗣再圖案化及蝕刻該導電厚膜中的導體而來形成。或者，該導體500亦得以第6圖所示的方法來製成。

第6圖係示出第二種製造微波電路的方法。該方法600
15 包含沉積602一介電質於一接地面上，然後在該介電質上製成604一導體。

該導體係藉沉積606一導電厚膜於該介電層上，嗣再“半燒結”608該導電厚膜，而來形成於該介電層上。於此所述之“半燒結”係指一加熱製程會在某一溫度下來進行，該
20 溫度高於該導電厚膜的單純“乾燥”溫度，但低於其被指定的“烘烤”溫度。

當在某些介電質上沉積某些導電厚膜時，該等導電厚膜會與該等介電質反應而產生一介面層，其會比以相同的導電厚膜沉積在例如疊層的氧化鋁陶瓷基材上更難以蝕

刻。但，已發現該半燒結將會造成一導電厚膜，其可藉化學蝕刻來成功地圖案化。該半燒結的環境、溫度和時間應要足以驅出並燒掉不必要的有機材料，而形成一黏結的，但不完全凝固的導電膜。上述介面層的危害作用將可藉半燒結來大大地減低。

半燒結會造成一種導電厚膜層其係足以阻抗化學蝕刻，而可供良好地圖案化並儘量減少該介面層的範圍。該介面層的實際形成係取決於複雜的固態擴散機制，其係高度有賴於時間和溫度。儘量減少該介面層的範圍，使其可在該導電厚膜中圖案化的導體被不良地過度蝕刻之前，能於同一蝕刻程序中來被除去。

在該半燒結之前或者之後，該導電厚膜會被圖案化來形成該等導體。又在半燒結之後，該導電厚膜會被蝕刻來曝露該等導體。該等導體嗣會在全燒結溫度來被烘烤

第4及7~9圖係示出上述方法之一應用例。第4圖示出一基材200，其例如可為一40 mil的疊層氧化鋁陶瓷基材。一介電質400可呈任何結構被沉積在該基材200上，例可形成一細窄伸長的凸堤而具有概呈梯形的截面。請參見第8圖，在一實施例中，該介電質係為KQ CL-90-7858。但，該介電質亦可為其它的介電質，尤其是，可為另一種KQ介電質，玻璃介電質，或其它具有適當電性質的介電質。

如在第7及8圖中所示，一導電厚膜700會被沉積在介電質400上。該厚膜700可用許多方式來沉積，包括屏幕印刷、

鏤版印刷，及刀刮等。在一實施例中，該導電厚膜包含金，例如DuPont QG150。

該導電厚膜700係可僅沉積在介電層400上，或如第7圖所示，亦可被沉積在該介電層400與基材200的各部份上。如前所述，有些導電厚膜會與被疊覆的介電層作用，而在該導電厚膜700與介電層400之間造成一介面層800，其會比用相同的導電厚膜沉積在一基材上(例如疊層的氧化鋁陶瓷基材)更難以蝕刻。當以DuPont QG150沉積在KQ CL-90-7858上時即會形成此一介面層800。該介面層800可見於第8圖中，其係示出第7圖中之介電質400和導電厚膜700的截面。

若導體係在DuPont QG150被沉積於KQ CL-90-7858上之後立即被圖案化及蝕刻於該QG150中，則蝕掉該介面層800所需的時間將會長得足以造成該等圖案化導體的過度蝕刻。即，該蝕刻時間可能會長得使該等圖案化導體的側壁和邊緣亦被腐蝕，而可能改變該等導體的所需阻抗。此不良的導體蝕刻之影響，在當A)一導電厚膜700被沉積在二或更多不同的材料上，且B)該導電厚膜傾向於會比其中的一種材料更快地蝕刻時，將更為顯著。例如，沉積在氧化鋁陶瓷基材上的DuPont QG150會比沉積在KQ CL-90-7858上的QG150更快地蝕刻。

上段所提到的問題係可藉在蝕刻之前先“半燒結”該導電厚膜700而來消滅。如前所述，半燒結係為一種加熱處理，其處理溫度高於該導電厚膜的單純“乾燥”溫度，但低

於製造者指定的“烘烤”溫度。對沉積在KQ CL-90-7858上的DuPont QG150而言，以725°C至850°C間的溫度來半燒結，已被發現是有效的，而在約725°C的溫度來半燒結約10分鐘已被發現最為有效。

- 5 在該導電厚膜700被半燒結之後，將能充分地阻抗化學蝕刻，而使該介面層800能在被圖案化於該導電厚膜700中的任何導體900、902、904等過度蝕刻之前，會先被蝕掉。以一適當時間和溫度來半燒結亦有助於均等化被沉積在二不同材料(如氧化鋁陶瓷和KQ CL-90-7858)上的導電厚膜
- 10 蝕刻速率。

該各導體900~904係可在半燒結之前或之後來被圖案化於該導電厚膜700中，且，在半燒結之後，該導電厚膜700可被蝕刻(例如以化學蝕刻)來曝露該等導體。請參見第9圖，在蝕刻及任何必要的清理(如清洗或沖洗)之後，該等曝

15 露的導體900~904將會被烘烤。就DuPont QG150導體而言，其烘烤可在約850°C的高溫來進行。

第10圖示出又另一種製造微波電路的方法。該方法1000包含沉積1002一第一介電質400於一接地面204上，再於該介電質400上形成1004一導體900(見第11圖)。該第一介電質和

20 導體可為厚膜(亦可為多層式厚膜)，但並不一定要如此。

在沉積該第一介電質和導體之後，該導體700的阻抗會被測量1006，而所測出的阻抗及一所需阻抗會被用來決定一第二厚膜介電層的乾印厚度(第11圖中的T3)。該第二厚膜介電質1100嗣會被沉積1008在導體900與第一介電質400

上，而將該導體900包封在第一與第二介電質400與1100之間。然後一接地屏蔽層1102會被覆設1010在第一和第二介電層上。可選擇地，該接地屏蔽層1102得被導接於接地面204。

- 5 在第10圖的方法之一實施例中，該第一與第二介電質係為厚膜介電質而依第1圖的方法來沉積，且該導體亦為一厚膜導體而以第6圖的方法來沉積。

該導體900的阻抗可利用時間領域反射測定法來測量。雖在實際電路上之導體的阻抗可由該導體本身來測
10 出，但該導體或周邊導體的結構可能會使該導體阻抗的直接測量有所困難。或者例如，在不同裝置上之導體的不同定位可能會使一阻抗測量裝置難以測量不同構態之導體的阻抗。因此最好能與該微波電路同時地，並使用同一製程，而來製成一測試結構1200，然後測出該測試結構1200的阻
15 抗，並假設該導體900的阻抗相同。此一測試結構係示於第12圖中。

若該導體900的測量阻抗小於一所需阻抗，則該第二厚膜介電層1100的烤印厚度應要製得比第一厚膜介電層400的烤印厚度更厚些。同樣的，若所測得的阻抗係大於所需
20 阻抗，則第二厚膜介電層1100的烤印厚度應要製得比第一厚膜介電層400的烤印厚度更薄些。一般而言，該第二介電層1100的厚度可被調整為該測出阻抗與所需阻抗之偏差百分比的兩倍。該第二介電層1100的適當“乾印”厚度則可考量上述的收縮率來決定，並亦可決定是否要使用更精確的

厚度研磨法。一電磁場解讀軟體程式亦可被用來決定所需的
的烤印厚度。有兩種該等程式係為“HFSS”(高頻結構模擬
器)，其是一種全3D的UNIX類程式，可由Agilent
Technologies公司購得(395 Page Mill Road, Palo Alto,
5 California, USA)；及“Si8000”可由Polar Instruments公司購
得(320 East Bellevue Avenue, San Mateo, California, USA)。

第13圖示出第四種的微波電路製造方法。如同第10圖
中的方法，該方法1300包含沉積1302一第一介電質400於一
接地面204上，再於該介電質400上形成1304一導體900(見
10 第11圖)。一第二介電質1100嗣會被沉積1300在該導體900
和第一介電質400上，而將該導體包封於第一和第二介電質
中。該第一和第二介電質，以及該導體皆可為厚膜(且可為
多層式厚膜)，但並不一定要如此。

在該等介電質400、1100和導體900沉積之後，有一接
15 地屏蔽層1102會被覆設1308在該第一和第二介電質400、
1100上，並可導接於該接地面204。該接地屏蔽層1102係如
下來製成：1)以一金屬有機物層(例如ESL 8081-A，可由
Electro-Science Laboratories公司購得，其址為416 East
Church Road, King of Prussia, Pennsylvania, USA)來預塗
20 1310該第一與第二介電質，再2)沉積1312一厚膜接地屏蔽
層於該預塗層上。該接地屏蔽層1102可藉光將一聚合物幕
1400(見第14圖)覆蓋於該等介電質400、1100上，並施加壓
力於該聚合物幕上，直到其至少部份地順應吻合該等介電
質的廓形為止，而來被形成於該預塗層上。該厚膜接地屏

蔽層1102嗣可透過該聚合物幕1400來被印製。

在第13圖的方法之一實施例中，該第一和第二介電層係為依據第1圖之方法來沉積的厚膜介電質，而該導體係為依第6圖之方法所沉積的厚膜導體。

- 5 第13圖的方法可更包含在沉積一第二厚膜介電質之前先測量該導體900的阻抗，並使用測得的阻抗與一所需阻抗來解出一公式，以求得該第二厚膜介電質的乾印厚度。

- 第15圖示出第五種製造微波電路的方法。該方法1500包含沉積1502一第一介電質於一接地面204上，再製成1504
10 一導體900於該介電質上(見第16圖)。一第二介電質嗣會被沉積1506在該導體與第一介電質上，而將該導體包封於第一與第二介電層之間。該第一和第二介電質，以及該導體皆可為厚膜(亦可為多層式厚膜)，但不一定要如此。

- 在該等介電質和導體被沉積之後，一接地屏蔽層1102
15 會被覆設1508在第一與第二介電質上。該接地屏蔽層可如下來製設：先將一聚合物幕1400(見第14圖)置放1510在該等介電質上。再施加壓力於該聚合物幕，直到其至少部份地順應吻合該等介電質的廓形為止。該厚膜接地屏蔽層1102嗣可透過該聚合物幕1400來被印製。

- 20 在第15圖的方法之一實施例中，該等第一和第二介電質係為依據第1圖的方法來沉積的厚膜介電層，而該導體係為依第6圖之方法所製設的厚膜導體。

第15圖的方法更可包含：在沉積一第二厚膜介電質之前，先測量該導體900的阻抗，再利用所測得的阻抗及一所

需阻抗來解出一公式，以求得該第二厚膜介電質的乾印厚度。

如前所述，任何或全部第1、6、10、13、15圖中所示的方法皆可被組合。且，該任何方法亦可另外包含製成一厚膜電阻1600鄰接該等介電質，其係如下來製成：1)將一聚合物幕置設於該等介電質上，2)施加壓力於該聚合物幕直到其至少部份地順應吻合該等介電質的廓形為止，及3)透過該聚合物幕來印製該厚膜電阻1600。請參見第16圖，其中示出該厚膜電阻1600，但未示出用以印製的聚合物幕。該聚合物幕係類似於第1圖所示的聚合物幕1400，但具有不同的孔隙。

雖在今日的製程中，聚合物幕已大部份被不銹鋼幕所取代，但聚合物幕會特別適用來將接地屏蔽層或厚膜電阻印製在凸起的介電質上方/附近，因為壓力可被施加於該聚合物幕使其多少能要順應吻合於該等介電質的廓形，故可消滅透過一孔幕來印製接地屏蔽層或厚膜電阻所可能產生之厚度及對準失誤的問題，因該屏幕並不一定會與要被印製接地屏蔽層或厚膜電阻的表面齊平(或至少緊靠)。雖一厚膜電阻亦可在置設陡峭的介電質(即凸出於相關的部件中)之前來被印製，但如此而為可能會令該電阻器嗣在各製程高溫下被重覆一再烘烤，故會使電阻值與其預定值造成不可接受的變異。

一專業人士在參閱上述說明之後將可瞭解，於第1、6、10、13、15圖中所示的方法係可被用來構建傳輸線，例如

微波帶、帶線、共面同軸線、及/或準同軸線(即沒有截面對稱性的同軸線)等。該等傳輸線可依製程所允許地來儘量製得又薄又窄，但更薄又更窄的介電質會造成更細的導體，而產生更多的導體損耗。

- 5 雖本發明之說明性及目前較佳的實施例已被詳細說明如上，惟應可瞭解該等發明概念亦可被不同地實施和應用，而所附申請專利範圍係欲予含括該等變化，除非被習知技術所限。

【圖式簡單說明】

- 10 第1圖示出第一種製造微波電路的方法；
 第2圖示出沉積在一接地面上的第一層厚膜介電質；
 第3圖示出沉積在第2圖之厚膜介電層上的附加厚膜介電層；
 第4圖示出第3圖中的厚膜介電層烘烤後的狀態；
 15 第5圖示出一導體沉積在第4圖的厚膜介電質上；
 第6圖示出第二種製造微波電路的方法；
 第7圖示出一導電厚膜沉積在一介電質上；
 第8圖為第7圖的截面圖；
 第9圖示出第7及8圖中的導電厚膜在圖案化及蝕刻之
 20 後的狀態；
 第10圖示出第三種製造微波電路的方法；
 第11圖示出一導體被包封在第一和第二介電質之間；
 第12圖示出一測試結構設在一微波電路旁邊；
 第13圖示出第四種製造微波電路的方法；

第14圖示出一聚合物幕置設在第一和第二介電質上；

第15圖示出第五種製造微波電路的方法；及

第16圖示出一厚膜電阻被設在一微波電路附近。

【圖式之主要元件代表符號表】

100…製造方法	500, 900, 902, 904…導體
102~114, 602~614, 1002~1010,	600, 1000, 1300, 1500…製造方法
1302~1312, 1502~1512…各步驟	700…導電厚膜
200…基材	800…介面層
202, 300, 302, 304, 1100…厚膜	1102…接地屏蔽層
介電層	1200…測試結構
204…接地面	1400…聚合物幕
400…烤固介電層	1600…厚膜電阻

伍、中文發明摘要：

所揭係為使用厚膜構件來製造微波電路的方法，該等厚膜構件包括：一第一多層的厚膜介電質沉積在一接地面上；一厚膜導體沉積在該第一厚膜介電質上；一第二多層的厚膜介電質沉積在第一介電質和該導體上，而來包封該導體；一厚膜接地屏蔽層沉積在第一和第二介電質上；及厚膜電阻等沉積靠近於該第一和第二介電質附近。

陸、英文發明摘要：

Disclosed are methods for making microwave circuits using thickfilm components, the thickfilm components including: a first, multi-layer thickfilm dielectric deposited on a ground plane; a thickfilm conductor deposited on the first thickfilm dielectric; a second, multi-layer thickfilm dielectric deposited on the first dielectric and conductor to encapsulate the conductor; a thickfilm ground shield layer deposited over the first and second dielectrics; and thickfilm resistors deposited in close proximity to the first and second dielectrics.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 16 ）圖。

(二)本代表圖之元件代表符號簡單說明：

200…基材

204…接地面

900…導體

1102…接地屏蔽層

1200…測試結構

1600…厚膜電阻

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種製造微波電路的方法，包含：

a)藉以下步驟沉積一厚膜介電質於一接地面上，

i)沉積一第一層厚膜介電質於該接地面上；

5 ii)空氣乾燥該第一層俾使溶劑逸出，以增加該第一層的多孔性；

 iii)爐內烘乾該第一層；

 iv)將添加的厚膜介電層沉積在第一層頂上，並在該各層沉積之後予以爐內烘乾；及

10 v)烘烤所沉積之各層；

 b)在該厚膜介電質上製成一導體。

2. 如申請專利範圍第1項之方法，更包含以下列步驟靠近該厚膜介電質來製成一厚膜電阻：

 a)將一聚合物幕置設在該厚膜介電質上，並施壓力
15 於該聚合物幕，直到其至少部份地順應吻合該厚膜介電質的廓形為止；及

 b)透過該聚合物幕來印製該厚膜電阻。

3. 一種製造微波電路的方法，包含：

 a)沉積一介電質於一接地面上；及

20 b)以下列步驟在該介電質上製成一導體，

 i)在該介電質上沉積一導電厚膜；

 ii)半燒結該導電厚膜；

 iii)圖案化該導電厚膜來形成至少一導體；

 iv)在半燒結之後，蝕刻該導電厚膜以曝露該

至少一導體；及

v)以全燒結溫度來烘烤該曝露的至少一導體。

4. 如申請專利範圍第3項的方法，其中該介電質係以下列步驟來沉積：

5 a)沉積一第一層的厚膜介電質於該接地面上；

b)空氣乾燥該第一層俾使溶劑逸出，以增加該第一層的多孔性；

c)爐內烘乾該第一層；

d)將添加的厚膜介電層沉積在第一層頂上，並在該各層沉積之後予以爐內烘乾；及

e)烘烤所沉積之各層。

5. 如申請專利範圍第3項的方法，更包含以下列步驟靠近該厚膜介電質來製成一厚膜電阻：

a)將一聚合物幕置設在該厚膜介電質上，並施壓力於該聚合物幕，直到其至少部份地順應吻合該厚膜介電質的廓形為止；及

b)透過該聚合物幕來印製該厚膜電阻。

6. 一種製造微波電路的方法，包含：

a)沉積一第一介電質於一接地面上；

20 b)在第一介電質上製成一導體；

c)測量該導體的阻抗，並使用測出的阻抗和所需阻抗來解出一公式以求得一第二厚膜介電質的乾印厚度；

d)將第二厚膜介電質沉積在該導體與第一介電質上，而將該導體包封在第一與第二介電質之間；及

e)在第一和第二介電質上製成一接地屏蔽層。

7. 如申請專利範圍第6項之方法，其中該阻抗測量係使用時間領域反射測定法來進行。
8. 如申請專利範圍第6項之方法，其中該阻抗測量係在一與該微波電路平行製設的測試結構來進行，該結構係以用來製成該微波電路的同一製程來形成。
9. 如申請專利範圍第6項之方法，其中該第一介電質係為一厚膜介電質。
10. 如申請專利範圍第9項之方法，其中：
 - a)若所測得的導體阻抗係小於所需阻抗，則該第二厚膜介電質的乾印厚度會比第一厚膜介電質的乾印厚度更厚；及
 - b)若所測得的阻抗大於所需阻抗，則第二厚膜介電質的乾印厚度會比第一厚膜介電質的乾印厚度更薄。
11. 如申請專利範圍第6項之方法，更包含將該接地屏蔽層導電連接於該接地面。
12. 如申請專利範圍第6項之方法，其中該第一和第二介電質的至少一者係以下列步驟來沉積：
 - a)沉積一第一層的厚膜介電質於該接地面上；
 - b)空氣乾燥該第一層俾使溶劑逸出，以增加該第一層的多孔性；
 - c)爐內烘乾該第一層；
 - d)將添加的厚膜介電層沉積在第一層頂上，並在該各層沉積之後予以爐內烘乾；及

e)烘烤所沉積之各層。

13. 如申請專利範圍第6項之方法，更包含以下列步驟靠近該厚膜介電質來製成一厚膜電阻：

5 a)將一聚合物幕置設在該厚膜介電質上，並施壓力於該聚合物幕，直到其至少部份地順應吻合該厚膜介電質的廓形為止；及

b)透過該聚合物幕來印製該厚膜電阻。

14. 一種製造微波電路的方法，包含：

10 a)沉積一第一介電質於一接地面上；

b)在第一介電質上製成一導體；

c)沉積一第二介電質於該導體和第一介電質上，而將該導體包封於第一與第二介電質之間；及

d)以下列步驟在第一和第二介電質上形成一接地屏蔽層；

15 i)以一金屬有機物層來預塗該第一和第二介電質；嗣再

ii)沉積一厚膜接地屏蔽層於該預塗層上。

20 15. 如申請專利範圍第14項之方法，其中該第二介電質係為一厚膜介電質，該方法更包含在沉積該第二厚膜介電質之前，測量該導體的阻抗，並使用測得的阻抗與所需阻抗來解出一公式以求取該第二厚膜介電質的乾印厚度。

16. 如申請專利範圍第14項之方法，其中該第一和第二介電質的至少一者係以下列步驟來沉積：

a)沉積一第一層的厚膜介電質於該接地面上；

b)空氣乾燥該第一層俾使溶劑逸出，以增加該第一層的多孔性；

c)爐內烘乾該第一層；

5 d)將添加的厚膜介電層沉積在第一層頂上，並在該各層沉積之後予以爐內烘乾；及

e)烘烤所沉積之各層。

17.如申請專利範圍第14項之方法，其中沉積該厚膜接地屏蔽層係包含：

10 a)將一聚合物幕置設在該厚膜介電質上，並施壓力於該聚合物幕，直到其至少部份地順應吻合該厚膜介電質的廓形為止；及

b)透過該聚合物幕來印製該厚膜接地屏蔽層。

18.如申請專利範圍第14項之方法，更包含以下列步驟靠近該等介電質來製成一厚膜電阻：

15 a)將一聚合物幕置設在該厚膜介電質上，並施壓力於該聚合物幕，直到其至少部份地順應吻合該厚膜介電質的廓形為止；及

b)透過該聚合物幕來印製該厚膜電阻。

19.一種製造微波電路的方法，包含：

20 a)沉積一第一介電質於一接地面上；

b)在該第一介電質上製成一導體；

c)沉積一第二介電質於該導體和第一介電質上，而將該導體包封於第一和第二介電質之間；及

d)以下列步驟在第一和第二介電質上製成一接地

屏蔽層：

i) 將一聚合物幕置設在該第一和第二介電質上，並施壓力於該聚合物幕，直到其至少部份地順應吻合該等介電質的廓形為止；及

5 ii) 透過該聚合物幕來印製一厚膜接地屏蔽層。

20. 如申請專利範圍第19項之方法，其中該第二介電質係為一厚膜介電質，該方法更包含在沉積該第二厚膜介電質之前，測量該導體的阻抗，並使用測得的阻抗與所需阻抗來解出一公式以求取該第二厚膜介電質的乾印厚度。

10 21. 如申請專利範圍第19項之方法，其中該第一和第二介電質的至少一者係以下列步驟來沉積：

a) 沉積一第一層的厚膜介電質於該接地面上；

b) 空氣乾燥該第一層俾使溶劑逸出，以增加該第一層的多孔性；

15 c) 爐內烘乾該第一層；

d) 將添加的厚膜介電層沉積在第一層頂上，並在該各層沉積之後予以爐內烘乾；及

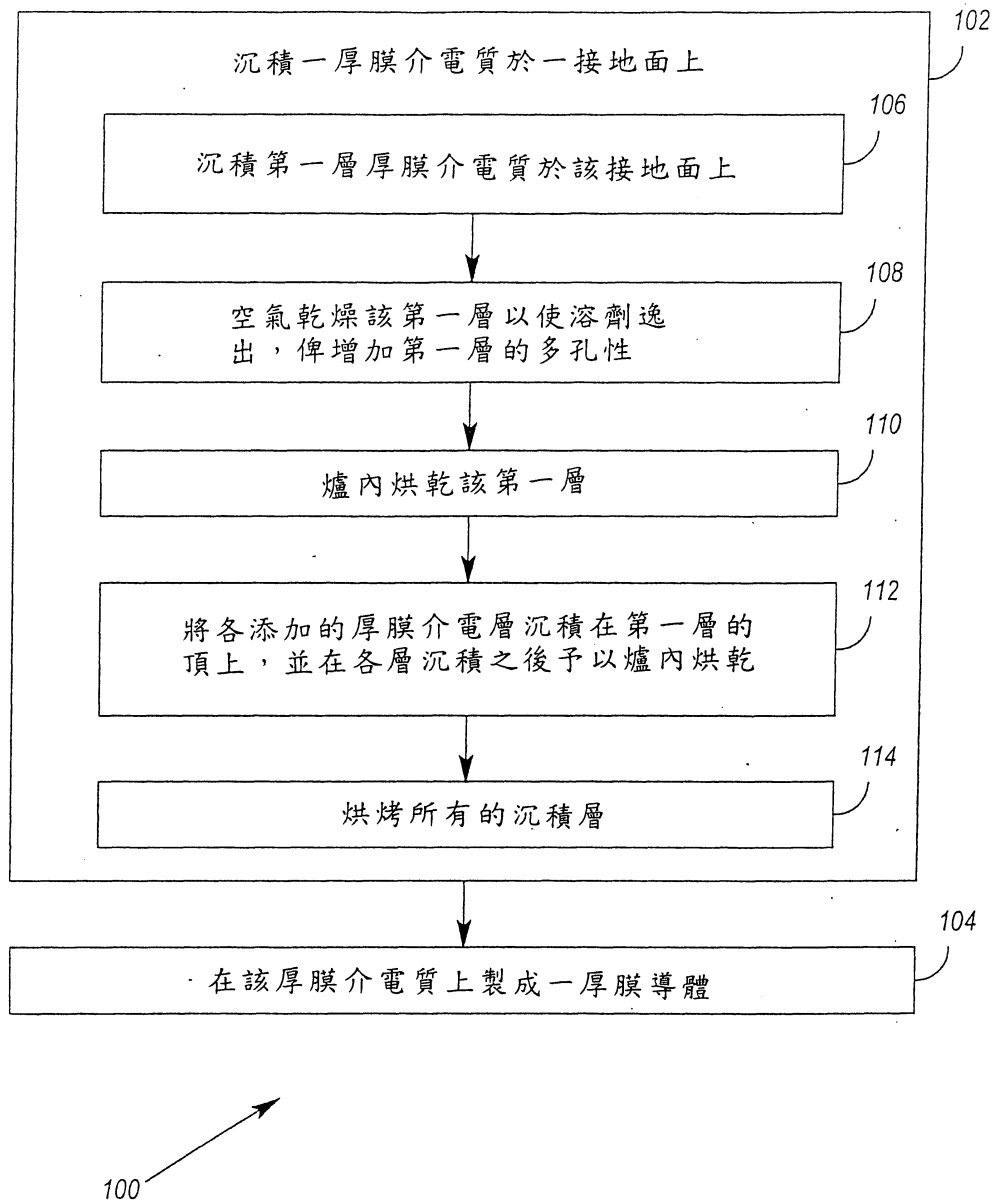
e) 烘烤所沉積之各層。

20 22. 如申請專利範圍第19項之方法，更包含以下列步驟靠近該等厚膜介電質來製成一厚膜電阻：

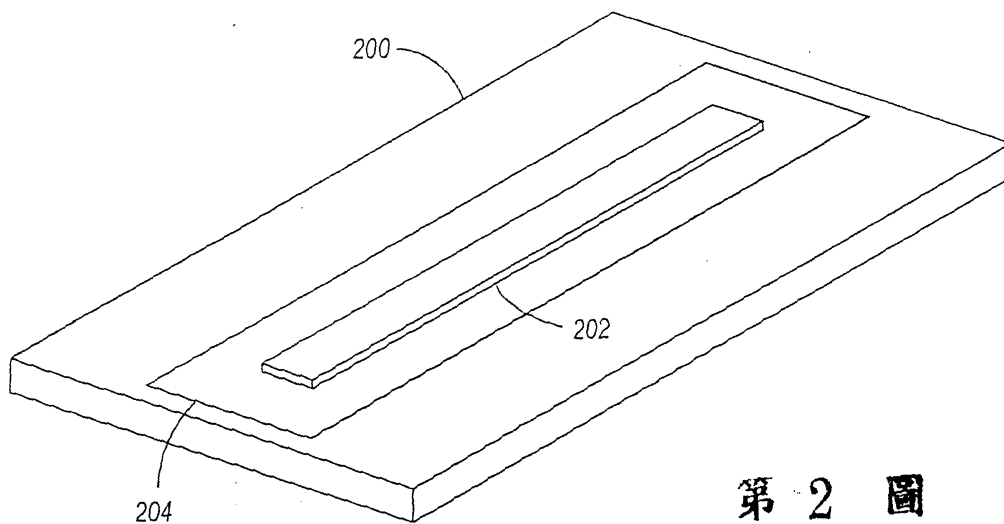
a) 將一聚合物幕置設在該厚膜介電質上，並施壓力於該聚合物幕，直到其至少部份地順應吻合該厚膜介電質的廓形為止；及

b) 透過該聚合物幕來印製該厚膜電阻。

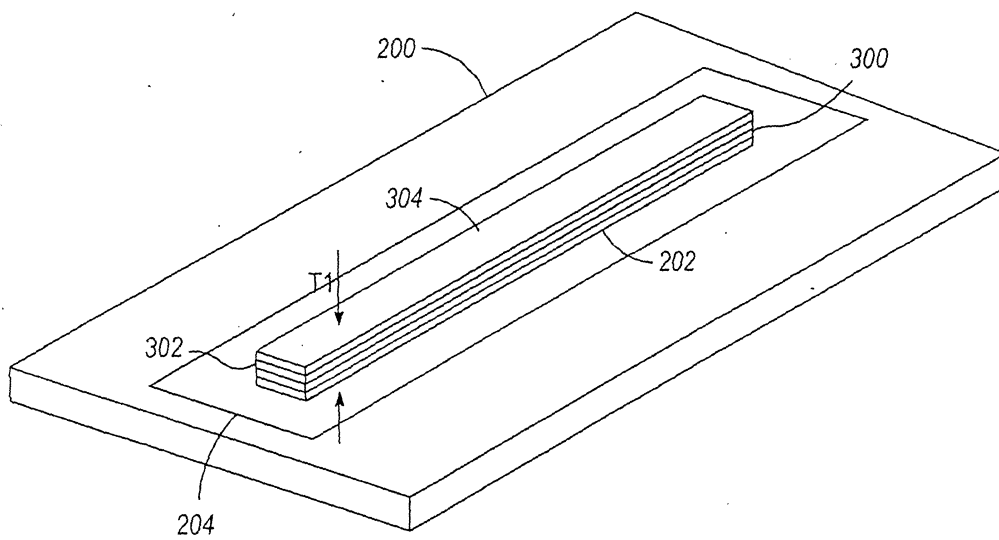
93107127



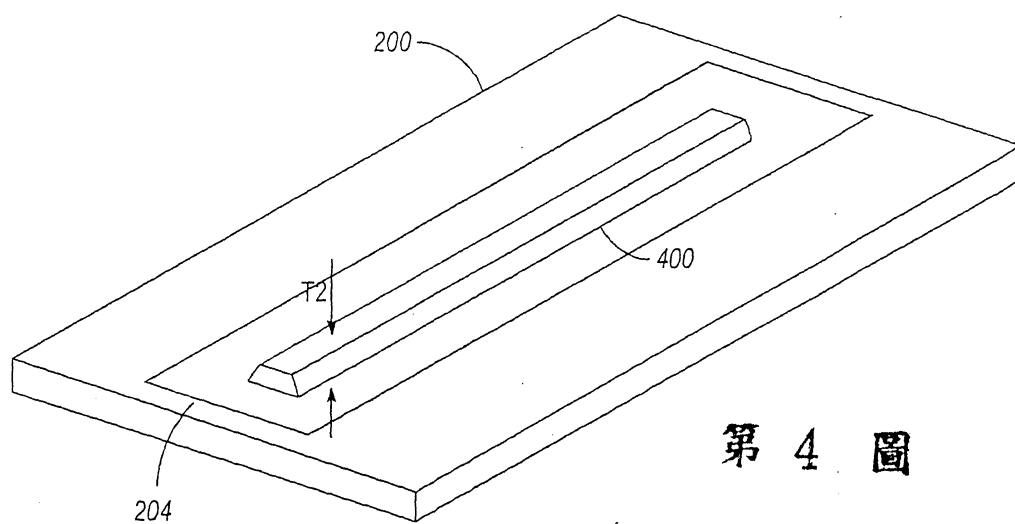
第 1 圖



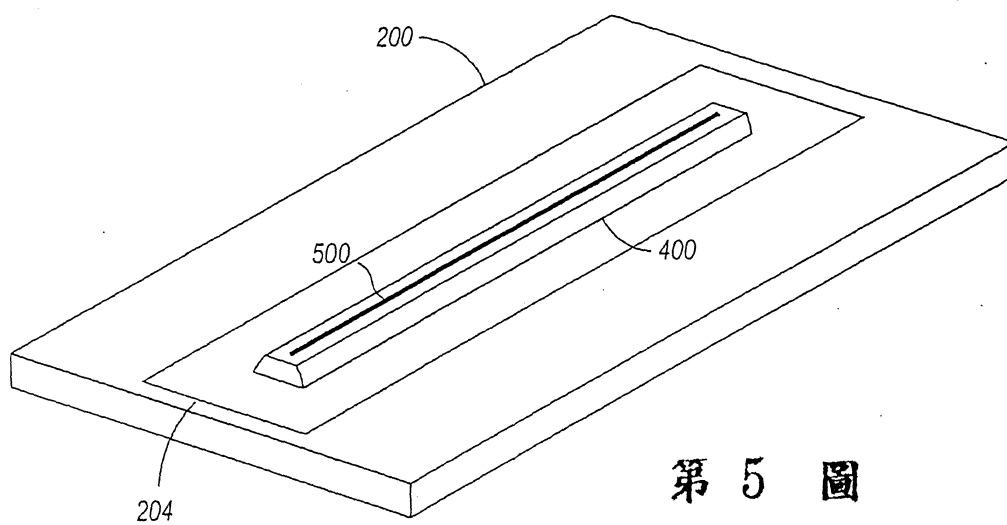
第 2 圖



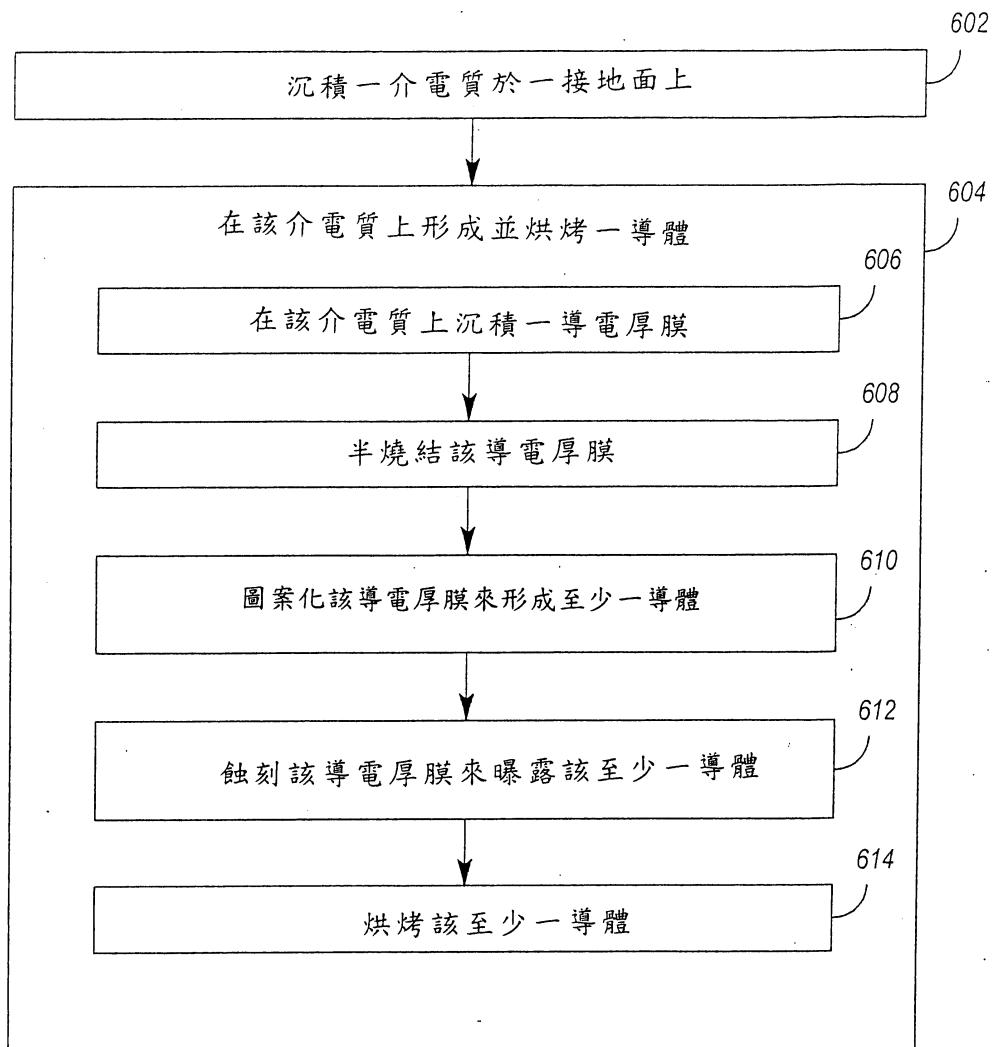
第 3 圖



第 4 圖

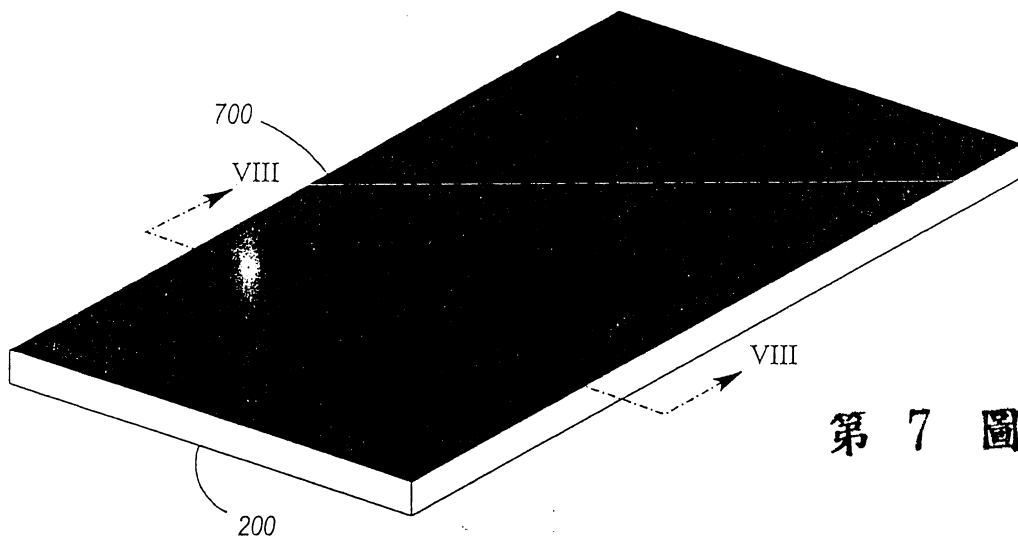


第 5 圖

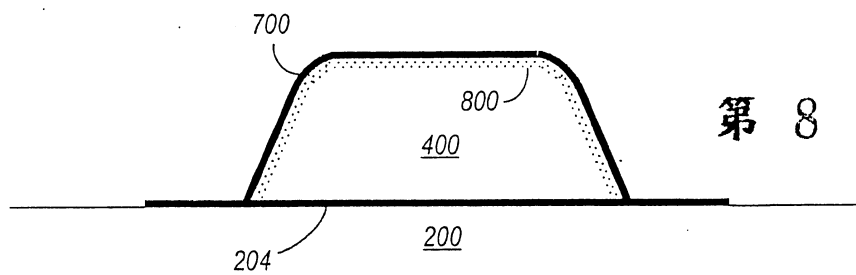


600 ↗

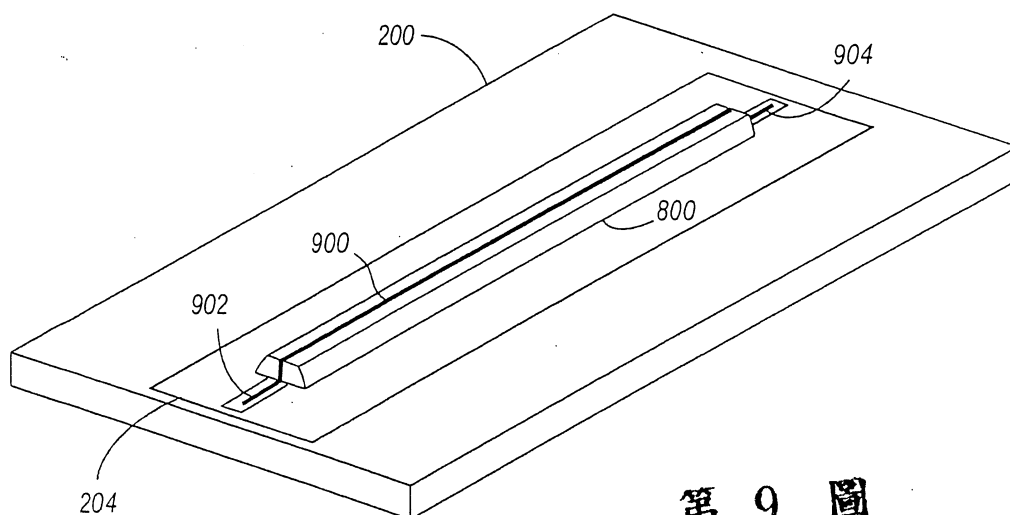
第 6 圖



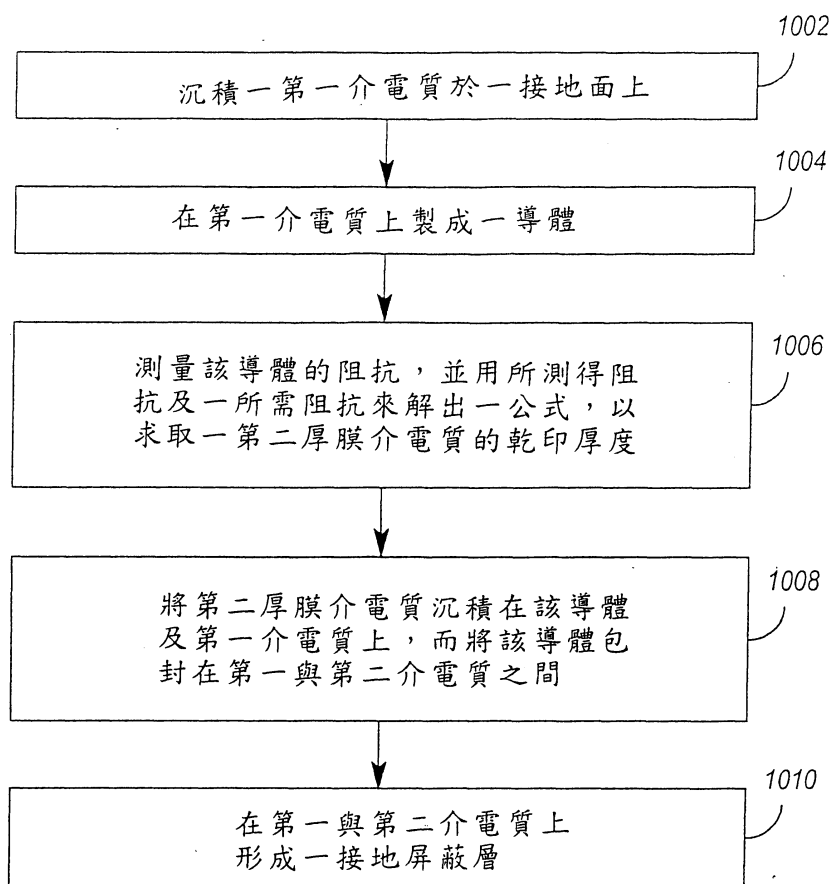
第 7 圖



第 8 圖

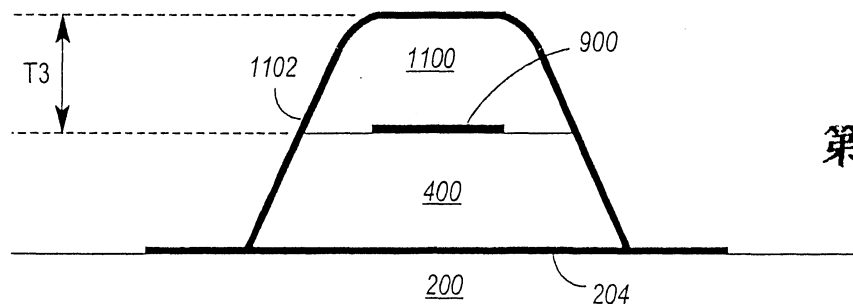


第 9 圖

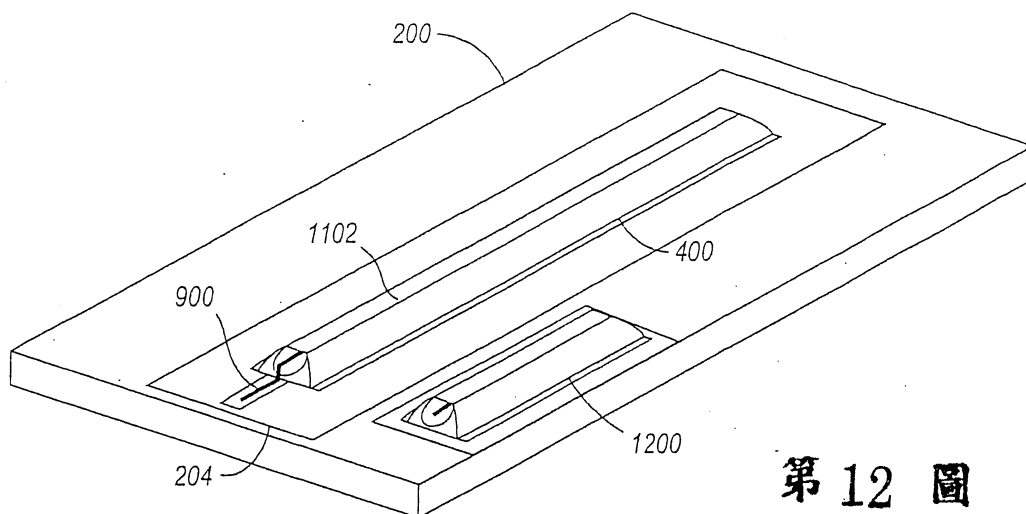


1000

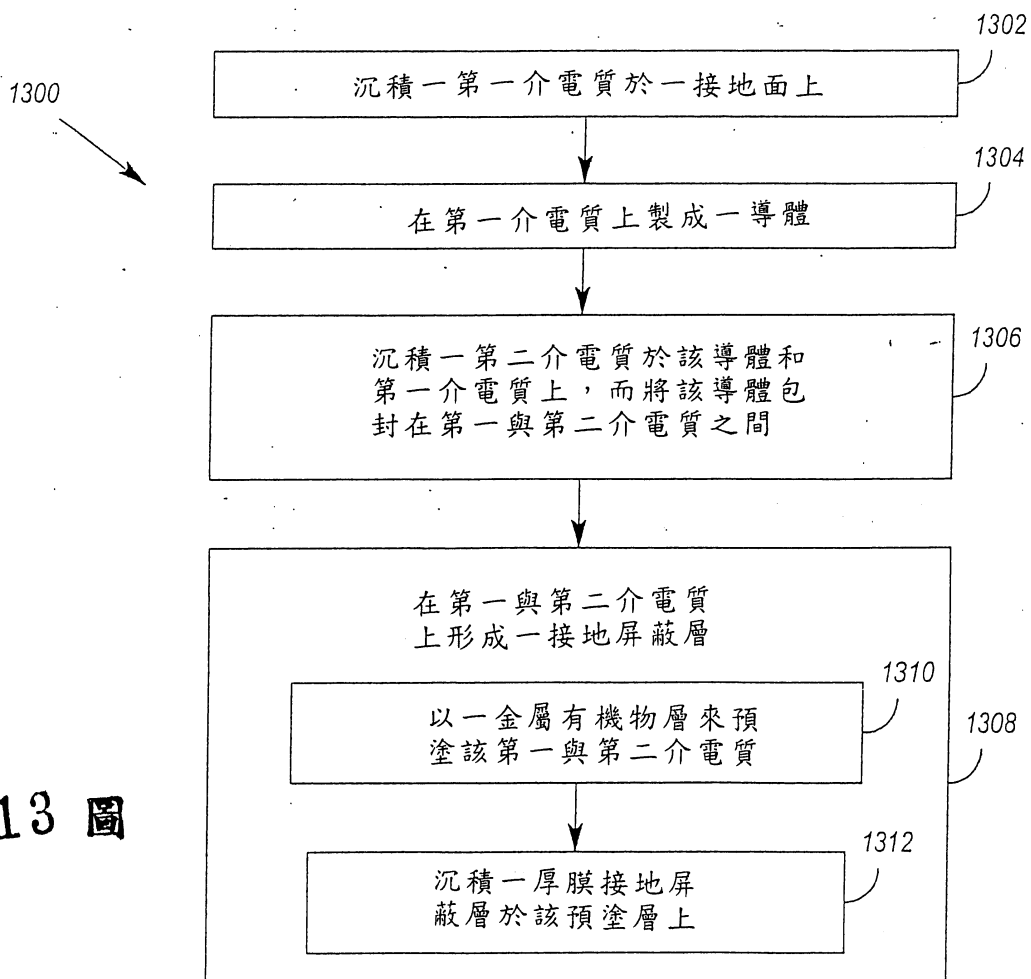
第 10 圖



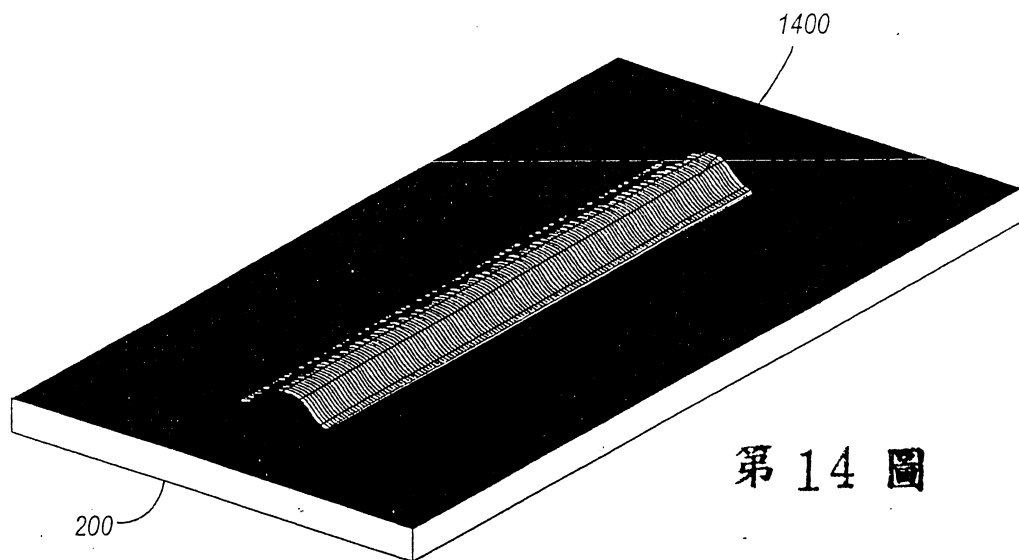
第 11 圖



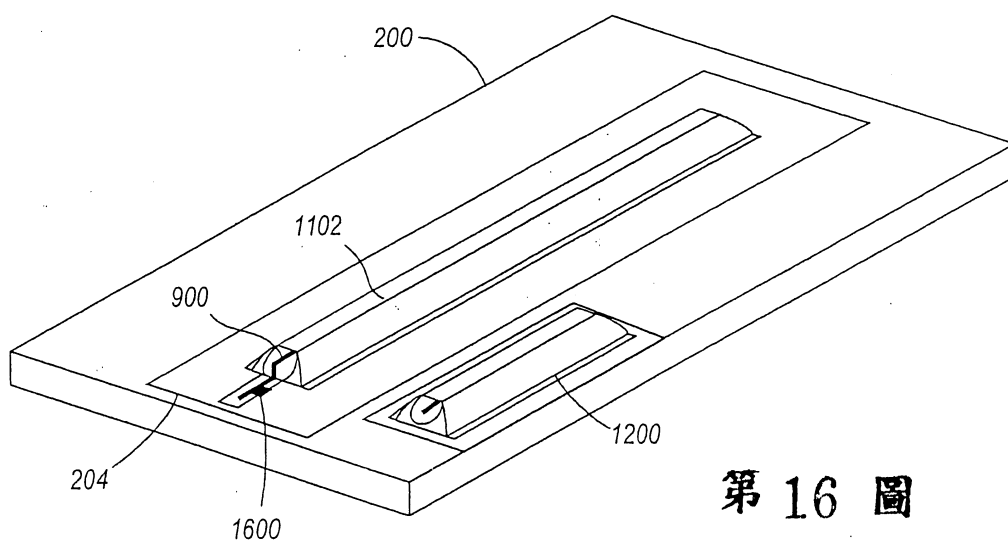
第 12 圖



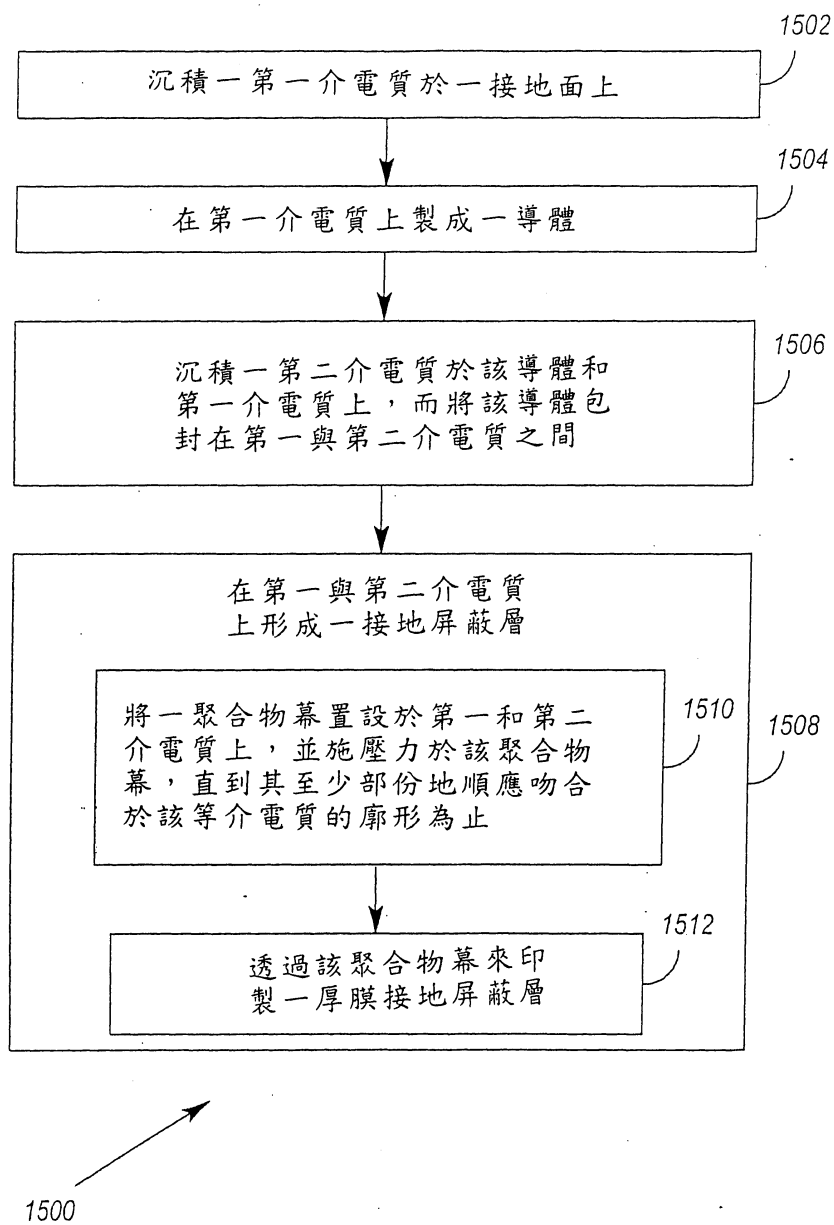
第 13 圖



第 14 圖



第 16 圖



第 15 圖