



(12) 发明专利

(10) 授权公告号 CN 102334294 B

(45) 授权公告日 2015. 04. 01

(21) 申请号 201080009241. 2

(22) 申请日 2010. 01. 25

(30) 优先权数据

12/394, 275 2009. 02. 27 US

(85) PCT国际申请进入国家阶段日

2011. 08. 25

(86) PCT国际申请的申请数据

PCT/US2010/021966 2010. 01. 25

(87) PCT国际申请的公布数据

W02010/098918 EN 2010. 09. 02

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 O·奥利亚艾 B·布瑞斯韦尔

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H03M 3/02(2006. 01)

H03M 1/12(2006. 01)

(56) 对比文件

US 7183957 B1, 2007. 02. 27, 说明书第 5 栏第 30 行至第 6 栏第 16 行以及附图 3.

CN 1605159 A, 2005. 04. 06, 全文.

JAMES A et al. 《Excess Loop Delay in Continuous-Time Delta-Sigma Modulator》. 《IEEE TRANS. ON CIRCUITS AND SYSTEM- II :ANALOG AND DIGITAL SIGNAL PROCESSING》. 1999, 第 46 卷 (第 4 期), 第 376-388 页.

审查员 罗湘

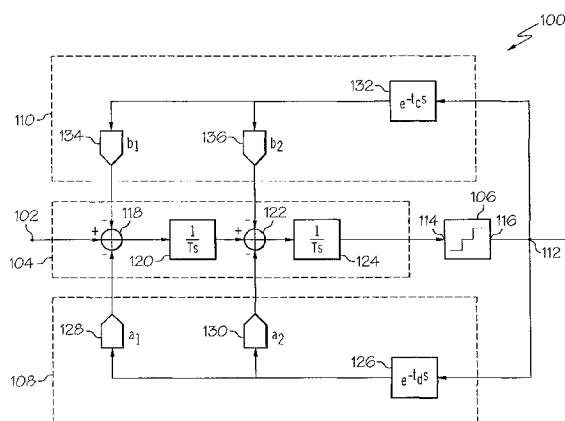
权利要求书1页 说明书9页 附图3页

(54) 发明名称

包含多个具有独立延迟的反馈通路的连续时间 $\Sigma-\Delta$ 调制器

(57) 摘要

本发明公开了一种用于连续时间 $\Sigma-\Delta$ 调制器的装置。 $\Sigma-\Delta$ 调制器 (100、200、300) 包括被配置为将模拟信号转换成数字值的量化器 (106、206、306)。主反馈装置 (108、208、308) 与量化器 (106、206、306) 耦接, 并且主反馈装置 (108、208、308) 将数字值延迟第一延迟周期并基于所延迟的值生成主反馈信号。补偿反馈装置 (110、210、310) 与量化器 (106、206、306) 耦接, 并且补偿反馈装置 (110、210、310) 将数字值延迟第二延迟周期并基于所延迟的值生成补偿反馈信号。前向信号装置 (104、204、304) 基于输入信号、主反馈信号和补偿反馈信号产生在量化器 (106、206、306) 处的模拟信号。第二延迟周期独立于第一延迟周期并且不受其影响, 以及第二延迟周期被选择使得补偿反馈信号补偿第一延迟周期。



1. 一种 $\Sigma - \Delta$ 调制器, 包括:
 - 用于接收输入信号的输入节点;
 - 被配置为将第一模拟信号转换成数字值的量化器;
 - 与所述量化器耦接的主反馈装置, 所述主反馈装置被配置为:
 - 将所述数字值延迟第一延迟周期以获得第一延迟值; 以及
 - 基于所述第一延迟值生成主反馈信号;
 - 与所述量化器耦接的补偿反馈装置, 所述补偿反馈装置被配置为:
 - 将所述数字值延迟第二延迟周期以获得第二延迟值, 其中所述主反馈装置和所述补偿反馈装置是不同的反馈通路, 并且所述第二延迟周期不等于所述第一延迟周期; 且
 - 基于所述第二延迟值生成补偿反馈信号; 以及
 - 耦接于所述输入节点和所述量化器之间的前向信号装置, 所述前向信号装置与所述主反馈装置和所述补偿反馈装置耦接, 其中:
 - 所述前向信号装置基于所述输入信号、所述主反馈信号和所述补偿反馈信号产生所述第一模拟信号; 且
 - 所述补偿反馈信号补偿所述第一延迟周期与由所述 $\Sigma - \Delta$ 调制器的模拟零件展现出的实际回路延迟周期之间的差异。
2. 根据权利要求 1 所述的 $\Sigma - \Delta$ 调制器, 其中所述补偿反馈装置包括被配置为生成所述补偿反馈信号的不归零数模转换器。
3. 根据权利要求 1 所述的 $\Sigma - \Delta$ 调制器, 其中所述补偿反馈装置包括被配置为生成所述补偿反馈信号的归零数模转换器。
4. 根据权利要求 1 所述的 $\Sigma - \Delta$ 调制器, 其中:
 - 所述主反馈装置包括被配置为生成所述主反馈信号的第一不归零数模转换器; 以及
 - 所述补偿反馈装置包括被配置为生成所述补偿反馈信号的第二不归零数模转换器。
5. 根据权利要求 4 所述的 $\Sigma - \Delta$ 调制器, 其中所述主反馈装置以第一增益生成所述主反馈信号, 并且所述补偿反馈装置以第二增益生成所述补偿反馈信号, 其中所述第二增益的大小不等于所述第一增益的大小。
6. 根据权利要求 1 所述的 $\Sigma - \Delta$ 调制器, 其中:
 - 所述主反馈装置包括被配置为生成所述主反馈信号的不归零数模转换器; 以及
 - 所述补偿反馈装置包括被配置为生成所述补偿反馈信号的归零数模转换器。
7. 根据权利要求 1 所述的 $\Sigma - \Delta$ 调制器, 其中所述前向信号装置包括选自低通拓扑、带通拓扑、高通拓扑、反馈拓扑、前馈拓扑、混合的前馈 - 反馈拓扑、级联拓扑、求积拓扑和复合拓扑的电路拓扑。

包含多个具有独立延迟的反馈通路的连续时间 $\Sigma - \Delta$ 调制器

技术领域

[0001] 在此所描述的主题的实施例一般地涉及混合信号电路,并且更特别地,主题的实施例涉及连续时间 $\Sigma - \Delta$ 调制器 (Sigma-Delta modulator)。

背景技术

[0002] 在许多现代的电子应用中,希望将模拟信号转换成数字值。例如,在射频 (RF) 收发器中,可以将所接收到的模拟 RF 信号解调成模拟基带信号,模拟基带信号然后被转换成数字基带信号,用于后续的数字信号处理。许多电学系统使用模数转换器 (ADC) 来将模拟信号转换成数字值。但是,由于数字表示的有限性,量化误差 (该量化误差是实际模拟值与量化数字值之间由舍入或截断所致的差值) 是模数转换器固有的缺陷。在某些 ADC 中, $\Sigma - \Delta$ 调制 (或替换地, $\Delta - \Sigma$ 调制) 被用来减少量化误差的影响并且提高信噪比 (SNR)。 $\Sigma - \Delta$ 调制 (或者称为 $\Delta - \Sigma$ 调制) 使用反馈回路和积分电路向前向信号通路加上或减去量化误差。在比模拟输入信号频率大的频率下量化误差被过采样,从而允许量化误差在不显著影响信号的情况下得以在积分器处过滤掉。

[0003] 许多系统使用连续时间 $\Sigma - \Delta$ 调制器,即,使用连续时间电路构造的 $\Sigma - \Delta$ 调制器。连续时间 $\Sigma - \Delta$ 调制器的时钟频率能够是更高的采样频率,这提高了 $\Sigma - \Delta$ 调制器的性能。但是,实际上,高速的 $\Sigma - \Delta$ 调制器 (一般为具有 MHz 范围的或更高的采样频率的 $\Sigma - \Delta$ 调制器) 展现出延迟 (称为过量回路延迟 (excess loop delay)), 这能够导致调制器不稳定和性能 (例如, SNR) 降低。例如,回路延迟来自于晶体管的和 / 或在量化器和 / 或数模转换器 (DAC) 中使用的比较器的非零开关时间。结果,在主反馈通路中量化器输出处的改变与 DAC 输出处的相应响应之间存在非零延迟。回路延迟还由其它因素进一步加剧,例如,比较器 (或其它零件) 的亚稳定性和 / 或者动态元件匹配。虽然回路延迟可以通过硬件和 / 或电学零件的改进来减小,但是此类改进一般以增加的能量消耗和更大的面积要求为代价来达到,增加的能量消耗和更大的面积要求两者都是所不希望的。

[0004] 如果在调制器的反馈通路中的 DAC 使用归零 (RZ) 脉冲方案,则 $\Sigma - \Delta$ 调制器可以通过调整主反馈通路的增益系数来补偿回路延迟。但是,大多数系统将不归零 (NRZ) 脉冲方案用于主反馈通路,因为 NRZ 脉冲抗时钟抖动性比 RZ 脉冲更好。在 NRZ 脉冲方案的情形中,不可能仅通过调整主反馈通路的增益系数来补偿回路延迟。

[0005] 许多使用 NRZ 脉冲方案的现有技术的系统试图通过故意在 $\Sigma - \Delta$ 调制器的主反馈通路中插入常量延迟并且以调制器传递函数中的附加项来补偿该常量延迟的方式减轻回路延迟的影响。在某些系统中,在量化器输入之前插入附加的反馈通路并且调整在该附加反馈通路中的 DAC 的增益系数以补偿常量延迟。但是,这在量化器之前的积分器的输出处增加了电压摆幅。要抵消该电压摆幅,必须降低调制器的总增益,从而降低信噪比。另外,这种方法在量化器的输入处形成了求和点。为了处理出现于求和点的高频信号,求和点通常使用模拟加法器 (例如,高速加法放大器) 来实现,这增加了对调制器的功率和面积的要

求。

[0006] 为了避免使用高速模拟加法器,某些系统使用数字微分法将附加的反馈通路从量化器的输入移到量化器前面的积分器的输入。虽然这消除了模拟加法器并且减小了在积分器的输出处的电压摆幅,但是数字微分法造成了在积分器的输出处的双极性 RZ 脉冲。这促使积分器的输出在时钟周期的后半周期内的切换方向之前的时钟周期的前半周期内沿错误的方向移动,从而引起了对积分器的高转换速率的要求。要满足该转换速率要求,积分器消耗额外的功率和面积,这抵消了由消除模拟加法器所节省出的功率和面积。其它系统使用比例积分 (PI) 补偿或者其它降低积分器的频率响应并且可能导致带外峰化及其它不良影响的技术。

附图说明

[0007] 在参阅具体实施方式和权利要求书时结合附图来考虑可以获得对本主题更全面的理解,其中在全部附图内,相同的参考符号指示相似的元件。

[0008] 图 1 是根据一种实施例的 $\Sigma - \Delta$ 调制器的框图;

[0009] 图 2 是根据另一种实施例的 $\Sigma - \Delta$ 调制器的框图;以及

[0010] 图 3 是根据又一种实施例的 $\Sigma - \Delta$ 调制器的框图。

具体实施方式

[0011] 以下具体实施方式实际上只是说明性的,而并不旨在限制主题的实施方式或者此类实施方式的应用和使用。如同在此所使用的,单词“示例性的”意指“用作示例、实例或例示”。在此作为示例来描述的实现方式并不必看作是比其它实现方式优选的或有优势的。而且,在前面的技术领域、背景技术或后面的具体实施方式中给出的任何明示的或暗示的理论并没有约束性的意图。

[0012] 如同在此所使用的,“节点”意指任何内部的或外部的参考点、连接点、汇接点、信号线、导电元件等,在所述“节点”存在给定的信号、逻辑电平、电压、数据模式、电流或数量。而且,两个或更多节点可以通过一个物理元件来实现(以及两个或更多信号即使在共同的模式下接收或输出也能够被多路复用,被调制或者另外被识别)。下面的描述涉及元件或节点或特征被“连接”或“耦接”到一起。如同在此所使用的,除非另作明确说明,否则“连接”意指一个元件/节点/特征与另一个元件/节点/特征直接相连(或直接通信),并且不必机械连接。除非另作明确说明,否则“耦接”意指一个元件与另一个元件直接或间接相连(或者直接或间接通信),并且不必机械连接。因而,虽然在附图中所示的原理图示出了元件的示例性布局,但是另外介入的元件、器件、特征或零件可以存在于所述主题的实施例中。另外,某些术语同样可以仅出于引用起见而使用于下面的描述中,并且从而并不旨在限制。例如,诸如“第一”、“第二”以及其它涉及结构的数字术语的术语并没有 隐含着次序或顺序,除上下文明确指出。

[0013] 出于简洁起见,涉及信号处理、采样、模数转换、数模转换、模拟电路设计、微分电路设计及系统的其它功能方面(以及系统的独立操作零件)的常规技术在此可能不详细描述。而且,在这里所包含的各个附图中所示出的连接线旨在表示各个元件之间的示例性功能关系和/或物理耦接。应当注意,许多替换的或附加的功能关系或物理连接可以存在于

本主题的实施例中。应当理解,在此所描述的电路可以用硅或另外的半导体材料来实现,或者通过其软件代码表示来实现。

[0014] 在此所讨论的技术和概念涉及用于补偿插入连续时间 $\Sigma-\Delta$ 调制器的反馈通路中的故意延迟的系统和方法。补偿反馈通路以与主反馈通路的延迟不同的延迟来实现,并且补偿反馈通路中的延迟独立于主反馈通路中的延迟。补偿反馈通路可以每个使用不归零(NRZ)数模转换器(DAC)来实现,并且可以调整DAC的增益系数和主反馈通路中的延迟,以便放宽对模拟零件的转换速率要求并且消除对在量化器的输入之前的高速模拟求和点(或模拟加法器)的需要。结果, $\Sigma-\Delta$ 调制器的面积、功率、成本和设计时间在不牺牲调制器的性能的情况下得以降低。

[0015] 图1示出了适合用于模数转换器(ADC)或另外的模数转换应用中的 $\Sigma-\Delta$ 调制器100的示例性实施例。在示例性的实施例中, $\Sigma-\Delta$ 调制器100被实现为包括适当配置的连续时间电路的连续时间 $\Sigma-\Delta$ 调制器。 $\Sigma-\Delta$ 调制器100可以包括但不限于:用于接收输入信号的输入节点102,配置用于建立前向信号通路的前向信号装置(arrangement)104,量化器106,配置用于建立主反馈信号通路的主反馈装置108,配置用于建立补偿反馈信号通路的补偿反馈装置110,以及数字输出112。 $\Sigma-\Delta$ 调制器100的元件被适当地配置以在数字输出112处产生代表在输入节点102处的模拟输入信号的数字值。

[0016] 应当理解,图1是以单端形式示出的 $\Sigma-\Delta$ 调制器100的简图,而 $\Sigma-\Delta$ 调制器100的实际实施例可以包括附加的或替换的零件,和/或以微分的方式实现(例如,作为适用于微分输入信号的微分电路)。在这方面, $\Sigma-\Delta$ 调制器100可以被配置为用于单位操作或多位操作,这取决于给定应用的特定需要。还应当理解,图1为了解释而示出了二阶反馈 $\Sigma-\Delta$ 调制器100,并且在此所描述的主题并不旨在要限制于任意特定的 $\Sigma-\Delta$ 拓扑。本领域技术人员所应当意识到,本主题能够适用于具有任意阶数的前向信号装置104,并且可以使用任何适用的 $\Sigma-\Delta$ 拓扑来实现。

[0017] 在示例性的实施例中,输入节点102与前向信号装置104耦接,前向信号装置104继而与量化器106的模拟输入114耦接。量化器106将量化器输入114处的模拟信号转换成量化器输出116处的数字值,量化器输出116继而耦接至数字输出112。主反馈装置108(或主反馈通路)包括耦接于数字输出112和前向信号装置104之间的功能元件、硬件元件和/或逻辑元件的组合,其中主反馈装置108限定了用于一个或多个主反馈信号的反馈信号通路,这将在下面更详细地描述。在一种示意性的实施例中,主反馈装置108被配置以将数字输出112处的数字值延迟第一延迟周期(t_d)并基于所延迟的值生成一个或多个主反馈信号。应当注意,主反馈装置108将至少第一主反馈信号提供于 $\Sigma-\Delta$ 调制器100的输入,也就是,主反馈装置108包括至少一个与输入节点102耦接的反馈通路,如下面所描述的。补偿反馈装置110(或补偿反馈通路)包括耦接于数字输出112和前向信号装置104之间的功能元件、硬件元件和/或逻辑元件的组合,其中补偿反馈装置110限定了用于一个或多个补偿反馈信号的反馈信号通路。如同将在下面更详细地描述的,补偿反馈通路110被配置以使数字输出112处的数字值延迟第二延迟周期(t_c)并基于所延迟的值生成一个或多个补偿反馈信号。前向信号装置104(或前向信号通路)包括功能元件、硬件元件和/或逻辑元件的组合,这些元件被适当地配置以基于输入节点102处的输入信号、来自主反馈装置108的主反馈信号以及来自补偿反馈装置110的补偿反馈信号产生量化器输入114

处的模拟信号。在这方面,第一延迟周期 (t_d) 表示插入主反馈装置 108 中的故意延迟以补偿由 $\Sigma - \Delta$ 调制器 100 的模拟零件引起的回路延迟。第二延迟周期 (t_c) 表示用来产生补偿反馈信号的延迟,该补偿反馈信号补偿在第一延迟周期的值与有 $\Sigma - \Delta$ 调制器 100 的模拟零件展现出的实际回路延迟之间的差异。

[0018] 取决于实施例,前向信号通路 104 可以被实现为具有任何阶数并且可以使用任意适合的 $\Sigma - \Delta$ 电路拓扑来实现,例如,低通拓扑、带通拓扑、高通拓扑、反馈拓扑、前馈拓扑、前馈 - 反馈拓扑或另外的混合拓扑、级联拓扑、求积 (quadrature topology) 或复合拓扑 (complex topology) 等。如图 1 所示,根据一种实施例,前向信号通路 104 被实现为二阶 $\Sigma - \Delta$ 反馈拓扑,包括但不限于第一求和点 118、第一积分器 120、第二求和点 122 和第二积分器 124。第一求和点 118 耦接于输入节点 102 与第一积分器 120 的输入之间。第二求和点 122 耦接于第一积分器 120 的输出与第二积分器 124 的输入之间。第二积分器 124 的输出与量化器输入 114 连接并且第二积分器 124 产生量化器输入 114 处的模拟信号。

[0019] 在示例性的实施例中,量化器 106 被配置为用于生成包括代表量化器输入 114 处的模拟信号 (或模拟电压电平) 的一个或多个位的量化器输出 116 处的数字值。量化器 106 通过以特定的采样频率 (f_s) 采样量化器输入 114 处的模拟信号来生成数字值。例如,使用于通信应用中的连续时间 $\Sigma - \Delta$ 调制器 100 可以具有范围为从数十 MHz 到数百 MHz 的采样频率。根据一种或多种实施例,量化器 106 的采样频率为大约 200MHz ~ 大约 400MHz 或更高。但是,本领域技术人员应当意识到,量化器 106 的采样频率将根据特定应用的需要 (例如,所期望的有效位的数目) 而改变。在这方面,采样周期或采样间隔 (例如,在样本之间的时间) 是采样频率的倒数 ($\frac{1}{f_s}$)。取决于实施例,量化器 106 可以使用闪速 (flash) 模拟转换结构或另外的转换结构,并且可以被配置为用于任何数目的输出位或任意噪声整形。在示例性的实施例中,在量化器输入 114 处的输入信号改变的时间与量化器输出 116 处的数字值响应于该输入信号改变而改变的时间之间存在非零延迟。例如,如果量化器 106 被实现为微分闪速 ADC,则在量化器 106 之内的前置放大器和 / 或比较器可以展现出非零上升时间和 / 或非零建立时间 (settling time)。

[0020] 在示例性的实施例中,主反馈通路 108 包括主反馈延迟元件 126 和至少一个数模转换器 (DAC) 128、130。主反馈延迟元件 126 的输入与 数字输出 112 (或量化器输出 116) 连接,并且主反馈延迟元件 126 被配置以使数字输出 112 处的数字值延迟第一延迟周期 (t_d)。如上所述,第一延迟周期表示插入主反馈通路 108 中的故意延迟,该故意延迟是用来补偿 $\Sigma - \Delta$ 调制器 100 的回路延迟的 (例如,由前向信号通路 104、量化器 106 和 / 或 DAC 128、130 引入的延迟)。在这方面,第一延迟周期可以在零和一个采样周期 (例如, $\frac{1}{f_s}$) 长度之间的任意时长。在示例性的是实例中,第一延迟周期是用来吸收 $\Sigma - \Delta$ 调制器 100 的回路延迟,也就是,第一延迟周期的值大于或等于与调制器 100 的模拟零件有关的实际延迟。在示例性的实施例中,主反馈延迟元件 126 被实现为数字延迟元件,例如,触发器、锁存器等。延迟信号的各个实现方面是众所周知的,并因而在此将不再详细描述。

[0021] 在示例性的实施例中,主反馈 DAC 128、130 每个被实现为使用 NRZ 脉冲方案来生成各反馈信号的 NRZ DAC,使得有 DAC 128、130 生成的各反馈信号在采样周期的时间内是

基本上恒定的（例如，在实际和 / 或理想操作公差之内）。但是，应当注意，在替换实施例中，主反馈 DAC 128、130 可以使用归零 (RZ) DAC 或具有非方形的或非矩形的波形的 DAC（例如，具有阻尼指数波形的 DAC）来实现。第一 DAC128 具有与主反馈延迟元件 126 的输出连接的数字输入以及与输出节点 102（即， $\Sigma - \Delta$ 调制器 100 的输入）耦接的模拟输出。在这方面，第一 DAC 128 的模拟输出与第一求和点 118 连接。第一 DAC 128 通过将在主反馈延迟元件 126 的输出处的数字值（例如，已经延迟了第一延迟周期的在数字输出 112 处的数字值）转换成具有第一增益系数 (a_1) 的模拟信号来生成在 $\Sigma - \Delta$ 调制器 100 的输入处（例如，在第一求和点 118 处）的第一主反馈信号。在所示出的实施例中，第二 DAC 130 具有与主反馈延迟元件 126 的输出连接的数字输入以及与第二求和点 122 连接的模拟输出。第二 DAC 130 通过来将在主反馈延迟元件 126 的输出处的数字值转换成具有第二增益系数 (a_2) 的模拟信号来生成在第二求和点 122 处的第二主反馈信号。

[0022] 在示例性的实施例中，补偿反馈通路 110 包括补偿反馈延迟元件 132 和至少一个 DAC 134、136。补偿反馈延迟元件 132 的输入与数字输出 112（或量化器输出 116）连接，并且补偿反馈延迟元件 132 被配置以使在数字输出 112 处的数字值延迟第二延迟周期 (t_c)。如上所述，第二延迟周期表示插入补偿反馈通路 110 中的延迟，该延迟是用来补偿由第一延迟周期产生的过量回路延迟的影响。在这方面，第二延迟周期的时长可以被选择为在零和一个采样周期（例如， $\frac{1}{f_s}$ ， f_s 其中是采样频率）长度之间的任意时长。第二延迟周期优选被选择为大于过量回路延迟，并且不同于第一延迟周期，这将在下面更详细地描述。补偿反馈延迟元件 132 优选被实现为以上针对主反馈延迟元件 126 所描述的数字延迟元件。补偿反馈通路 110 的第一 DAC 134 具有与补偿反馈延迟元件 132 的输出连接的数字输入以及与第一求和点 118 连接的模拟输出。第一 DAC 134 通过将在补偿反馈延迟元件 132 的输出处的数字值（例如，已经延迟了第二延迟周期的在数字输出 112 处的数字值）转换成具有第三增益系数 (b_1) 的模拟信号来生成在第一求和点 118 处的第一补偿反馈信号。补偿反馈通路 110 的第二 DAC 136 具有与补偿反馈延迟元件 132 的输出连接的数字输入以及与第二求和点 122 连接的模拟输出，其中第二 DAC 136 通过来将在补偿反馈延迟元件 132 的输出处的数字值转换成具有第四增益系数 (b_2) 的模拟信号来生成在第二求和点 122 处的第二补偿反馈信号。在示例性的实施例中，补偿 DAC 134、136 被实现为 NRZ DAC，尽管在替换实施例中，补偿 DAC 134、136 可以被实现为归零 (RZ) DAC，这将在下面更详细地描述。根据一种或多种实施例中，补偿 DAC 134、136 还可以使用具有非方形或非矩形的波形的 DAC（例如，具有阻尼指数波形的 DAC）来实现。

[0023] 对于图 1 所示的二阶反馈调制器 100，第一求和点 118 被配置为用于从输入节点 102 处的输入信号中减去第一主反馈信号（来自 DAC128）和第一补偿反馈信号（来自 DAC 134），并将结果提供给第一积分器 120 的输入。第一积分器 120 按常规的方式积分第一求和点 118 的结果信号，如同本领域技术人员所应当意识到的。第二求和点 122 被配置为用于从第一积分器 120 的输出中减去第二主反馈信号（来自 DAC 130）和第二补偿反馈信号（来自 DAC 136），并将结果提供给第二积分器 124。第二积分器 124 按常规的方式积分第二求和点 122 的结果信号以产生量化器输入 114 出的模拟信号。取决于实施例，每个积分器 120、124 可以使用有源电路零件、无源电路零件或它们的适当组合来实现。以这种方式，在

量化器输入 114 处的模拟信号基于输入信号、主反馈信号和补偿反馈信号。应当意识到,尽管图 1 示出了在补偿反馈通路 110 中用于产生多个补偿反馈信号的多个 DAC 134、136,但是实际上,只需要单个补偿反馈信号来补偿插入主反馈通路 108 中的故意延迟 (t_d),这将在下面更详细地描述。但是,图 1 所示的另加的补偿反馈信号的使用提供了可以用来调整前向信号通路 104 中的各个零件的操作参数的另加的自由度。例如,积分器 120、124 的电压摆幅或转换速率可以通过改变补偿反馈通路中的增益系数来调整。

[0024] 应当注意,在示例性的是实例中,借助分离的补偿反馈通路 110,第二延迟周期在结构上独立于第一延迟周期,也就是,第二延迟周期不受第一延迟周期影响,并且第一延迟周期不受第二延迟周期影响。值得注意的是,在所示出的实施例,延迟元件 126、132 在不同的反馈通路中,并且没有级联(或是非级联的)或另外互连,例如,一个延迟元件的输出没有馈入另一个元件的输入。以这种方式,第一延迟周期和第二延迟周期是不相关的,因为第二延迟周期不受主反馈通路 108 中的零件和/或嵌入延迟的干扰或影响,并且第一延迟周期不受补偿反馈通路 110 中的零件和/或嵌入延迟的干扰或影响。在示例性的实施例中,第一延迟周期和第二延迟周期是不相等的。换言之,第二延迟周期的值并没有被选择为等于第一延迟周期,反之亦然。优选地,第一延迟周期和第二延迟周期各自被选择为比调制器 100 的模拟零件的实际回路延迟大的值。取决于实施例,第二延迟周期可以小于第一延迟周期或者大于第一延迟周期,这将在下面更详细地描述。

[0025] 图 2 示出了根据另一种实施例的 $\Sigma-\Delta$ 调制器 200。 $\Sigma-\Delta$ 调制器 200 被实现为连续时间 $\Sigma-\Delta$ 调制器,包括但不限于:用于接收输入信号的输入节点 202、前向信号装置 204(或前向信号通路)、量化器 206,主反馈装置 208(或主反馈通路)、补偿反馈装置 210(或补偿反馈通路)及数字输出 212。 $\Sigma-\Delta$ 调制器 200 的元件与以上针对图 1 的 $\Sigma-\Delta$ 调制器 100 所讨论的对应元件相似,因而,这些共同的元件在此将不再针对图 2 进行重复的详细描述。在图 2 的示例性实施例中,主反馈延迟元件 226 和补偿反馈延迟元件 232 各自被实现为数字延迟元件,其中关联的延迟周期被表示于 Z 域中,如同本领域技术人员所应当意识到的。另外,补偿反馈通路 210 使用单个 DAC 236 来实现,该 DAC 236 将单个补偿反馈信号提供给前向信号通路 204。

[0026] 图 3 示出了根据另一种实施例的 $\Sigma-\Delta$ 调制器 300。 $\Sigma-\Delta$ 调制器 300 被实现为具有前馈拓扑的连续时间 $\Sigma-\Delta$ 调制器。 $\Sigma-\Delta$ 调制器 300 包括但不限于:用于接收输入信号的输入节点 302、前向信号装置 304(或前向信号通路)、量化器 306,主反馈装置 308(或主反馈通路)、补偿反馈装置 310(或补偿反馈通路)及数字输出 312。 $\Sigma-\Delta$ 调制器 300 的各个元件与以上针对图 1 的 $\Sigma-\Delta$ 调制器 100 所讨论的对应元件相似,因而,这些共同的元件在此将不再针对图 3 进行重复的详细描述。

[0027] 如图 3 所示,前向信号通路 304 被实现为前馈 $\Sigma-\Delta$ 拓扑,包括但不限于:第一求和点 318、第一积分器 320、第二求和点 322、第二积分器 324、放大器 338 和第三求和点 340。第一求和点 318 连接于输入节点 302 与第一积分器 320 的输入之间。第一求和点 318 被配置为用于从输入节点 302 处的输入信号中减去主反馈信号(来自 DAC 328),并将结果提供给第一积分器 320 的输入,该第一积分器 320 按常规的方式积分第一求和点 318 处的结果信号。第二求和点 322 连接于第一积分器 320 的输出与第二积分器 324 的输入之间。第二求和点 322 被配置为用于从第一积分器 320 的输出中减去补偿反馈信号(来自 DAC 336),

并将结果提供给第二积分器 324 的输入。第一积分器 320 的输出还连接到放大器 338 的输入,并且放大器 338 的输出连接到第三求和点 340。放大器 338 将第一积分器 320 的输出放大增益因子 (c_1) 倍并且将结果提供给第三求和点 340。第二积分器 324 的输出还连接到第三求和点 340。第三求和点 340 被配置为用于使第二积分器 324 的输出与第一积分器 320 的放大输出(例如,经由放大器 338)相加,以产生在量化器输入 314 处的模拟信号。以这种方式,在量化器输入 314 处的模拟信号基于输入信号、主反馈信号和补偿反馈信号。在本实施例中,依靠使用 NRZDAC 336,在第二积分器 324 的输入处有更小的电压变化,从而,与在其输入处具有双极性 RZ 反馈脉冲的积分器相比,对第二积分器 324 的转换速率要求得以放宽。而且,虽然没有要求,但是如果第三求和点 340 被实现为加法放大器(或模拟加法器),则借助存在于第三求和点 340 的仅两个信号来放宽对加法放大器的速度要求(例如,用于小信号实现方式的增益带宽、用于大信号实现方式的转换速率)。

[0028] 现在参照图 1-3, $\Sigma - \Delta$ 调制器 100、200、300 可以使用 NRZ 补偿反馈信号实现任何所期望的噪声传递函数。而且,应当注意,任何所期望的传递函数可以只使用补偿反馈通路中的单个 DAC 来实现。根据一种实施例,第二延迟周期(例如, t_c 或 β)可以小于第一延迟周期(例如, t_d 或 α)。例如,第一延迟周期可以被选择为等于一个样本(例如, $\alpha = 1$, 或者 $t_d = \frac{1}{f_s}$),以及第二延迟周期可以被选择为等于半个样本(例如, $\beta = 1/2$, 或者 $t_c = \frac{1}{2f_s}$)。

参照图 2,假定所期望的噪声传递函数为 $(1-z^{-1})^2$, $\Sigma - \Delta$ 调制器 200 可以给所期望的噪声传递函数提供单个补偿反馈信号(即,只有补偿反馈通路 210 中的单个 DAC 236)。在这方面, $\Sigma - \Delta$ 调制器 200 实现了具有用于第一主反馈 DAC 228(例如,第一主反馈信号)的增益系数 $a_1 = 1$,用于第二主反馈 DAC 230(例如,第二主反馈信号)的增益系数 $a_2 = -1.5$ 以及用于补偿反馈 DAC 228(例如,补偿反馈信号)的增益系数 $b_2 = 4$ 的噪声传递函数 $(1-z^{-1})^2$ 。参照图 3, $\Sigma - \Delta$ 调制器 300 可以只使用单个补偿反馈 DAC 332 来实现具有用于主反馈 DAC 328(例如,主反馈信号)的增益系数 $a_1 = 1$,用于补偿反馈 DAC 336(例如,补偿反馈信号)的增益系数 $b_2 = 4$ 以及用于补放大器 338 的增益因子 $c_1 = -1.5$ 的噪声传递函数 $(1-z^{-1})^2$ 。

[0029] 再次参照图 1-3,根据另一种实施例,在反馈通路中的延迟周期可以通过偏移延迟来调整,该偏移延迟被分配给在前向信号通路中和/或量化器的模拟零件。在这方面,偏移延迟表示可以被分配给模拟零件的建立时间裕度,由此允许它们被设计用于较低的速度以节省能量。例如,参照图 2,反馈通路 208、210 的延迟周期可以调整四分之一一个样本(或 $\frac{1}{4f_s}$)的偏移延迟,这已经被鉴定为用于设计前向信号通路 204 中的模拟零件的最佳建立

时间。偏移延迟然后被分配给在前向信号通路 204 和/或量化器 206 中的模拟零件,例如,积分器 220、224 或者量化器 206 内的前置放大器。用于反馈通路 208、210 的延迟周期通过减去偏移延迟来调整,使得第一延迟周期等于四分之三个样本(例如, $\alpha = 3/4$),以及第二延迟周期等于四分之一一个样本(例如, $\beta = 1/4$)。DAC 228、230、236 的增益系数保持不变(例如, $a_1 = 1$, $a_2 = -1.5$, $b_2 = 4$),假设 $\Sigma - \Delta$ 调制器 200 的总回路延迟不变。

[0030] 再次参照图 1-3,根据另一种实施例,第二延迟周期可以大于第一延迟周期。例如,再次参照图 2, $\Sigma - \Delta$ 调制器 200 可以实现所期望的噪声传递函数 $(1-z^{-1})^2$,第一延迟周期等于半个样本(例如, $\alpha = 1/2$)并且第二延迟周期等于整个样本(例如, $\beta = 1$)。在这

方面, $\Sigma - \Delta$ 调制器 200 实现了具有用于第一主反馈 DAC 228 的增益系数 $a_1 = 1$, 用于第二主反馈 DAC 230 的增益系数 $a_2 = 3.75$ 以及用于补偿反馈 DAC 228 的增益系数 $b_2 = -1.75$ 的所期望的噪声传递函数。

[0031] 再次参照图 1-3, 根据另一种实施例, $\Sigma - \Delta$ 调制器可以将 NRZ 主反馈信号与单个 RZ 补偿反馈信号一起使用来实现所期望的噪声传递函数。例如, 再次参照图 2, 根据一种实施例, 补偿反馈 DAC 236 可以被实现为使用 RZ 脉冲方案来生成补偿反馈信号的 RZ DAC, 使得由 DAC 236 生成的补偿反馈信号在采样周期的一半持续时间内是基本上恒定的 (例如, 在实际和 / 或理想操作公差之内)。在这方面, RZ 补偿反馈信号的使用导致了在积分器 224 的输入处的相对于使用 NRZ 补偿反馈信号时所经历的电压阶跃增加了的电压阶跃。但是, 当与双极性 RZ 补偿方案相比时, RZ 补偿反馈信号仍然引起了对第二积分器 224 更宽松的旋转速率要求,

[0032] 以上所描述的系统 and / 或方法的一个优点在于 NRZ 反馈信号可以用来补偿由插入主反馈回路中用于 $\Sigma - \Delta$ 调制器的故意延迟产生的过量回路延迟。NRZ 反馈信号可以按照提供了多个自由度的方式来实现, 这可以用来改变用于主反馈信号和补偿反馈信号的延迟和 / 或增益系数, 以放宽对积分器和 / 或放大器的转换速率要求或者消除对高速模拟求和点 (或模拟加法器) 的需要。结果, $\Sigma - \Delta$ 调制器的面积、功率、成本和设计时间在不牺牲调制器的性能的情况下得到了降低。

[0033] 总之, 根据本主题的示例实施例来配置的系统、器件和方法涉及:

[0034] 提供了一种用于 $\Sigma - \Delta$ 调制器的装置。在示例性的实施例中, $\Sigma - \Delta$ 调制器包括用于接收输入信号的输入节点以及配置用于将第一模拟信号转换成数字值的量化器。主反馈装置与量化器耦接并且被配置为用于将数字值延迟第一延迟周期, 以获得第一延迟值并且基于第一延迟值生成主反馈信号。补偿反馈装置与量化器耦接并且被配置为用于将数字值延迟第二延迟周期, 以获得第二延迟值并且基于第二延迟值生成补偿反馈信号。前向信号装置耦接于输入节点和量化器之间, 前向信号装置与主反馈装置和补偿反馈装置耦接。前向信号装置基于输入信号、主反馈信号和补偿反馈信号产生在量化器处的第一模拟信号。第二延迟周期不受第一延迟周期影响, 并且补偿反馈信号补偿第一延迟周期。

[0035] 根据一种实施例, 补偿反馈装置包括配置用于生成补偿反馈信号的不归零数模转换器。在另一种实施例中, 补偿反馈装置包括配置用于生成补偿反馈信号的归零数模转换器。在又一种实施例中, 第二延迟周期不等于第一延迟周期。根据另一种实施例, 主反馈装置包括配置用于生成主反馈信号的第一不归零数模转换器, 以及补偿反馈装置包括配置用于生成补偿反馈信号的第二不归零数模转换器。在另一种实施例中, 主反馈装置生成具有第一增益的主反馈信号以及补偿反馈装置生成具有第二增益的补偿反馈信号, 其中第二增益的大小不等于第一增益的大小。根据又一种实施例, 主反馈装置包括配置用于生成主反馈信号的不归零数模转换器, 以及补偿反馈装置包括配置用于生成补偿反馈信号的归零数模转换器。在另一种实施例中, 前向信号装置包括选自低通拓扑、带通拓扑、高通拓扑、反馈拓扑、前馈拓扑、混合的前馈 - 反馈拓扑、级联拓扑、求积拓扑和复合拓扑的电路拓扑。

[0036] 根据另一种实施例, 提供了一种用于模数转换器的装置。模数转换器包括用于接收输入信号的输入节点以及配置用于将第一模拟信号转换成数字值的量化器。前向信号通路耦接于输入节点和量化器之间。第一延迟元件与量化器耦接, 并且第一延迟元件被配置

为用于将数字值延迟第一延迟周期,产生第一延迟值。第一数模转换器耦接于第一延迟元件与前向信号通路之间,并且第一数模转换器基于第一延迟值生成第一反馈信号。第二延迟元件与量化器耦接,并且第二延迟元件被配置为用于将数字值延迟第二延迟周期,产生第二延迟值。第一延迟元件和第二延迟元件是非级联的,使得第一延迟周期和第二延迟周期是不相关的。第二数模转换器耦接于第二延迟元件与前向信号通路之间,并且第二数模转换器基于第二延迟值生成第二反馈信号。前向信号装置基于输入信号、第一反馈信号和第二反馈信号产生在量化器处的第一模拟信号,使得第二反馈信号补偿第一延迟周期。

[0037] 根据一种实施例,第一数模转换器生成具有第一增益的第一反馈信号以及第二数模转换器生成具有第二增益的第二反馈信号,其中第二增益不等于第一增益。在另一种实施例中,第二数模转换器包括不归零数模转换器。在又一种实施例中,第二数模转换器包括归零数模转换器。在又一种实施例中,第二延迟周期小于第一延迟周期。根据又一种实施例,第二延迟周期大于第一延迟周期。在另一种实施例中,前向信号通路包括选自低通拓扑、带通拓扑、高通拓扑、反馈拓扑、前馈拓扑和混合的前馈-反馈拓扑的电路拓扑。

[0038] 在另一种实施例中,提供了一种用于 $\Sigma-\Delta$ 调制器的装置。 $\Sigma-\Delta$ 调制器包括用于接收输入信号的输入节点以及具有与输入节点耦接的第一输入和第一输出的第一积分器。量化器具有与第一输出耦接的量化器输入,其中该量化器被配置为用于将量化器输入处的第一模拟信号转换成量化器输出处的数字值。第一延迟元件与量化器输出耦接,并且第一延迟元件被配置为用于将数字值延迟第一延迟周期,产生第一延迟值。第一数模转换器耦接于第一延迟元件与第一输入之间,并且第一数模转换器将第一延迟值转换成在第一输入处的第一模拟值。第二延迟元件与量化器输出耦接,并且第二延迟元件被配置为用于将数字值延迟第二延迟周期,产生第二延迟值。第二延迟周期不等于第一延迟周期,并且第二延迟周期独立于第一延迟周期。第二数模转换器耦接于第二延迟元件与第一输入之间,并且第二数模转换器将第二延迟值转换成在第一输入处的第二模拟值。根据一种实施例, $\Sigma-\Delta$ 调制器还包括耦接于输入节点和第一积分器之间的第二积分器。第二积分器具有与输入节点耦接的第二输入以及与第一输入耦接的第二输出。第三数模转换器耦接于第一延迟元件和第二输入之间,并且第三数模转换器将第一延迟值转换成在第二输入处的第三模拟值。在另一种实施例中,第二延迟周期小于第一延迟周期。根据一种实施例,量化器具有与其关联的采样周期,其中第二延迟周期等于采样周期的一半以及第一延迟周期等于采样周期。根据又一种实施例,第二延迟周期等于采样周期的四分之一,以及第一延迟周期等于采样周期的四分之三。

[0039] 虽然以上具体实施方式中已经给出了至少一种示例性的实施例,但是应当意识到,本发明的实施方式存在着大量的变化。还应当意识到,在此所描述的一种或多种示例性的实施例并不旨在以任何方式来限制所权利要求的本主题的范围、适用性或配置。相反,以上的具体实施方式将给本领域技术人员提供用于实现一种或多种所描述的实施例的方便的路线图。应当理解,在不脱离权利要求书所界定的范围的情况下可以对元件的功能和布局进行各种改变,该范围包括在提交本专利申请时的已知的等价物和可预见的等价物。

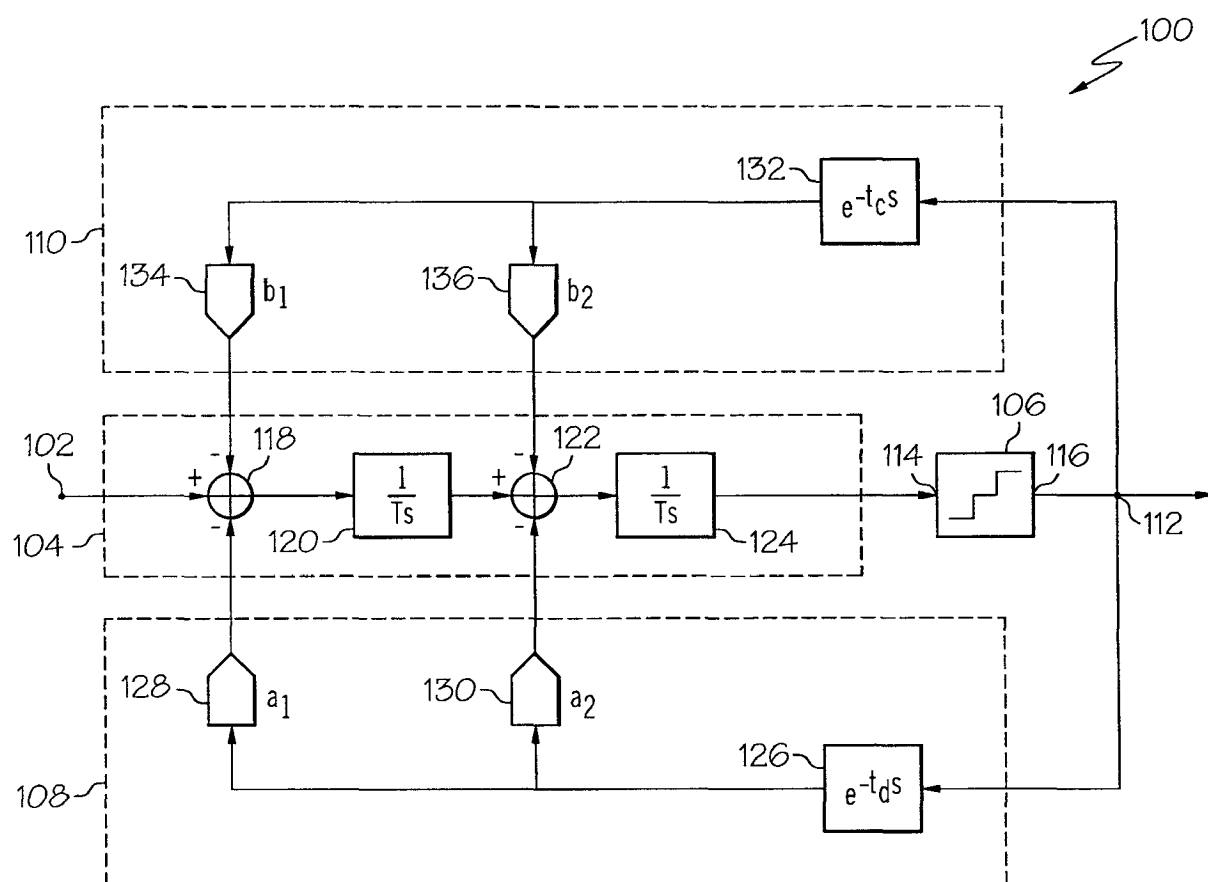


图 1

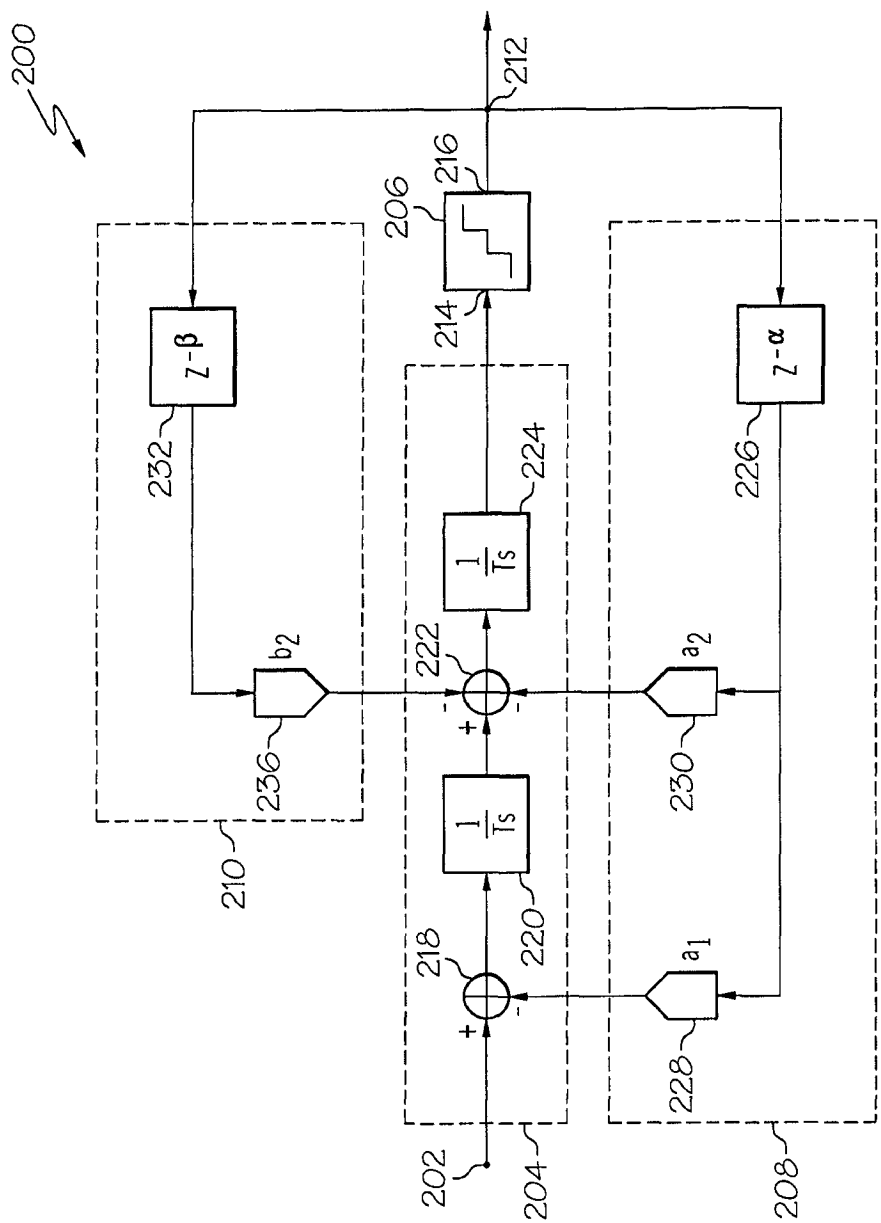


图 2

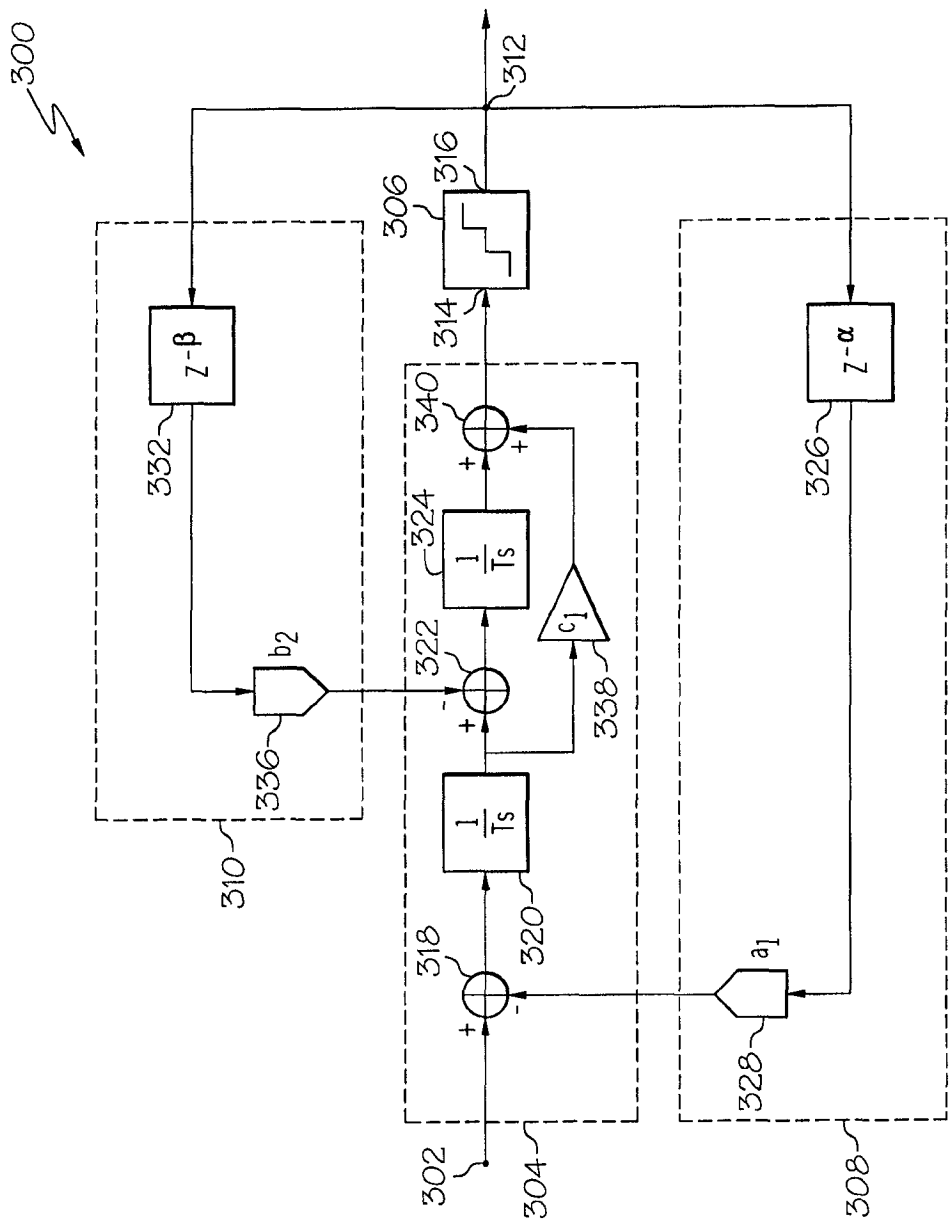


图 3