



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

231871

(11) (B1)

(51) Int. Cl.<sup>3</sup>

G 06 F 9/32

/22/ Přihlášeno 26 04 83

/21/ /PV 2940-83/

(40) Zveřejněno 14 05 84

(45) Vydáno 15 12 86

(75)

Autor vynálezu

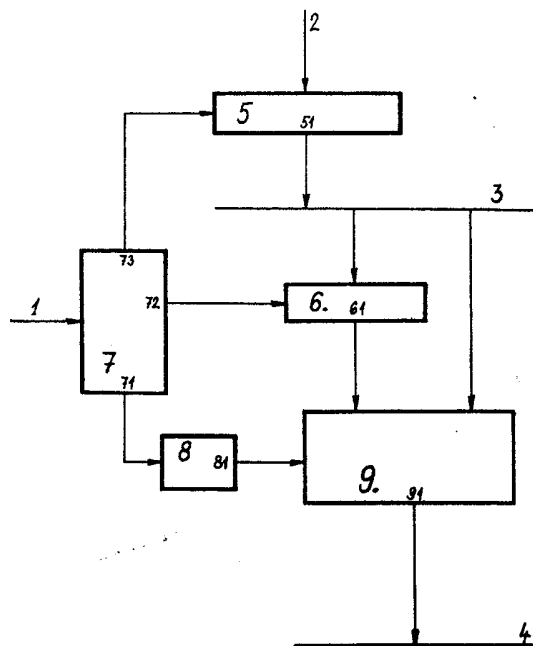
ŠMÍD JIŘÍ ing., JELÍNEK OLDŘICH ing., PRAHA

## (54) Obvod pro zarovnání operandů

Vynález se týká oboru výpočetní techniky, hlavně procesorů samočinných počítačů. Řeší způsob hardwarového zarovnání operandů, uložených v hlavní paměti mimo integrální hranice do tvaru, který je vhodný pro zpracování v dalších obvodech procesoru.

Obvod používá přepínače slabik při přenosu dat z paměti do procesoru.

Využití je předpokládáno v oboru samočinných počítačů.



Předmětem vynálezu je obvod pro zarovnání operandů v procesorech samočinných počítačů, především při zpracování operandů, uložených v paměti mimo potřebné hranice.

Toto zarovnání operandů bývá obvykle prováděno pomocí obvodů slabikové operační jednotky nebo pomocí speciálního posuvného registru. Nevýhodou obou přístupů je potřeba provádět úkony v několika krocích procesoru, což prodlužuje provádění zejména těch instrukcí, které vykonávají přesuny v operační paměti a které se významně podílejí na výkonnosti procesorů počítačů.

Tyto nevýhody odstraňuje obvod pro zarovnání operandů podle vynálezu, který je uspořádán tak, že řídicí vstup celého obvodu je připojen na vstup ovládacího dekodéru. První hodinový výstup tohoto dekodéru je připojen na hodinový vstup vstupního datového registru, na jehož datový vstup je připojen vnější vstup celého obvodu.

Výstup vstupního datového registru je připojen přes vstupní sběrnici na datový vstup pomocného datového registru, na jehož hodinový vstup je připojen druhý hodinový výstup ovládacího dekodéru.

Výstup pomocného datového registru je připojen na první datový vstup přepínače slabik. Druhý datový vstup tohoto přepínače je připojen na vstupní sběrnici. Výstup přepínače slabik je přiveden na výstupní sběrnici.

Nastavovací výstup ovládacího dekodéru je zapojen na vstup paměti typu zarovnání, jejíž výstup je připojen na ovládací vstup přepínače slabik.

Výhody obvodu pro zarovnání operandů spočívají v tom, že je dosaženo značného zrychlení výkonu procesoru samočinného počítače při úměrně malých materiálových nárocích. To je umožněno zejména tím, že obvod využívá všechny instrukce pracující s operandy, uloženými v operační paměti mimo potřebné hranice a tím, že zarovnání operandů se provede v jednom kroku procesoru.

Jedno z možných provedení vynálezu je znázorněno na připojeném výkresu.

Řídicí vstup 1 celého obvodu je připojen na vstup ovládacího dekodéru 7. První hodinový výstup 73 tohoto dekodéru je připojen na hodinový vstup vstupního datového registru 5, na jehož datový vstup je připojen vnější vstup 2 celého obvodu.

Výstup 51 vstupního datového registru 5 je připojen přes vstupní sběrnici 3 na datový vstup pomocného datového registru 6, na jehož hodinový vstup je připojen druhý hodinový výstup 72 ovládacího dekodéru 7.

Výstup 61 pomocného datového registru 6 je připojen na první datový vstup přepínače 9 slabik. Druhý datový vstup tohoto přepínače je připojen na vstupní sběrnici 3. Výstup 91 přepínače 9 slabik je přiveden na výstupní sběrnici 4.

Nastavovací výstup 71 ovládacího dekodéru 7 je zapojen na vstup paměti 8 typu zarovnání, jejíž výstup je připojen na ovládací vstup přepínače 9 slabik.

Obvod pro zarovnání operandů slouží v procesoru samočinného počítače k zarovnání operandů, uložených v hlavní paměti mimo integrální hranice do tvaru, který je možno zpracovávat v dalších obvodech procesoru.

Zarovnání operandů se provádí při přenosu dat z paměti do procesoru. Obvod pro zarovnání operandů je při své činnosti řízen ovládacím dekodérem 7 na základě údajů z mikroinstrukce, přicházejících na řídicí vstup 1 celého obvodu.

Nejprve se pomocí prvního hodinového výstupu 73 ovládacího dekodéru 7 přenesou první data o šířce 4 slabiky z vnějšího vstupu 2 celého obvodu do vstupního datového registru 5. V další fázi činnosti se pomocí druhého hodinového výstupu 72 ovládacího dekodéru 7 přenesou řádově nižší 3 slabiky ze vstupního datového registru 5 přes vstupní sběrnici 3 do pomocného datového registru 6.

Současně s tím se vstupní datový registr 5 dynamicky plní druhými daty o šířce 4 slabik z vnějšího vstupu 2 celého obvodu. Na základě nastavovacího výstupu 71 ovládacího dekodéru 7 je do paměti 8 typu zarovnání uložen údaj o typu zarovnání.

Přepínač 9 slabik má tímto na vstupu k dispozici data o šířce sedmi slabik, přitom tři slabiky A1, A2, A3 prvních dat jsou uloženy v pomocném datovém registru 6 a 4 slabiky B0, B1, B2, B3 druhých dat ve vstupním datovém registru 5.

Podle údaje na výstupu 81 paměti 8 typu zarovnání, která může nabývat 4 hodnot, provede přepínač 9 slabik přepnutí pořadí slabik na výstup 91 podle následující tabulky:

| Výstup 81 | Výstup 91       |
|-----------|-----------------|
| 0         | B1, B2, B3, B0, |
| 1         | A1, A2, A3, B0, |
| 2         | A2, A3, B0, B1, |
| 3         | A3, B0, B1, B2, |

Výstupní kombinace slabik se přes výstupní sběrnici 3 přenesou do dalších obvodů počítače ke zpracování.

Popsaná činnost obvodu pro zarovnání operandů se cyklicky opakuje až do vyčerpání celé zpracovávané délky pole dat.

Využití vynálezu se předpokládá především v procesorech samočinných počítačů.

## P R E D M Ě T   V Y N Á L E Z U

Obvod pro zarovnání operandů, vyznačující se tím, že řídicí vstup /1/ celého obvodu je připojen na vstup ovládacího dekodéru /7/, jehož první hodinový výstup /73/ je připojen na hodinový vstup vstupního datového registru /5/, na jehož datový vstup je připojen vnější vstup /2/ celého obvodu, zatímco výstup /51/ vstupního datového registru /5/ je připojen přes vstupní sběrnici /3/ na datový vstup pomocného datového registru /6/, na jehož hodinový vstup je přiveden druhý hodinový výstup /72/ ovládacího dekodéru /7/, přičemž výstup /61/ pomocného datového registru /6/ je připojen na první datový vstup přepínače /9/ slabik, jehož druhý datový vstup je připojen na vstupní sběrnici /3/, zatímco výstup /91/ přepínače /9/ slabik je přiveden na výstupní sběrnici /4/ a dále nastavovací výstup /71/ ovládacího dekodéru /7/ je zapojen na vstup paměti /8/ typu zarovnání, jejíž výstup je připojen na ovládací vstup přepínače /9/ slabik.

1 výkres

