

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4212901号
(P4212901)

(45) 発行日 平成21年1月21日(2009.1.21)

(24) 登録日 平成20年11月7日(2008.11.7)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 17/00 6 1 2 D

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 2 2 C

請求項の数 30 (全 18 頁)

(21) 出願番号 特願2002-593131 (P2002-593131)
 (86) (22) 出願日 平成14年5月17日(2002.5.17)
 (65) 公表番号 特表2004-527868 (P2004-527868A)
 (43) 公表日 平成16年9月9日(2004.9.9)
 (86) 国際出願番号 PCT/US2002/015570
 (87) 国際公開番号 W02002/096632
 (87) 国際公開日 平成14年12月5日(2002.12.5)
 審査請求日 平成17年4月19日(2005.4.19)
 (31) 優先権主張番号 09/865,320
 (32) 優先日 平成13年5月25日(2001.5.25)
 (33) 優先権主張国 米国(US)

(73) 特許権者 592012513
 サンディスク コーポレーション
 SanDisk Corporation
 アメリカ合衆国 95035 カリフォル
 ニア州、ミルピタス、マッカーシー ブー
 ルバード 601
 (74) 代理人 100075144
 弁理士 井ノ口 壽
 (72) 発明者 パスターナック, ジョン エイチ.
 アメリカ合衆国、95054、カリフォル
 ニア州、サンタ クララ、カーリーレ コ
 ート 4508、#823

審査官 高野 芳徳

最終頁に続く

(54) 【発明の名称】 仮想接地メモリ・アレイのためのデュアル・セルのソフト・プログラミング

(57) 【特許請求の範囲】

【請求項 1】

メモリ・セルの各々が第1のソース/ドレイン領域と第2のソース/ドレイン領域とを含む単数または複数個のメモリ・セル行からなり、ソース/ドレイン領域は前記行に対して垂直なビット線に接続されている、仮想接地アレイを形成する複数個のメモリ・セルを有する不揮発性メモリ内の消去されたメモリ・セルを処理する方法であって、

前記多数のメモリ・セルから、少なくとも2つのデータ状態の1つではない状態へと消去されたメモリ・セルの存在を検知するステップと、

少なくとも2つのデータ状態の1つではない状態へと消去された前記メモリの存在の検知に引き続いて、少なくとも2つのデータ状態の1つではない状態へと消去された前記メモリ・セルと、一对のメモリ・セルの双方のそれぞれの第2のソース/ドレイン領域が接続されるビット線を、少なくとも2つのデータ状態の1つではない状態へと消去された前記メモリ・セルと共有しているメモリ・セルと、からなる前記一对のメモリ・セルに対してソース隣接漏れ電流が生じないようにソフト・プログラミング動作を同時に実行するステップと、

を含む方法。

【請求項 2】

前記一对のセルは、該一对のセルの双方が少なくとも2つのデータ状態の1つではない状態へと消去されている場合だけソフト・プログラムされる請求項1記載の方法。

【請求項 3】

10

20

前記ソフト・プログラミング動作に引き続いて、前記一対のメモリが少なくとも2つのデータ状態の1つではない状態へと消去されているか否かを検知するステップをさらに含む請求項2記載の方法。

【請求項4】

前記検知に応答して、前記一対のメモリ・セルが少なくとも2つのデータ状態の1つではない状態へと消去された状態に留まっている限り、前記ソフト・プログラミング動作および前記検知を交互に反復するステップをさらに含む請求項3記載の方法。

【請求項5】

前記ソフト・プログラミング動作は、前記第1の制御ゲートに基準プログラミング電圧未満であるソフト・プログラミング電圧を印加するステップを含む請求項4記載の方法。

10

【請求項6】

前記ソフト・プログラミングは、前記一対のメモリ・セルの前記第1のソース/ドレイン領域のための4ボルトから7ボルトの範囲の電圧を用いて実行される請求項5記載の方法。

【請求項7】

前記メモリ・セルは、ソースサイド注入の電氣的に消去可能でプログラム可能なリード・オンリー・メモリ(EEPROM)セルであると共に、前記第2のソース/ドレイン領域はソースである請求項1に記載の方法。

【請求項8】

前記ソフト・プログラミング動作は、ソースサイド注入による請求項7記載の方法。

20

【請求項9】

前記メモリ・セルは電氣的に消去可能でプログラム可能なリード・オンリー・メモリ(EEPROM)セルであり、前記メモリ・セルの各々は前記第1のソース/ドレイン領域と第2のソース/ドレイン領域の間にあり、かつそれぞれの領域に隣接する第1の部分と第2の部分を有するチャンネル領域と、前記チャンネル領域の前記第1の部分の上方の第1のフローティング・ゲートと、前記第1のフローティング・ゲートの上方の部分を有する第1のコントロール・ゲートと、前記チャンネル領域の前記第2の部分の上方の第2のフローティング・ゲートと、前記第2のフローティング・ゲートの上方の部分を有する第2のコントロール・ゲートとをさらに備えると共に、前記メモリ・セルの各々は、前記第1のチャンネル領域と第2のチャンネル領域との間にある第3のチャンネル領域と、前記チャンネル領域の前記第3の部分の上方の部分を有する選択ゲートをさらに備えている請求項1記載の方法。

30

【請求項10】

前記同時ソフト・プログラミング動作は、前記一対のメモリ・セルの各々の第1のフローティング・ゲートに対して実行される請求項9記載の方法。

【請求項11】

前記同時ソフト・プログラミング動作には、前記一対のメモリ・セルの各々の前記第2の制御ゲートにチャンネル領域の前記第2の部分を電流が自由に流れることができるのに十分な電圧を印加することによって、前記ソフト・プログラミングが前記一対のメモリ・セルの各々の第1のフローティング・ゲートだけに対して実行されるようにすることが含まれる請求項10記載の方法。

40

【請求項12】

前記ソフト・プログラミング動作は、前記第1の制御ゲートに基準プログラミング電圧未満であるソフト・プログラミング電圧を印加することを含む請求項11記載の方法。

【請求項13】

前記ソフト・プログラミングは、前記一対のメモリ・セルの前記第1のソース/ドレイン領域のための4ボルトから7ボルトの範囲の電圧を用いて実行される請求項12記載の方法。

【請求項14】

前記ソフト・プログラミングは、前記第1のソース/ドレイン領域のための4ボルトか

50

ら 7 ボルトの範囲の電圧を用いて実行されると共に、チャネル領域の前記第 2 の部分を電流が自由に流れるのに十分な前記第 2 の制御ゲートへの前記電圧は 8 ボルトから 12 ボルトの範囲の電圧である請求項 11 記載の方法。

【請求項 15】

前記同時ソフト・プログラミング動作は、前記一対のメモリセルの各々の前記選択ゲートに 1.5 ボルトから 3 ボルトの範囲の電圧を印加することを用いて実行される請求項 9 記載の方法。

【請求項 16】

メモリ・セルの各々がソース領域とドレイン領域とからなり、前記セルは、ソースが共有するビット線に接続され、前記セルの単数または複数の行からなるアレイを形成するように対で配列され、ビット線は前記行に対して垂直に延びている、不揮発性メモリ内の複数個のメモリ・セルを処理する方法であって、

10

前記複数のメモリ・セルから単数または複数の過剰消去されたメモリ・セルの存在を検知するステップと、

単数または複数の過剰消去されたメモリ・セルの存在の検知に引き続いて、前記単数または複数の過剰消去されたメモリ・セルの前記少なくとも 1 つ、および前記少なくとも 1 つの過剰消去されたメモリ・セルの各々が対を形成するそれぞれのメモリ・セルに対してソース隣接漏れ電流が生じないようにソフト・プログラミング動作を同時に実行するステップと、

を含む方法。

20

【請求項 17】

前記検知の前に前記複数個のメモリ・セルを消去するステップをさらに含む請求項 16 記載の方法。

【請求項 18】

ソフト・プログラミング動作は、一対のセルの双方が過剰消去されている場合にのみ一対のセルに対して実行される請求項 17 記載の方法。

【請求項 19】

前記ソフト・プログラミング動作に引き続いて、ソフト・プログラミングされたメモリ・セルが過剰消去状態に留まっているか否かを検知するステップをさらに含む請求項 18 記載の方法。

30

【請求項 20】

前記ソフト・プログラミングと検知とを反復し、ソフト・プログラミングされた第 1 のセルがもはや過剰消去されていない場合に中断するステップをさらに含む請求項 19 記載の方法。

【請求項 21】

前記ソフト・プログラミングと検知とを反復し、一対のセルの第 1 のセルがもはや過剰消去されていない場合に、過剰消去された一対のセルの各々について中断するステップをさらに含む請求項 19 記載の方法。

【請求項 22】

列が別個に書き込み可能な複数の群内に配列されている複数の列と、単数または複数の行とからなる仮想接地アレイを形成する複数個のメモリ・セルを有する不揮発性メモリを処理する方法であって、

40

行内の単数または複数の書き込み群から隣接する第 1 の対の過剰消去されたセルを検知するステップと、

検知された隣接する第 1 の対の過剰消去されたセルに対してソース隣接漏れ電流が生じないようにソフト・プログラミング動作を同時に実行するステップと、

を含む方法。

【請求項 23】

前記検知の前に前記行を消去するステップをさらに含む請求項 22 記載の方法。

【請求項 24】

50

前記ソフト・プログラミング動作に引き続いて、ソフト・プログラミングされたメモリ・セルが過剰消去状態に留まっているか否かを検知するステップと、

ソフト・プログラミングされた前記セルの少なくとも1つがもはや過剰消去されなくなるまで前記ソフト・プログラミングと後続の検知とを反復するステップとをさらに含む請求項22記載の方法。

【請求項25】

前記反復に引き続いて、行内の単数または複数の各々の書込み群から隣接する第2の対の過剰消去されたセルを検知するステップと、

検知された隣接する第2の対の過剰消去されたセルに対してソフト・プログラミング動作を同時に実行するステップとをさらに含む請求項24記載の方法。

10

【請求項26】

前記ソフト・プログラミング動作に引き続いて、前記隣接する第1の対の各々のソフト・プログラミングされたメモリ・セルが過剰消去状態に留まっているか否かを検知するステップと、

第1の対のセル内のセルがもはや過剰消去されなくなるまで前記ソフト・プログラミングを反復し、かつ引き続いて前記隣接する第1の対内で双方のセルが過剰消去状態に留まっているか否かを検知するステップとをさらに含む請求項22記載の方法。

【請求項27】

前記反復に引き続いて、行内の単数または複数の各々の書込み群から隣接する第2の対の過剰消去されたセルを検知するステップと、

20

検知された隣接する第2の対の過剰消去されたセルに対してソフト・プログラミング動作を同時に実行するステップとをさらに含む請求項26記載の方法。

【請求項28】

メモリ・セルの各々がソース領域とドレイン領域とからなり、前記セルは、ソースが共有するビット線に接続され、前記セルの単数または複数の行からなるアレイを形成するように対で配列され、ビット線は前記行に対して垂直に延びている、不揮発性メモリ・セルのアレイをプログラミングする方法であって、

複数個の前記メモリ・セルを消去するステップと、

複数個の前記消去されたセルのどれをプログラミングするかを選択するステップと、

各々が対を形成するそれぞれの前記選択されたメモリ・セルに対してソース隣接漏れ電流が生じないようにソフト・プログラミング動作を同時に実行するステップと、

30

前記選択されたメモリ・セルのうち少なくとも1つではあるが全てではないメモリ・セルが所望の状態にプログラムされたことが確認されると、前記選択されたメモリ・セルの全てのプログラミングを停止するステップと、

を含む方法。

【請求項29】

前記選択されたメモリ・セルは対をなすセルの各々が共通のビット線を共有する一対のセルである請求項28記載の方法。

【請求項30】

前記プログラミングの停止は、対をなす第1のセルが所望の状態にプログラムされたことが確認されると各々の対について別個に行われる請求項29記載の方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に不揮発性メモリに関し、特に、電気的に消去可能でプログラム可能なりード・オンリー・メモリ（EEPROM）内の過剰消去されたメモリ・セルの処理方法に関する。

【0002】

【従来の技術】

不揮発性メモリ（NVM）セルは、ソース・ドレインの電流の導通を可能にするために必

50

要な制御ゲート電圧を変更することによって情報を記憶する。これはセルのしきい電圧 V_t として知られている。プログラミングとはこの導通しきい値を高めるために用いられる動作であり、一方、消去とはセルのしきい値を低くするために用いられる動作である。仮想接地アーキテクチャとは、NVMセルをアレイ内に組立てるために用いられる2～3ある方式のうちの1つである。仮想接地アレイは、隣接するセルがアクセス・ビット線を共有できることで比較的高い面積効率をもたらす。

【0003】

仮想接地アレイ100の概略が図1aに示されており、個々のセル120の様々な部品も図1bに示されている。この図では、垂直ビット線はNVMセルのソース端子およびドレイン端子123および124に接続し、一方、水平ワード線は制御ゲート121の端子に接続している。アレイ内の特定のセルのプログラム状態は適切なビット線およびワード線のバイアス電圧を印加することによって読出し用に隔絶される。図1では、ワード線 WL_0 130およびビット線 BL_{α_1} が高レベルにバイアスされ、一方、ビット線 BL_{α_2} 112およびワード線 WL_1 131が低レベルに設定されると、セル α_2 102が読出される。あるいは、 BL_{α_2} 112の代わりに BL_{α_0} 110が低レベルに設定されると、セル α_1 が読出される。このアレイ・アーキテクチャの名称は、個々のセルを選択するのに専用のソース・ビット線を有するのではなく接地バイアスを利用することに由来する。仮想接地アーキテクチャのそれ以上の詳細は、本明細書で参考文献として引用され、また以下に引用されている他の参考文献でも引用されている。パスターナック他著「4Mb交互金属、仮想接地FLASHメモリ」(米国カリフォルニア州モンレー、NVSMワークショップ、1998年刊)に記載されている。

【0004】

仮想接地動作の重要な問題点は、選択されたセルに及ぼす隣接するセルの影響である。隣接するセルはアクセスされるセルから電流を引き離すことがあり、これは、読取り動作とプログラム動作の双方の精度と効率を妨げるので望ましくない状態である。この隣接作用は、図2に示すように、標準的には隣接するビット線にセルをアクセスしているビット線と同レベルまでバイアスがかかることによって軽減される。この図では、ビット線 BL_{α_2} 212に接続されたソース、および他のワード線が低レベルにある間に、 BL_{α_1} 211に接続されたドレインと、ワード線 WL_0 230に接続された制御ゲートの双方を高レベルに設定することによって、電流201は、例えば、読出しまたはプログラミング中にセル α_2 へと流れる。隣接するセル α_1 および α_3 内の電流も、ドレイン隣接ビット線 BL_{α_0} 210が高レベルにあり、また、ソース隣接ビット線 BL_{α_3} 213が低レベルにある状態でこれらのセルに適切にバイアスをかけない限り、ドレイン - 隣接漏れ202、または、ソース - 隣接漏れ203によってそれぞれ誘導されることがある。

【0005】

その名が示すとおり、FLASHセルの消去には少なくとも、通常はワード線であるセルのセクタ全体を消去する必要がある。この共通のワード線上の様々なセルの消去速度が異なることにより、セルは確実に消去状態を示すのに必要な最も低いしきい電圧を超えて消去されることがよくある。その結果、これらの過剰消去されたセルでは隣接作用が大幅に増強される。ソフト・プログラミングは実際のデータ・プログラミングの前に過剰消去されたセルのしきい値をゆるやかに高めるために用いられる技術である。

【0006】

過剰消去されたセルを処理する従来の方法には、消去された状態、すなわち「接地」状態になるまで過剰消去されたセルを個々にプログラミングすることが含まれる。これらの技術のいくつかのさらなる詳細は、米国特許第5,172,338号および第5,272,669号に記載され、双方ともサンディスクコーポレーションに譲渡され、双方とも本明細書で参考文献として引用されている。

【0007】

ソースサイド注入とは、NVMセルをプログラムするために利用できる多くのメカニズムの1つである。図3aは、ソースサイド注入によるプログラミングのための構造のデバイ

10

20

30

40

50

スの断面図を示し、その概略的な記号が図3bに示されている。これらの図に示されているセル300は、チャンネル領域を画成するソース303とドレイン305とを間に有しており、その上方に制御ゲート309およびフローティング・ゲート307、並びに側壁301がある。この構造には一般に、デバイスのソースサイドの近傍に導電性が低いチャンネル領域311と、導電性が高いフローティング・ゲート・チャンネル領域313とが必要である。このデバイスでは、チャンネルに沿った横電界は側壁とフローティング・ゲート・チャンネル領域との組合せによってフローティング・ゲートのソースサイドで増強される。側壁デバイス301は、プログラミングに必要な比較的高い制御ゲート電圧からの結合によってバイアスされる。ソースサイド注入に関するさらなる詳細は、例えば、本明細書で参考文献として引用されているA.T.ウー、T.Y.チャン、P.K.コー、C.ヒュー著の「ソースサイド注入による新規の高速5ボルト・プログラミングEPROM構造」(IEDMテクニカルダイジェスト、584~587ページ、1986年刊)に記載されている。

10

【0008】

全ソフトプログラム電流を制限し、また、ソフトプログラム速度を制御するため、ソースサイド注入を用いた場合、セルのプログラミング電流はソースサイドから制御可能である。仮想接地アレイのためのこのアプローチの厄介な問題は、過剰消去されたセルによるソース隣接作用である。図4は、隣接するセル α_3 が過剰消去された状況での図3aのセルと同様のセルの仮想接地アレイ内のソース制限回路を用いてセル α_2 に印加されるプログラム電流を示している。セル α_2 をプログラムするため、電流401はビット線 BL_{α_1} 411とワード線 WL_0 420を高レベルに設定することによってセットアップされる。 WL_1 421のような他のワード線は低レベルに設定される。次に、プログラム電流401がソース・ビット線 BL_{α_2} 412上の電流リミタ431によって制御される。ビット線 BL_{α_2} 412は431より低いアースに接続されているが、ノードAにおける電圧レベルは、セル α_2 の特性に左右され、また、極めてダイナミックなゼロ以外のある値である。ソース隣接ビット線 BL_{α_3} 413は接地され、ワード線 WL_0 420は高レベルにあるので、単に電流制限回路431を流れるプログラミング電流ではなく、制御されないソース隣接漏れ電流403がソース隣接ビット線 BL_{α_3} を経てセル α_3 を導通し、かつ流出する。

20

【0009】

セル α_3 を導通する制御されないこの合成電流によって、いくつかの問題が生ずる。第1の問題点は、電力消費である。この α_3 のような漏れは、制御されない電流の流れである。一般に多数のセルが並行してプログラムされるので、それによって電力消費が大幅に増大し、これは低電力の用途では特に問題である。第2の問題は、セル α_3 を流れる電流403の量を制御できないので、プログラムされるセル内の電流401を正確に制御できないことである。より多くの電流が α_2 を流れる程、そのプログラムは速くなる。したがって、電流を正確に制御できないことにより、プログラムされるセルのプログラム速度により多くの変動が生ずる。加えて、セル α_2 が過剰消去されると、このセルはより多くの電流を引き込み、プログラミング速度の問題がより悪化する。

30

【0010】

従って、仮想接地アレイ内のソフト・プログラミング電流の制御を改良するというこの問題の解決方法が必要である。

40

【0011】

(発明の開示)

本発明は、仮想接地アレイのメモリ・アーキテクチャにおけるプログラミング電流を制御することを目的としている。本発明は、ソフト・プログラミング中にソース隣接が生じないようにアレイにバイアスを加える回路からなっている。このバイアス構造の特徴は、2つのセルが同時にソフト・プログラミングされることにある。この二重セル動作は、隣接セルの電気特性が極めて類似しており、したがって、同様の速度でプログラムされるという事実に基づいている。

50

【 0 0 1 2 】

一つの実施形態では、不揮発性メモリ・アレイのセルはソースサイド注入メカニズムによってプログラムされる。ワード線に沿った隣接するセルは共通のソース線を共有し、セルの一つが所望のしきい値を有することが確認されるまで共同でプログラムされる。ソース線間のビット線の本数は僅か 1 本でよく、それはプログラミングに必要な実際のドレインだけでよい。ソフト・プログラミング速度を制御するための付加的な手段は、印加されるワード線電圧を選択することによって実現される。

【 0 0 1 3 】

他の実施形態では、多重フローティング・ゲートを有するメモリ・セルを使用する。この実施形態では、セル内のフローティング・ゲート・トランジスタは互いに別個にはあるが、隣接するセル内のフローティング・ゲート・トランジスタと共に形成される対偶の一部としてソフト・プログラミングされる。

10

【 0 0 1 4 】

いずれの実施形態でも、各々が別個のブロックからの前記一対以上を同時にソフト・プログラミングしてもよい。このプロセスは、これらの対のうちの第 1 の対、またはこれらの全ての対の双方の構成要素が過剰消去されなくなるまで継続することができる。

【 0 0 1 5 】

本発明のその他の態様、特徴、および利点は、本発明の特定の代表的な実施形態についての以下の説明の中に含まれ、添付図面と関連して以下の説明を考慮することが望ましい。

【 0 0 1 6 】

20

【 発明の実施の形態 】

本発明の様々な態様を、メモリ・アレイを構成する不揮発性メモリ・セルの 1 つ以上の実施形態を用いて説明する。最初の説明は、図 3 a および図 3 b に示したセル構造に基づいてなされる。その後、二重フローティング・ゲートを有するメモリ・セルのアレイを用いて説明する。

【 0 0 1 7 】

本発明は、仮想接地アレイ・メモリのアーキテクチャにおけるプログラミング電流を制御することを目的としている。本発明は、ソフト・プログラミング中にソース隣接が生じないようにアレイにバイアスを加える回路からなっている。このバイアス構造の特徴は、2 つのセルが同時にソフト・プログラミングされることにある。この二重セル動作は、隣接セルの電気特性が極めて類似しており、したがって、同様の速度でプログラムされるという事実に基づいている。このことは、図 4 と同様であり、より大きいアレイ内に 2 群のアレイ・セル (α および β) を示した図 5 に示されている。

30

【 0 0 1 8 】

図 5 は、選択されないワード線を表すために一対のワード線、すなわち、選択されたワード線 WL_0 、 520 および WL_1 、 521 を示している。セルは、通常、セルがどのようにして同時に読出され、プログラムされるかに基づいて、また列デコードおよび検知増幅器のために用いられるアーキテクチャに応じて、アレイ内で数群の列へと区分される。図 5 では、 α セルと β セルは (所定の選択されたワード線に沿って) 別個に、かつ、同時に読出しおよびプログラム可能な上記のような 2 群のセルである。

40

【 0 0 1 9 】

従来の技術の欄に記載したある種のソース隣接漏れをソフト・プログラミングによって回避し、過剰消去を処理するため、不揮発性メモリ・セルは対をなしてソフト・プログラミングされる。それに従ってビット線にバイアスを加えることによって、共通のソースを共有する隣接する一対のセルは共通にプログラムされる。図 5 では、セル α_2 および α_3 はプログラミングのための共通のソース線 BL_{α_2} 、 512 を共有し、双方を流れる電流は電流制限回路 531 を経てアースへと流出する。セルのそれぞれのドレイン線 BL_{α_1} 、 511 および BL_{α_3} 、 513 は、 510 および 514 のような任意のドレイン隣接ビット線と共に、高レベルに設定される。それによって制御されないソース隣接電流と、その結果生ずる問題が解消される。個別の電流 501 と 503 との組合せは、電流制限回路 531 に

50

よって制御され、これらは一般にほぼ同じ値であるが、後述するように、より多く過剰消去されたセルはやや高い。同様に、セル β_1 と β_2 は共通のソース線 $B L_{\beta_2}$ を共有し、同様に対をなしてプログラムされる。ソース線間のビット線の本数は僅か1本でよく、それはプログラミングに必要な実際のドレインだけでよい。ソフト・プログラミング速度を制御するための付加的な手段は、制御ゲートに印加されるワード線電圧を選択することによって実現される。

【0020】

通常のプログラミング動作では、ドレインは、通常、4から7ボルトの範囲、例えば、5ボルトに設定され、ソースは電流リミタ531より低いアースに設定される。トランジスタのソースでの実際の電圧はアレイの全域で異なるセルの特性に左右される。列内の全てのセルに同様にバイアスがかけられる。次に選択されたセルのワード線に、セルにデータが記憶されている場合、通常、5～10ボルトの範囲のプログラミング・パルス電圧が印加される。側壁は制御ゲートに容量結合され、プログラミング電圧によって、フローティング・ゲートへと注入されるチャンネルに電子が流れる。

【0021】

ソフト・プログラミングの目的で、0～2ボルトの範囲のより低い電圧が制御ゲートに印加される。これは過剰消去されたセルのしきい値がアース状態へと次第に上向きに変化させる役割を果たす。ソフト・プログラミング・プロセスでは、制御ゲートにより低い電圧を用いる誘因の一つは、前記アース状態を行き過ぎることを回避することにある。何故ならば、その目的は、実際の情報をセル内にプログラミングするためのより均一な開始点を確立することであり、この開始点を不慮にアース状態よりも高くすることではないからである。

【0022】

様々な電圧を設定する回路は、回路アレイ内の周辺素子を形成するデコードおよび回路ドライバの一部になる。これらは上記に参照した米国特許第5,172,338号および第5,272,669号、および多重フローティング・ゲートの実施形態に関連して以下に参照するその他の特許、および特許出願により詳細に記載されている。

【0023】

図5の構成はいくつかの態様で利用することができ、その1つが図6のプロセスに示されている。ステップ601で、1つ、または複数のセクタが消去される。次に、これらのセルがステップ603で確認され、ステップ605で、これらのセルが、双方のセルとも過剰消去されたいずれかのセルの対であるか否かが判定される。否である場合は、プロセスはステップ613で終了する。そうである場合は、セルは対をなしてソフト・プログラミングされる。

【0024】

この実施形態では、対内のセルは最初の1個のセルが確認されるまでソフト・プログラミングされる。したがって、1個のセルは他のセルによって定められるレベルまでプログラムされる。プロセスの変化は、個々のセル程度の間隔にわたって比較的小さいので、隣接セルは一般に極めて類似した電気特性を有しており、その結果、同様の速度でプログラムされる。したがって、対をなす第1のセルが確認された際にソフト・プログラミングを停止することによって、基本的に第2のセルも所望のレベルに極めて近くなるであろう。

【0025】

図6に戻ると、ステップ607～611でソフト・プログラミングが行われる。ステップ607では、ソフト・プログラミング・パルスがセルの対に印加される。ステップ609で、対をなすセルのどちらかが所望の状態にあり、もはや過剰消去されていないかどうかの確認が行われる。否である場合は、流れはステップ611からステップ607に戻って、一方のセルが確認されるまで対をなすセルのソフト・プログラミングが継続される。一般に、対をなすセルの双方とも不良である場合に対応するため、最大のサイクル数も設定される。対のセルが処理済みになると、プロセスは、ステップ611からステップ605に戻る。ソフト・プログラムされるべき追加の対がある場合は、これらの対の1つが以前

と同様にソフト・プログラムされる。全ての対の処理が終了すると、プロセスはステップ 613 で終了する。

【0026】

これまで、本発明の説明は図3のセルを使用した実施形態に基づいてなされてきたが、より一般的に、他のアーキテクチャのセルからなるアレイにも適用できる。他の実施例では、多重フローティング・ゲート構造を有するセルを使用する。この構造を有する不揮発性メモリ・セルは、米国特許第5,712,180号および第6,103,573号、および2000年2月17日に出願された米国特許出願第09/505,555号、および2000年9月22日に提出されたジャックH・ユアン、およびヤコブ ハスケルの米国特許出願「連続するビット線導体によって接触される不連続ドレインおよびソース拡散を有する不揮発性メモリ・セル・アレイおよび形成方法」に記載されており、上記のいずれもサンディスク コーポレーションに譲渡され、本明細書で参照文献として引用されている。これらのセルは物理的なフローティング・ゲート記憶トランジスタあたり4ビット以上の論理ビットを記憶することができる。議論がセル構造ではなくアレイ構造に基づくものである限りは、フローティング・ゲートなしの不揮発性メモリを使用した他の実施形態を用いることもできる。例えば、双方とも本明細書で参考文献として引用されているエイタンの米国特許第5,768,192号、および、サトウ他の米国特許第4,630,086号に記載されているようなNROMセルまたはMNOSセルを使用することもできよう。

10

【0027】

図7aおよび7bは、多重フローティング・ゲートを有するメモリ・セル構造の一実施形態の平面図と断面図をそれぞれ示しており、上記の参考文献に含まれている米国特許第5,712,180号から応用したものである。図7bの断面図に示すように、セルのチャネルはビット線BL1 711とBL2 712の2つのソース/ドレイン領域の間に形成されている。チャネルは3つの領域、すなわち、左のフローティング・ゲートFGL1 2781および左の制御ゲートCGL2 771の下に左フローティング・ゲート・チャネル761と、右のフローティング・ゲートFGR1 2783および右の制御ゲートCGR2 773の下に右フローティング・ゲート・チャネル763と、これらの間の、選択トランジスタT1 2772の下に伝送チャネル762に区分される。

20

【0028】

図7aに示すように、この構造ではSG1 720のようなワード線はBL1 711およびBL2 712のようなビット線と交差してアレイを形成する。次に、アレイ内のメモリ・セルの位置がこれらの線の交差によって画成される。例えば、選択トランジスタT1 2772を有する図7bのセルはワード線SG1 720に沿ってBL1 711とBL2 712との間にある。しかし、この場合は制御ゲートは図1~5のアレイの場合のようなより一般的なアーキテクチャのように行に沿ってではなく、ビット線と平行な列に沿って接続される。したがって、制御ゲート線CGL2 771に電圧を印加することによって、電圧はトランジスタT1 2772を含むセルのゲートだけにではなく、ビット線BL1 711およびBL2 712の間の列内の全てのセルの左制御ゲートにも印加される。

30

40

【0029】

図8bは、図7aおよび7bのメモリ・セルと同様のメモリ・セルのアレイの一実施形態を示す回路図であり、図8aは、これらのメモリ・セルの等価回路である。セルのフローティング・ゲート781および783は別個にプログラムされ、読出される。例えば、図8aの右フローティング・ゲート783をプログラムするには、例えば、12ボルトの過励振電圧が左制御ゲート771に印加される。実際値は重要ではないが、そのフローティング・ゲートに記憶されているデータ状態に関わりなく、左フローティング・ゲート・トランジスタ T_{FGL} を完全にターンオンさせるのに十分な値であるものとする。左フローティング・ゲート・トランジスタ T_{FGL} を回路から効果的に除去することで、右フローティング・ゲート・トランジスタ T_{FGR} を、図3のトランジスタがソースサイド注入方式でプ

50

プログラムされるとほぼ同様にプログラムすることができる。

【 0 0 3 0 】

正規のプログラミング動作では、ドレインは再び約 5 ボルト、またはより一般的には 4 ~ 7 ボルトに設定され、ソースはアースに設定されるか、または、電流制限デバイスを経てアースに接続される。列内の全てのセルは同じ条件になる。選択された行については、1 . 5 ~ 3 ボルトの電圧が選択ゲートに印加されることによって、選択トランジスタをターンオンする。それによって電流がチャネルへと誘導され、ソースサイドで電子が流入する。選択されない行では、選択ゲート線、もしくはワード線はアースに保持され、これらの選択トランジスタはターンオフ状態に保たれる。次に、例えば、5 ~ 1 0 ボルトのプログラミング電圧が右制御ゲートに印加される。これらの値によって、図 3 a のデバイスのチャネルで側壁とフローティング・ゲートの間の領域の間に生ずるのと同様に、選択トランジスタと右フローティング・ゲート・トランジスタとの間のチャネル領域に高い電界が誘発される。しかし、前記の場合には、側壁は制御ゲートに対して静電性であるに過ぎなかったが、この場合には、側壁は選択ゲート線によって別個に制御可能である。いずれの場合も結果として、プログラミング電圧に応答してソースからの電子が（右）フローティング・ゲートへと注入される。左フローティング・ゲートをプログラムするには、左と右の制御ゲートの役割はソースおよびドレインと同様に逆になる。

【 0 0 3 1 】

選択ゲートに消去電圧を印加することによってセルを消去できるので、左と右のフローティング・ゲートの双方とも C_{31L} と C_{31R} のそれぞれの結合を介して、またはチャネル消去のような他の方法を介して消去される。消去およびその他の動作に関するこれ以上の詳細については、本明細書で参考文献として参照されている米国特許第 5 , 7 1 2 , 1 8 0 号に記載されている。

【 0 0 3 2 】

図 8 b は、これらのセルの 2 つの行と 4 つの列からなるアレイの一部を示している。セルはこれらの選択ゲートを介して消去されるので、SG1 7 2 0 のような共通の選択ゲート線上の全てのセルの双方のフローティング・ゲートは全て共に消去され、同じ FLAS H セクタに所属する。これは、図 1 のような単一フローティング・ゲートのアレイに通常見られるのと同様の構成である。この場合、7 7 1 および 7 7 3 のような制御ゲート線がビット線と平行の列内に入り、またこれらの全てのソースとドレインが同じレベルに設定されるので、プログラミング電圧が制御ゲート線全体に印加されるため、列内の右または左の全てのフローティング・ゲートを共通にプログラムすることができる。列内のどのセルがプログラムされるかは、選択ゲート線にバイアスがかけられる態様によって決まる。このように、適宜のワード線を選択することによって、図 5 の α 領域および β 領域のような異なる領域のそれぞれで、列内の右または左の全てのフローティング・ゲートを共通にプログラムできる。このことは通常のプログラミングにもソフト・プログラミングにも共通して当てはまり、相違はソフト・プログラミングに用いられる電圧の方が低いことである。プログラミング情報用に 5 ~ 1 0 ボルトを用いる代わりに、8 ボルト未満、一般には 0 ~ 2 ボルトの電圧が用いられる。

【 0 0 3 3 】

図 9 a および 9 b は、二重フローティング・ゲート・メモリ・セルの仮想接地アレイ 9 0 0 の二重セル・ソフト・プログラミングを示している。図 9 a では、フローティング・ゲート・トランジスタ α_0 および α_3 が選択線 0 9 2 0 に沿った第 1 群のセル内でソフト・プログラミングされている。同様に、これはフローティング・ゲート β_0 および β_3 のような他のセル群内で同時に実行することができる。ビット線 9 1 2 はソースと見なされ、電流リミタ 9 3 1 の下のアースに設定される。その場合、ドレインはビット線 9 1 1 および 9 1 3 であり、これらは 9 1 4 のような隣接するドレインと共に高レベルに設定される。各々のセルのソースサイドの制御ゲート線 9 4 2 および 9 4 3 は、この場合は 1 2 ボルトである過励振電流に設定される。それによってフローティング・ゲート・トランジスタ α_0 および α_3 は図 5 のセル α_2 および α_3 と類似した状態になる。選択線 0 9 2 0

を選択することによって、電流 9 0 1 および 9 0 3 はセル内に導通し、トランジスタ α_0 および α_3 は、プログラム制御線 9 4 1 および 9 4 4 に沿って選択されたソフト・プログラミング電圧を印加することによって同時にプログラムされる。セル α_0 および α_3 の制御ゲートが接続される図 5 とは異なり、より一般的な実施形態では線 9 4 1 および 9 4 4 内のレベルを別個に設定することができるが、この場合は同じ値をとっている。

【 0 0 3 4 】

以前の実施形態と同様に、ほとんどの場合、対内の第 1 のフローティング・ゲート・トランジスタが確認されるまでソフト・プログラミングを継続することが好適である。これらのトランジスタは依然として隣接するセル内にあるが、フローティング・ゲート・トランジスタ自体は介在する選択トランジスタ、およびソースと直に隣接するセル内の他のフローティング・ゲート・トランジスタに起因するものではない。これらのトランジスタは依然として十分に近接しているので、プロセスの変動は小さく、その結果、類似の電気特性およびプログラム速度になる。選択線に沿った消去電圧の変動もセル程度の間隔にわたって小さいので、ソフト・プログラミングされる対内の双方のフローティング・ゲート・トランジスタのしきい値も一般に、消去プロセスの終了時、および、ソフト・プログラミングの開始前は極めて小さい。

【 0 0 3 5 】

1 つの対がソフト・プログラミングを終了すると、群内の他の対をソフト・プログラミングすることができる。以前はソースであったビット線に隣接するビット線がソース自体になると、これらの 2 本のビット線によって境界付けされたセル内の他のフローティング・ゲート・トランジスタをソフト・プログラミングすることができる。このことは図 9 a および 9 b を参照することによってより明確にすることができる。図 9 a では、ビット線 9 1 2 はソースの役割を果たす。ビット線 9 1 2 と 9 1 3 の間のセル内では、右のフローティング・ゲート・トランジスタ α_3 は、これがフローティング・ゲート・トランジスタ α_0 とソフト・プログラミングの対を形成するのでプログラムされる。このセル内の左のフローティング・ゲート・トランジスタ α_2 は、このプロセス中は過励振状態にあり、プログラムされない。しかし、 α_2 は α_5 と対を形成し、図 9 b に示すように、ビット線 9 1 3 がソースと見なされ、ビット線 9 1 2 および 9 1 4 がドレインと見なされるとソフト・プログラミングされる。群内の各々のビット線をソースと見なすことによって、群内の全てのセル内の双方のフローティング・ゲートを対の一部としてソフト・プログラミングすることができる。アレイの両端部の群の終端にあるセルは別個に処理される。

【 0 0 3 6 】

このプロセスが α_0 から α_2 に飛び越すと、この α_1 はソフト・プログラミングされないが、それはこのフローティング・ゲートが他の α と対を形成しないからである。同様に、 α 群内の最後のセルの左フローティング・ゲート、すなわち $\alpha_{(n-1)}$ も同様に対をなさない。対をなさないこれらのフローティング・ゲートもソフト・プログラミングしたい場合は、個別にソフト・プログラミングすることができる。あるいは、これらのフローティング・ゲートがそれらの群以外の別のフローティング・ゲートと対をなすこともできる。例えば、 $\alpha_{(n-1)}$ が β_1 と対をなし、 $\beta_{(n-1)}$ が γ_1 と対をなすことができ、以下同様である。それによっても依然として、 α_1 、並びに最後の群内の最後のセルの左フローティング・ゲートは対をなさないままの状態に留まる。しかし、メモリ・セル・アレイは一般にリソグラフ作用を補償するために導入されるダミー行とともに構成される。例えば、図 9 a では、図示したデータ記憶列の左の外側にこのような列がいくつか存在する。これらのダミー列はデータを記憶するために利用されないが、それでも α_1 はソフト・プログラミングのために、隣接するダミー列内のフローティング・ゲートと対をなすことができる。

【 0 0 3 7 】

1 対以上のセルを同時にプログラムしてもよい。例えば、制御ゲート線が列まで延びると (run up)、列内の全てのフローティング・ゲート・トランジスタを共通にプログラムすることができる。あるいは、同じ行に沿ってはいるが異なる群内の対を同時にソフト・プログラムすることができる。

【 0 0 3 8 】

この第2のアプローチでは、図9 aの $\alpha_0 \sim \alpha_3$ の対がソフト・プログラムされている間に、 $\beta_1 \sim \beta_3$ の対、 $\gamma_1 \sim \gamma_3$ の対、および図示しないその他の対もソフト・プログラムすることができる。いくつかの群がソフト・プログラムされると、これらのフローティング・ゲートを、これらの群内の全ての対が確認されるまで、またはこれらの群内の最初の対が確認されるまでソフト・プログラムすることができる。後者の場合は、最初の対が所望の状態に達していることの確認によって、列内の他のゲートのプログラミングが確定される、対の確認の態様と同様である。異なる群からのセルは隣接するセルよりも異なっているものの、それでもこれらのセルは類似の電気特性を有しており、したがって、同様の速度がプログラムされる。その代わりに異なる群内の全ての対が別個に確認されると、より緊密な配分が実現されるが、時間がかかる。

10

【 0 0 3 9 】

これらの2つのアプローチが図10 aおよび10 bの流れ図に示されている。図10 aのプロセスは、第1対のセルがソフト・プログラミングを完了すると停止される。また、図6に示すように、いずれかのフローティング・ゲートが標的に達すると、対の処理が終了する。図10 bは、セル対の局所的なプログラム抑止を利用しており、全ての対の処理が完了するまでこれを継続する。これらの流れは双方とも数行のセル行が消去された後に開始される。そのあと、これらの行は、ソフト・プログラミングのために選択される。当初の確認によって過剰消去が確認されたセルを有する行だけを含めることができ、また、消去された全ての行を含めることができ、その結果、このような行は各々、少なくとも初期ソフト・プログラミング・パルスを受信する。

20

【 0 0 4 0 】

図10 aと10 bの双方ともステップ1001で選択されたワード線に沿った各セル群内の制御ゲート線の最初の列で動作を開始する。図9 aでは、これは α 群内の制御線941、および他の群内の対応する線のような各群の最も左側の行であり、 $Y = 0$ と表記されている。この場合はこの列が α 群内の制御線944のような制御ゲート線を3つ越えた対を形成するので、対は常に偶数列と奇数列内のフローティング・ゲート・トランジスタから構成される。したがって、全ての偶数列が選択されると、奇数列もこの対形成を介してソフト・プログラムされる。

【 0 0 4 1 】

ステップ1003では、アレイのYデコーダ内の回路にバイアスを加えることによって、プログラミング電圧が対をなす列に設定される。ステップ1005では、ステップ1007で制御ゲート線が確認電圧に設定された後、選択された列の対内の全てのトランジスタがソフト・プログラミング・パルスを受信する。確認はステップ1009で行われる。

30

【 0 0 4 2 】

確認プロセスは、図10 aと10 bとは異なっている。図10 aでは、判断基準はいずれかの対が確認され、ひいては処理済みであるか否かである。否である場合は、これは $none_done = 1$ に相当し、プロセスはステップ1003に戻る。いずれかの対が確認されると、これは $none_done = 0$ に相当し、プロセスはステップ1011に移動する。前述のように、対内のいずれかのフローティング・ゲートがもはや過剰消去されない場合に、その対が確認される。

40

【 0 0 4 3 】

図10 bでは、判断基準として $none_done$ ではなく all_done が用いられる。すなわち、この場合は、ステップ1009でセル対の全てが処理済みであるか否かが判定される。全ての確認が完了していない場合は、 $all_done = 0$ に相当し、プロセスは、制御ゲートおよび/またはビット線を低レベルにすることによって、フローティング・ゲートのいずれかまたは双方が確認されるセルの対がシャットアウトされるステップ1010を通り越してステップ1003に戻る。そうではなく、 $all_done = 1$ に対応して、全ての対の処理が完了している場合、流れはステップ1011に移動する。図10 bのプロセスによって V_{th} の配分はより緊密になる

50

が、より長い時間がかかる。セルがアレイ全体にわたってより類似した特性を有するまでにデバイスの製造工程が成熟している場合は、図 10 b のプロセスの方が好適である。例えば、開発および初期の製造段階では、図 10 a のプロセスが採用され、その後、図 10 b のプロセスに切り換えてもよいであろう。

【0044】

双方の方法とも、ステップ 1011 は群内の制御アドレスを 2 だけ増分する。これは図 9 a の状況から図 9 b の状況へと移行することに対応する。選択された制御線の対は (941、944) から (943、946) に変更され、ソースはビット線 912 から 913 に移行し、β、γ、および他の群についても同様である。ステップ 1013 は、列アドレスが依然として群内の列の数内にあるか否かがチェックされる。そうである場合は、プロセスはステップ 1003 に戻る。そうでない場合は、全ての列のソフト・プログラミングが完了しており、双方のプロセスが完了している。

10

【0045】

本発明の様々な態様を特定の実施形態に基づいて説明してきたが、本発明は添付の特許請求の範囲の最大範囲で保護を受ける権利が与えられるものであることが理解できよう。

【図面の簡単な説明】

【図 1 a】 不揮発性メモリの仮想接地アレイ・アーキテクチャを示している。

【図 1 b】 図 1 b のセルの各パーツを示している。

【図 2】 仮想接地アレイ内の隣接作用を示している。

【図 3 a】 デバイス内のソースサイド注入の構造とバイアスの断面図である。

20

【図 3 b】 図 3 a のデバイスの記号である。

【図 4】 仮想接地アレイ内のソース制限電流を用いたプログラム電流を示している。

【図 5】 仮想接地アレイのための二重セル・ソフト・プログラムのバイアスを示している。

【図 6】 図 5 のプロセスの一実施形態の流れ図である。

【図 7 a】 多重フローティング・ゲートを有するメモリ・セル構造の一実施形態の平面図である。

【図 7 b】 多重フローティング・ゲートを有するメモリ・セル構造の一実施形態の断面図である。

【図 8 a】 図 7 a および 7 b と同様のメモリ・セルの概略図である。

30

【図 8 b】 図 7 a および 7 b と同様のメモリ・セル・アレイの一実施形態を示した回路図である。

【図 9 a】 多重フローティング・ゲート・セルのアレイ内の二重セル・プログラミングを示している。

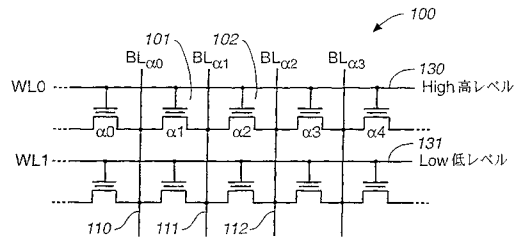
【図 9 b】 多重フローティング・ゲート・セルのアレイ内の二重セル・プログラミングを示している。

【図 10 a】 図 9 a および 9 b のソフト・プログラミングに使用できるアルゴリズムを示している。

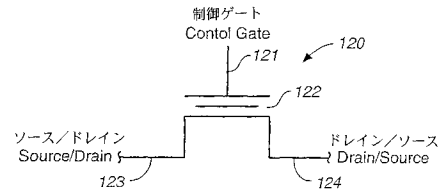
【図 10 b】 図 9 a および 9 b のソフト・プログラミングに使用できるアルゴリズムを示している。

40

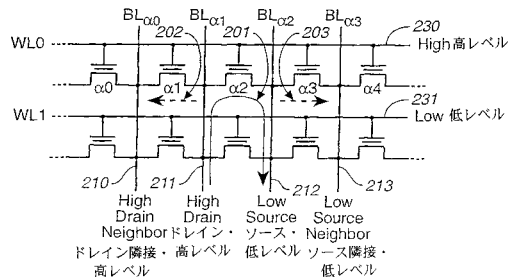
【図 1 a】



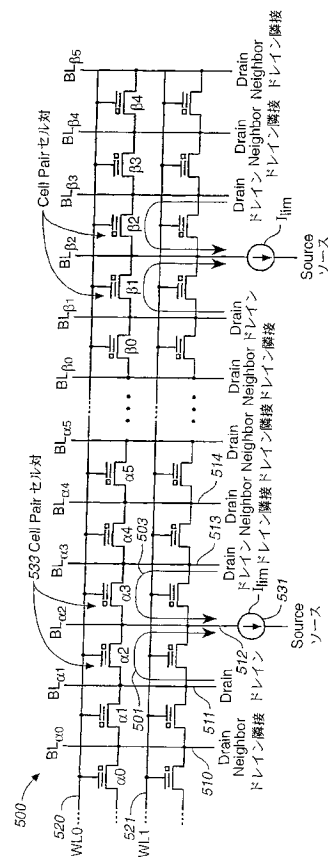
【図 1 b】



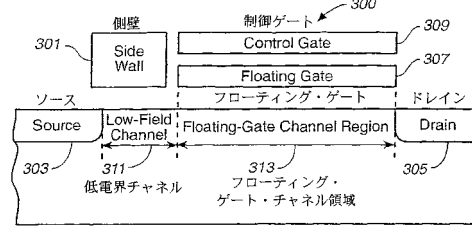
【図 2】



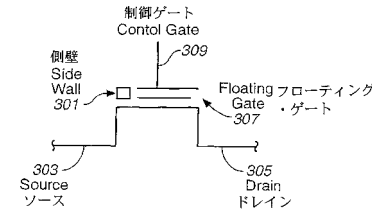
【図 5】



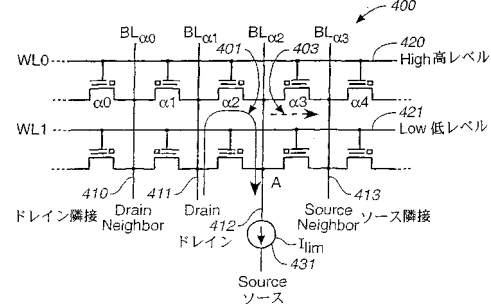
【図 3 a】



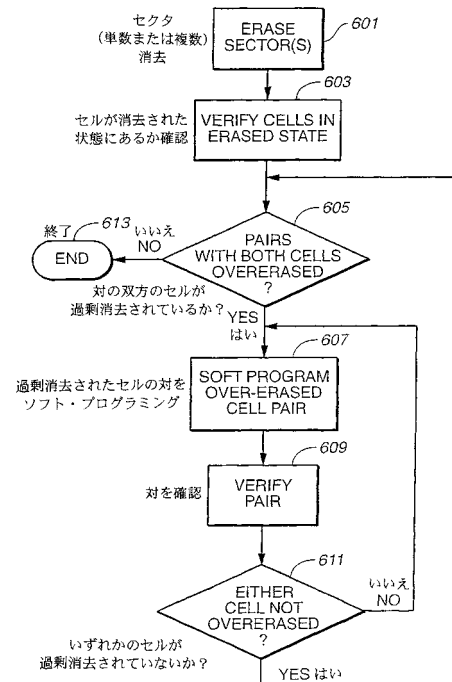
【図 3 b】



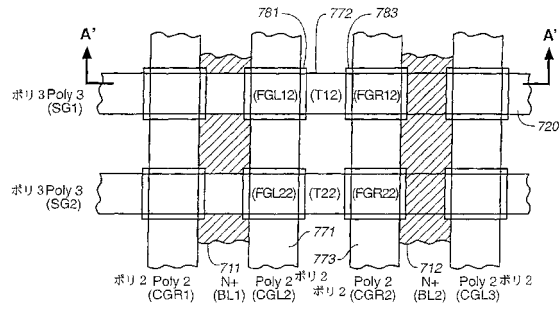
【図 4】



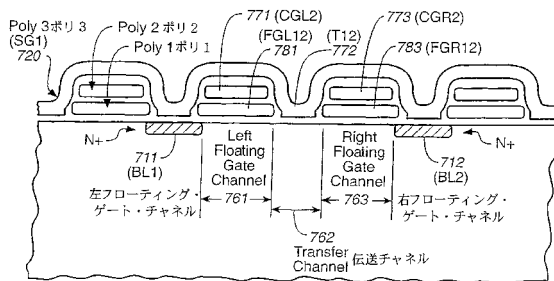
【図 6】



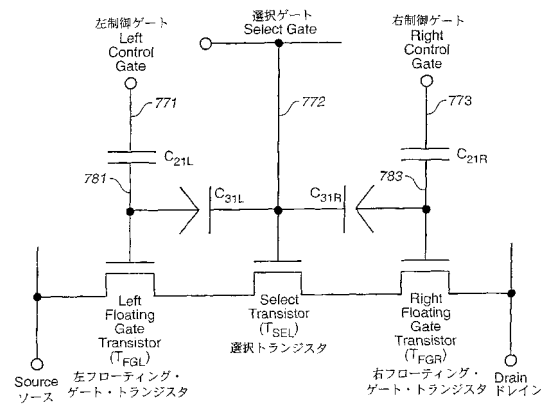
【図 7 a】



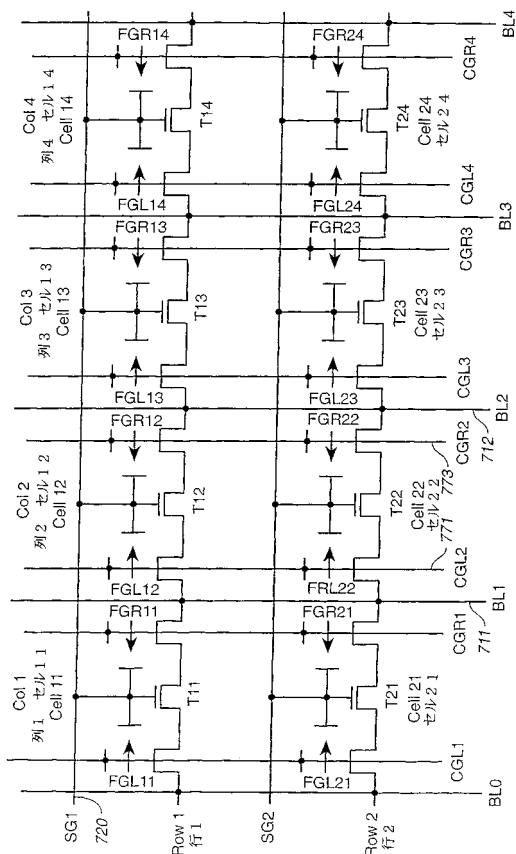
【図 7 b】



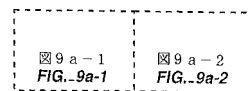
【図 8 a】



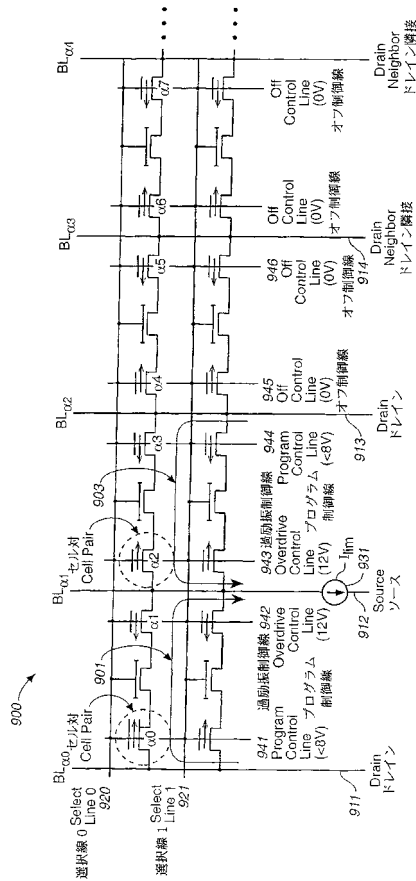
【図 8 b】



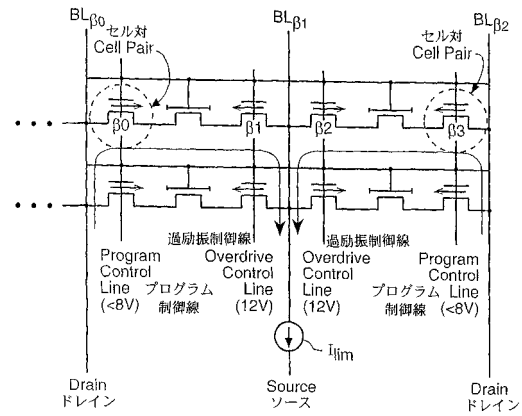
【図 9 a】



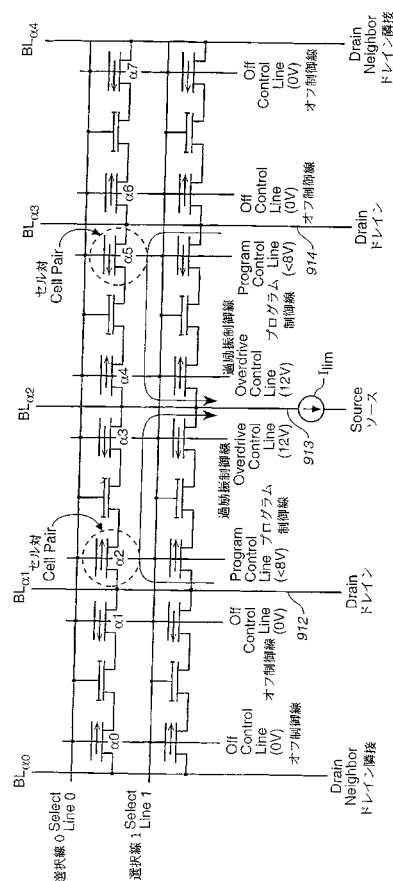
【図 9 a - 1】



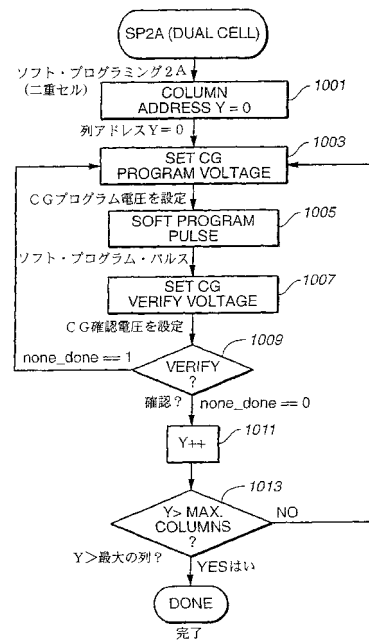
【図 9 a - 2】



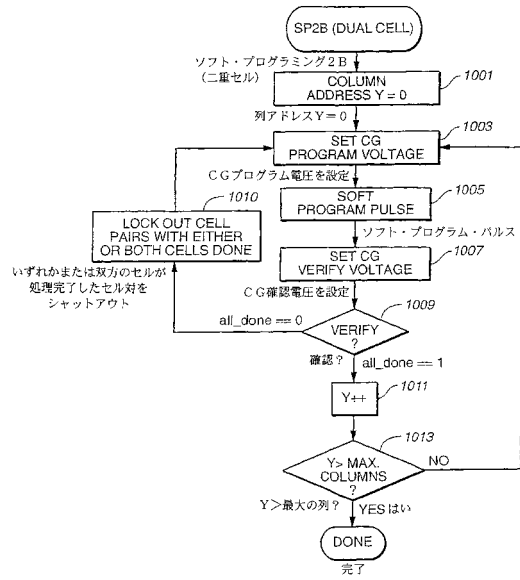
【図 9 b】



【図 10 a】



【図 10 b】



フロントページの続き

- (56)参考文献 特開平 1 1 - 1 7 6 1 7 5 (J P , A)
特表 2 0 0 0 - 5 0 1 5 4 3 (J P , A)
特開平 0 7 - 0 5 7 4 8 7 (J P , A)
特表 2 0 0 3 - 0 3 6 6 8 3 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G11C 16/00-16/34