



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월03일
 (11) 등록번호 10-0791697
 (24) 등록일자 2007년12월27일

(51) Int. Cl.

H01L 21/28 (2006.01)

(21) 출원번호 10-2006-0082078

(22) 출원일자 2006년08월29일

심사청구일자 2006년08월29일

(56) 선행기술조사문헌

KR100477825 B1

KR1020020006361 A

KR1020030092520 A

전체 청구항 수 : 총 4 항

(73) 특허권자

동부일렉트로닉스 주식회사

서울 강남구 대치동 891-10

(72) 발명자

정영석

부산 연제구 연산9동 망미주공아파트 122-1402

(74) 대리인

김원준, 장성구

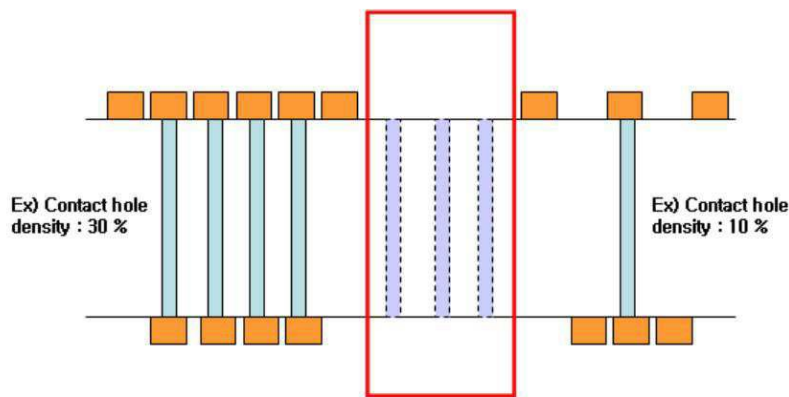
심사관 : 양희용

(54) 반도체 소자의 금속 배선 구조 및 이의 형성 방법

(57) 요약

본 발명은 더미 콘택홀 및 더미 콘택 플러그를 포함하는 금속 배선을 형성한다는 것으로, 이를 위하여 본 발명은, 금속 배선을 형성하는 과정에서 콘택홀에 금속 물질을 매립하고, 이를 화학적 기계적 연마할 경우 패턴 밀도에 따라 단차가 발생하는 종래 방법과는 달리, 하부 금속 배선이 형성된 반도체 기판 상에 층간 절연막을 형성하고, 층간 절연막 상부에 특정 포토레지스트 패턴에 따라 콘택 플러그를 형성할 영역에서 하부 금속 배선을 노출시키는 콘택홀과 더미 영역에서 반도체 기판을 노출시키는 더미 콘택홀을 형성하며, 콘택홀 및 더미 콘택홀을 매립한 후 이를 화학적 기계적 연마하여 콘택 플러그 및 더미 콘택 플러그를 형성하고, 형성된 콘택 플러그에 연결되도록 금속 물질을 패터닝하여 상부 금속 배선을 형성함으로써, 실제 콘택홀 및 콘택 플러그가 형성될 영역을 제외한 더미 영역에 더미 콘택홀 및 더미 콘택 플러그를 형성하여 화학적 기계적 연마 시 발생하는 단차에 따른 디싱 현상 및 이роз션 현상을 방지할 수 있는 것이다.

대표도 - 도7



특허청구의 범위

청구항 1

하부 금속 배선과 상부 금속 배선을 포함하는 반도체 소자의 금속 배선 구조로서,
반도체 기판 상에 형성된 상기 하부 금속 배선과,
상기 하부 금속 배선 상에 형성된 콘택 플러그와,
상기 콘택 플러그가 형성된 영역을 제외한 더미 영역에 형성된 더미 콘택 플러그와,
상기 콘택 플러그를 통해 상기 하부 금속 배선과 연결된 상기 상부 금속 배선
을 포함하는 반도체 소자의 금속 배선 구조.

청구항 2

제 1 항에 있어서,
상기 더미 영역은, 디자인 룰 및 패턴 밀도에 따른 상기 콘택 플러그가 형성된 영역을 제외한 영역인 것을 특
징으로 하는 반도체 소자의 금속 배선 형성 방법.

청구항 3

하부 금속 배선과 상부 금속 배선을 포함하는 반도체 소자의 금속 배선을 형성하는 방법으로서,
상기 하부 금속 배선이 형성된 반도체 기판 상에 층간 절연막을 형성하는 단계와,
상기 층간 절연막 상부에 특정 포토레지스트 패턴에 따라 콘택 플러그를 형성할 영역에서 상기 하부 금속 배선
을 노출시키는 콘택홀과 더미 영역에서 상기 반도체 기판을 노출시키는 더미 콘택홀을 형성하는 단계와,
상기 콘택홀 및 더미 콘택홀을 매립한 후 이를 화학적 기계적 연마하여 콘택 플러그 및 더미 콘택 플러그를 형
성하는 단계와,
상기 형성된 콘택 플러그에 연결되도록 금속 물질을 패터닝하여 상기 상부 금속 배선을 형성하는 단계
를 포함하는 반도체 소자의 금속 배선 형성 방법.

청구항 4

제 3 항에 있어서,
상기 더미 영역은, 디자인 룰 및 패턴 밀도에 따른 상기 콘택 플러그가 형성될 영역을 제외한 영역인 것을 특
징으로 하는 반도체 소자의 금속 배선 형성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 반도체 소자의 금속 배선 구조 및 이를 형성하는 방법에 관한 것으로, 더욱 상세하게는 반도체 소자
의 금속 배선 형성 과정에서 콘택홀 형성후 매립된 금속 물질을 화학적 기계적 연마하여 금속 플러그를 형성하
는데 적합한 반도체 소자의 금속 배선 구조 및 이의 형성 방법에 관한 것이다.
- <9> 잘 알려진 바와 같이, 반도체 소자의 평탄화를 위한 화학적기계적 연마(CMP : Chemical Mechanical Polishin
g)는 소자의 사이즈 감소 및 집적도의 증가에 따라 필수적으로 사용하는 반도체 공정의 하나이다. 이러한 화학
적 기계적 연마는 웨이퍼 전면의 광역 평탄화를 수행하여 후속 포토리소그래피(Photolithography) 공정의 마진
을 확보한다.

- <10> 특히, 화학적 기계적 연마는 반도체 제조 공정에서 다양하게 사용되는데, 일 예로서, 콘택 플러그를 형성하기 위해 콘택홀에 금속 물질(예를 들면, 텅스텐(W) 등)을 매립한 후에, 그 상부면을 평탄화하는 공정에서 금속 물질과 산화 절연막의 선택비가 큰 슬러리를 이용하여 산화 절연막 표면에 금속 잔류물이 남지 않도록 도 1에 도시한 바와 같이 화학적 기계적 연마 공정이 수행되고, 이에 따라 다른 종류의 물질을 평탄화하는 과정에서 도 2에 도시된 바와 같이 디싱(dishing) 현상 및 이로전(erosion) 현상이 발생하게 된다.
- <11> 이러한 디싱 현상 및 이로전 현상은 웨이퍼의 균일도(uniformity)를 저하시키고, 금속 라인들의 변화를 초래하게 되며, 도 3에 도시한 바와 같이 반도체 소자의 패턴 밀도에 따라 그 변화량이 다르게 나타난다.
- <12> 이러한 문제를 해결하기 위해 종래에는 코어 영역과 주변 회로 영역에서의 경우 코어 영역과 주변 회로 영역의 패턴 밀도에 따라 더미 패턴을 형성하여 화학적 기계적 연마 시 패턴 밀도에 따른 디싱 현상 및 이로전 현상을 방지하고는 있지만, 콘택홀을 형성한 후 이를 화학적 기계적 연마하여 콘택 플러그를 형성하는 과정에서는 두 개의 물질층을 연결하는 구조이므로 이러한 더미 패턴을 형성할 경우 전기적으로 결함이 발생하게 된다.
- <13> 이에 따라, 종래의 반도체 소자의 형성 과정에서 콘택홀에 금속 물질을 매립한 후에 화학적 기계적 연마하여 콘택 플러그를 형성할 경우 도 4에 도시한 바와 같이 화학적 기계적 연마 이후에 디싱 현상 및 이로전 현상이 발생하게 되고, 이에 따라 구리 잔류물 발생 등의 결함이 발생하게 됨으로써, 반도체 소자의 수율을 저하시키는 요인으로 작용하고 있는 실정이다. 일 예로서, 도 5는 종래에 화학적 기계적 연마 이후에 디싱 현상 및 이로전 현상에 따라 구리 잔류물이 발생하는 것을 나타낸 광학 도면이다.

발명이 이루고자 하는 기술적 과제

- <14> 따라서, 본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 반도체 소자의 형성 과정에서 디자인 룰 및 패턴 밀도에 따른 더미 콘택홀에 따른 더미 콘택 플러그를 형성하여 화학적 기계적 연마 이후의 디싱 현상 및 이로전 현상을 방지할 수 있는 반도체 소자의 금속 배선 구조 및 이의 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <15> 상기 목적을 달성하기 위한 일 관점에서 본 발명은, 하부 금속 배선과 상부 금속 배선을 포함하는 반도체 소자의 금속 배선 구조로서, 반도체 기판 상에 형성된 상기 하부 금속 배선과, 상기 하부 금속 배선 상에 형성된 콘택 플러그와, 상기 콘택 플러그가 형성된 영역을 제외한 더미 영역에 형성된 더미 콘택 플러그와, 상기 콘택 플러그를 통해 상기 하부 금속 배선과 연결된 상기 상부 금속 배선을 포함하는 반도체 소자의 금속 배선 구조를 제공한다.
- <16> 상기 목적을 달성하기 위한 다른 관점에서 본 발명은, 하부 금속 배선과 상부 금속 배선을 포함하는 반도체 소자의 금속 배선을 형성하는 방법으로서, 상기 하부 금속 배선이 형성된 반도체 기판 상에 층간 절연막을 형성하는 단계와, 상기 층간 절연막 상부에 특정 포토레지스트 패턴에 따라 콘택 플러그를 형성할 영역에서 상기 하부 금속 배선을 노출시키는 콘택홀과 더미 영역에서 상기 반도체 기판을 노출시키는 더미 콘택홀을 형성하는 단계와, 상기 콘택홀 및 더미 콘택홀을 매립한 후 이를 화학적 기계적 연마하여 콘택 플러그 및 더미 콘택 플러그를 형성하는 단계와, 상기 형성된 콘택 플러그에 연결되도록 금속 물질을 패터닝하여 상기 상부 금속 배선을 형성하는 단계를 포함하는 반도체 소자의 금속 배선 형성 방법을 제공한다.
- <17> 본 발명의 상기 및 기타 목적과 여러 가지 장점은 이 기술분야에 숙련된 사람들에 의해 첨부된 도면을 참조하여 하기에 기술되는 본 발명의 바람직한 실시 예로부터 더욱 명확하게 될 것이다.
- <18> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세하게 설명한다.
- <19> 본 발명의 핵심 기술요지는, 하부 금속 배선이 형성된 반도체 기판 상에 층간 절연막을 형성하고, 층간 절연막 상부에 특정 포토레지스트 패턴에 따라 하부 금속 배선을 노출시키는 콘택홀과 더미 영역에서 반도체 기판을 노출시키는 더미 콘택홀을 형성하며, 콘택홀 및 더미 콘택홀을 매립한 후 이를 화학적 기계적 연마하여 콘택 플러그 및 더미 콘택 플러그를 형성한 후에, 형성된 콘택 플러그에 연결되도록 금속 물질을 패터닝하여 상부 금속 배선을 형성한다는 것으로, 이러한 기술적 수단을 통해 본 발명에서 목적으로 하는 바를 쉽게 달성할 수 있다.
- <20> 도 6은 본 발명에 따라 디자인 룰 및 패턴 밀도에 따라 더미 콘택홀을 형성하여 금속 배선을 형성하는 과정을 나타낸 공정 순서도이다.

- <21> 도 6a를 참조하면, 반도체 기판(600) 위에 PVD(Physical Vapor Deposition) 법으로서 이온 빔, 전자 빔 또는 RF 스퍼터링 등의 방법을 통해 금속 물질, 예를 들어 알루미늄(Al) 등을 증착한 후 하부 금속 배선을 형성하기 위한 소정의 포토레지스트 패턴(도시 생략됨)을 형성하고, 이러한 포토레지스트 패턴에 따라 금속 물질층을 식각하여 하부 금속 배선(602)을 형성한다.
- <22> 그리고, 도 6b에 도시한 바와 같이 하부 금속 배선(602)이 형성된 반도체 기판(600) 상부 전면에 예를 들면, HDP 산화막 등을 증착하여 층간 절연막(604)을 형성한다.
- <23> 다음에, 층간 절연막(604)이 형성된 반도체 기판(600) 상부 전면에 도 6c에 도시한 바와 같이 콘택홀 영역을 정의하는 포토 레지스트 패턴(606)을 형성한다. 여기에서, 콘택홀 영역을 정의하는 포토 레지스트 패턴(606)은 실제 콘택 플러그 형성을 위한 콘택홀과 디자인 룰 및 패턴 밀도에 따른 더미 콘택홀을 동시에 형성하도록 패턴닝한다.
- <24> 또한, 실제 콘택 플러그 형성을 위한 콘택홀 영역에서는 하부 금속 배선(602)이 노출될 때까지, 디자인 룰 및 패턴 밀도에 따른 더미 콘택홀 영역(더미 영역)에서는 반도체 기판(600)이 노출될 때까지 콘택홀을 형성하기 위한 포토레지스트 패턴(606)에 따라 이를 건식 또는 습식 식각하여 하부 금속 배선(602) 또는 반도체 기판(600)이 드러나는 콘택홀을 형성한다. 여기에서, 디자인 룰 및 패턴 밀도에 따른 콘택홀은 더미 영역인 a 및 b 영역에 형성되어 있음을 알 수 있다. 이 후, 도 6d에 도시한 바와 같이 콘택홀 형성을 위한 포토 레지스트 패턴(606)을 제거한다.
- <25> 다음에, 도 6e에 도시한 바와 같이 콘택홀을 깎필하기 위한 금속 물질(608), 예를 들면, 구리(Cu) 등을 증착한다. 여기에서, 금속 물질(608)을 깎필하기 전에 콘택홀 내에 장벽 금속막(barrier metal layer)을 추가 형성할 수 있고, 장벽 금속막으로는 예를 들면 Ti, TiN 등으로 형성한다.
- <26> 그리고, 콘택홀 내에 금속 물질(608)이 매립된 반도체 기판(600) 상부 전면을 화학적 기계적 연마(CMP)를 통해 평탄화하여 도 6f에 도시한 바와 같이 콘택 플러그(608a)를 형성한다. 이 때, 디자인 룰 및 패턴 밀도에 따라 형성된 더미 콘택홀 및 더미 콘택 플러그에 따라 화학적 기계적 연마 이후에도 층간 단차 발생을 방지하고, 디싱 현상 및 이로진 현상을 효과적으로 방지 및 억제할 수 있다. 일 예로서, 도 7은 본 발명에 따라 더미 콘택홀 및 더미 플러그를 삽입하는 것을 예시한 도면으로서, 디자인 룰 및 패턴 밀도에 따라 콘택홀 밀도에 대응하여 세 개의 더미 콘택홀을 삽입할 수 있음을 알 수 있다.
- <27> 마지막으로, 콘택 플러그(608a)가 형성된 반도체 기판(600) 상부에 예를 들면, 알루미늄(Al), 구리(Cu) 등의 금속 물질을 증착한 후 실제 콘택 플러그에 연결되는 금속 배선 형성 영역을 정의하는 소정의 포토레지스트 패턴(도시 생략됨)에 따라 금속 물질을 식각하여 도 6g에 도시한 바와 같이 상부 금속 배선(610)을 형성한 후 포토레지스트 패턴을 제거한다.
- <28> 따라서, 반도체 소자의 금속 배선 형성 과정에서 실제 콘택 플러그를 형성하기 위한 콘택홀에 따른 콘택 플러그와 디자인 룰 및 패턴 밀도에 따라 형성된 더미 콘택홀에 따른 더미 콘택 플러그를 통해 화학적 기계적 연마 이후에도 단차 발생을 방지할 수 있다.
- <29> 이상의 설명에서는 본 발명의 바람직한 실시 예들을 제시하여 설명하였으나 본 발명이 반드시 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함을 쉽게 알 수 있을 것이다.

발명의 효과

- <30> 이상 설명한 바와 같이 본 발명은, 금속 배선을 형성하는 과정에서 콘택홀에 금속 물질을 매립하고, 이를 화학적 기계적 연마할 경우 패턴 밀도에 따라 단차가 발생하는 종래 방법과는 달리, 하부 금속 배선이 형성된 반도체 기판 상에 층간 절연막을 형성하고, 층간 절연막 상부에 특정 포토레지스트 패턴에 따라 콘택 플러그를 형성할 영역에서 하부 금속 배선을 노출시키는 콘택홀과 더미 영역에서 반도체 기판을 노출시키는 더미 콘택홀을 형성하며, 콘택홀 및 더미 콘택홀을 매립한 후 이를 화학적 기계적 연마하여 콘택 플러그 및 더미 콘택 플러그를 형성하고, 형성된 콘택 플러그에 연결되도록 금속 물질을 패터닝하여 상부 금속 배선을 형성함으로써, 실제 콘택홀 및 콘택 플러그가 형성될 영역을 제외한 더미 영역에 더미 콘택홀 및 더미 콘택 플러그를 형성하여 화학적 기계적 연마 시 발생하는 단차에 따른 디싱 현상 및 이로진 현상을 방지할 수 있다.
- <31> 따라서, 금속 배선 형성 과정에서 더미 콘택홀 및 더미 콘택 플러그를 삽입한 후 화학적 기계적 연마하여 단차에 따른 디싱 현상 및 이로진 현상을 방지함으로써, 단차가 낮은 부분에서 잔류물이 발생하는 것을 방지하여

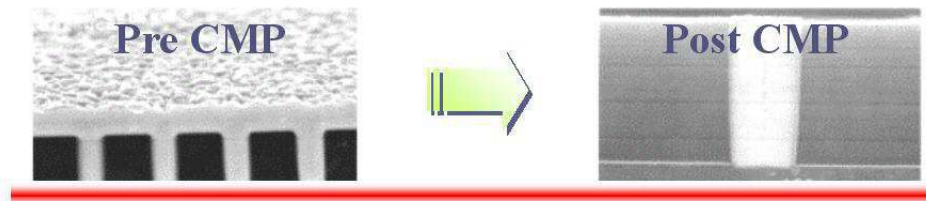
반도체 소자 수율을 향상시킬 수 있다.

도면의 간단한 설명

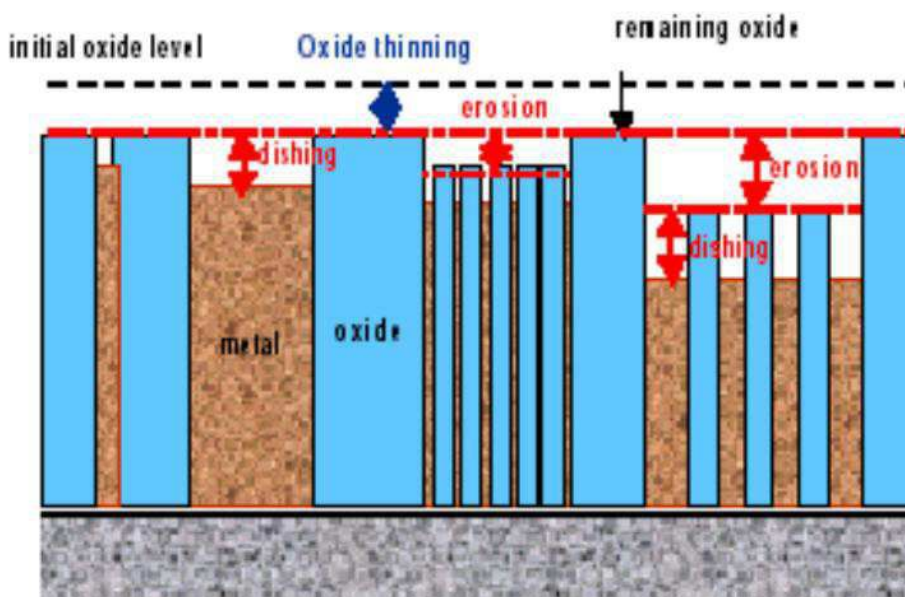
- <1> 도 1은 종래에 콘택홀에 텅스텐 매립 후 화학적 기계적 연마한 것을 예시한 도면,
- <2> 도 2는 종래에 화학적 기계적 연마 시에 발생하는 디싱 현상 및 이로전 현상을 나타낸 도면,
- <3> 도 3은 종래에 패턴 밀도에 따라 화학적 기계적 연마 후 단차가 발생하는 것을 나타낸 도면,
- <4> 도 4는 종래에 화학적 기계적 연마 시 발생하는 이로전 현상에 따라 구리 잔류물이 발생하는 것을 나타낸 도면,
- <5> 도 5는 종래에 화학적 기계적 연마 시 발생하는 이로전 현상에 따라 구리 잔류물이 발생하는 것을 나타낸 광학 도면,
- <6> 도 6a 내지 도 6g는 본 발명에 따라 더미 콘택홀 및 더미 콘택 플러그를 삽입하여 금속 배선을 형성하는 과정을 나타낸 공정순서도,
- <7> 도 7은 본 발명에 따라 더미 콘택홀 및 더미 플러그를 삽입하는 것을 예시한 도면.

도면

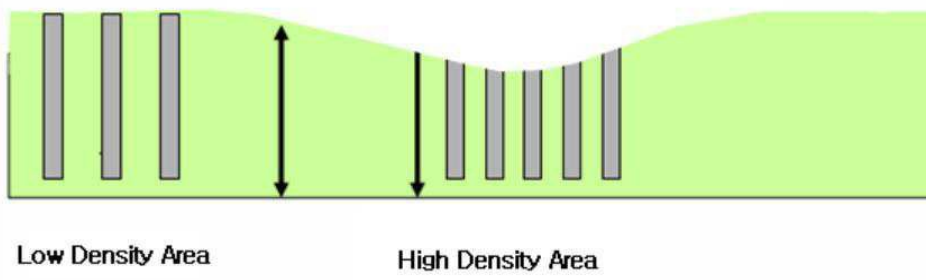
도면1



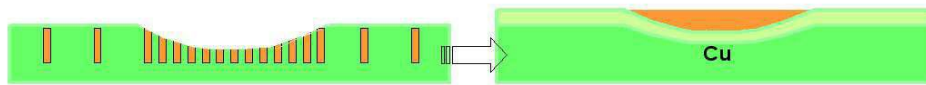
도면2



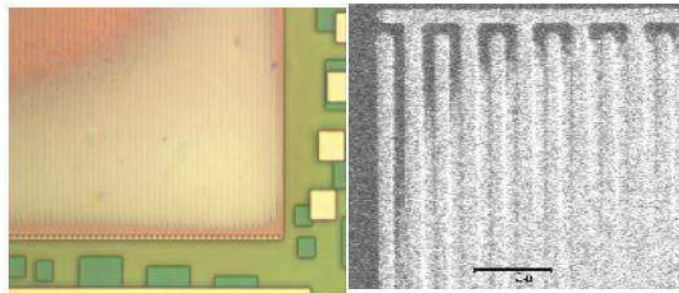
도면3



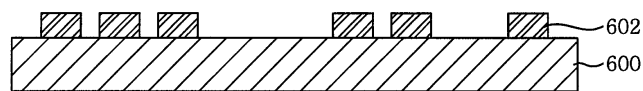
도면4



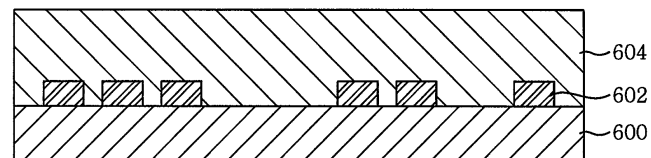
도면5



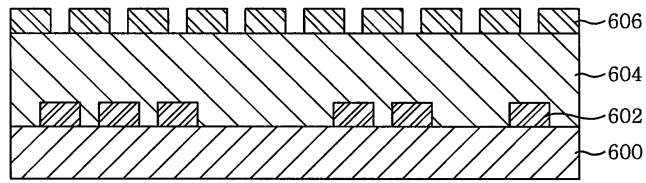
도면6a



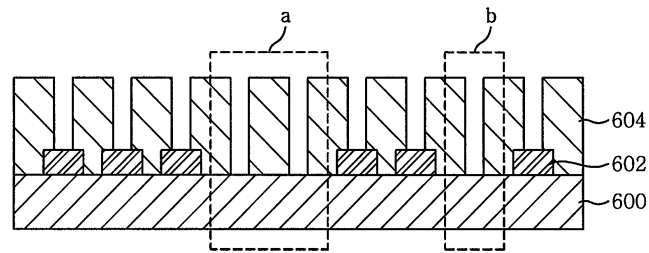
도면6b



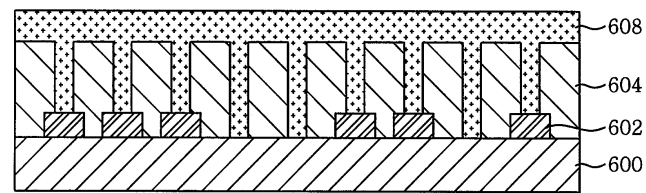
도면6c



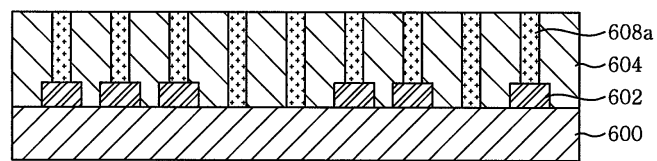
도면6d



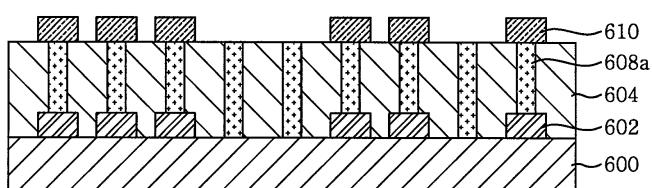
도면6e



도면6f



도면6g



도면7

