



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I500085 B

(45)公告日：中華民國 104 (2015) 年 09 月 11 日

(21)申請案號：102121548

(22)申請日：中華民國 102 (2013) 年 06 月 18 日

(51)Int. Cl. : H01L21/311 (2006.01)

H01L21/8247(2006.01)

(30)優先權：2012/12/25 日本

2012-280480

(71)申請人：日立全球先端科技股份有限公司 (日本) HITACHI HIGH-TECHNOLOGIES CORPORATION (JP)

日本

(72)發明人：小藤直行 KOFUJI, NAOYUKI (JP)；根岸伸幸 NEGISHI, NOBUYUKI (JP)；石村裕昭 ISHIMURA, HIROAKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200717720

TW 200802733

JP 2006-270015A

US 8048741B2

審查人員：姚真華

申請專利範圍項數：15 項 圖式數：32 共 50 頁

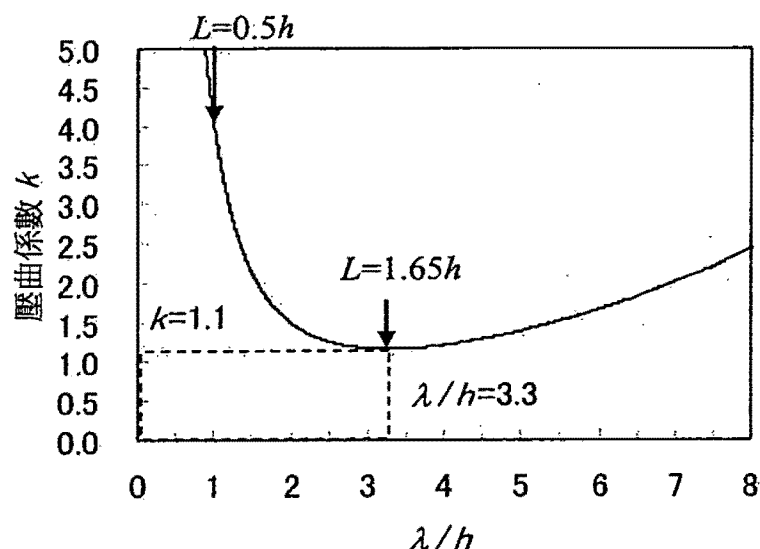
(54)名稱

半導體裝置之製造方法

(57)摘要

本發明係一種半導體裝置之製造方法，其課題為在分離 3 次元構造之 NAND 快閃記憶體的加工之層積膜之閘極工程中，防止圖案變形而塌陷情況。其解決手段係將構成上述快閃記憶體之記憶體單元的控制閘群之高度 h 與長度 L 的比，對於未引起有壓曲之範圍係作為不足 1.65 倍。理想係將閘極電極之寬度 w 與長度 L 的比作為不足 16.5 倍。

圖 6



發明摘要

※申請案號：102121548

※申請日：102 年 06 月 18 日

※IPC 分類：

H01L

21/311

(2006.01)

21/8247

(2006.01)

【發明名稱】(中文/英文)

半導體裝置之製造方法

【中文】

[課題] 本發明係一種半導體裝置之製造方法，其課題為在分離 3 次元構造之 NAND 快閃記憶體的加工之層積膜之閘極工程中，防止圖案變形而塌陷情況。

其解決手段係

將構成上述快閃記憶體之記憶體單元的控制閘群之高度 h 與長度 L 的比，對於未引起有壓曲之範圍係作為不足 1.65 倍。理想係將閘極電極之寬度 w 與長度 L 的比作為不足 16.5 倍。

【英文】

【代表圖】

【本案指定代表圖】：第(6)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置之製造方法

【技術領域】

[0001] 本發明係有關半導體裝置及半導體裝置之製造方法，對於最佳係有關在 3 維構造之 NAND-flash 記憶體的製造時不可缺少之高縱橫比之線形圖案之形成方法。

【先前技術】

[0002] 伴隨著半導體裝置之高速化・高密度化的要求，近年來，3 維構造之半導體裝置的開發繁盛進行著。例如，對於非專利文獻 1 係作為 3 維 NAND-flash 記憶體（以下略稱為 3D-NAND）其一例加以揭示。對於圖 1 係以 3 面圖顯示 3D-NAND 之記憶體單元的概略。各圖 1（A）係顯示從上側而視 3D-NAND 之記憶體單元的上面圖，圖 1（B）係顯示從紙面右側而視圖 1（A）之上面圖的側面圖（朝 y 方向所視之構造），圖 1（C）係顯示從紙面下側而視圖 1（A）之上面圖的正面圖（朝 x 方向所視之構造）。記憶體單元係實際上係伸長於紙面的橫方向（y 方向），圖 1（A）及（C）係均僅顯示記憶體單元兩側的端部。然而，在圖 1（A）中，圖 1（C）所示之位元線 33 及字元線 34 係省略圖示。

[0003] 上述 3D-NAND 之記憶體單元係如圖 1 (C) 所示，於半導體基板 (Si 基板) 1 上，更梯狀地層積有鎢膜 5 (導電膜) 與 SiO_2 膜 3 (絕緣膜) 之層積膜所成之控制閘層 30，具有形成有以多晶矽加以埋孔之圓柱狀的通孔 4 於其內部的構造。然而，在製造工程之最初階段中，控制閘層 30 係作為 Si_3N_4 膜與 SiO_2 膜 3 之層積膜加以形成，在製造工程的途中將 Si_3N_4 膜置換為鎢膜 5。含於控制閘層 30 之鎢膜 5 係為了作為閘極電極而使其動作，而成為梯狀地層積控制閘層 30 之階梯構造，各藉由連接孔 35 而與字元線 34 加以連接。(以下，將控制閘層 30 之層積膜，方便上稱作控制閘群 31) 控制閘群 31 係如圖 1 (B) 所示，經由溝 (空間) 32 而分成於 x 方向，從上側而視時，如圖 1 (A) 所示，具有線距狀之構造。

[0004] 對於通孔 4 上係形成有連接孔 6，又與形成於其上部之位元線 33 加以連接。另外，雖未圖示，但對於通孔 4 之內壁面 (形成於控制閘群 30 內部的孔壁面與加以埋孔之多晶矽柱之界面) 係作為電荷捕獲材料而形成有 ONO 膜，作為記憶體單元之電容器而動作。

[0005] 揭示於非專利文獻 1 之 3D-NAND 之記憶體單元的特徵點係如圖 1 (B) 所示，將控制閘群 31，經由溝 32 而分割於 x 方向者。此溝 32 係經由蝕刻而加以形成。對於圖 2 (A) (B) 係以與圖 1 (B) 同樣的側面圖而顯示溝 32 之形成工程前後的圖案。各圖 2 (A) 顯示蝕刻前之圖案，而圖 2 (B) 顯示蝕刻後之圖案。在圖 2 (A) 所

示之蝕刻前的狀態中，於 Si 基板 1 上，層積有前述之 Si_3N_4 膜 2 與 SiO_2 膜 3 之層積膜所成之控制閘層 30，於內部形成有以多晶矽所埋入之通孔 4。於此上面，經由光微影而形成有線距的光阻劑圖案，再經由將此作為光罩之乾蝕刻而形成圖 2 (B) 所示的溝 32。

[0006] 在圖 1 所示之記憶體單元中，控制閘群係層積有 8 層控制閘層 30，但對於為了高密度化，係必須增加層積數，或者縮小通孔 4 的口徑而窄化 X 方向與 Y 方向的通孔間隔。例如，對於非專利文獻 1 係作為今後的發展，提案有將控制閘層 30 的層積數作為 128 層者，或將通孔 4 的口徑縮小為 45nm，而可降低每位元的成本（位元成本）者。

〔非專利文獻〕

[0007]

〔非專利文獻 1〕 Proceeding of 2009 symposium on VLSI Technology, P192-193

【發明內容】

〔發明欲解決之課題〕

[0008] 在非專利文獻 1 所揭示之 3D-NAND 中，為了記憶體單元高密度化，而增加控制閘層 30 之層積數時，控制閘群 31 的高度則變高。如將控制閘層 30 的膜厚作為薄化，可抑制控制閘群之高度增大，但現實上係為困難。當薄化鎢膜 5 時，收集於電荷捕獲用之 ONO 膜之電荷的

量則變為過小，而 NAND-flash 記憶體的资料保持性能則下降。另外，當薄化 SiO_2 膜 3 時，經由鄰接的控制閘極的信號，產生有寫入錯誤資料之稱作干擾的現象。因此，實際係無法將鎢膜 5 或 SiO_2 膜 3 的膜厚最為極端薄化者。

[0009] 另外，當縮小通孔 4 的口徑而縮窄通孔的間隔時，必然地控制閘群 31 之寬度（圖 1（A）之 x 方向的長度）亦變小。隨之，增加層積數而縮小通孔徑時，必然地對於圖案寬度而言之高度的比，即縱橫比（在此係作為以寬度除以高度的值）則變大。

[0010] 經由本申請發明者的解析結果，縱橫比變大時，在將控制閘群 31 分割於線距之工程中，了解到產生有稱作 Wiggling 之圖案的變形。Wiggling 之產生係縱橫比成為 10 以上時成為特別顯著。Wiggling 係指高縱橫比之圖案起伏於左右同時傾倒的現象，對於圖 3（A）與（B）係各表示產生有 Wiggling 之記憶體單元之上面圖與側面圖。圖 3（B）係以 1-m 線切斷圖 3（A）之剖面圖，但鄰接之圖案則接觸，為了溝 32 形成之層積膜的蝕刻則在中途停止。更且，蝕刻未到達至下層之故而下層的閘極電極則產生電性短路，或者產生有經由變形而破壞有通道部之問題。另外，雖不至於產生如控制閘群 31 相互接觸之變形，而亦產生起伏於線距，通道的位置則與設計值偏離，而發生有無法良好連接圖 1（C）所示之通孔 4 與連接孔 6 之問題。

[0011] 因而本發明之目的係提供在如上述 3D-NAND，具備形成有爲了於半導體基板上方形形成能動元件之層積膜，經由層間絕緣材料而分離該層積膜所形成之半導體元件部件之半導體裝置或該半導體裝置之製造方法中，爲了抑制因 Wiggling 引起之上述半導體元件部件彼此之短路之方法及此等問題不會產生之半導體裝置。

[0012] 另外，本發明之另外的目的係提供在具備將爲了形成膜狀之能動元件之層積膜加以形成於上述半導體基板上，該層積膜則相互經由層間絕緣材料加以分離之半導體元件部件之半導體裝置或該半導體裝置之製造方法中，抑制上述半導體元件部件與配電極或配線間的連接不良的產生之半導體裝置之製造方法或半導體裝置。

〔爲解決課題之手段〕

[0013] 本申請發明者係解析的結果，發現上述 Wiggling 係經由作用於膜的應力而產生，而經由蝕刻而分割成線距狀之半導體元件部件高度與寬度或高度與長度的比，經由規定爲未發生有壓曲之範圍之時，而可抑制 Wiggling 的產生。隨之，本發明係經由將上述半導體元件部件的高度與寬度或高度與長度的比，定爲未發生有壓曲之範圍之時，解決上述課題。

[0014] 另外，本申請發明者係發現，即使對於分割成線距狀之半導體元件部件產生有起伏，對於相當於起伏之 2 次微分的位置係幾乎未加上有使圖案變形的力者。因

而，使鄰接之線距的圖案預先起伏成相同形狀，由形成通孔於起伏之 2 次微分成為零之位置者而抑制來自通孔之設計位置的變動，經由此而解決上述「通孔與連接孔的連接不良之發生」之課題。

〔發明之效果〕

[0015] 可降低 Wiggling。或即使產生有 Wiggling 亦可將裝置特性的劣化控制在最小限度者。

【圖式簡單說明】

[0016]

圖 1 (A) 係顯示 3D-NAND 之記憶體單元構造之上面圖，(B) 同側面圖，(C) 同正面圖。

圖 2 (A) 係 3D-NAND 蝕刻工程前之記憶體單元側面圖 (B) 同側面圖。

圖 3 (A) 係產生有 Wiggling 之記憶體單元之上面圖，(B) 同側面圖。

圖 4 (A) 係顯示壓曲產生前的線形圖案之上面圖，(B) 同側面圖。

圖 5 (A) 係顯示壓曲產生後的線形圖案之上面圖，(B) 同側面圖。

圖 6 係顯示壓曲周期圖案高度比 λ/h 與壓曲係數 k 之關係的模擬結果。

圖 7 係形成有實施例 2 之記憶體單元的 3D-NAND 快

閃記憶體之模底。

圖 8 (A) 係說明將實施例 1 之記憶體單元的層積膜加工於線距之處理的上面圖，(B) 同側面圖，(C) 同正面圖。

圖 9 係說明將實施例 2 之記憶體單元的層積膜加工於線距之處理的正面圖。

圖 10 係同正面圖。

圖 11 係同正面圖。

圖 12 (A) 係說明將實施例 2 之記憶體單元的層積膜加工於線距之處理的上面圖，(B) 同側面圖，(C) 同正面圖。

圖 13 (A) 係說明將實施例 2 之記憶體單元的層積膜加工於線距之處理的上面圖，(B) 同側面圖，(C) 同正面圖。

圖 14 係顯示實施例 2 之記憶體單元之 a-C 的蝕刻深度與壓曲係數及壓曲因數的關係圖。

圖 15 係顯示實施例 2 之記憶體單元之層積膜的蝕刻深度與壓曲係數及壓曲因數的關係圖。

圖 16 係顯示實施例 2 之記憶體單元之控制閘群之構造斜視圖。

圖 17 係實施例 2 之層積膜分割蝕刻的例。

圖 18 係初期有起伏之線形圖案的例

圖 19 係起伏放大後之線形圖案。

圖 20 係初期起伏之周期與起伏放大率之關係。

圖 21 係顯示對於實施例 3 之起伏放大的對策方案的模式圖。

圖 22 係顯示施以實施例 3 之放大對策之線形圖案的變形模式圖。

圖 23 係在有起伏的狀態蝕刻光罩材料情況之光罩材料 (a-C) 之蝕刻深度與起伏之振幅關係的圖。

圖 24 (A) 係顯示經由 Wiggling 而產生有加工不佳之 3D-NAND 之控制閘群的模式圖，(B) 係同 A-A'剖面圖。

圖 25 係圖 24 所示之產生加工不佳之 3D-NAND 之控制閘群的層積膜之蝕刻深度與起伏的振幅關係。

圖 26 (A) 係顯示產生有配線連接不佳之 3D-NAND 之記憶體單元之概要上面圖，(B) 係同 A-A'剖面圖。

圖 27 (A) 係顯示實施例 4 之光阻劑光罩佈局之上面圖，(B) 係同側面圖。

圖 28 係實施例 4 之 a-C 的蝕刻深度與起伏之振幅關係。

圖 29 係實施例 4 之層積膜蝕刻後之加工形狀。

圖 30 係實施例 4 之 a-C 的蝕刻深度與起伏之振幅關係。

圖 31 係實施例 4 之曝光用標線之佈局的例。

圖 32 係實施例 4 之本發明之光阻劑光罩佈局的例。

【實施方式】

[0017]

(實施例 1)

首先，在具備線距狀之半導體元件部件之半導體裝置中，對於 Wiggling 之產生的機構，將經由單層膜所形成之線形圖案為例加以說明。

[0018] 如前述，3D-NAND 之控制閘層係在製造處理之初階段中係於 Si_3N_4 膜上，以 CVD 層積 SiO_2 膜而加以形成。不局限於 3D-NAND 之製造處理，而知道有對於以 CVD 加以形成之材料係在成膜時具有微小的殘留應力。另外，經由蝕刻而將控制閘層之層積膜加工於線距時，知道經由蝕刻處理而層積膜產生變質時，於層積膜產生有應力，經由此應力而層積膜產生變形。隨之，Wiggling 係認為上述殘留應力與經由蝕刻之層積膜的變質之 2 個要因產生作用而發生，而層積膜則認為較單層膜更容易產生有 Wiggling。

[0019] 在現象面中，從解析的結果明確到對於 Wiggling 係存在有壓曲與起伏放大之兩個模式者。對於圖 4 與圖 5 係在壓曲前後以對比顯示產生有壓曲之圖案的例。壓曲係如圖 4 (A) 及 (B) 之筆直的線形圖案 7 則經由應力而變形塌陷的現象。圖 4 (A) 係顯示線形圖案 7 之上面圖，顯示形成有高度 h ，長度方向 (y 方向) 之長度 L ，短邊方向之長度的寬度 w (定義為 x 方向之長度，厚度亦可) 之圖案的樣子。圖 4 (B) 係顯示圖 4 (A) 所示之線形圖案的 A-A' 剖面之側面圖。圖 5 (A) 係顯示經

由壓曲所塌陷之圖案之上面圖，而爲了參考而亦以點線顯示壓曲產生前之線形圖案 7。圖 5 (B) 係與圖 4 (B) 同樣，顯示圖 5 (A) 所示之線形圖案的 A-A' 剖面之側面圖。如圖 5 (A) 所示，產生有壓曲的情況，圖案係了解到在某一定的周期起伏者。此周期則稱作壓曲周期 λ 者，於圖 5 (A) 中以 λ 表示。

[0020] 數值計算的結果，了解到由以下式 1 表示壓曲的產生條件者。

[0021]

【數1】

$$\gamma \equiv \left(\frac{h}{w} \right)^2 \frac{\sigma}{E} > k \quad (1)$$

γ : 壓曲因數

σ : 殘留應力 (Pa)

E : 楊氏模數 (Pa)

w : 圖案寬度

h : 圖案高度

k : 壓曲係數

[0022] 上述，式 1 的左邊係對於殘留應力 σ 與楊氏模數 E 的比乘上縱橫比 h/w 的平方之無次元值。我們將此值定義爲壓曲因數 γ 。另一方面，上述式 1 之右邊 k 係稱作壓曲係數之無次元值，而當壓曲因數 γ 超出壓曲係數 k 時，產生有壓曲。數值計算的結果，了解到對於圖案的高度 h (例如，參照圖 4 (B)) 與圖 5 所示之壓曲周期

λ 及圖案高度 h 有緊密關係者。對於圖 6 係顯示將壓曲係數 k 與值 λ/h (無次元) 的關係之數值計算結果。從數值計算的結果，壓曲係數 k 係值 λ/h 的函數，了解到未根據材料或膜厚而 λ/h 為 3.3 時得到最小值 1.1 者。

[0023] 在半導體裝置所通常加以使用之材料，例如， SiO_2 或 Si_3N_4 等係知道有具有相當於楊氏模數 E 之數 % 的殘留應力 σ 者，隨之式 1 之左邊係必定具有有限的值。因此，縱橫比 h/w 變大時，上述式 1 之左邊的值則變大，在變為較壓曲係數 k 大的時點，產生有壓曲。假設 σ/E 作為 1% 時，有著縱橫比 h/w 則在 11 前後，壓曲因數 γ 則超過壓曲係數 k 之最小值 1.1 而產生有壓曲的可能性。

[0024] 接著，對於得到壓曲周期 λ 的值之限制加以說明。線形圖案之長度則為有限的值 L 之情況 (長度的定義係作為如圖 4 (A))，壓曲周期 λ 係必須滿足下述條件。

[0025]

【數 2】

$$L = n \frac{\lambda}{2} \quad (2)$$

n : 正的整數

[0026] 如上述，壓曲最容易產生的情況 (即，得到壓曲係數 k 為最小值 1.1 之情況) 係 λ/h 為 3.3 之時、即 λ 的值為 $3.3h$ 之情況。如考慮此與式 2 的關係時，作為

λ/h 的值可得到 3.3 之情況係 L 成爲 $1.65h$ 的倍數之情況。也就是， L 與 h 的關係則滿足 $L=1.65h$ 之關係時， k 則經常得到最小值 1.1，在更小的應力，小的縱橫比而產生有壓曲。

[0027] 另一方面， L 則較 $1.65h$ 爲小之情況，作爲 λ 的值係僅可得到較 $3.3h$ 爲小的值。隨之， λ/h 係必須較 3.3 爲小，而 k 亦變爲必須較最小值 1.1 爲大。隨之，對於壓曲產生必要的應力係變大，所容許之縱橫比亦變大。

[0028] 例如， $L=1.65h$ 之情況，可得到 λ 的值係爲 $3.3h$ 、 $3.3h/2$ 、 $3.3h/3$. . . 。隨之，可得到 λ/h 的值係爲 3.3、 $3.3/2$ 、 $3.3/3$. . . 。從圖 6 所示的關係，得到 k 爲最小值 1.1 之情況係 $\lambda = 3.3h$ 之周期的場合。因此，容易產生有周期 $\lambda = 3.3h$ 之 Wiggling。

[0029] 對於 $L=0.5h$ 爲小之情況係可得到 λ 的值係爲 h 、 $h/2$ 、 $h/3$. . . ，而可得到 λ/h 的值係爲 1、 $1/2$ 、 $1/3$. . . 。如就圖 6 的關係而言，可得到 k 的範圍係較 $\lambda/h = 1$ 爲左側，而 k 成爲最小的情況係 $\lambda/h = 1$ 、即 $\lambda = h$ 之周期的情況。從圖 6 所示之關係，此時的 k 係成爲 4.0。此 k 的值係爲大之 $L=1.65h$ 之情況的約 3.6 倍。當考慮數式 1 之壓曲產生條件時，當將圖案長度的值從 $1.65h$ 縮短爲 $0.5h$ 時，對於壓曲產生必要的應力則增大至 3.6 倍。即，不易產生有壓曲。

[0030] 隨之，由將圖案長度 L 之大小作爲較圖案高度 h 之 1.65 倍爲小者，了解到可抑制經由壓曲之

Wiggling。

[0031] 然而，在本實施例中，將單一的線形圖案為例說明過，但如為經由蝕刻而分離面狀層積膜，形成線距狀之圖案的形態之細微加工處理，壓曲產生的結構係為共通。因而，上述之細微加工處理一般而言當可適用本實施例之見解。

[0032]

（實施例 2）

在本實施例中，對於將在實施例 1 說明之手法適用於 3D-NAND 之製造處理，而抑制壓曲起因之 Wiggling 的例加以說明。

[0033] 對於圖 7 係顯示構成本實施例之 3D-NAND 的模底之外觀圖。圖 7 所示之模底係 4 個具有積成有 3D-NAND 之記憶體單元 70 與周邊電路 71 之構造。各個記憶體單元之構造係與圖 1 所示之記憶體單元幾乎相同，但控制閘群 31 之縱橫比係規定為不易引起有壓曲的值。

[0034] 接著，對於產生有壓曲之 3D-NAND 的構造與未產生有壓曲之 3D-NAND 的構造，比較此等同時加以說明。如前述，產生有壓曲之情況係形成溝 32 而將 Si_3N_4 膜 2 與 SiO_2 膜 3 之層積膜分離形成於線距圖案之蝕刻時之故，對於最初線距圖案之形成處理加以詳細說明。

[0035] 圖 8～13 係說明上述線距圖案之形成處理的圖。圖 8（A）～（C）係以 3 面圖顯示圖 2（A）所示之狀態的記憶體單元的圖，圖 13 係顯示圖 2（B）所示之狀

態之記憶體單元，即蝕刻結束後之記憶體單元的 3 面圖。另外，爲了防止圖面的煩雜，對於圖 9～圖 11 係將 Si_3N_4 膜與 SiO_2 膜之層積膜，僅顯示於 x 方向而視之正面圖，對於顯示蝕刻前的狀態的圖 12 係以 3 面圖表示。

[0036] 對於圖 8 (C) 係顯示於 Si 基板 1 上更層積 34 Si_3N_4 膜 2 與 SiO_2 膜 3 所成之控制閘層 30 的層積膜（也就是 Si_3N_4 膜 2 與 SiO_2 膜 3 各 34 層，合計 68 層之層積膜）的正面圖。 Si_3N_4 膜 2 與 SiO_2 膜 3 之膜厚係因各爲 30nm 之故，總膜厚係約 $2\mu\text{m}$ 。然而，作畫的方便上，在圖中係記載層積數爲 8 層之剖面圖，但實際上係作成總層積數爲 68 層之試料而進行實驗。對於構造物的內部係形成有通孔 4，內部係由多晶矽加以埋入。最下層之 Si_3N_4 膜 2 之字元線方向（在本實施例中係 y 方向）的長度係爲 L，控制閘群 31 之高度係爲 h。然而，圖示之狀況上，Si 基板 1 係僅顯示一部分，但實際上，Si 基板係擴散於紙面的橫方向及前後方向。

[0037] 首先，將此構造物之梯狀構造物上部之無任何部分，如圖 8 (A) 或 (C) 所示地以層間絕緣材料之 SiO_2 膜 8 埋入。接著，於此試料上，經由 CVD 依序層積厚度 $1\mu\text{m}$ 之非晶質碳 (a-C) 膜 9 與厚度 100nm 之 SiON 膜 10 (圖 9)。更且，於其上方經由 LER 少之奈米壓印手法，形成如圖 10 所示之線寬 50nm，空間寬度 50nm 之線距狀的光阻劑光罩 11。在後段的蝕刻工程中，必需線分割至最下層之 Si_3N_4 膜 2 之故，線形圖案之長度係必需

與最下層之 Si_3N_4 膜 2 之 y 方向長度 L 相同或以上。在本實施例中，形成長度 L 之光阻劑圖案。沿著所形成之光阻劑光罩 11 而蝕刻 SiON 膜 10，形成 SiON 光罩（圖 11）。同樣地沿著所形成之 SiON 光罩而蝕刻 $a\text{-C}$ 膜 9，形成 $a\text{-C}$ 光罩。對於圖 12（A）～（C）係各顯示形成有 $a\text{-C}$ 光罩狀態之記憶體單元上面圖，側面圖，正面圖。呈從與圖 12（A）及（B）之對比了解到，於通孔 4 上形成有 $a\text{-C}$ 光罩，形成有沿著 y 方向之線距的圖案。最終所形成之 $a\text{-C}$ 光罩的厚度係 $1\ \mu\text{m}$ ，線寬與空間寬度係各為 50nm 。

[0038] 最後，沿著上述 $a\text{-C}$ 光罩一貫進行電漿蝕刻 Si_3N_4 膜 2 與 SiO_2 膜 3 的層積膜。由此形成溝 32 於層積膜，分離形成線距圖案狀之控制閘群 31（圖 13）。控制閘群 31 之長度方向之最大長度，即梯狀構造之最下層之控制閘層 30 之長度方向的長度係為 L ，而控制閘群 31 之寬度，即經由溝而加以分割的方向長度係為 w 。呈從圖 1（C）了解到，字元線 34 係平行地形成於上述長度方向，位元線 33 係平行地形成於上述寬度方向。呈如將 13（A）～（C）作為對比了解到，在蝕刻之後的狀態中，對於控制閘群 31 間的溝 32 係並未有埋入任何，僅以層積膜的剛性而自立之狀態（梯狀構造之上部係以層間絕緣膜材料之 SiO_2 膜 8 所埋入）。

[0039] 使用以上的處理，作成控制閘群 31 的長度 L 為 $6.6\ \mu\text{m}$ 之試料，和 440nm 之 2 個試料，進行是否產生

有壓曲的試驗。

[0040] $6.6\ \mu\text{m}$ 係最終的圖案高度 $2\ \mu\text{m}$ 之 1.65 倍，即成為 $3.3\ \mu\text{m}$ 之倍數，從實施例 1 之研究，推測非常容易產生有壓曲之另一方面， 440nm 係較 $3.3\ \mu\text{m}$ 為小，而推測不易產生有壓曲者。

[0041] 對於長度 L 為 $6.6\ \mu\text{m}$ 之試料，係在圖 12 的工程將 a-C 膜 9 蝕刻至深度 500nm 之時點，產生有 Wiggling。關於此情況，計算對於可得到數種類之壓曲周期 $\lambda = 2L/n$ 而計算之壓曲係數 k 與蝕刻深度 h 之關係，及壓曲係數 k 之最小值與壓曲因數 γ 的值與蝕刻深度 h 之關係的結果，示於圖 14 (a)。長度 L 為長的 $6.6\ \mu\text{m}$ 之故，作為壓曲周期 λ 係可得到 $13.2\ \mu\text{m}$ 以下之各種的值。因此，壓曲係數 k 之最小值係為 1.1 而幾乎未產生有變化。對此，壓曲因數 γ 係比例於蝕刻深度 h 之平方而增加。並且，當蝕刻深度到達 500nm 時，壓曲因數 γ 則變為較壓曲係數 k 之最小值為大。此時，a-C 膜 9 係成為高度 h 為 500nm ，寬度 w 為 50nm 之縱橫比 10 之圖案。另外，具有相當於在本檢討所使用之 a-C 係楊氏模數率 E 之 1.2% 之殘留應力 σ 之故，壓曲因數 γ 係成為 1.2。在此時點壓曲因數 γ 則變為較壓曲係數 k 為大之故，而認為經由壓曲而產生有 Wiggling 者。

[0042] 接著，對於長度 L 為 440nm 之試料的試驗結果加以說明。結果係為良好，即使至 a-C 膜 9 的底部進行蝕刻，亦未有產生經由壓曲之 Wiggling。關於此情況，計

算對於可得到數種類之壓曲周期 $\lambda = 2L/n$ 而計算之壓曲係數 k 與蝕刻深度 h 之關係，及此等壓曲係數 k 之最小值與壓曲因數 γ 的值與蝕刻深度 h 之關係的結果，示於圖 14 (b)。在本實驗所設定之長度 L 係為短的 440nm 。因此，作為壓曲周期 λ 係僅可得到 $2L$ 即 $0.88\mu\text{m}$ 以下的值。因此，在成為 $2L/h=3.3$ 之蝕刻深度 $h=266\text{nm}$ 以上中，壓曲係數 k 之最小值則增加。因此，在壓曲因數 γ 超過 1.1 之蝕刻深度 500nm ，即縱橫比 10 中，壓曲因數 γ 低於壓曲係數 k 之故而未產生有經由壓曲之 Wiggling。

[0043] 即，當考量在至蝕刻途中的過程時，對於為了抑制壓曲，比較壓曲因數 γ 成為 1.1 前後之縱橫比 10 相當之蝕刻深度 h_1 ，與滿足 $2L/h_0=3.3$ 之 h_0 的情況，必需成立 $h_1>h_0$ 。換言之，圖案長度 L 則必須較寬度 w 之 16.5 倍為小。

[0044] 接著，使用經由上述試驗所作成之 a-C 光罩，蝕刻其下部之 Si_3N_4 膜與 SiO_2 膜之層積膜。對於圖 15 (b) 係顯示層積膜的蝕刻深度，和壓曲因數 γ 及壓曲係數 k 之最小值的關係。 Si_3N_4 膜與 SiO_2 膜之殘留應力係均為楊氏模數率的 1.0%。圖表橫軸之範圍係從 0 設定為層積膜之厚度之 $2\mu\text{m}$ 。壓曲因數 γ 的值係比例於高的平方而增加。對此，壓曲係數 k 之最小值係為與圖 14 (b) 之情況同樣地，蝕刻深度 $h=266\text{nm}$ 以上而增加。因此，在從 0 至 $2\mu\text{m}$ 之範圍，壓曲因數 γ 的值則經常較壓曲係數 k 的最小值為小之故，認為未產生有經由壓曲之

Wiggling 者，在實際試驗中在層積膜之蝕刻中未產生有壓曲。

[0045] 接著，取代 a-C，使用殘留應力少之有機材料的塗佈膜（SOC）進行同樣的評估。作成之試料係與光罩為 a-C 之情況相同，控制閘群 31 之長度 L 為 $6.6\ \mu\text{m}$ 與 440nm 之 2 個。另外，SOC 光罩的厚度係作為 $1\ \mu\text{m}$ ，線寬與空間寬度係各作為 50nm 。SOC 係殘留應力 σ 則僅楊氏模數率 E 之 0.16% 。隨之，即使將 SOC 光罩蝕刻至 $1\ \mu\text{m}$ 而縱橫比則到達 20 之狀態，壓曲因數 γ 亦為 0.64 ，較壓曲係數 k 之最小值 1.1 為小。因此，在長度 L 為 $6.6\ \mu\text{m}$ 與 440nm 之任一試料，均未產生有經由壓曲之 Wiggling。

[0046] 接著，使用此 SOC 光罩而以圖 13 所示之要領而蝕刻 Si_3N_4 膜與 SiO_2 膜之層積膜。對於長度 L 為 $6.6\ \mu\text{m}$ 之試料，係在將層積膜蝕刻至深度 550nm 之時點，產生有 Wiggling。關於此情況，計算對於可得到數種類之壓曲周期 $\lambda = 2L/n$ 而計算之壓曲係數 k 與蝕刻深度 h 之關係，及壓曲係數 k 之最小值與壓曲因數 γ 的值與蝕刻深度 h 之關係的結果，示於圖 15（a）。在本實驗所設定之長度 L 係為短的 $6.6\ \mu\text{m}$ 。因此，成為前述之 $2L/h=3.3$ 之蝕刻深度亦為大的 $h=4.0\ \mu\text{m}$ 。隨之，在從 0 至 $2\ \mu\text{m}$ 之間，壓曲係數 k 之最小值係 1.1 為略一定。對此，壓曲因數 γ 係比例於蝕刻深度 h 之平方而增加。並且，當蝕刻深度到達 550nm 時，壓曲因數 γ 則變為較壓曲係數 k 之最

小值為大。此時之縱橫比係 11。另外，當考慮層積膜之殘留應力 σ 係為 Si_3N_4 膜與 SiO_2 膜之楊氏模數率 E 之 1.0 % 程度時，此時的壓曲因數 γ 係 1.21。因而在此時點壓曲因數則超出壓曲係數，而認為經由壓曲而產生有 Wiggling 者。

[0047] 另一方面，對於長度 L 為 440nm 之試料係未產生有經由壓曲的 Wiggling。圖案長度為 440nm 之故，對於此情況之壓曲係數 k 之最小值與壓曲因數 γ 之蝕刻深度 h 之依存性係與圖 15 (b) 相同。隨之，在從蝕刻深度 0 至 $2\mu\text{m}$ 之範圍，壓曲因數 γ 的值係經常成為較壓曲係數 k 之最小值微小之故而未產生有壓曲。

[0048] 如以上，關於殘留應力存在有楊氏模數率 E 之數 % 程度之層積膜，係當縱橫比變大（例如 10 以上）時，有著產生有經由壓曲之 Wiggling 的可能性。作為為了此之對策，縮短光罩之線形圖案之長度 L 者為有效，此值係必需至少作為被蝕刻材料之厚度 h 之 1.65 倍以下。即，於層積膜之上部形成具有層積膜底面長度之 1.65 倍以下的長度之光罩圖案，經由將此作為光罩而進行蝕刻之時，可抑制產生於層積膜之 Wiggling。對於圖 16 係以斜視圖顯示縱橫比如以上所規定之本實施例之控制閘群。在本實施例說明之 3D-NAND 中，形成複數圖 16 所示之控制閘群於記憶體單元內，具備抑制有 Wiggling 產生之構造。

[0049] 另外，在本實施例中，將構成控制閘群 31 之

各控制閘層 30 的膜厚與層積數各作為一定，以調整最下層長度（即 L ）之條件進行比較實驗例，但將 L 作為一定而進行控制閘群 31 之高度（即，改變控制閘層 30 之膜厚或層積數）比較實驗，當然亦得到同樣的結果。

[0050] 更且，亦考慮蝕刻途中之情況時，將線形圖案的長度 L 成為縱橫比（ h/w ）成為 10 之蝕刻深度的 1.65 倍以下者為佳。此情況， $h/w = 10$ ，成為從 $L < 1.65h$ 的關係至 $L < 16.5w$ ，即不足圖案寬度 w 之 16.5 倍者為佳。

[0051] 另外，將線形圖案的長度 L 作為圖案寬度 w 之 16.5 倍以下之情況，連接於一個閘極電極 5 之通道 4 的數量則有成為較所期望的數量為少之可能性，但此情況，係例如如圖 17 所示，如加寬層積膜之圖案寬度 w ，將通孔作為複數列配列時，可加大連接於一個閘極電極 5 之通孔 4 的數量。

[0052] 以上，在本實施例中，對於由將蝕刻深度或者層積膜底面之長度設定為特定範圍，將縱橫比作為不易引起有壓曲的值者而抑制 Wiggling 之產生的手法加以說明。層積膜之殘留應力係在以 CVD 所形成的膜特別大之故，本實施例的手法係對於以 CVD 所形成之層積膜而言特別有效，但對於以單層膜或者其他的膜形成方法（例如，濺鍍法等）所形成的膜而言亦為有效。另外，作為如此控制閘群之能動元件而動作之層積膜係層積導電性膜與絕緣膜而形成之情況為多，如此之層積膜係經由 CVD 而形成之情況為多。隨之，本實施例之 Wiggling 抑制手法

係亦可說對於爲了構成複數之能動元件的層積膜之蝕刻特別有效。

[0053]

(實施例 3)

在本實施例中，對於另一個之 Wiggling 機構之起伏放大現象與起伏放大的抑制原理加以說明。對於經由光微影所形成之光罩係有著稱作、Line-Edge-Roughness (LER) 之缺陷，有著線形圖案之光罩起伏數 nm 程度之特徵。因此起伏引起而產生有大的 Wiggling 之現象爲起伏放大現象。例如，如圖 18 (A) 所示，想定於周期 λ 之正弦波狀有著起伏於左右之線形圖案 7。圖 18 (B) 係顯示圖 18 (A) 之 A-A' 剖面圖，但在此狀態中係未塌陷而自立著。目前，假設將表示起伏之正弦波的振幅作爲 a_0 時，此圖案的位置座標係以下式所表示。

[0054]

【數 3】

$$x = a_0 \sin\left(\frac{y}{\lambda}\right) \quad (3)$$

[0055] 對於構成此圖案之材料有殘留應力 σ 之情況，對於 x 方向產生有使圖案變形的力 F 。此力 F 的值係以下式所表示。

[0056]

【數 4】

$$F \propto \sigma \frac{d^2x}{dy^2} = \frac{a_0 \sigma}{\lambda^2} \sin\left(\frac{y}{\lambda}\right) \quad (4)$$

[0057] 即，於放大起伏之方向產生有欲使圖案變形之力 F 。隨之，於圖 18 之圖案有著殘留應力 σ 之情況，圖案係如圖 19 (A) 變形於放大起伏之方向，如圖 19 (B) 地塌陷。將變形後之起伏的振幅作為 a_1 時，變形前之起伏的振幅 a_0 與 a_1 的關係則以下式所表示。

[0058]

【數5】

$$A \equiv \frac{a_1}{a_0} = \frac{1.5\gamma}{k-\gamma} + 1 \quad (5)$$

A：起伏放大率

[0059] 此起伏放大率 A 係即使壓曲因數 γ 與壓曲係數 k 滿足未產生有壓曲的條件，亦變為較 1 為大。即，在未產生有壓曲之微弱應力，低縱橫比之條件，亦能引起起伏放大現象。

[0060]

【數6】

$$k-\gamma > 0 \quad (6)$$

[0061] 另外，如圖 20 所示，對於縱橫比或殘留應力為高而 γ 值變大之情況，或初期之起伏周期接近於 λ/h 而 k 值變小之情況，放大率 A 則變大。

[0062] 對於為了抑制此起伏現象，係抑制 LER 而縮小初期起伏的振幅 a_0 ，或僅縮小縱橫比或殘留應力而減小 λ 。但均不易實現。

[0063] 因此，檢討即使產生有起伏放大，亦對於裝

置特性未帶來影響之構造。對於產生有起伏放大現象之情況，係如前述，對於起伏之二階微分爲大之部分加上力 F ，而產生大的變形。相反地，對於起伏之二階微分成爲零的部分係幾乎未產生有力 F ，而亦未產生有變形。

[0064] 隨之，作爲對策係考慮例如，如圖 21 (A) 所示，使鄰接的圖案 [7] 起伏成同步，同相位之正弦波狀，於起伏之 2 階微分成爲 0 的位置，即於起伏之變曲點的位置形成左右裝置性能之通孔 4 之方法。此情況，即使產生有起伏放大，如圖 22 (A) 所示，通孔 4 之形成處係幾乎未變形之故，未產生有經由應力而特性產生劣化，以及或者，通孔 4 之位置則與設計值偏差而無法與連接孔連接之問題。對於圖 22 (B) 係顯示圖 22 (A) 之 A-A' 剖面圖，但通孔 4 之內部係了解到未有特別變形。另外，在 2 階微分大的部分中，變形量則變大，但鄰接之圖案 7 彼此則變形於相同方向之故，亦未有接觸而產生電性短路者。

[0065]

(實施例 4)

在本實施例中，對於將在實施例 3 說明之手法適用於 3D-NAND 之製造處理，而即使產生有起伏放大，亦作成未對於裝置特性帶來影響之構造的 3D-NAND 例加以說明。

[0066] 在本實施例中，比較用地作成具備在實施例 3 說明之起伏放大的抑制構造之 3D-NAND 的記憶體單元，和未具備之 3D-NAND 之記憶體單元。未具備起伏放大之

抑制構造的 3D-NAND 之記憶體單元係以和實施例 2 同樣的處理作成，爲了抑制壓曲而將圖案長度 L 作爲 440nm 。作爲與實施例 2 之製造處理上的不同點係在本實施例之記憶體單元中，並非由實施例 2 之奈米壓印（參照圖 10 之說明），而經由通常之光微影技術而形成光阻劑光罩 11。對於經由通常之光微影所形成之光阻劑光罩 11 係知道有因 LER 引起不規則地存在有周期 880nm ，振幅 1nm 程度之起伏者。與實施例 2 同樣地，沿著此光阻劑光罩 11 而依序蝕刻 SiON 、 a-C ，最後，以一貫蝕刻 Si_3N_4 膜 2 與 SiO_2 膜 3 的層積膜。

[0067] 其結果，在 a-C 蝕刻工程（參照圖 13 之說明），經由起伏放大而產生有不規則之 Wiggling。

[0068] 對於圖 23 係顯示起伏之振幅與 a-C 之蝕刻深度的關係。起伏之振幅係蝕刻之進行（蝕刻深度）同時徐緩增加，在蝕刻 $1.0\ \mu\text{m}$ 而結束的時點，產生有振幅 4.7nm 之起伏。也就是，對於 a-C 光罩係產生有振幅 4.7nm 之 LER 者。更且，使用此 a-C 光罩而進行在圖 13 說明之層積膜的蝕刻結果，Wiggling 則更大增，如圖 24（A）所示，鄰接之圖案彼此則部分產生接合。另外，在該接合部中，如圖 24（B）所示，層積膜之蝕刻則在途中停止。

[0069] 對於圖 25 係顯示層積膜蝕刻中之起伏之振幅與蝕刻深度的關係。起伏之振幅係與蝕刻的進行（深度）同時徐緩增加，在蝕刻至相等於層積膜之膜厚之 $2.0\ \mu\text{m}$

之時點，產生有具有振幅 27nm 與產生於 a-C 光罩之起伏的 5.7 倍之振幅。因此，認為有鄰接之圖案彼此則部分產生接合者。

[0070] 更且，了解到在於通孔 4 上連接成為配線之連接孔 6 之工程，產生有連接不佳者。對於圖 26 係顯示連接不佳部分之概要。圖 26 (A) 產生有連接不佳之控制閘群之上面圖，了解到連接孔 6 則從本來的形成位置之通孔 4 的中心部分偏離之情況。圖 26 (B) 係圖 26 (A) 之 A-A' 剖面圖，但了解到在不佳處 61 產生有連接孔 6 與通孔 4 之連接不佳的情況。此原因係經由 Wiggling 增大之時，通孔 4 則從本來之設置位置大幅度偏離所形成之故。

[0071] 接著，對於具備起伏放大之抑制構造之 3D-NAND 記憶體單元的製造處理及裝置構造加以說明。

[0072] 首先，於 Si 基板上依序進行 Si_3N_4 膜 2 與 SiO_2 膜 3 的層積膜所成之控制閘層的形成與蝕刻，形成圖 9 所示之構造。層積膜底面的長度 L 或層積膜之高度 h 係作為設定為不會引起壓曲的值者。接著，於 a-C 膜上形成光阻劑之光罩圖案 11，但此時，並非在實施例 2 說明之線距的圖案，而是形成正弦波狀之圖案。在本實施例中，將各正弦波的周期設定為通孔 4 之間距 100nm 的 2 倍之 200nm，而將振幅設定為 50nm，通孔 4 之位置則呈成為相當於正弦波之 2 階微分的位置（變曲點位置）地調整相位。對於各圖 27 (A) 係顯示在本實施例形成之正弦波狀光阻劑圖案之上面圖，對於圖 27 (B) 係顯示圖 27 (A)

之 A-A' 剖面圖。

[0073] 在使用形成之光阻劑光罩 11 而進行 a-C 膜之蝕刻時，振幅些微增大，但在起伏之 2 階微分成爲 0 的位置，即通孔 4 之位置中，幾乎未發生有光罩位置偏移。

[0074] 對於圖 28 係顯示周期 200nm 之起伏之振幅與 a-C 之蝕刻深度的關係。

[0075] 起伏之振幅係從作爲正弦波之振幅所傳達之初期值 50nm，增加至蝕刻之進行同時在蝕刻深度 100nm 的值 53nm，但在此之後係幾乎未增加。另外，幾乎未放大有因 LER 引起之 880nm 周期之起伏。此係認爲因經由在蝕刻初期，短周期（在本實施例中係 200nm）之起伏的振幅增大而緩合應力，而未放大有 LER 起因之長周期的起伏之故。

[0076] 使用在上述之要領所形成之 a-C 光罩，進行圖 12 所示之階梯狀層積膜的蝕刻。其結果，更加地起伏些微增大，但如圖 29 所示，鄰接圖案彼此則變形於相同方向之故，抑制了圖案彼此之接合。另外，與 a-C 蝕刻的情況同樣地，在起伏之 2 階微分成爲 0 之位置，即通孔的位置中，幾乎未看到圖案之變形。

[0077] 對於圖 30 係顯示在蝕刻階梯狀層積膜時之起伏之振幅與蝕刻深度的關係。對於 200nm 周期之起伏係與蝕刻之進行同時，起伏的振幅係從初期值 53nm（a-C 光罩之起伏振幅）增加至 56nm（在蝕刻深度 100nm 的值），但之後係幾乎未產生變化。另外，LER 起因之周期

880nm 的起伏亦幾乎未被放大。更且，未有通孔 4 之位置偏移之故，對於通孔 4 完全未看到連接孔 6 之連接不佳。

[0078] 如以上，使圖案從最初起伏成正弦波狀，如於起伏之 2 階微分成爲零之位置形成通孔時，通孔部分係未產生變形之故，可迴避因 Wiggling 引起之問題。另外，如將鄰接之圖案作爲相同相位時，即使成爲在 Wiggling 場陷爲大，亦未有鄰接圖案產生接觸。

[0079] 另外，光阻劑圖案的形狀係未必限於正弦波形狀，而如爲 2 次微分成爲 0 之波形亦可採用任何形狀。例如，如圖 31 所示，使光阻劑光罩 11 起伏成鋸齒狀，如通孔 4 之形成位置則呈一致於起伏之 2 階微分成爲 0 之位置地調整相位，可得到同樣的效果。

[0080] 對於圖 32 係顯示爲了以光微影形成圖 31 所示之鋸齒圖案之標線的例。圖 32 係於標線基板 12 上形成鋸齒狀之 Ti 光罩 13 的曝光用標線，即使爲如此之鋸齒圖案亦可抑制因 Wiggling 引起之通孔位置之變動者。另外，起伏之振幅如接近於最小曝光尺寸，如將鋸齒圖案進行曝光，可自然地形成起伏成正弦波狀之光阻劑光罩。

[0081]

(實施例 5)

本實施例係構成以下之構成的半導體裝置。

1) 一種半導體裝置，係具備作爲動能元件而動作之半導體元件，具備經由溝而相互分離之半導體元件部件之半導體裝置，其特徵爲以高度將前述半導體元件部件之長

度方向的最大長度作為比例的比則規定為未產生有壓曲之範圍者。2) 一種半導體裝置，係具備層積複數之控制閘層，且經由溝而相互分離之複數的控制閘群，和形成於該控制閘群之通孔，和藉由電極而連接於前述控制閘群之位元線，和藉由連接孔而連接於前述控制閘層之字元線的半導體裝置，其特徵為前述複數之控制閘群係在相互同相位具備起伏形狀，前述通孔係形成於前述起伏形狀之變曲點位置者。

【符號說明】

[0082]

- 1：Si 基板
- 2： Si_3N_4
- 3： SiO_2
- 4：通孔
- 5：鎢閘極電極
- 6：連接孔
- 7：圖案
- 8： SiO_2
- 9：非晶質碳
- 10： SiON
- 11：光阻劑光罩
- 12：標線基板
- 13：TiN 光罩

申請專利範圍

1. 一種半導體裝置之製造方法，係具備：包含複數層積經由絕緣層與導電體層之層積膜所構成之控制閘層的工程，

和於該複數層積之控制閘層形成通孔之工程，

和經由電漿蝕刻而形成溝於前述複數層積之控制閘層，分離前述加以複數層積之控制閘層，形成複數之控制閘群的工程之 3 次元記憶體單元之形成工程的半導體裝置之製造方法，其特徵為

將前述控制閘群之長度方向之長度成為 2 倍之值，以自然數除得之值之壓屈周期，以該控制閘群的高度除得之值，使成為未產生有壓曲之值，而規定前述長度與前述高度者。

2. 如申請專利範圍第 1 項記載之半導體裝置之製造方法，其中，

未產生有壓曲之值係較 3.3 為小之值者。

3. 如申請專利範圍第 1 項記載之半導體裝置之製造方法，其中，

將前述高度除以該控制閘群的短邊方向的長度的值則為 10 以上者。

4. 如申請專利範圍第 1 項記載之半導體裝置之製造方法，其中，

將前述長度以前述高度除得之值為不足 1.65 者。

5. 如申請專利範圍第 4 項記載之半導體裝置之製造

方法，其中，

對於前述控制閘群之分離之方向的長度之寬度之前述長度的比則為不足 16.5 者。

6. 如申請專利範圍第 5 項記載之半導體裝置之製造方法，其中，

於前述控制閘群之內部複數列形成前述通孔者。

7. 如申請專利範圍第 1 項至第 6 項之任一項記載之半導體裝置之製造方法，其中，

將前述控制閘群，形成成為上方之控制閘層之長度較下方之控制閘層之長度為短之階梯狀形狀，

將前述控制閘群之長度方向之最大長度以高度除得之比，

係以前述階梯狀形狀之最下層之控制閘層之長度與前述階梯狀形狀整體之高度之比加以規定者。

8. 如申請專利範圍第 2 項記載之半導體裝置之製造方法，其中，

將前述長度以前述高度除得之值為不足 1.65 者。

9. 一種半導體元件之製造方法，係具備：包含複數層積經由絕緣層與導電體層之層積膜所構成之控制閘層的工程，

和於該複數層積之控制閘層形成通孔之工程，

和經由蝕刻而形成溝於前述複數層積之控制閘層，分離前述加以複數層積之控制閘層，形成複數之控制閘群的工程之 3 次元記憶體單元之形成工程的半導體裝置之製造

方法，其特徵為

令前述控制閘群之長度方向之最大長度，以該控制閘群之高度除得之比，規定於不產生壓曲之範圍，

形成複數之控制閘群的工程係包含：

於該前述複數層積之控制閘層上形成線距圖案之工程，

和將該線距圖案作為光罩而將前述複數層積之控制閘層蝕刻至最下層之工程，

前述線距圖案係各個圖案則以相互同相位具有起伏形狀，於該起伏之變曲點位置位置有前述通孔之形狀者。

10. 一種半導體裝置，係具備層積複數之控制閘層，且相互以溝加以分離之複數控制閘群，和形成於該控制閘群之通孔，和藉由電極而連接於前述控制閘群之位元線，和藉由連接孔而連接於前述控制閘層之字元線之半導體裝置，其特徵為

將前述控制閘群之長度方向之長度成為 2 倍之值，以自然數除得之值之壓屈周期，以該控制閘群的高度除得之值，使成為未產生有壓曲之值，而規定前述長度與前述高度者。

11. 如申請專利範圍第 10 項記載之半導體裝置，其中，

將前述長度以前述高度除得之值為不足 1.65 者。

12. 如申請專利範圍第 11 項記載之半導體裝置，其中，

對於前述控制閘群之分離之方向的長度之寬度之前述長度的比則為不足 16.5 者。

13. 如申請專利範圍第 12 項記載之半導體裝置，其中，

於前述控制閘群之內部複數列形成前述通孔者。

14. 如申請專利範圍第 10 項記載之半導體裝置，其中，

前述複數之控制閘群係相互以同相位具備起伏之形狀，

前述通孔則加以形成於前述起伏之形狀的變曲點位置者。

15. 如申請專利範圍第 10 項至第 14 項任一項記載之半導體裝置，其中，

前述控制閘群，係具有上方之控制閘層之長度呈成為較下方的控制閘層之長度為短地加以形成之階梯狀形狀，

將前述控制閘群之長度方向之最大長度除以高度的比，則以前述階梯狀形狀之最下層之控制閘層之長度與前述階梯狀形狀全體之高度的比加以規定者。

圖式

圖 1

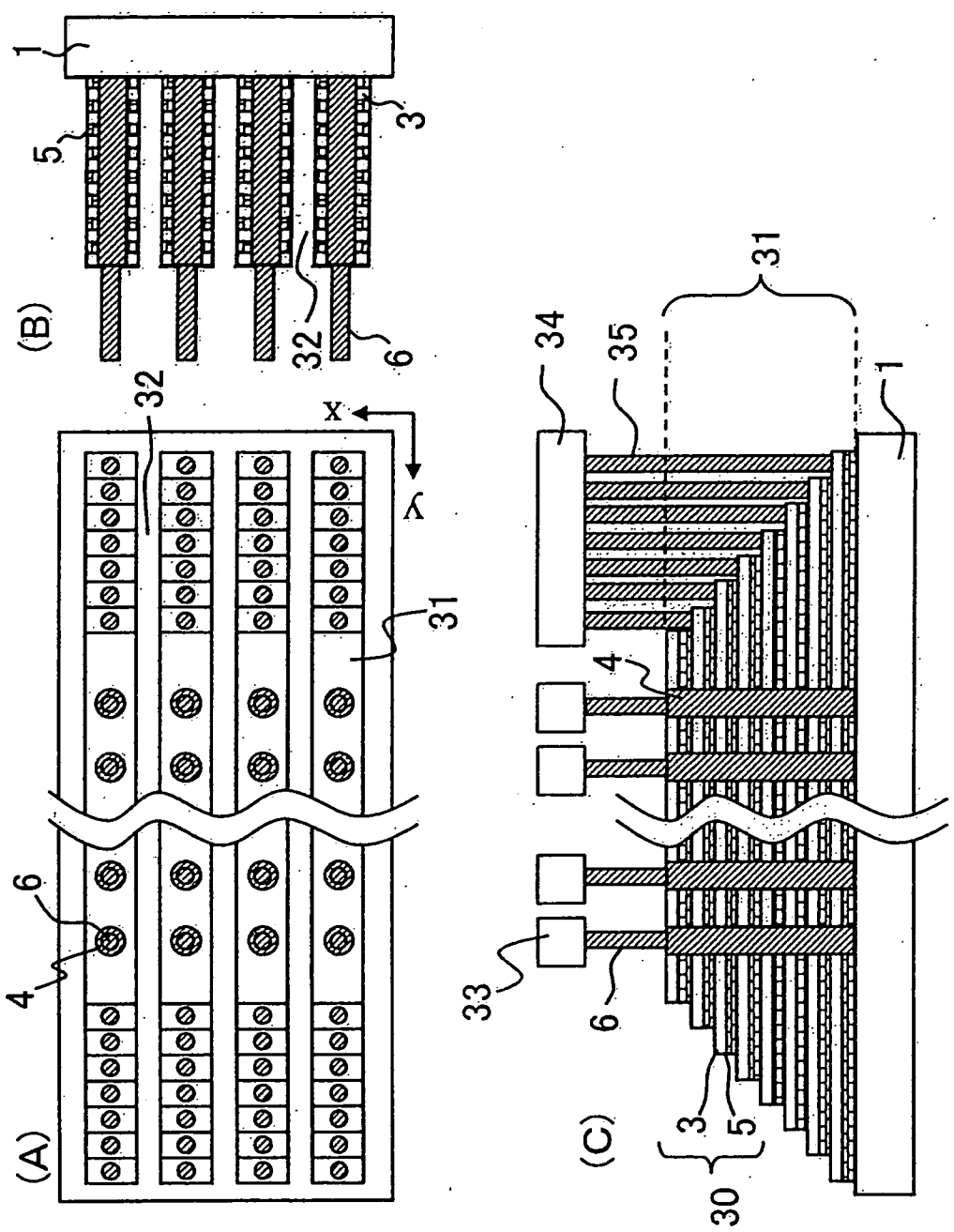


圖 2

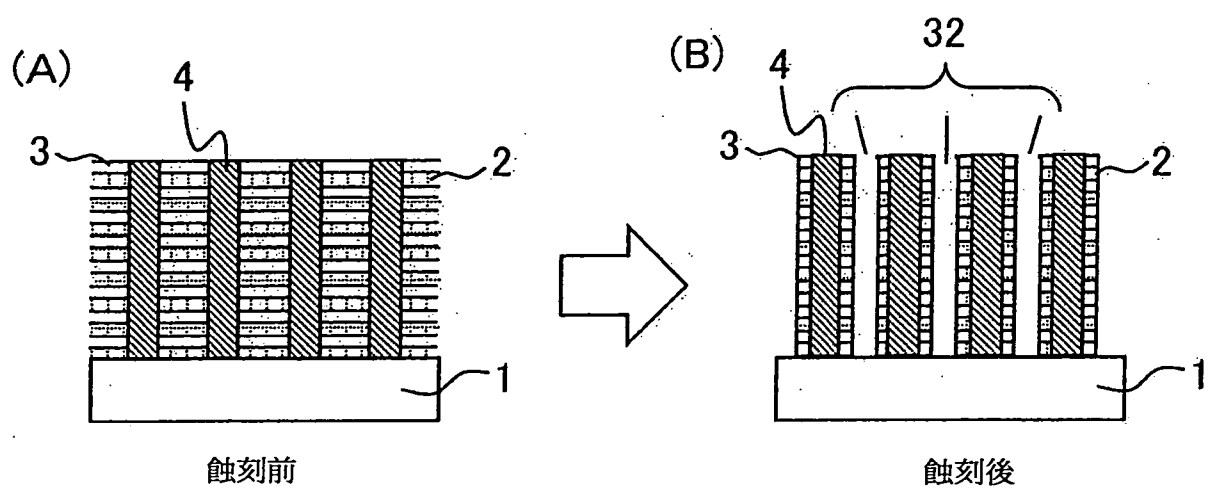


圖 3

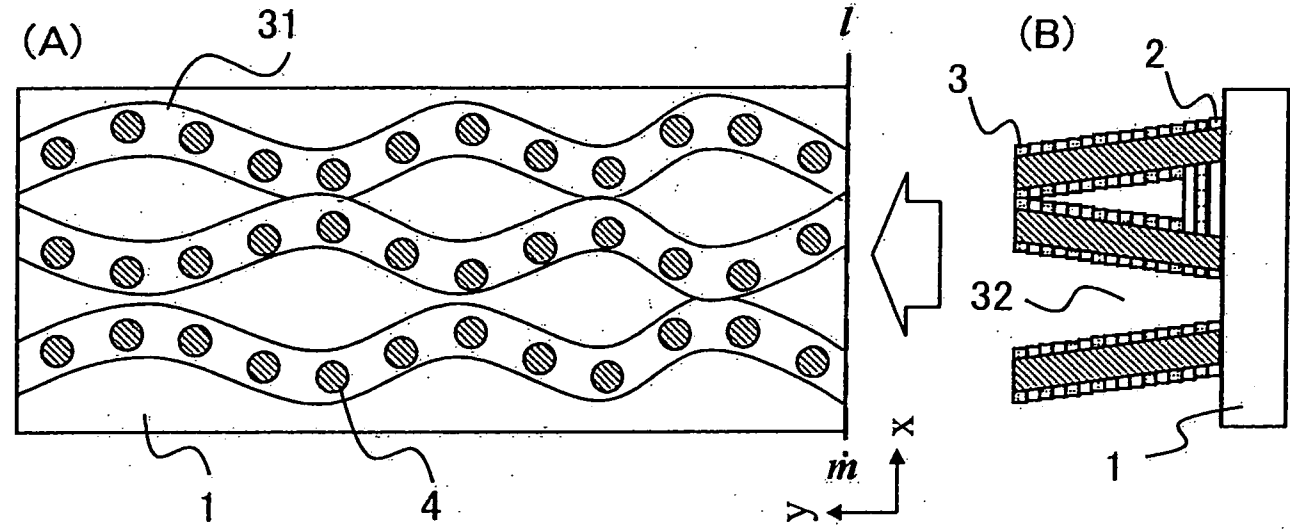


圖 4

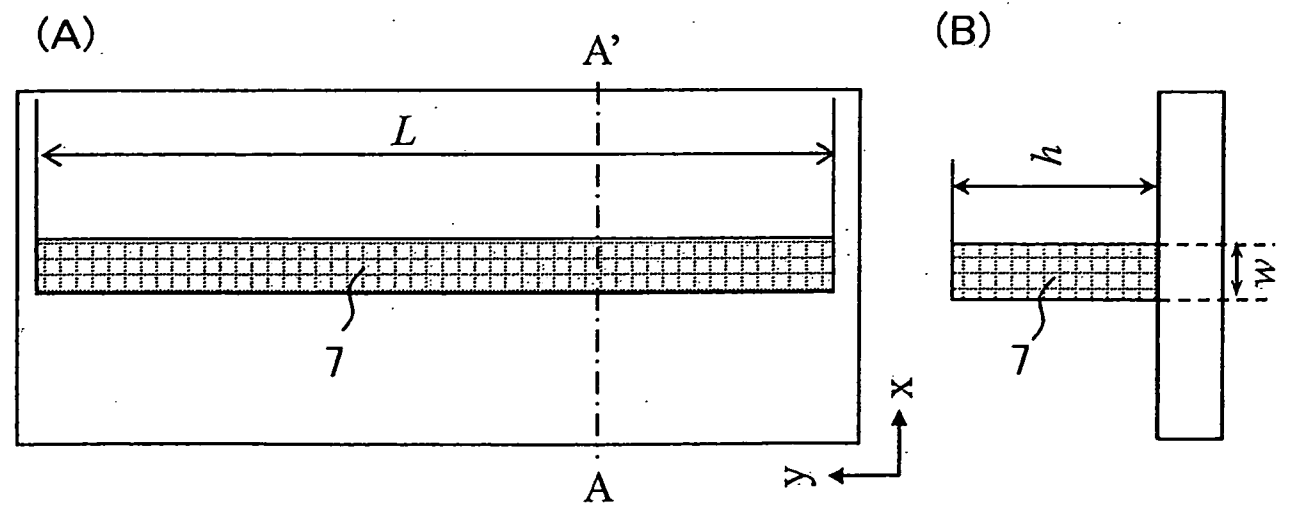


圖 5

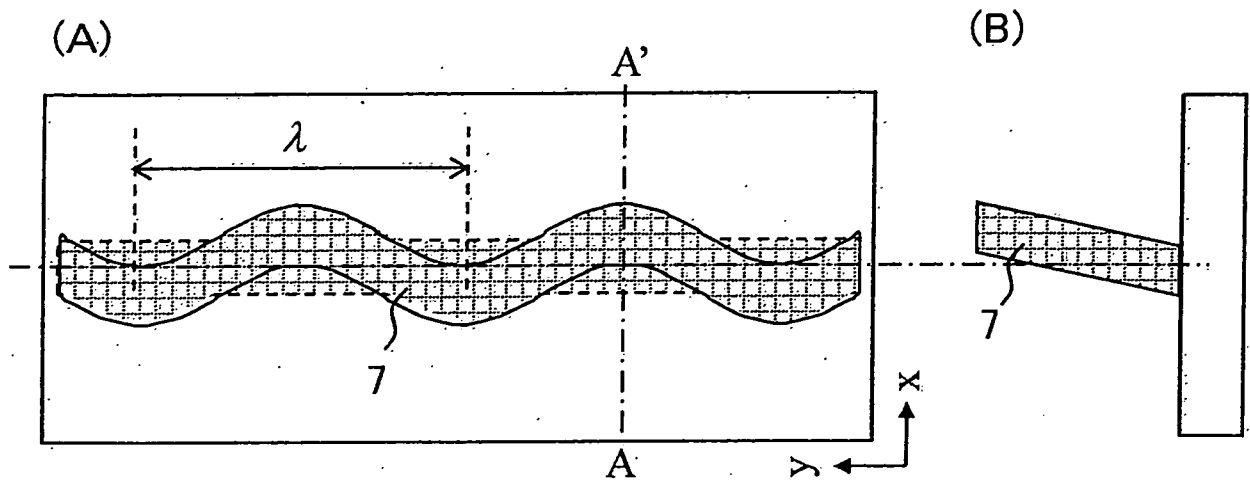


圖 6

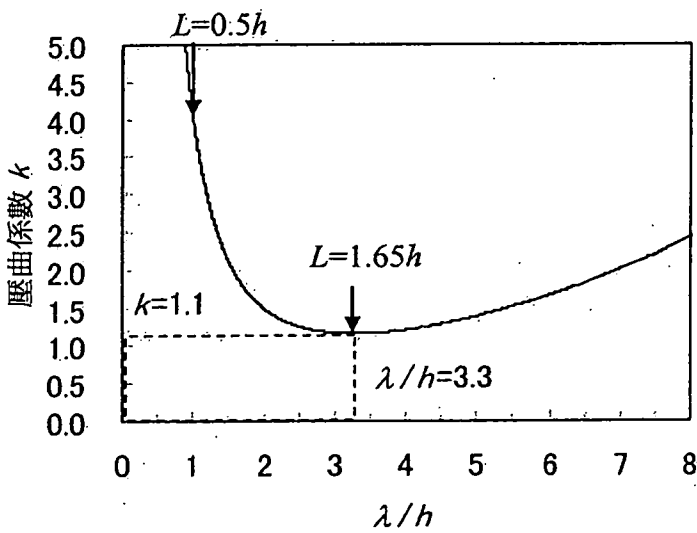


圖 7

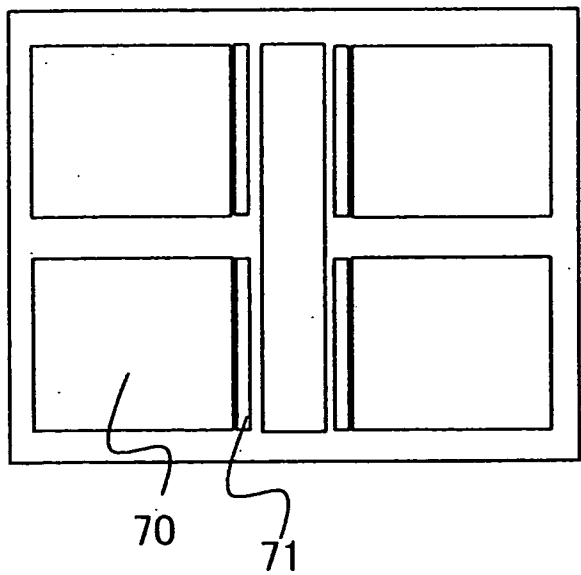


圖 8

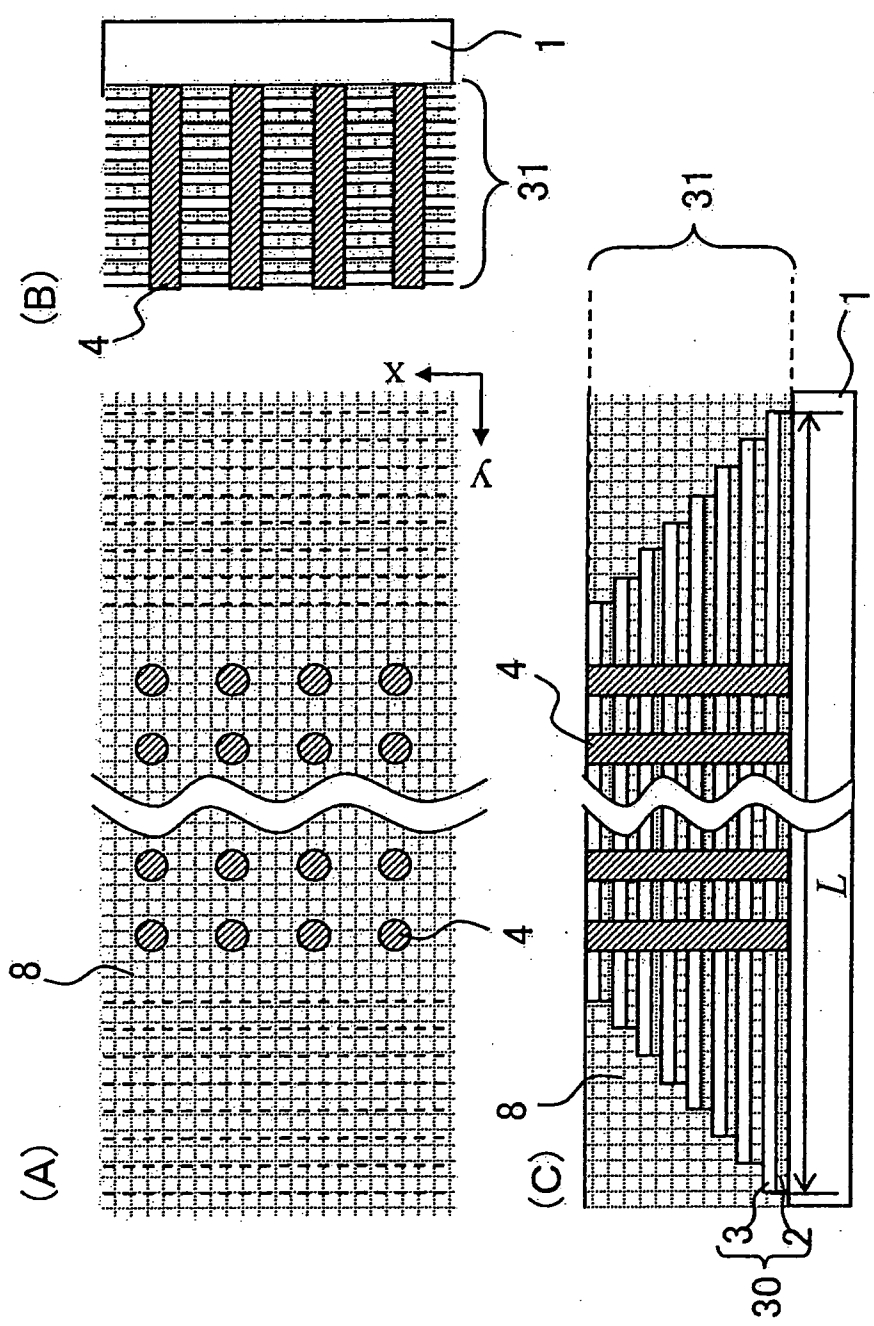


圖 9

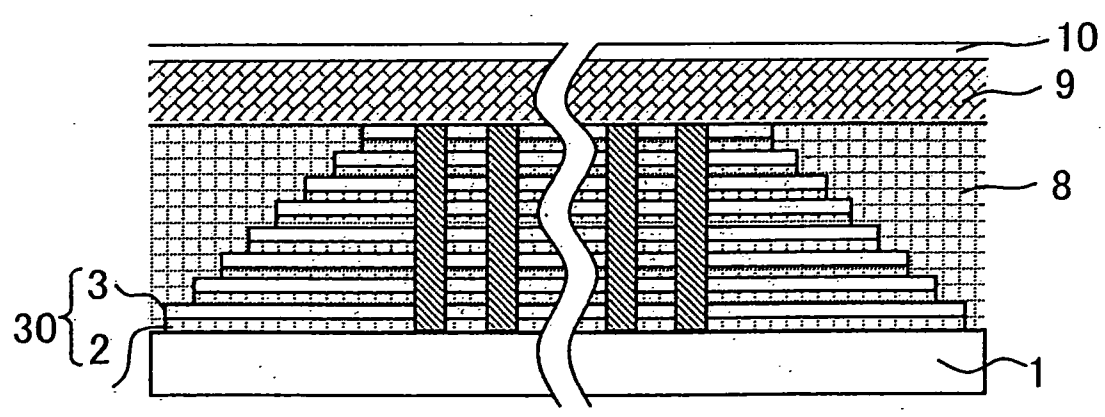


圖 10

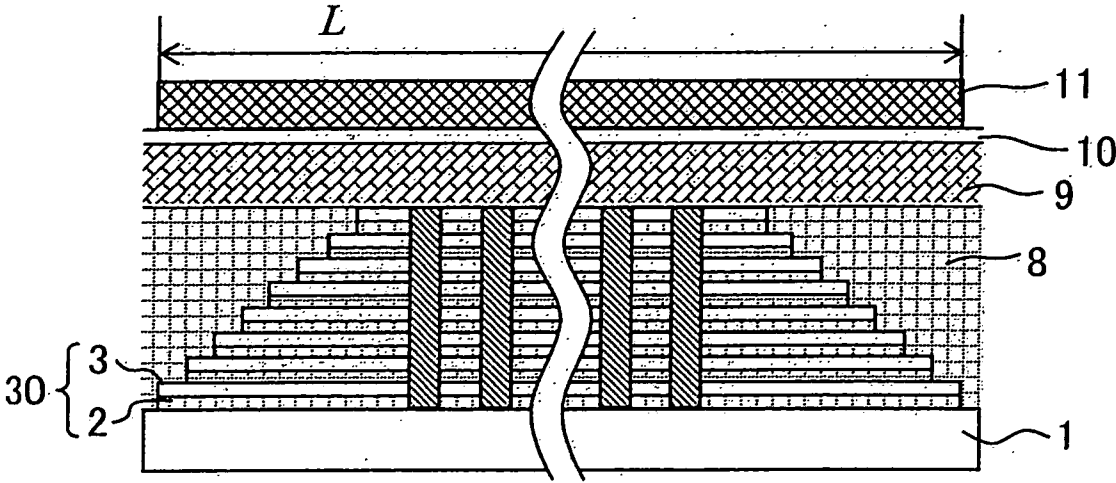


圖 11

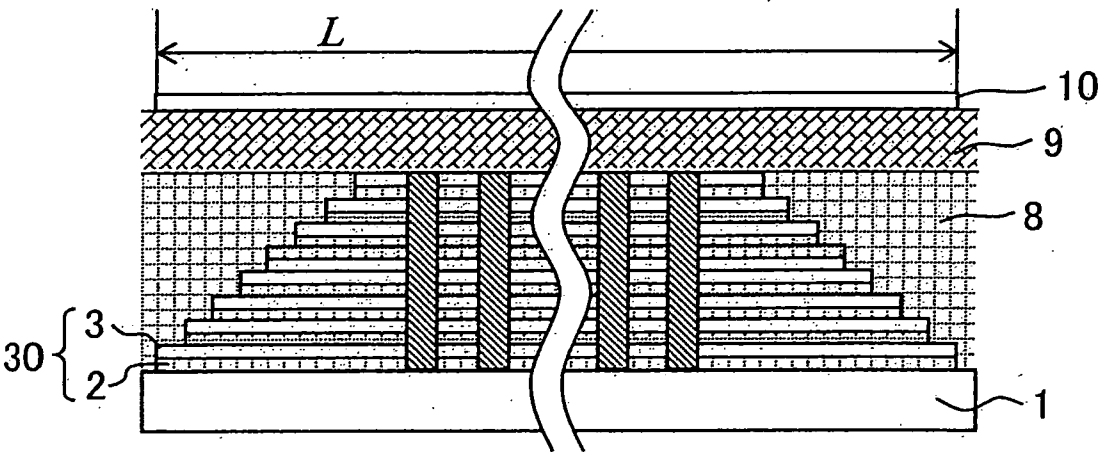


圖 12

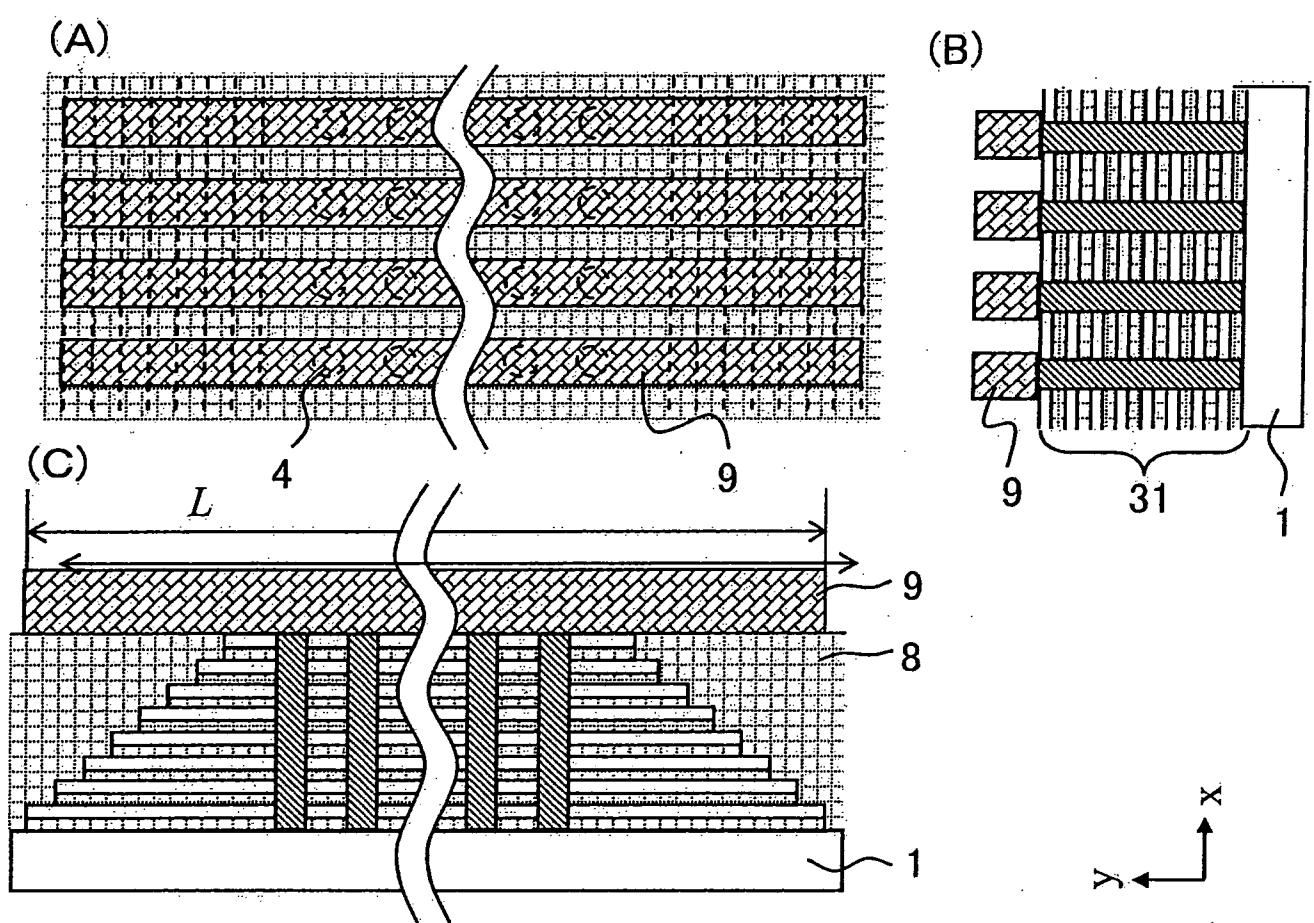


圖 13

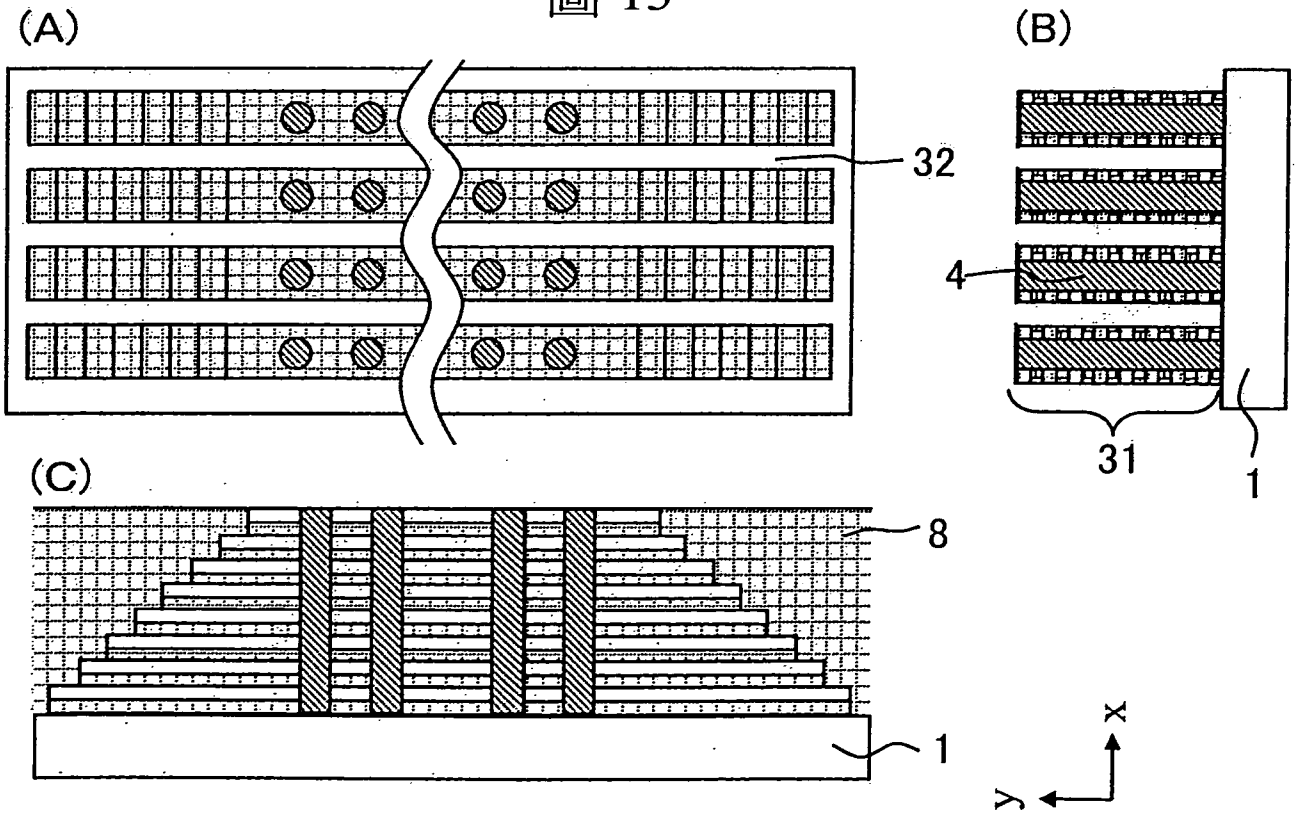


圖 14

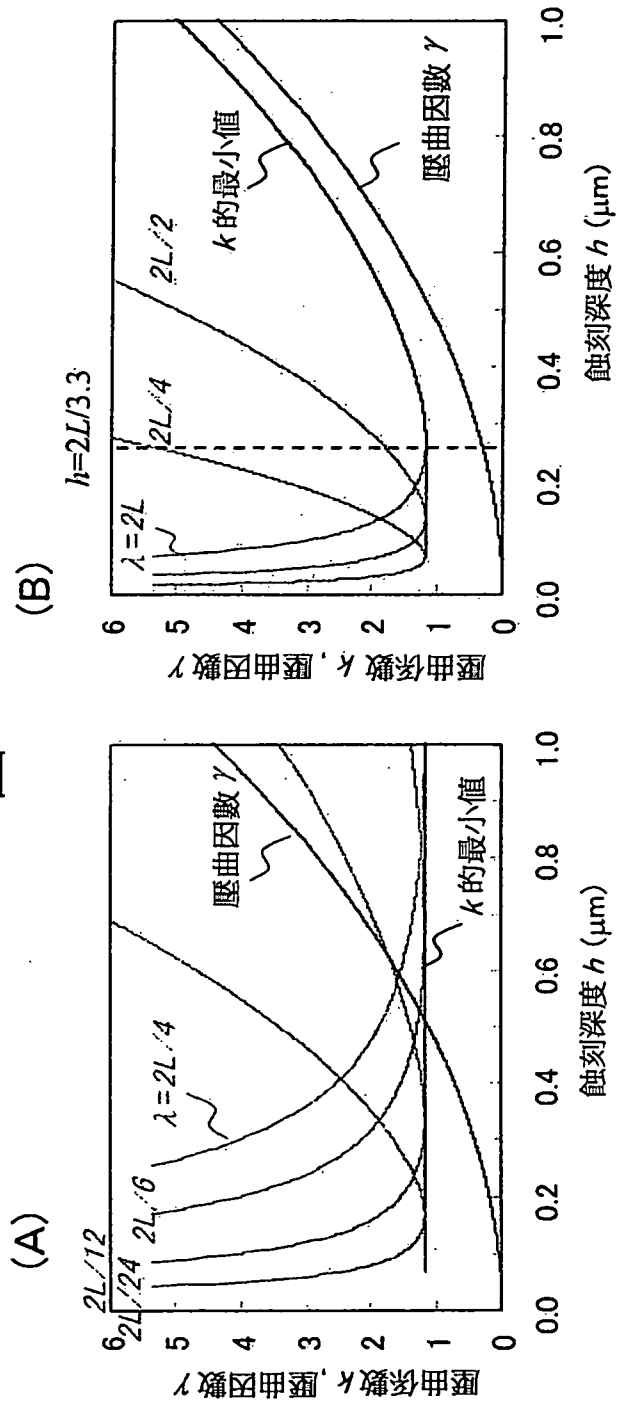


圖 15 (A) (B)

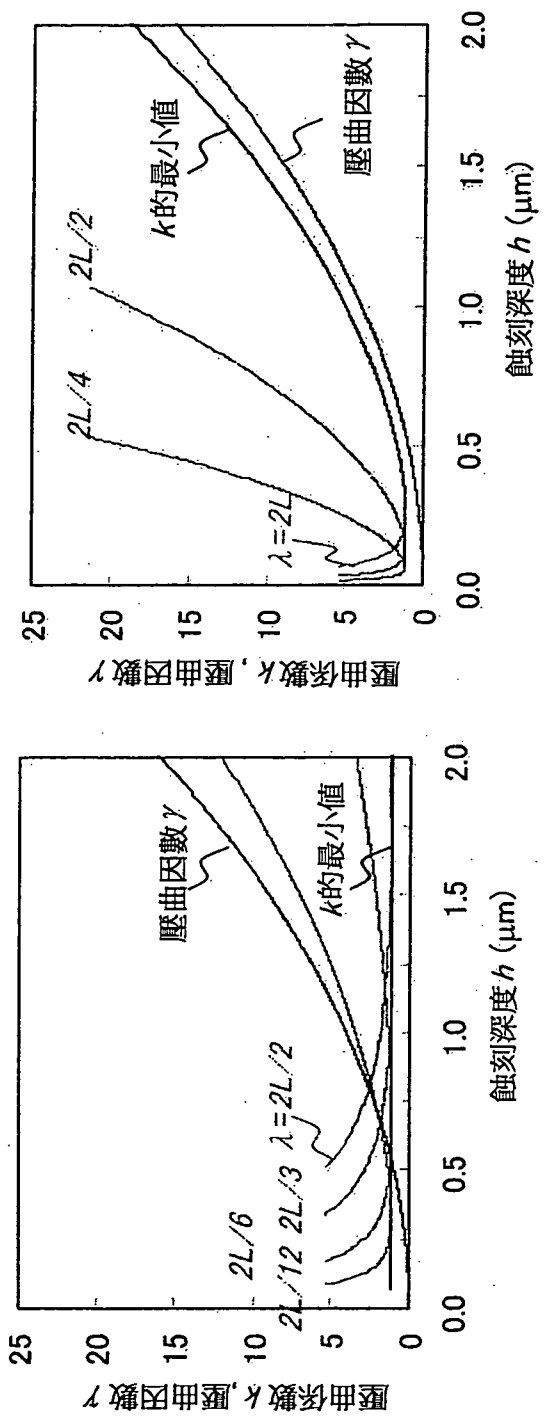


圖 16

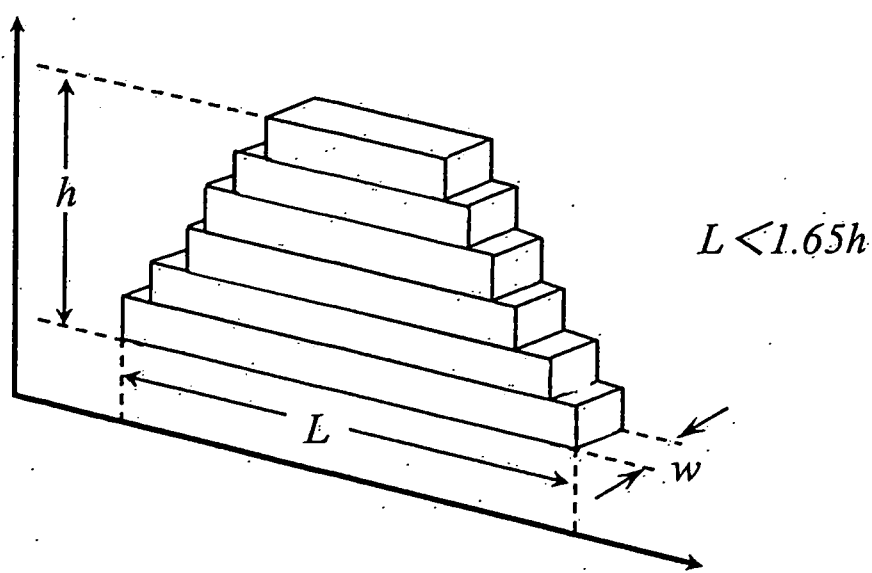


圖 17

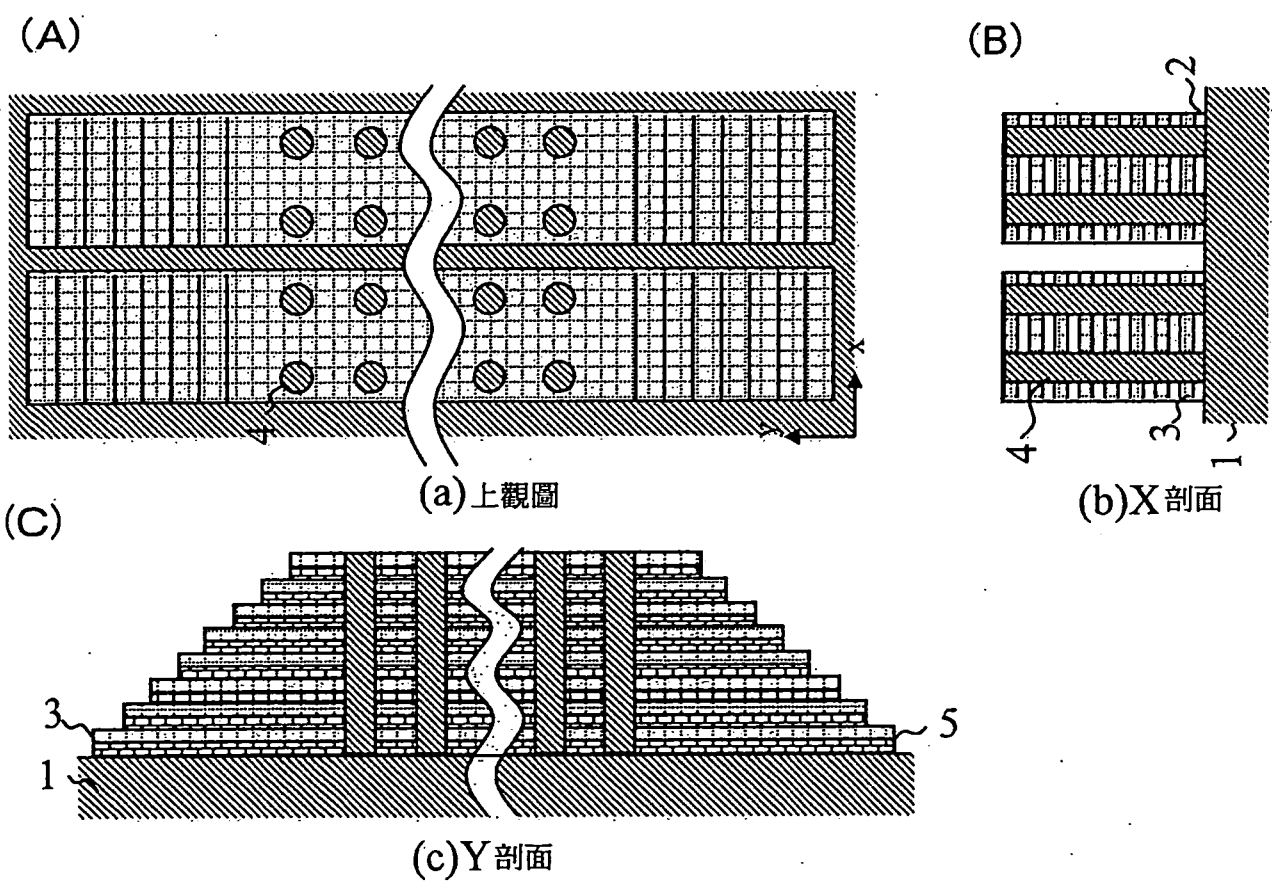


圖 18

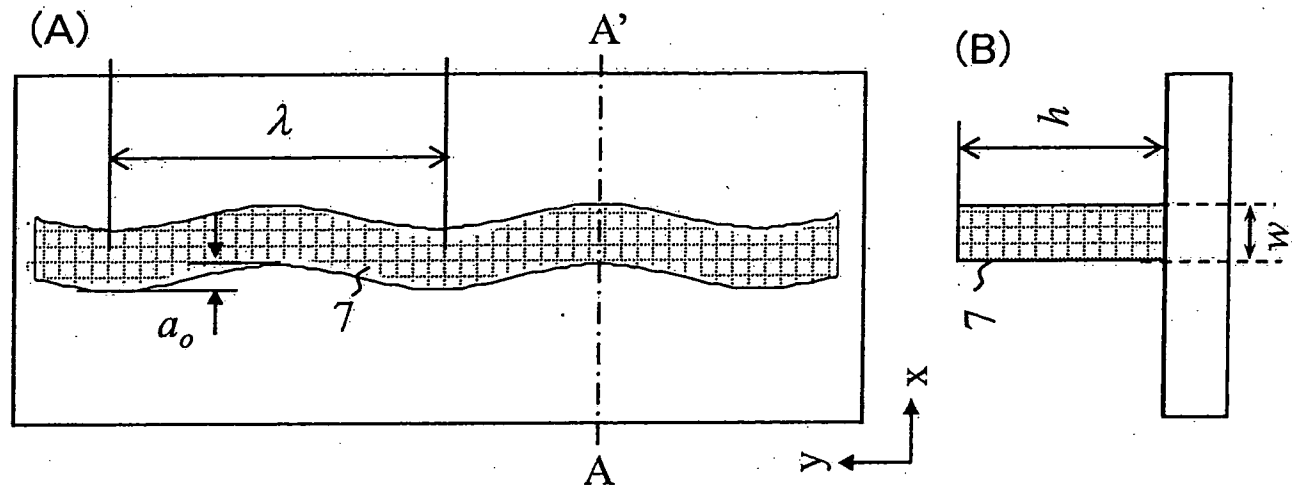


圖 19

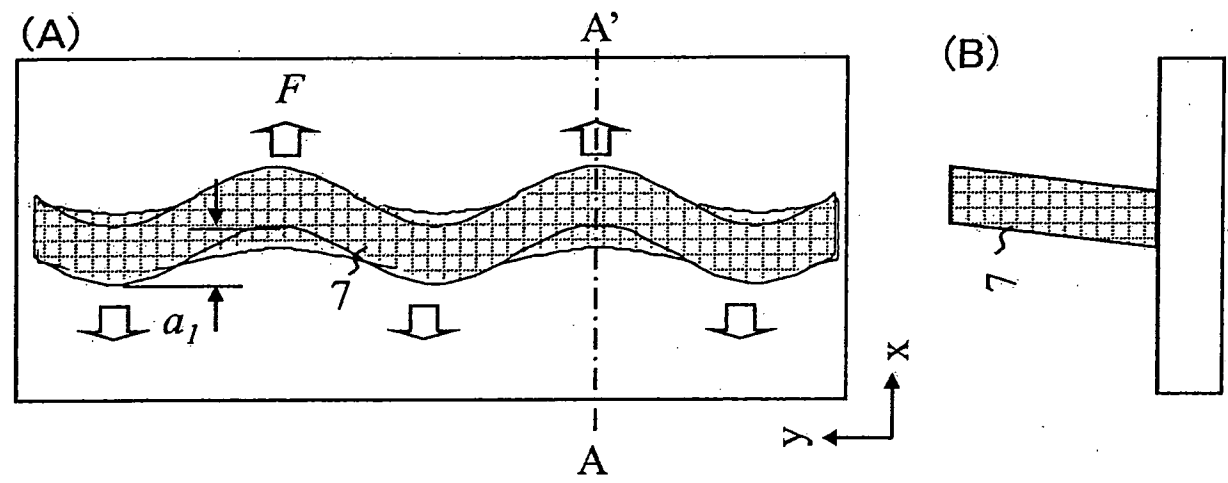


圖 20

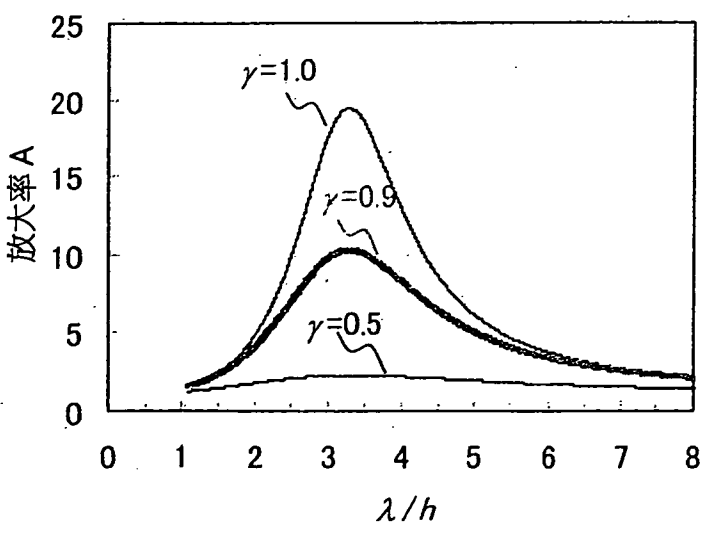


圖 21

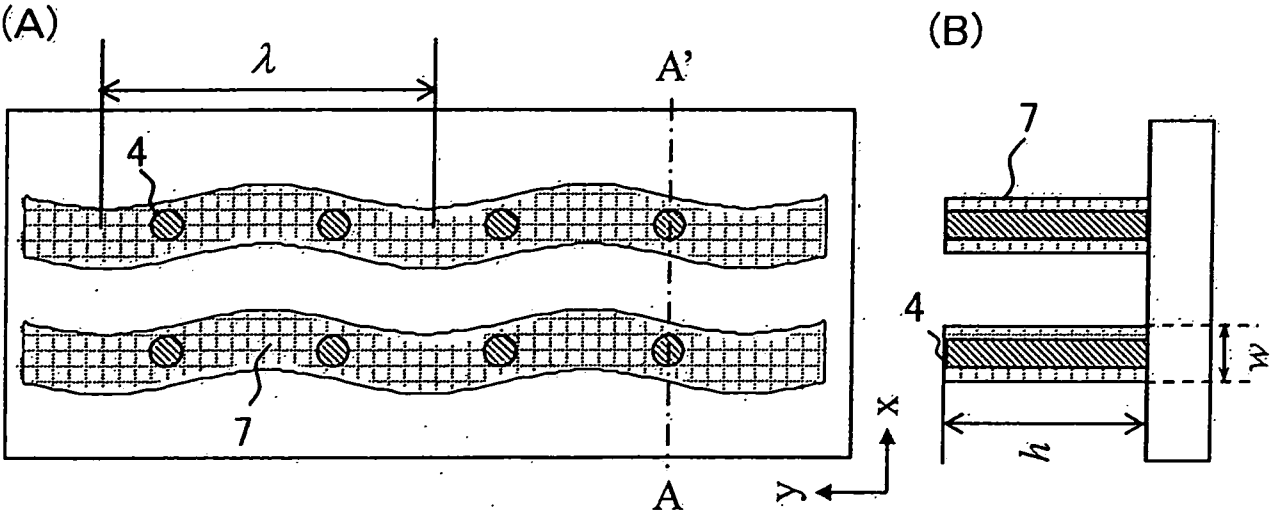


圖 22

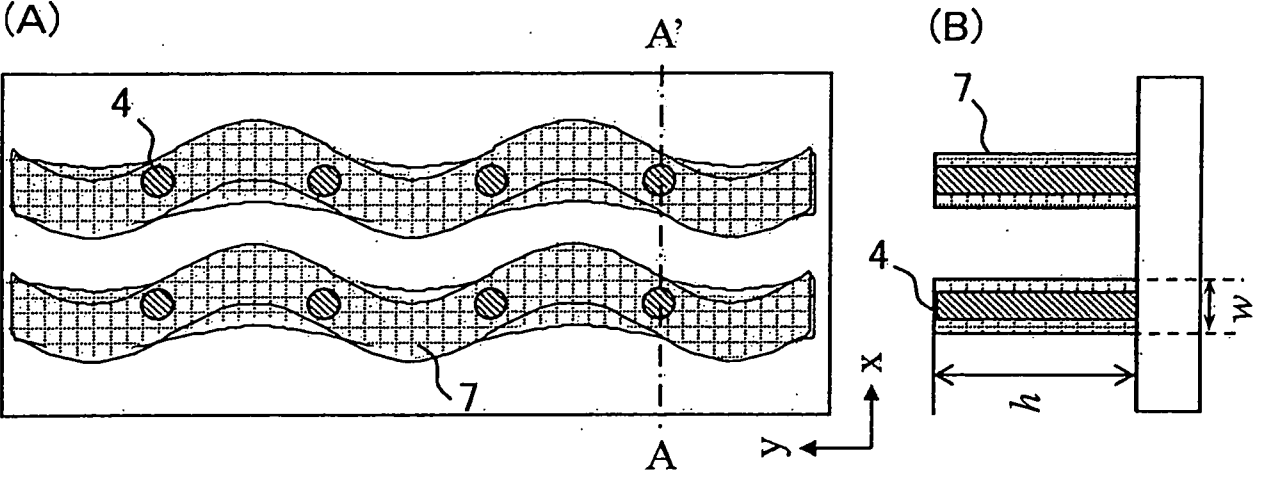


圖 23

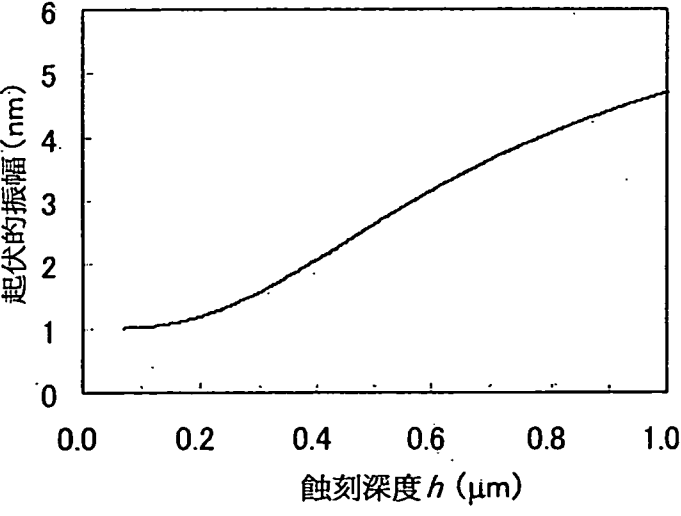


圖 24

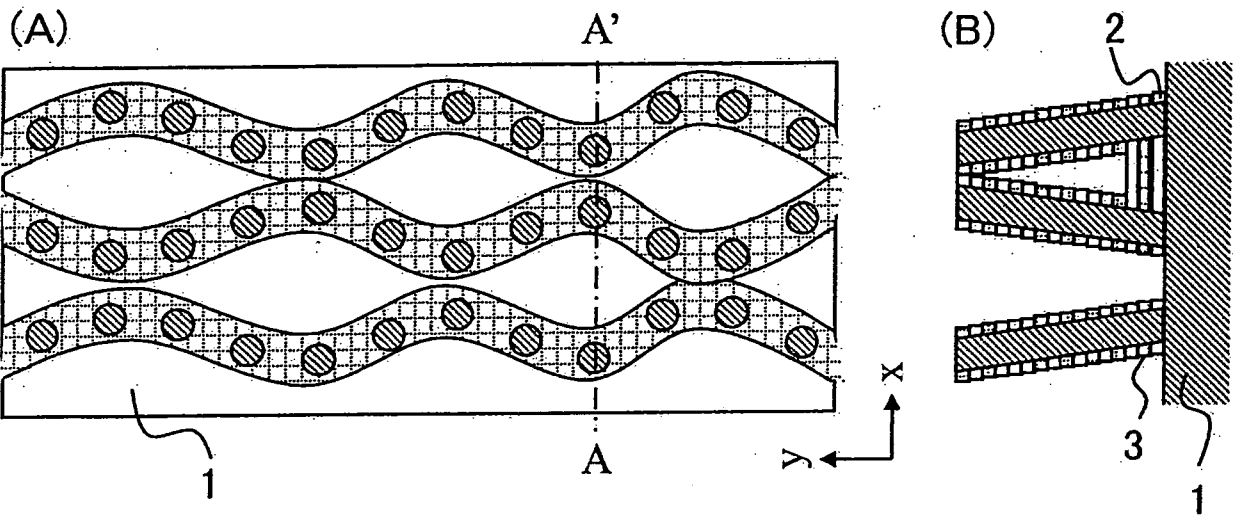


圖 25

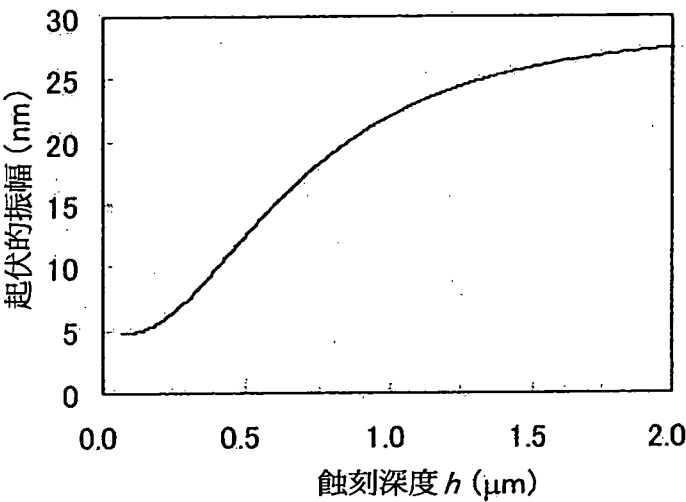


圖 26

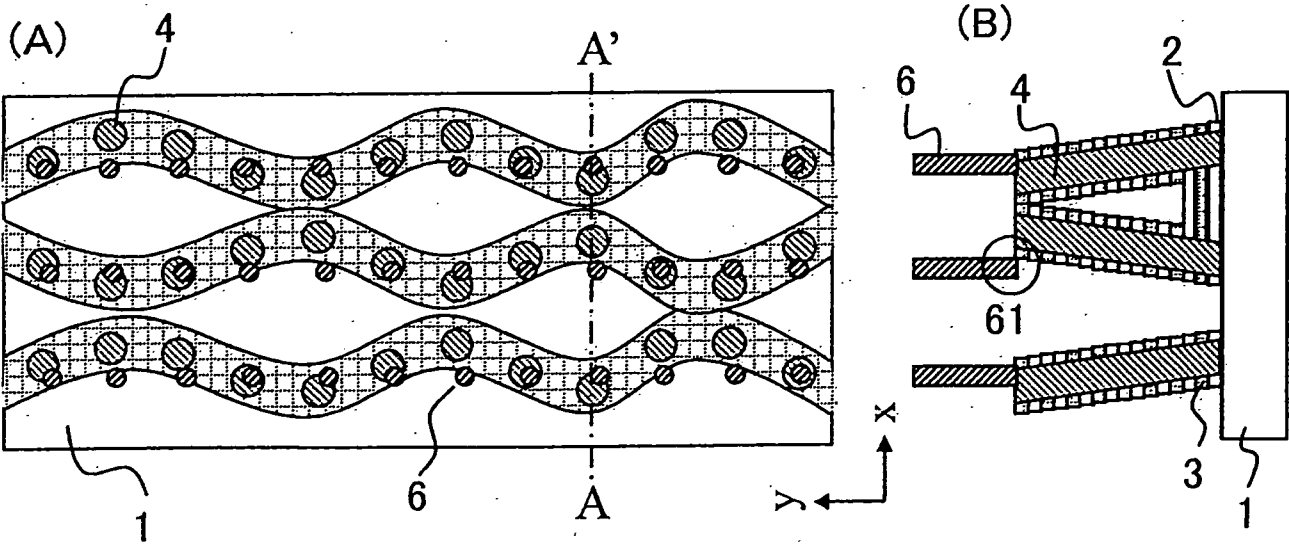


圖 27

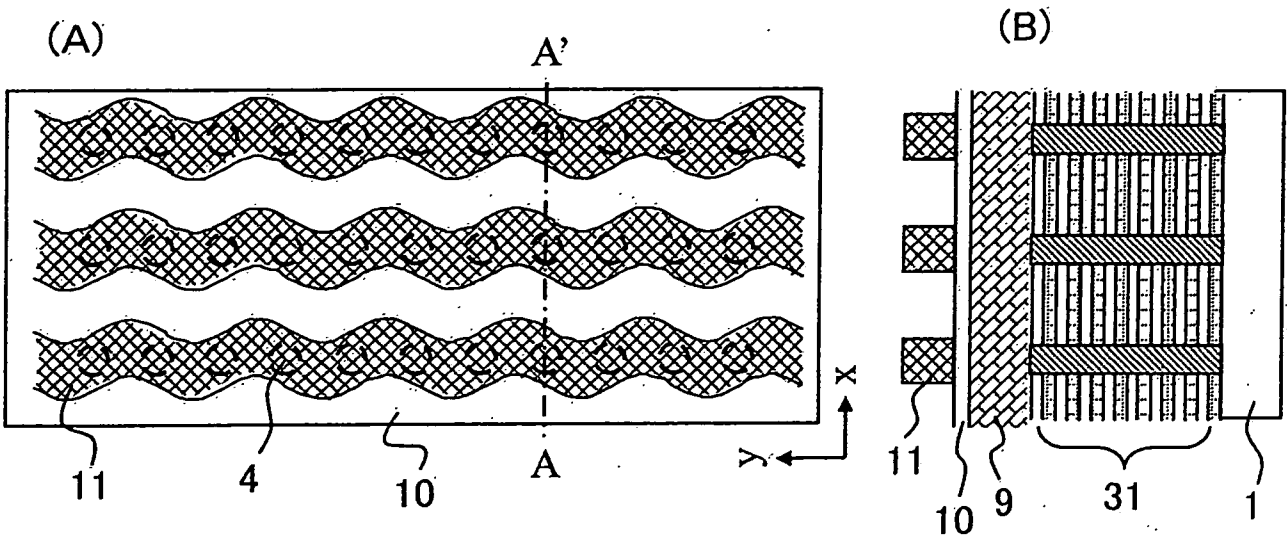


圖 28

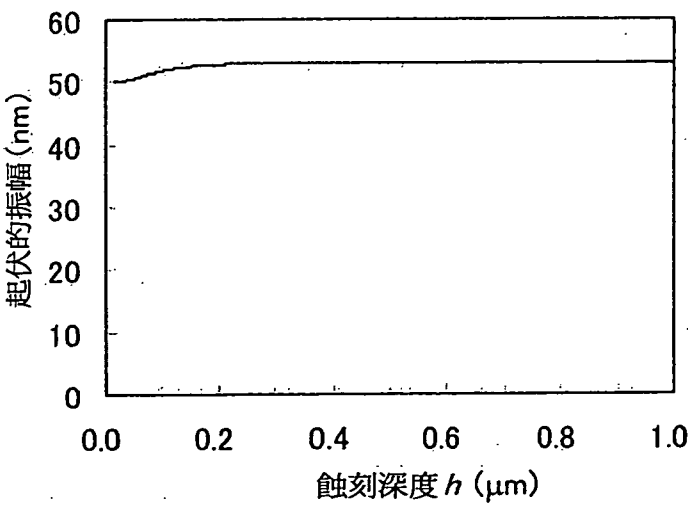


圖 29

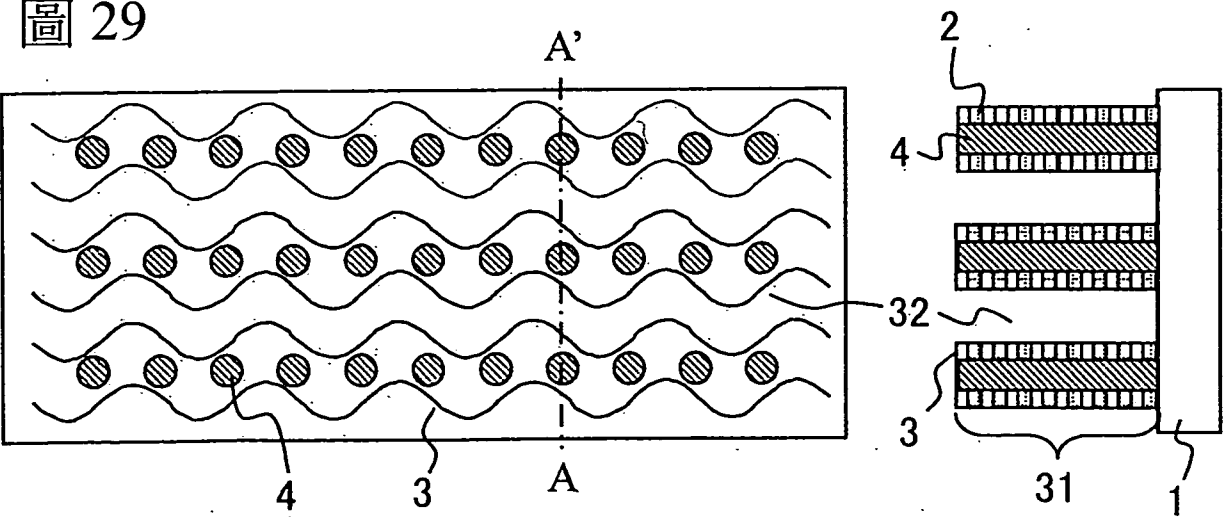


圖 30

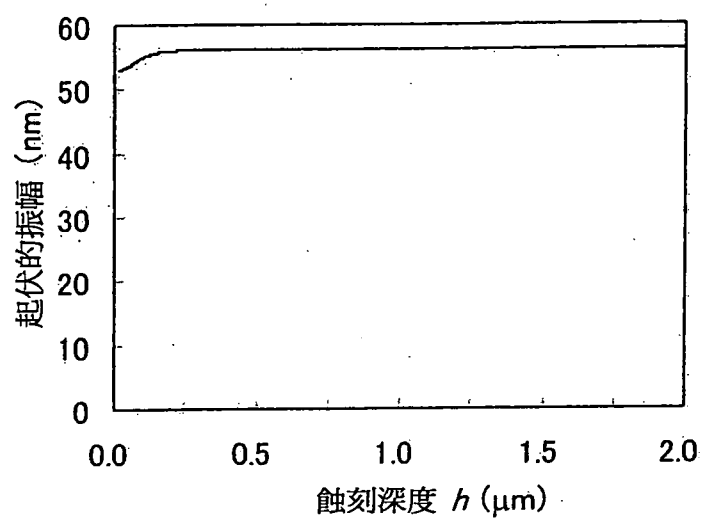


圖 31

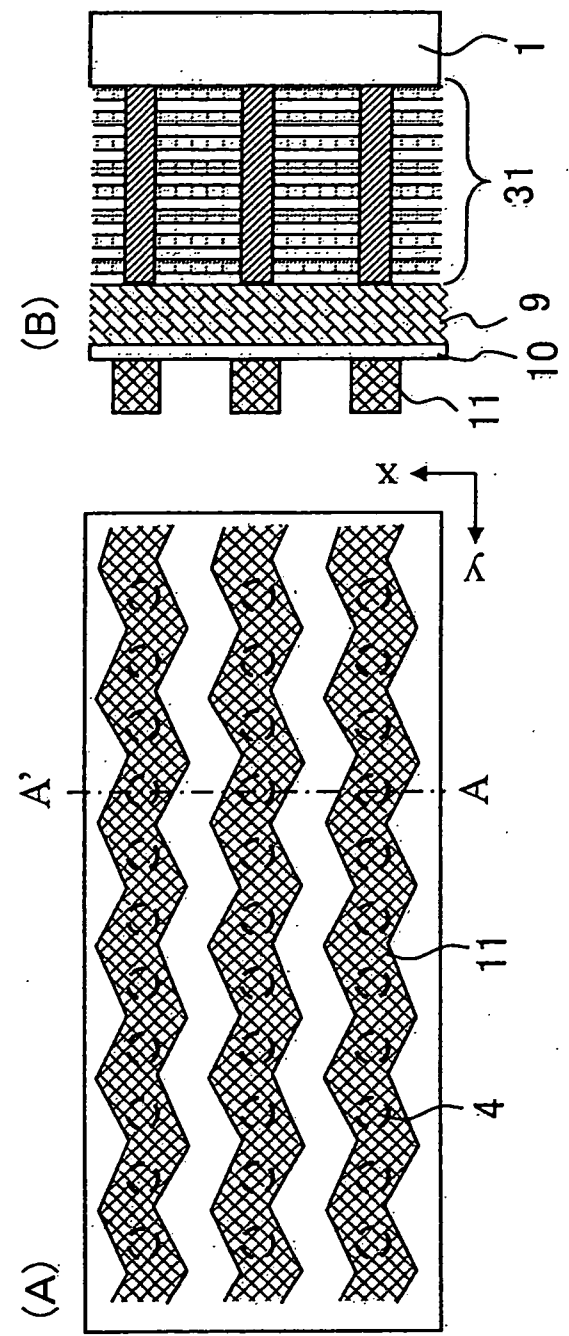


圖 32

