(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0142455
(43) 공개일자 2014년12월12일

(51) 국제특허분류(Int. Cl.)
H01L 21/20 (2006.01) *H01L 21/02* (2006.01)
(21) 출원번호 10-2013-0063821
(22) 출원일자 2013년06월04일
심사청구일자 2013년06월04일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
한창수
서울 노원구 중계로 184, 107동 1202호 (중계동, 라이프청구신동아아파트)
정원석
서울 금천구 한내로 62, 1동 806호 (독산동, 한신아파트)
(74) 대리인
특허법인충현

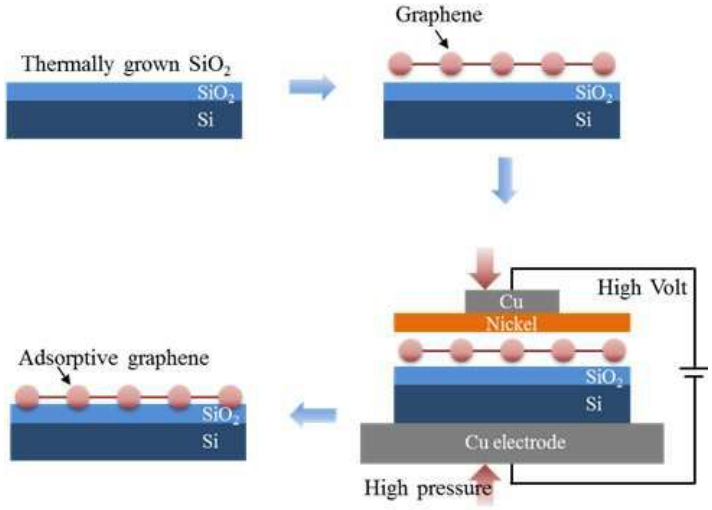
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **나노박막의 전사 및 접착방법**

(57) 요 약

본 발명은 2차원 형태의 나노박막을 원하는 기판에 단단하게 부착하는 방법에 관한 것이다. 특히 나노크기의 두께를 갖는 그래핀, MoS_2, WS, h-BN, 탄소나노튜브 박막, 나노와이어 박막 등과 같은 매우 얇은 박막을 기판 위에서 기계적 압력 하에서 전기장을 통해 결합력을 향상시키는 것과 Cu에 성장한 그래핀을 다른 중간 매개체 없이 PET와 같은 고분자 기판위에 직접적으로 전사시켜 부착하는 방법으로서 적어도 한쪽은 부도체를 포함하는 것을 특징으로 한다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업
과제고유번호 20110031635
부처명 한국연구재단
연구관리전문기관 연구지원부
연구사업명 (원천)글로벌프론티어
연구과제명 분자 조작 및 조립기반 공정기술
기 여 율 1/1
주관기관 고려대학교 산학협력단
연구기간 2011.09.29 ~ 2012.08.31

특허청구의 범위

청구항 1

(a) 접착 기판의 일면과 박막의 일면을 접촉시키는 단계, (b) 상기 접착 기판과 상기 박막이 압착되도록 상기 접착 기판의 타면과 상기 박막의 타면에 압력을 가하는 단계, (c) 상기 접착 기판의 타면과 상기 박막의 타면에 전기장을 가하는 단계를 포함하는 기판과 박막의 접착방법으로서;

① 상기 (b) 단계와 상기 (c) 단계는 동시에 수행될 수도 있고, ② 상기 (b) 단계에 따라 압력이 가해진 상태에서 상기 (c) 단계가 수행될 수도 있으며, 또는 ③ 상기 (c) 단계에 따라 전기장이 가해진 상태에서 상기 (b) 단계가 수행될 수도 있으며;

상기 박막은 두께가 0.3 nm 내지 1 μm인 것을 특으로 하는 기판과 박막의 접착방법.

청구항 2

(a') 박막 성장 기판 위에 성장해 있는 박막을 접착 기판 위로 전사함으로써, 상기 접착 기판의 일면과 상기 박막의 일면을 접촉시키는 단계, (b) 상기 접착 기판과 상기 박막이 압착되도록 상기 접착 기판의 타면과 상기 박막의 타면에 압력을 가하는 단계, (c) 상기 접착 기판의 타면과 상기 박막의 타면에 전기장을 가하는 단계를 포함하는 기판과 박막의 접착방법으로서;

① 상기 (b) 단계와 상기 (c) 단계는 동시에 수행될 수도 있고, ② 상기 (b) 단계에 따라 압력이 가해진 상태에서 상기 (c) 단계가 수행될 수도 있으며, 또는 ③ 상기 (c) 단계에 따라 전기장이 가해진 상태에서 상기 (b) 단계가 수행될 수도 있으며;

상기 박막은 두께가 0.3 nm 내지 2 mm인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 (c) 단계는 제1 평면 도전성 판과 제2 평면 도전성 판을 ① 상기 접착 기판과 상기 박막에 각각 접촉시키거나, 또는 ② 상기 접착 기판과 상기 박막 성장 기판에 각각 접촉시키고, 상기 제1 평면 도전성 판과 상기 제2 평면 도전성 판에 전압을 가함으로써 수행되며;

상기 2개의 평면 도전성 판은 서로 동일한 재질로 이루어지거나 또는 상이한 재질로 이루어질 수 있는 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 4

제3항에 있어서, 상기 기판은 도체이며;

상기 (c) 단계는 상기 2개의 평면 도전성 판 사이에 부도체를 위치시키고, 상기 2개의 평면 도전성 판에 상기 부도체의 절연 파괴 전압 이하의 전압을 가함으로써 수행되며;

상기 부도체는 유리 계열 물질, 금속 옥사이드, 반도체 절연체, 고분자 중에서 선택된 1종 이상인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 5

제1항 또는 제2항에 있어서, 상기 접착 기판은 유리 계열 물질, 고분자, 금속, 금속 옥사이드, 반도체, 반도체 절연체 중에서 선택된 1종 이상의 물질로 구성된 기판인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 6

제1항 또는 제2항에 있어서, 상기 박막 성장 기판은 금속, 반도체, 반도체 절연체 중에서 선택된 1종 이상의 물질로 구성된 기판인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 7

제1항 또는 제2항에 있어서, 상기 박막은 ① 그래핀, 그래핀 옥사이드, h-BN, MoS_x, WS_x, 이들 2종 이상의 결합

체 중에서 선택된 2차원 박막이거나; ② 탄소 나노튜브로 구성된 2차원 형태 박막 또는 나노와이어로 구성된 2차원 형태 박막이거나; ③ 상기 2차원 박막 또는 상기 2차원 형태 박막에 나노입자가 결합된 복합 박막 중에서 선택된 1종 이상이며;

상기 x는 양수인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 8

제1항 또는 제2항에 있어서, 상기 접촉시키는 단계, 상기 압력을 가하는 단계, 상기 전기장을 가하는 단계 중에서 선택된 1개 이상의 단계는 전기장과 압력 외 추가적인 조건 하에서 수행되고;

상기 추가적인 조건은 특정 기체 분위기, 진공 상태, 온도 변화 중에서 선택된 1종 이상인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 9

제3항 중 어느 한 항에 있어서, 상기 도전성 판은 부착 방지를 위해 표면 처리된 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 10

제2항에 있어서, 상기 전사는 습식 전사 방식에 의해서 수행되고;

상기 (c) 단계는 제1 평면 도전성 판과 제2 평면 도전성 판을 ① 상기 접착 기판과 상기 박막에 각각 접촉시키거나, 또는 ② 상기 접착 기판과 상기 박막 성장 기판에 각각 접촉시키고, 상기 제1 평면 도전성 판과 상기 제2 평면 도전성 판에 전압을 가함으로써 수행되며;

상기 접착 기판은 (i) Si 기판의 표면에 SiO_2 층이 형성된 SiO_2/Si 기판, (ii) 고분자 기판, (iii) 유기 기판 중에서 선택되고;

상기 박막은 그래핀이고; 상기 박막 성장 기판은 Cu 기판이며;

상기 제1 도전성 판은 Cu 전극이고;

상기 제2 도전성 판은 Cu 전극과 평판의 이중층 판이고; 상기 Cu 전극과 상기 평판 중 상기 평판이 상기 박막과 접하는 쪽에 위치하며;

상기 전압은 SiO_2의 절연 파괴 전압 이하이고; 상기 접착 기판이 상기 고분자 기판인 경우에는 상기 (b) 단계 및 상기 (c) 단계 중 적어도 하나의 단계가 상기 고분자 기판의 유리 전이 온도 이상 및 상기 고분자 기판의 녹는점 이하의 온도에서 수행되고; 상기 접착 기판이 유기 기판인 경우에는 상기 (b) 단계 및 상기 (c) 단계 중 적어도 하나의 단계는 상기 접착 기판이 250-350 ℃의 온도로 유지된 상태에서 수행되는 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 11

(a'') 접착 기판의 일면과 박막 성장 기판의 양면 중 적어도 일면에 성장해 있는 박막을 접촉시키는 단계, (b'') 상기 접착 기판과 상기 박막이 압착되도록, 상기 접착 기판의 타면과 상기 박막 성장 기판의 양면 중 상기 접착 기판과 압착되는 상기 박막이 성장해 있는 면의 반대편인 타면에 압력을 가하는 단계, (c'') 상기 접착 기판의 타면과 상기 박막 성장 기판의 타면에 전기장을 가하는 단계를 포함하는 기판과 박막의 접착방법으로서;

① 상기 (b'') 단계와 상기 (c'') 단계는 동시에 수행될 수도 있고, ② 상기 (b'') 단계에 따라 압력이 가해진 상태에서 상기 (c'') 단계가 수행될 수도 있으며, 또는 ③ 상기 (c'') 단계에 따라 전기장이 가해진 상태에서 상기 (b'') 단계가 수행될 수도 있으며;

상기 박막은 두께가 0.3 nm 내지 1 μm인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 12

제11항에 있어서, 상기 (c'') 단계는 제1 평면 도전성 판과 제2 평면 도전성 판을 ① 상기 접착 기판과 상기 박막에 각각 접촉시키거나, 또는 ② 상기 접착 기판과 상기 박막 성장 기판에 각각 접촉시키고, 상기 제1 평면 도

전성 판과 상기 제2 평면 도전성 판에 전압을 가함으로써 수행되며;

상기 2개의 평면 도전성 판은 서로 동일한 재질로 이루어지거나 또는 상이한 재질로 이루어질 수 있는 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 13

제12항에 있어서, 상기 기판은 도체이며;

상기 (c'') 단계는 상기 2개의 평면 도전성 판 사이에 부도체를 위치시키고, 상기 2개의 평면 도전성 판에 상기 부도체의 절연 파괴 전압 이하의 전압을 가함으로써 수행되며;

상기 부도체는 유리 계열 물질, 금속 옥사이드, 반도체 절연체, 고분자 중에서 선택된 1종 이상인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 14

제11항에 있어서, 상기 접착 기판은 유리 계열 물질, 고분자, 금속, 금속 옥사이드, 반도체, 반도체 절연체 중에서 선택된 1종 이상의 물질로 구성된 기판인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 15

제11항에 있어서, 상기 박막 성장 기판은 금속, 반도체, 반도체 절연체 중에서 선택된 1종 이상의 물질로 구성된 기판인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 16

제11항에 있어서, 상기 박막은 ① 그래핀, 그래핀 옥사이드, h-BN, MoS_x, WS_x, 이들 2종 이상의 결합체 중에서 선택된 2차원 박막이거나; ② 탄소 나노튜브로 구성된 2차원 형태 박막 또는 나노와이어로 구성된 2차원 형태 박막이거나; ③ 상기 2차원 박막 또는 상기 2차원 형태 박막에 나노입자가 결합된 복합 박막 중에서 선택된 1종 이상이며;

상기 x는 양수인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 17

제11항에 있어서, 상기 접촉시키는 단계, 상기 압력을 가하는 단계, 상기 전기장을 가하는 단계 중에서 선택된 1개 이상의 단계는 전기장과 압력 외 추가적인 조건 하에서 수행되고;

상기 추가적인 조건은 특정 기체 분위기, 진공 상태, 온도 변화 중에서 선택된 1종 이상인 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 18

제11항에 있어서, 상기 도전성 판은 부착 방지를 위해 표면 처리된 것을 특징으로 하는 기판과 박막의 접착방법.

청구항 19

제11항에 있어서, 상기 (c'') 단계는 제1 평면 도전성 판과 제2 평면 도전성 판을 ① 상기 접착 기판과 상기 박막에 각각 접촉시키거나, 또는 ② 상기 접착 기판과 상기 박막 성장 기판에 각각 접촉시키고, 상기 제1 평면 도전성 판과 상기 제2 평면 도전성 판에 전압을 가함으로써 수행되며;

상기 접착 기판은 (i) Si 기판의 표면에 SiO_2 층이 형성된 SiO_2/Si 기판, (ii) 고분자 기판, (iii) 유리 기판 중에서 선택되고;

상기 박막은 그래핀이고; 상기 박막 성장 기판은 Cu 기판이며;

상기 제1 도전성 판은 Cu 전극이고;

상기 제2 도전성 판은 Cu 전극과 평판의 이중층 판이고; 상기 Cu 전극과 상기 평판 중 상기 평판이 상기 박막과

접하는 쪽에 위치하며;

상기 접착 기판이 상기 SiO_2/Si 기판인 경우에는 상기 전압은 SiO_2의 절연 파괴 전압 이하이고; 상기 접착 기판이 상기 고분자 기판인 경우에는 상기 (b'') 단계 및 상기 (c'') 단계 중 적어도 하나의 단계가 상기 고분자 기판의 유리 전이 온도 이상 및 상기 고분자 기판의 녹는점 이하의 온도에서 수행되고; 상기 접착 기판이 유기 기판인 경우에는 상기 (b'') 단계 및 상기 (c'') 단계 중 적어도 하나의 단계는 상기 접착 기판이 250-350 ℃의 온도로 유지된 상태에서 수행되는 것을 특징으로 하는 기판과 박막의 접착방법.

명 세 서

기 술 분 야

[0001] 본 발명은 2차원 형태를 가지는 μm 이하 두께의 박막을 다양한 기판에 전사 및 접착시키는 방법에 관한 것으로, 더욱 상세하게는 압력을 가하면서 박막과 기판을 전기장을 이용해 탈착 및 접착시키고, 상기 제조된 구조를 이용해 장치를 구현하는 것으로, 접착력을 향상시키기 위해 온도와 주변의 기체 환경을 조절할 수 있다.

배 경 기 술

[0002] 나노박막을 손쉽게 탈착시켜 전사하고, 이를 강하게 원하는 기판에 부착하는 기술은 다양한 응용분야에 유용하게 활용될 수 있는데, 일반적으로 하나의 기판에서 성장하거나 강하게 부착되어 있는 박막을 다른 기판으로 전사하려면 이를 떼어내기 위해 기판을 제거하거나 더 강한 결합을 하도록 접착제를 붙여 떼어내곤 한다. 또한 이렇게 떼어낸 박막을 원하는 기판에 접착하려면 주로 물리적(열적 또는 기계적 압착) 방법을 이용해 접착을 하며, 보다 강한 접착을 위해서는 기판 위에 접착제를 붙여놓고 접착을 하게 된다. 그러나, 이와 같은 기존의 방법들은 물질들의 일부분을 손상시키거나 추가해야 하는 경우 등이 발생할 수 있기 때문에 고유한 물질의 특성을 활용하는 측면에서 어려움이 있었다.

[0003] 또한 나노박막의 경우에는 화학적인 처리를 통해서나 단순한 Van der Waals 힘에 의해 부착하게 되면 타겟 기판과의 접착력이 크지 않게 되며, 이는 향후 소자나 부품을 제조하는데 문제가 생기게 된다. 또한 기존의 그래핀의 경우, PMMA와 같은 중간 물질을 사용하여 기판에 전사되기 때문에, 잔여 PMMA 잔류물(residue)에 의해서, 그래핀 고유의 특성이 저해되는 요소가 있었다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 나노두께의 박막을 원래의 성장된 기판에서 떼어내거나 원하는 기판에 단단하게 부착하기 위한 방법을 개발하고자 한다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위한 본 발명은 2차원의 형태를 가지며 μm 이하의 두께를 가지는 나노 박막형 물질을 기판에 부착하기 위하여 압착력과 전기장을 동시에 가하는 것을 특징으로 한다. 하나의 실시예로 기존의 SiO_2/Si 기판 위에 그래핀 나노박막을 올려둔 후에 양단에서 전압을 가할 수 있는 도전성 판으로 눌러주면서 전압을 가하게 된다. 이러한 전압을 가하게 되면 기판 위에 나노박막이 매우 균일하게 부착될 수 있도록 유도하는 특징이 있으며, 또한 나노박막 내 물질에 따라서 물질 상호간의 결합력을 향상시키는 데에도 기여할 수 있다. 또한 타겟 기판과 나노박막이 압착에 의해서도 밀착이 잘 이루어지게 되어 상호간의 결합력을 상승시킬 수 있다.

발명의 효과

[0006] 상술한 바와 같은 본 발명은 나노박막 물질이 타겟 기판에 균일한 접촉을 이루게 되어 그 자체로도 매우 높은 밀착력과 접착력을 제공할 뿐만 아니라, 나노 물질이 다수의 독립적 나노 물질들의 네트워크 형태로 이루어져 있는 경우에는 이러한 네트워크를 이루는 물질들 간의 결합을 향상시키는 데 기여할 수 있다. 즉, 나노 물질들이 가해진 전기장에 의해 나노 물질에만 열이나 자력이 발생할 수 있으며, 이는 물질들 간의 결합력을 향상시키는 도움이 된다. 이와 같이 결합력이 향상된 나노박막을 가진 기판은 소자의 성능을 향상시켜줄 뿐만 아니라, 탈리(delamination) 방지, 항-증기 투과(anti-vapor permeation) 등에 뛰어난 특성을 보여주게 되어 소자나 부품의 안정성 및 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0007] 도 1은 실시예 1에 따른 접착 과정의 모식도이다.

도 2는 실제 접합된 그래핀의 표면과의 접합 에너지를 보여준다.

도 3은 접합되기 전 그래핀의 표면과의 접합 에너지를 보여준다.

도 4는 Raman 변화를 보여준다(No Damage).

도 5는 Cu 필름에서 PET 필름으로 직접 전사(direct transfer)하는 과정을 보여주는 모식도이다.

도 6은 전사 전후의 PET film에서의 Raman 변화를 보여준다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하에서, 본 발명의 여러 측면 및 다양한 구현예에 대해 더욱 구체적으로 살펴보도록 한다.

[0009] 본 발명의 일 측면은 (a) 접착 기판의 일면과 박막의 일면을 접촉시키는 단계, (b) 상기 접착 기판과 상기 박막이 압착되도록 상기 접착 기판의 타면과 상기 박막의 타면에 압력을 가하는 단계, (c) 상기 접착 기판의 타면과 상기 박막의 타면에 전기장을 가하는 단계를 포함하는 기판과 박막의 접착방법에 관한 것이다.

[0010] 상기 측면에 따르면, 상기 (a) 단계는 타 기판에 성장되어 있는 박막을 상기 접착 기판에 습식 또는 건식 전사 등의 방법으로 전사시켜 상기 박막과 상기 기판과 접촉시킬 수도 있고, 또는 이미 기판으로부터 탈착된 박막이거나 또는 원래 기판에 부착되지 않은 상태의 박막을 상기 기판과 접촉시키는 것도 포함한다.

[0011] ① 상기 (b) 단계와 상기 (c) 단계는 동시에 수행될 수도 있고, ② 상기 (b) 단계에 따라 압력이 가해진 상태에서 상기 (c) 단계가 수행될 수도 있으며, 또는 ③ 상기 (c) 단계에 따라 전기장이 가해진 상태에서 상기 (b) 단계가 수행될 수도 있다.

[0012] 특히, 상기 (b) 단계에 따라 압력이 가해진 상태에서 상기 (c) 단계가 수행됨으로써, 형상 적응성(conformal) 접촉 향상 정도가 현저함을 확인하였다.

[0013] 본 발명의 다른 측면은 (a') 박막 성장 기판에 성장해 있는 박막을 접착 기판 위로 전사함으로써, 상기 접착 기판의 일면과 상기 박막의 일면을 접촉시키는 단계, (b) 상기 접착 기판과 상기 박막이 압착되도록 상기 접착 기판의 타면과 상기 박막의 타면에 압력을 가하는 단계, (c) 상기 접착 기판의 타면과 상기 박막의 타면에 전기장을 가하는 단계를 포함하는 기판과 박막의 접착방법에 관한 것이다.

[0014] ① 상기 (b) 단계와 상기 (c) 단계는 동시에 수행될 수도 있고, ② 상기 (b) 단계에 따라 압력이 가해진 상태에서 상기 (c) 단계가 수행될 수도 있으며, 또는 ③ 상기 (c) 단계에 따라 전기장이 가해진 상태에서 상기 (b) 단계가 수행될 수도 있다.

[0015] 상기 측면에 따르면, 상기 (a) 단계는 타 기판에 성장되어 있는 박막을 상기 접착 기판에 습전사 또는 건전사 등과 같은 기존의 방법으로 전사시킴으로써 상기 박막과 상기 기판과 접촉시키는 것을 의미한다.

[0016] 일 구현예에 따르면, 상기 (c) 단계는 제1 평면 도전성 판과 제2 평면 도전성 판을 ① 상기 접착 기판과 상기 박막에 각각 접촉시키거나, 또는 ② 상기 접착 기판과 상기 박막 성장 기판에 각각 접촉시키고, 상기 제1 평면 도전성 판과 상기 제2 평면 도전성 판에 전압을 가함으로써 수행된다.

[0017] 상기 2개의 평면 도전성 판은 서로 동일한 재질로 이루어지거나 또는 상이한 재질로 이루어질 수 있다. 예를 들어, 본 발명에 있어서, 상기 도전성 판 각각으로서 Cu 전극 자체만을 사용할 수도 있고, Ni 판과 Cu 전극을 함께 사용할 수도 있다.

[0018] 다른 구현예에 따르면, 상기 기판은 도체일 수 있다.

[0019] 이때, 상기 (c) 단계는 상기 2개의 평면 도전성 판 사이에 부도체를 위치시키고, 상기 2개의 평면 도전성 판에 상기 부도체의 절연 파괴 전압 이하의 전압을 가함으로써 수행된다.

[0020] 상기 부도체는 유리 계열 물질, 금속 옥사이드, 반도체 절연체, 고분자 중에서 선택된 1종 이상일 수 있다.

[0021] 본 발명에 있어서, 상기 유리 계열 물질의 예에는 Pyrex, Boroflat 33 등이 포함되나 이에 한정되지 않고; 상기

금속 옥사이드의 예에는 SiO_2, Al_2O_3, NiO 등이 포함되나 이에 한정되지 않으며; 상기 반도체 절연체의 예에는 SiO_2, HfO, SiN, Al_2O_3, SiC 등이 포함되나 이에 한정되지 않고; 상기 고분자의 예에는 폴리에틸렌테레프탈레이트(PET), 폴리카보네이트(PC), 폴리스티렌(PS), 폴리디메틸실록산(PDMS) 등이 포함되나 이에 한정되지 않는다.

[0022] 또 다른 구현예에 따르면, 상기 접착 기판은 유리 계열 물질, 고분자, 금속, 금속 옥사이드, 반도체, 반도체 절연체 중에서 선택된 1종 이상의 물질로 구성된 기판일 수 있다.

[0023] 또 다른 구현예에 따르면, 상기 박막 성장 기판은 금속, 반도체, 반도체 절연체 중에서 선택된 1종 이상의 물질로 구성된 기판일 수 있다.

[0024] 본 발명에 있어서, 상기 금속의 예에는 Cu, Ni, Al 등이 포함되나 이에 한정되지 않고; 상기 반도체의 예에는 Si, Ge 등이 포함되나 이에 한정되지 않으며; 상기 반도체 절연체의 예에는 SiO_2, HfO, SiN, Al_2O_3, SiC 등이 포함되나 이에 한정되지 않는다.

[0025] 또 다른 구현예에 따르면, 상기 박막은 ① 그래핀, 그래핀 옥사이드, h-BN, MoS_x, WS_x, 이들 2종 이상의 결합체 중에서 선택된 2차원 박막이거나; ② 탄소 나노튜브로 구성된 2차원 형태 박막 또는 나노와이어로 구성된 2차원 형태 박막이거나; ③ 상기 2차원 박막 또는 상기 2차원 형태 박막에 나노입자가 결합된 복합 박막 중에서 선택된 1종 이상일 수 있다.

[0026] 특히, 2차원 박막의 경우에는 단일층의 박막 또는 다층의 박막일 수 있으며, 단일층의 경우가 보다 본 발명의 적용을 위해 바람직하다.

[0027] 본 발명에 있어서, MoS_x 및 WS_x에 사용된 x는 양수를 의미하며, 이와 같은 표기는 유럽 공개특허 제2541651호와 제2520547호 및 미국 공개특허 제2012/0244411호 등에서 볼 수 있는 바와 같이, 본 발명이 속하는 기술분야에서 널리 사용되고 쉽게 이해되는 표기이다.

[0028] 본 발명에서, 상기 나노와이어는 Si, ZnO, TiO_2, SnO_2 등을 포함하지만 이에 한정되지 않고; 상기 나노입자는 Au, Ag, Ti, CdS 등을 포함하지만 이에 한정되지 않는다. 또한, 일반적으로 단일층(monolayer) 그래핀과 같은 매우 얇고 유연성(flexibility)이 있는 물질이 바람직하나, 1 μm 이하의 두께를 가지는 반도체, 부도체, 전도체의 다른 박막에도 사용할 수 있다.

[0029] 또 다른 구현예에 따르면, 상기 접촉시키는 단계, 상기 압력을 가하는 단계, 상기 전기장을 가하는 단계 중에서 선택된 1개 이상의 단계는 전기장과 압력 외 추가적인 조건 하에서 수행될 수 있다. 예를 들어, 상기 추가적인 조건은 특정 기체 분위기, 진공 상태, 온도 변화 중에서 선택된 1종 이상일 수 있다.

[0030] 또 구현예에 따르면, 상기 도전성 판은 부착 방지를 위해 표면 처리될 수 있다.

[0031] 또 구현예에 따르면, 상기 접착 기판은 Si 기판의 표면에 SiO_2 층이 형성된 SiO_2/Si 기판이고; 상기 박막은 그래핀이며; 상기 박막 성장 기판은 Cu 기판이고; 전사는 습식 전사 방식에 의해서 수행되며; 상기 제1 도전성 판은 Cu 전극이고; 상기 제2 도전성 판은 니켈 평판과 Cu 전극의 이중층 판이고, 상기 박막과 접하는 편에 상기 니켈 평판이 위치하며; 상기 전압은 SiO2의 절연 파괴 전압 이하일 수 있다.

[0032] 또 다른 구현예에 따르면, 상기 전사는 습식 전사 방식에 의해서 수행되고; 상기 (c) 단계는 제1 평면 도전성 판과 제2 평면 도전성 판을 ① 상기 접착 기판과 상기 박막에 각각 접촉시키거나, 또는 ② 상기 접착 기판과 상기 박막 성장 기판에 각각 접촉시키고, 상기 제1 평면 도전성 판과 상기 제2 평면 도전성 판에 전압을 가함으로써 수행되며; 상기 접착 기판은 (i) Si 기판의 표면에 SiO_2 층이 형성된 SiO_2/Si 기판, (ii) 고분자 기판, (iii) 유기 기판 중에서 선택되고; 상기 박막은 그래핀이고; 상기 박막 성장 기판은 Cu 기판이며; 상기 제1 도전성 판은 Cu 전극이고; 상기 제2 도전성 판은 Cu 전극과 평판의 이중층 판이고; 상기 Cu 전극과 상기 평판 중 상기 평판이 상기 박막과 접하는 쪽에 위치하며; 상기 전압은 SiO_2의 절연 파괴 전압 이하이고; 상기 접착 기판이 상기 고분자 기판인 경우에는 상기 (b) 단계 및 상기 (c) 단계 중 적어도 하나의 단계가 상기 고분자 기판의 유리 전이 온도 이상 및 상기 고분자 기판의 녹는점 이하의 온도에서 수행되고; 상기 접착 기판이 유기 기판인 경우에는 상기 (b) 단계 및 상기 (c) 단계 중 적어도 하나의 단계는 상기 접착 기판이 250-350 ℃의 온도로 유지된 상태에서 수행될 수 있다.

[0033] 이때, 상기 평판은 고온에서 전기장에 의해 이온화되기 어려운 금속, 특히 고온에서 전기장에 의해 이온화되기

어려운 금속으로서, 대표적으로 니켈 등과 같은 금속의 기판이다.

[0034] 본 발명의 또 다른 측면은 (a'') 접착 기판의 일면과 박막 성장 기판의 양면 중 적어도 일면에 성장해 있는 박막을 접촉시키는 단계, (b'') 상기 접착 기판과 상기 박막이 압착되도록, 상기 접착 기판의 타면과 상기 박막 성장 기판의 양면 중 상기 접착 기판과 압착되는 상기 박막이 성장해 있는 면의 반대편인 타면에 압력을 가하는 단계, (c'') 상기 접착 기판의 타면과 상기 박막 성장 기판의 타면에 전기장을 가하는 단계를 포함하는 기판과 박막의 접착방법에 관한 것이다.

[0035] ① 상기 (b'') 단계와 상기 (c'') 단계는 동시에 수행될 수도 있고, ② 상기 (b'') 단계에 따라 압력이 가해진 상태에서 상기 (c'') 단계가 수행될 수도 있으며, 또는 ③ 상기 (c'') 단계에 따라 전기장이 가해진 상태에서 상기 (b'') 단계가 수행될 수도 있다.

[0036] 상기 박막은 두께가 0.3 nm 내지 1 μm일 수 있다.

[0037] 상기 측면은 타 기판에 성장되어 있는 박막을 탈착시키지 않고 바로 상기 접착 기판에 전사시킬 수 있는 접착방법 또는 전사방법에 관한 것이다.

[0038] 일 구현예에 따르면, 상기 (c'') 단계는 제1 평면 도전성 판과 제2 평면 도전성 판을 ① 상기 접착 기판과 상기 박막에 각각 접촉시키거나, 또는 ② 상기 접착 기판과 상기 박막 성장 기판에 각각 접촉시키고, 상기 제1 평면 도전성 판과 상기 제2 평면 도전성 판에 전압을 가함으로써 수행될 수 있다.

[0039] 상기 2개의 평면 도전성 판은 서로 동일한 재질로 이루어지거나 또는 상이한 재질로 이루어질 수 있다.

[0040] 다른 구현예에 따르면, 상기 기판은 도체이다. 이때, 상기 (c'') 단계는 상기 2개의 평면 도전성 판 사이에 부도체를 위치시키고, 상기 2개의 평면 도전성 판에 상기 부도체의 절연 파괴 전압 이하의 전압을 가함으로써 수행될 수 있다.

[0041] 상기 부도체는 유리 계열 물질, 금속 옥사이드, 반도체 절연체, 고분자 중에서 선택된 1종 이상일 수 있다.

[0042] 또 다른 구현예에 따르면, 상기 접착 기판은 유리 계열 물질, 고분자, 금속, 금속 옥사이드, 반도체, 반도체 절연체 중에서 선택된 1종 이상의 물질로 구성된 기판일 수 있다.

[0043] 또 다른 구현예에 따르면, 상기 박막 성장 기판은 금속, 반도체, 반도체 절연체 중에서 선택된 1종 이상의 물질로 구성된 기판일 수 있다.

[0044] 또 다른 구현예에 따르면, 상기 박막은 ① 그래핀, 그래핀 옥사이드, h-BN, MoS_x, WS_x, 이들 2종 이상의 결합체 중에서 선택된 2차원 박막이거나; ② 탄소 나노튜브로 구성된 2차원 형태 박막 또는 나노와이어로 구성된 2차원 형태 박막이거나; ③ 상기 2차원 박막 또는 상기 2차원 형태 박막에 나노입자가 결합된 복합 박막 중에서 선택된 1종 이상일 수 있다.

[0045] 또 다른 구현예에 따르면, 상기 접촉시키는 단계, 상기 압력을 가하는 단계, 상기 전기장을 가하는 단계 중에서 선택된 1개 이상의 단계는 전기장과 압력 외 추가적인 조건 하에서 수행될 수 있다.

[0046] 상기 추가적인 조건은 특정 기체 분위기, 진공 상태, 온도 변화 중에서 선택된 1종 이상일 수 있다.

[0047] 또 다른 구현예에 따르면, 상기 도전성 판은 부착 방지를 위해 표면 처리된 것일 수 있다.

[0048] 또 다른 구현예에 따르면, 상기 접착 기판은 고분자이고; 상기 박막은 그래핀이며; 상기 박막 성장 기판은 Cu 기판이고; 상기 제1 도전성 판은 Cu 전극이고; 상기 제2 도전성 판은 니켈 평판과 Cu 전극의 이중층 판이고, 상기 박막 성장 기판과 접하는 편에 상기 니켈 평판이 위치할 수 있다.

[0049] 또 다른 구현예에 따르면, 상기 (c'') 단계는 제1 평면 도전성 판과 제2 평면 도전성 판을 ① 상기 접착 기판과 상기 박막에 각각 접촉시키거나, 또는 ② 상기 접착 기판과 상기 박막 성장 기판에 각각 접촉시키고, 상기 제1 평면 도전성 판과 상기 제2 평면 도전성 판에 전압을 가함으로써 수행되며; 상기 접착 기판은 (i) Si 기판의 표면에 SiO_2 층이 형성된 SiO_2/Si 기판, (ii) 고분자 기판, (iii) 유리 기판 중에서 선택되고; 상기 박막은 그래핀이고; 상기 박막 성장 기판은 Cu 기판이며; 상기 제1 도전성 판은 Cu 전극이고; 상기 제2 도전성 판은 Cu 전극과 평판의 이중층 판이고; 상기 Cu 전극과 상기 평판 중 상기 평판이 상기 박막과 접하는 쪽에 위치하며; 상기 접착 기판이 상기 SiO_2/Si 기판인 경우에는 상기 전압은 SiO_2의 절연 파괴 전압 이하이고; 상기 접착 기판이 상기 고분자 기판인 경우에는 상기 (b'') 단계 및 상기 (c'') 단계 중 적어도 하나의 단계가 상기 고분자 기판

의 유리 전이 온도 이상 및 상기 고분자 기판의 녹는점 이하의 온도에서 수행되고; 상기 접착 기판이 유기 기판인 경우에는 상기 (b'') 단계 및 상기 (c'') 단계 중 적어도 하나의 단계는 상기 접착 기판이 250-350 ℃의 온도로 유지된 상태에서 수행될 수 있다.

[0050] 이때, 상기 평판은 고온에서 전기장에 의해 이온화되기 어려운 금속, 특히 고온에서 전기장에 의해 이온화되기 어려운 금속으로서, 대표적으로 니켈 등과 같은 금속의 기판이다.

[0051] 이하에서는, 본 발명의 일부 측면 및 일부 구현예에 대해 더욱 구체적으로 살펴보도록 하며, 다만 본 발명의 범위 및 내용이 하기 기재 내용에 한정되어 해석될 수 없다.

[0052] 본 발명은 2차원 형태의 나노 물질로 이루어진 나노박막을 원하는 기판에 부착하기 위하여 물리적인 압착과 전기장을 가하여 부착하는 방법에 대한 것으로, 열, 특정 기체, 진공과 같은 부가적 방법을 병행하여 접착과정을 수행할 수 있다.

[0053] 본 발명에 따른 2차원 나노 물질로는 대표적으로 그래핀, 그래핀 옥사이드 및 2차원 형태의 h-BN, MoS_x, WS_x과 같은 물질들과 이들의 결합된 형태(Hybrid structure; 예를 들어 그래핀-hBN)가 이에 해당되며, 또한 탄소나노튜브, 나노와이어(Si, ZnO, TiO_2, SnO_2 등)와 같은 1차원 와이어 형태가 2차원의 형태로 막의 형태로 만들어진 박막 또는 상기의 1차원 또는 2차원 물질과 0차원 물질(다양한 나노입자; 예를 들어 Au, Ag, Ti, CdS 등)과의 결합된 복합 물질로 이루어진 나노박막이 여기에 해당된다. 일반적으로 단일층(monolayer) 그래핀과 같은 매우 얇고 유연성(flexibility)이 있는 물질이 바람직하나, 1 μm 이하의 두께를 가지는 반도체, 부도체, 전도체의 다른 박막에도 사용할 수 있다.

[0054] 본 발명의 접착방법으로는 전기장 및 압착력을 가하는 것이 필수적이나, 이에 병행하여 특정 기체, 진공, 온도 변화 등을 추가로 부가할 수 있다. 특히, 가해지는 전압을 접착 과정에 사용되는 부도체의 절연 파괴 전압 이하에서 가하는 것이 바람직하다.

[0055] 본 발명은 기판이 부도체인 경우에는 별도의 부도체를 사용할 필요 없이 부도체 위에 나노박막을 올려놓고, 압착과 전기장을 가하여 나노박막과 부도체인 기판을 부착할 수 있다. 이 때 부도체로는 유리계열, SiO_2 HfO, SiN, Al_2O_3와 같이 반도체 소자의 절연체(insulator)로 사용되는 물질 또는 고분자(PET, polycarbonate, PDMS, polystyrene 등)를 사용할 수 있다.

[0056] 이 때 부착되는 나노박막이 기판에 잘 정착하고, 반대로 전압이 가해지는 도전성 판에는 잘 떨어지게 하기 위해서 도전성 판에 표면처리(hydrophilic, hydrophobic, sel-assembly monolayer 등)를 통해 점착 부착(sticking)을 저감시킬 수 있다.

[0057] 한편, 기판에서 바로 성장한 나노박막의 경우 기판과 나노박막간의 결합력이 강해서 이를 원하는 기판에 바로 전사하여 부착하는 것은 매우 어렵다. 따라서 기존에서는 주로 나노박막을 성장한 기판을 먼저 화학적으로 제거한 후 나노박막을 전사하는 과정을 거치게 된다. 이 때, 여러 가지 문제가 발생하게 되는데 본 발명의 방법을 사용하면 이러한 과정 없이 전기장과 기계적 압착력을 동시에 가함으로써 기판위에 성장된 나노박막이 바로 전사 및 부착될 수 있다. 예를 들어 Cu 또는 Ni과 같은 금속기판위에 성장한 그래핀을 고분자기판위에 다른 공정 없이 상기의 발명에 의한 방법으로 직접적으로 전사할 수 있을 뿐만 아니라, 매우 강하게 부착시킬 수 있다. 이 때 사용되는 기판은 Cu, Ni과 같은 금속 기판뿐만 아니라, 반도체 또는 SiC와 같은 절연체(insulator)를 사용할 수 있으며, 나노박막으로 상기에서 설명한 그래핀, 탄소나노튜브, 나노와이어 및 μm 이하의 두께를 가지는 박막을 사용할 수 있다.

[0058] 이하에서 실시예 등을 통해 본 발명을 더욱 상세히 설명하고자 하며, 다만 이하에 실시예 등에 의해 본 발명의 범위와 내용이 축소되거나 제한되어 해석될 수 없다. 또한, 이하의 실시예를 포함한 본 발명의 개시 내용에 기초한다면, 구체적으로 실험 결과가 제시되지 않은 본 발명을 통상의 기술자가 용이하게 실시할 수 있음은 명백하다.

[0059] **실시예**

[0060] 실시예 1

[0061] 일반적으로 사용되는 그래핀은 SiO_2/Si, 또는 유리 기판 위에 습식 전사(wet transfer)되어 사용된다. 전사된 그래핀은 기판 위에 반데르발스(van der Waals) 힘만으로 표면에 접착된다. 하지만 반데르발스 접착력만으로 기판에 전사된 그래핀은 나노리본(nano ribbon), FET(Field Effect Transistor) 채널 등의 제작(fabrication) 공정을 거칠 때 박리되어 떨어지는 문제가 발생한다.

[0062] 따라서 이를 방지하기 위하여, 보다 거칠게 처리된 표면을 따라서 형상 적응성 접촉(conformal contact)을 위하여 본 특허에서 제시하는 압력과 전기력을 이용하여 접합력을 증가시킬 수 있다. 기본 예시는 도 1과 같이 나타낼 수 있다.

[0063] 표면의 rms 거칠기(roughness)가 1 nm 미만으로 갖기 위해, Si 기판 위에서 열적 성장(thermally grown) 방법을 이용하여 성장한 300 nm의 SiO_2을 기판 위에 위치(deposition)시키고, Cu 호일(foil)에 길러진 단일층 그래핀을 Cu 에칭제(etchant)를 이용한 습식 전사(wet transfer) 공정을 통해 기판 위에 전사하였다. 전사된 그래핀을 표면에 보다 형상 적응성(conformal) 접촉을 위하여 새롭게 제시하는 본 접착 방법을 적용하였다. 그래핀 표면에 균일한(uniform)한 전기장을 걸어주기 위하여 상부에 니켈 도전판을 덮은 후, 고전압을 걸어주는 Cu 전극 기판으로 니켈과 SiO_2/Si 기판에 압력을 가하게 된다.

[0064] 이때 니켈 기판의 경우, 고온 및 고전압 상태에서 이온화되어 양극으로 이동이 이루어지지 않는 물질로서 고전압에서 균일한 전압을 가해주는데 유용하다. 상, 하부의 Cu 전극 기판은 약 12.5 Ncm^{-2}의 압력으로 그래핀에 압력을 가한 상태로, 약(weak) 전압을 가하게 된다. 이때 전극의 방향은 니켈 기판 쪽이 양극에 연결되며, SiO_2/Si 기판과 접촉하고 있는 Cu 전극 부분을 음극으로 연결한다. 전압의 경우는 300 nm SiO_2 층의 electrical breakdown을 방지하기 위하여 약 100 V를 가하여 SiO_2 표면에 형상 적응성(conformal)한 접착을 유도하였다.

[0065] 실제 접착된 그래핀의 접착력을 본딩 전과 후로 나누어 Double cantilever beam test를 이용하여 표면 에너지를 측정한 결과는 도 2와 도 3에 제시하였다. 접합 전의 표면 접합 에너지는 도 3과 같이 약 0.65 Jm^{-2}의 에너지를 갖지만, 접합 후에는 약 1.81 Jm^{-2}로 약 3배 가량 증가하는 것을 확인할 수 있다. 또한 접합 후의 그래핀의 특성 변화를 Raman spectra를 통하여 관측한 결과는 도 4와 같다. 검은색의 경우, 그래핀이 올라가지 않은 SiO_2/Si의 시그널 값으로서 아무런 피크가 뜨지 않는 것을 알 수 있다. 빨간색의 그래프는 접합 전의 그래핀의 특성으로서, 단일층을 나타내는 2D (2670 cm^{-1} 대역) / G 피크 (1590 cm^{-1} 대역)의 세기(intensity) 비율이 동일하게 유지되는 것을 확인할 수 있다. 또한 그래핀의 damage 요소를 판별할 수 있는 1350 cm^{-1} 대역의 피크 값은 접합 전과 후에 동일하게 매우 작게 관측되는 것으로 보아 접합 이후에도 그래핀의 전기적 특성은 잘 유지되고 있음을 확인할 수 있다.

[0066] 실시예 2

[0067] 일반적으로 투명전극으로 활용되는 그래핀의 경우, 화학적 증기 증착(chemical vapor depostion, CVD)의 방법으로 Cupper 필름 위에 성장된 이후에, 습식 전사(wet transfer) 또는 건식 전사(dry transfer)의 방법으로 Cu를 에칭, PET와 같은 기판으로 전사되는 과정을 거친다.

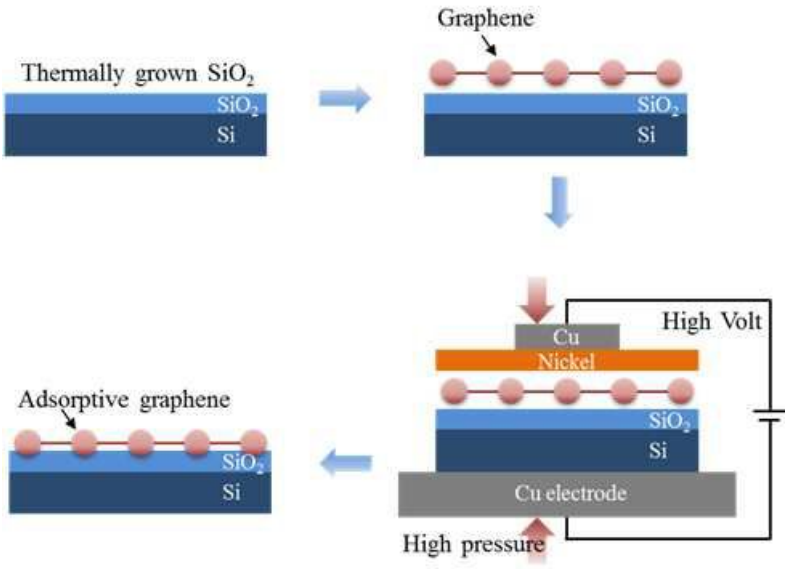
[0068] 하지만 습식 또는 건식 전사와 같은 방법을 거치게 될 경우 그래핀의 표면에 PMMA와 같은 잔여물질이 남게 된다. 잔류물(residue)을 제거하는 아세톤 세척과 열처리 공정을 거친다고 해도 100% 제거가 되지 않으며, 남은 잔류 물질은 그래핀의 전기적 특성을 저해하게 된다. 또한 이와 같은 방식으로 전사한 그래핀은 고분자 기판 위에 단단하게 고정하기 위해서는 별도의 접착제나 열처리와 같은 공정이 추가적으로 필요하다.

[0069] 본 실시예에서는 기존의 Cu에서 성장된 그래핀을 PMMA와 같은 중간 전사 물질을 이용하는 기본 방법과는 달리, 도 5와 같이 고온에서의 압력과 전기장을 이용하여 Cu 필름에서 타겟 기판으로 직접 전사(direct transfer)하여 고분자 필름 상에 단단하게 부착되는 실험을 수행하였다. 120 ℃의 온도에서 0.5 kgf/cm^2의 압력으로 양 Cu 전극 기판을 눌러주면서 약 900 V의 전압을 통해 직접 전사 공정을 수행한다. 도 6을 통해, 그래핀이 PET로 성공적으로 전사되었음을 확인할 수 있다. 그래핀이 없는 기존의 PET의 Raman shift의 경우는 2680 cm^{-1} 대역에서 피크가 없지만, 그래핀 전사 후에는 그래핀의 2D 피크가 2680 cm^{-1} 대역에서 새롭게 나타나는 것을 확인할 수 있다. 이렇게 전사된 그래핀은 PET 상에서 매우 견고하게 부착되어, 소자를 제작하거나 다른 응용분야에 활용하기

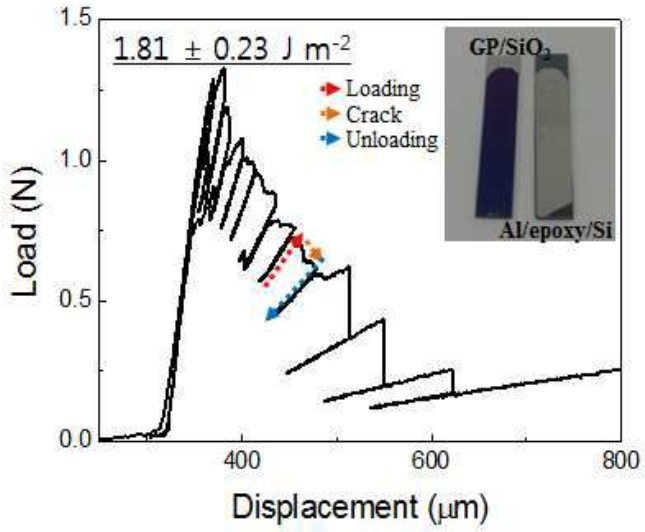
에 매우 유용함을 확인하였다.

도면

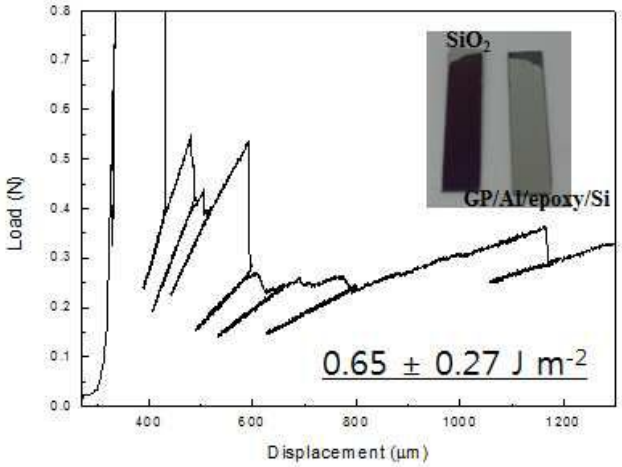
도면1



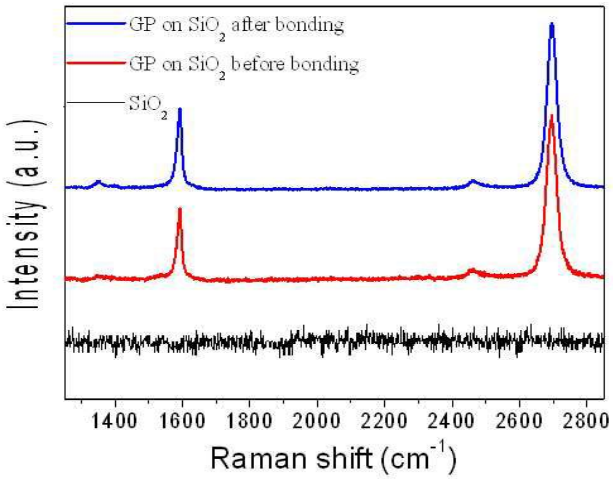
도면2



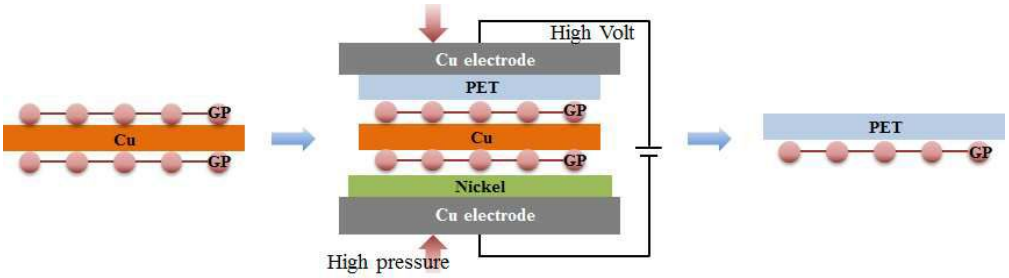
도면3


SiO2
GP/Al/epoxy/Si
0.65 ± 0.27 J m-2
Load (N)
Displacement (μm)

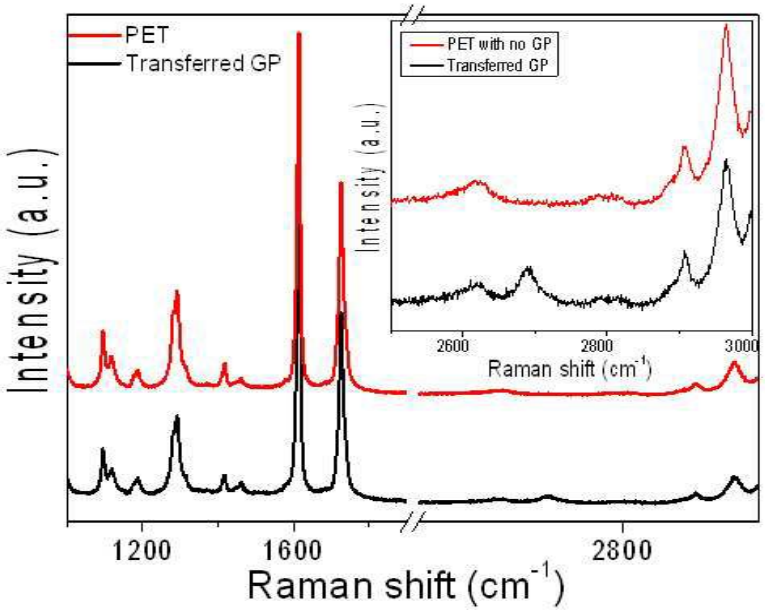
도면4


GP on SiO2 after bonding
GP on SiO2 before bonding
SiO2
Intensity (a.u.)
Raman shift (cm-1)

도면5


GP
Cu
GP
High Volt
Cu electrode
PET
GP
Cu
GP
Nickel
Cu electrode
High pressure
PET
GP

도면6


PET
Transferred GP
Intensity (a.u.)
1200
1600
2800
Raman shift (cm-1)
PET with no GP
Transferred GP
Intensity (a.u.)
2600
2800
3000
Raman shift (cm-1)