

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY PATENTU TYMCZASOWEGO

97526

Patent tymczasowy dodatkowy
do patentu _____

Zgłoszono: 01.08.75 (P. 182465)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 04.12.76

Opis patentowy opublikowano: 30.06.1978

MKP G01r 31/26

Int. Cl.² G01R 31/26

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórca wynalazku: Zbigniew Pióro

Uprawniony z patentu tymczasowego: Politechnika Warszawska, Warszawa (Polska)

Sposób polaryzacji tranzystorów i układ polaryzacji tranzystorów

Przedmiotem wynalazku jest sposób polaryzacji tranzystorów i układ polaryzacji tranzystorów stosowany zwłaszcza przy zdejmowaniu charakterystyk statycznych oraz w pomiarach parametrów dynamicznych tranzystorów.

Znany sposób polaryzacji tranzystorów polega na wymuszaniu prądu w obwodzie wyjściowym tranzystora przez źródło prądowe oraz na polaryzacji obwodu wejściowego tranzystora ze źródła napięciowego bądź prądowego.

Znany jest układ polaryzacji tranzystorów, których wspólna elektroda dla wejścia i wyjścia tranzystora jest połączona z masą, zawierające źródło napięciowe polaryzujące obwód wejściowy tranzystora, jednym zaciskiem połączone z masą, zaś drugim zaciskiem połączone z elektrodą wejściową tranzystora. Ponadto układ taki zawiera źródło prądowe wymuszające prąd w obwodzie wyjściowym tranzystora połączone jednym zaciskiem z masą zaś drugim zaciskiem połączone z zaciskiem wyjściowym tranzystora. Wadą tego sposobu jest to, że przy danej polaryzacji obwodu wejściowego tranzystora, napięcie na zaciskach wyjściowych tranzystora zmienia się przy zmianie prądu w obwodzie wyjściowym tranzystora.

Celem wynalazku jest sposób i układ polaryzacji tranzystorów, za pomocą którego można niezależnie od siebie regulować, prąd w obwodzie wyjściowym tranzystora i napięcie na jego zaciskach wyjściowych. Cel ten osiągnięto za pomocą sposobu według wynalazku, który polega na tym, że napięcie dren-źródło tranzystora, porównuje się z napięciem odniesienia, zaś różnicę napięcia dren-źródło i napięcie odniesienia wzmacnia się i wzmocnioną różnicą polaryzuje się obwód wejściowy tranzystora.

Układ polaryzacji tranzystorów, których wspólna dla wejścia i wyjścia tranzystora elektroda jest połączona z masą, natomiast źródło prądowe i źródło napięcia odniesienia jest połączone jednym zaciskiem z masą, charakteryzuje się tym, że drugi zacisk źródła napięcia odniesienia jest połączony poprzez rezystor z nieodwracającym fazę wejściem wzmacniacza operacyjnego. Odwracające fazę wejście wzmacniacza operacyjnego jest połączone z masą układu.

Natomiast wyjście wzmacniacza operacyjnego jest połączone z zaciskiem wejściowym tranzystora. Ponadto wejście nieodwracające fazę wzmacniacza operacyjnego jest połączone poprzez rezystor z zaciskiem wyjściowym tranzystora i z drugim zaciskiem źródła prądowego.

Wariant układu polaryzacji charakteryzuje się tym, że drugi zacisk źródła napięcia odniesienia jest połączony z odwracającym fazę wejściem wzmacniacza operacyjnego, a wejście nieodwracające fazę wzmacniacza operacyjnego jest połączone poprzez rezystor z masą układu. Wyjście wzmacniacza operacyjnego jest połączone z elektrodą wejściową tranzystora. Natomiast elektroda wyjściowa tranzystora jest połączona przez rezystor z wejściem nieodwracającym fazę wzmacniacza operacyjnego i z drugim zaciskiem źródła prądowego.

Sposób polaryzacji tranzystorów oraz układ polaryzacji tranzystorów daje możliwość takiej polaryzacji tranzystora, że prąd w obwodzie wyjściowym tranzystora i napięcie na jego zaciskach wyjściowych reguluje się niezależnie od siebie.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 obrazuje schemat ideowy układu polaryzacji tranzystora typu MOS, z kanałem typu p, zaś fig. 2 obrazuje wariant układu polaryzacji tranzystora typu MOS z kanałem typu p.

Na figurze 1, rysunku, obwód dren D — źródło S tranzystora T typu MOS z kanałem typu p jest zasilany napięciem U_{DS} dren D — źródło S, tranzystora T z źródła prądowego I_0 . Jeżeli prąd płynący przez rezystor R1 jest pomijalnie mały, to prąd I_D drenu tranzystora T jest równy wydajności źródła prądowego I_0 . Napięcie U_{DS} tranzystora T jest sumowane na nieodwracającym fazę wejściu $\pm$ wzmacniacza WO operacyjnego z napięciem U_x odniesienia o znaku przeciwnym do znaku napięcia U_{DS} . Suma napięcia U_{DS} dren — D źródło S i napięcie U_x odniesienia po wzmocnieniu przez wzmacniacz WO operacyjny, steruje tranzystor T w obwodzie bramka G — źródło S. Napięcie U_{GS} polaryzujące obwód bramka G — źródło S jest równe

$$U_{GS} = A_{uo} \cdot \left(\frac{U_x \cdot R1 + U_{DS} R2}{R1 + R2} \right)$$

gdzie A_{uo} jest stałoprądowym wzmocnieniem napięciowym wzmacniacza WO operacyjnego z otwartą pętlą sprzężenia zwrotnego. Zatem jeżeli tylko A_{uo} posiada dużą wartość to dla spotykanych w praktyce wartości napięcia U_{GS} , napięcie U_{DS} dren D — źródło S jest równe $U_{DS} = \frac{R1}{R2} \cdot U_x$ i nie zależy od wartości prądu I_D drenu tranzystora T. Prąd I_D drenu jest regulowany przez zmianę wydajności źródła prądowego I_0 , zaś napięcie U_{DS} dren D — źródło S może być regulowane przez zmianę wartości U_x , R1 lub R2.

Na figurze 2 rysunku, obwód dren D — źródło S tranzystora T typu MOS z kanałem typu p jest zasilany napięciem U_{DS} dren D — źródło S, tranzystora T z źródła prądowego I_0 . Jeżeli prąd płynący przez rezystor R1 jest pomijalnie mały, to prąd I_D drenu tranzystora T jest równy wydajności źródła prądowego I_0 . Napięcie U_{DS} dren D — źródło S tranzystora T po podzieleniu przez dzielnik napięcia złożony z rezystorów R1 i R2, jest podawane na nieodwracające fazę wejście + wzmacniacza operacyjnego WO. Na odwracające fazę wejście tego wzmacniacza jest podawane napięcie U_x odniesienia o znaku zgodnym ze znakiem napięcia U_{DS} . Różnica napięć U_{DS} i U_x po wzmocnieniu przez wzmacniacz WO operacyjny, steruje tranzystor T w obwodzie bramka G — źródło S. Napięcie U_{GS} polaryzujące obwód bramka G — źródło S tranzystora jest więc równe.

$$U_{GS} = A_{uo} \cdot \left(\frac{R2}{R1 + R2} \cdot U_{DS} - U_x \right)$$

gdzie A_{uo} jest stałoprądowym wzmocnieniem napięciowym wzmacniacza WO operacyjnego z otwartą pętlą sprzężenia zwrotnego. Zatem jeżeli tylko A_{uo} posiada dużą wartość to dla spotykanych w praktyce wartości napięcia U_{GS} , napięcie U_{DS} dren D — źródło S jest równe $U_{DS} = \frac{R1 + R2}{R2} \cdot U_x$ i nie zależy od wartości prądu I_0 drenu tranzystora T. Prąd I_D drenu jest regulowany przez zmianę wydajności źródła prądowego I_0 , zaś napięcie U_{DS} dren D — źródło S może być regulowane przez zmianę wartości U_x , R1, lub R2.

Zastrzeżenia patentowe

1. Sposób polaryzacji tranzystorów, w którym prąd w obwodzie wyjściowym tranzystora wymusza się przez źródło prądowe, zaś obwód wejściowy tranzystora polaryzuje się z źródła napięciowego, z n a m i e n n y t y m, że napięcie (U_{DS}) dren (D) — źródło (S) porównuje się z napięciem (U_x) odniesienia, zaś różnicę napięć (U_{DS}) i (U_x) wzmacnia się i wzmocnioną różnicą tych napięć polaryzuje się obwód wejściowy tranzystora (T).

2. Układ polaryzacji tranzystorów, których wspólna dla wejścia i wyjścia tranzystora elektroda jest połączona z masą, zawierający źródło prądowe i źródło napięcia odniesienia połączone jednym zaciskiem z masą, z n a m i e n n y t y m, że drugi zacisk źródła napięcia (U_x) odniesienia jest połączony przez rezystor (R2) z nieodwracającym fazę wejściem wzmacniacza (WO) operacyjnego, zaś odwracające fazę wejście wzmacniacza (WO) operacyjnego jest połączone z masą układu, natomiast wyjście wzmacniacza (WO) operacyjnego jest

połączone z zaciskiem wejściowym tranzystora (T), ponadto wejście nieodwracające fazę wzmacniacza (WO) operacyjnego jest połączone poprzez rezystor (R1) z zaciskiem wyjściowym tranzystora (T) i z drugim zaciskiem źródła prądowego (I_0).

3. Układ polaryzacji tranzystorów, których wspólna dla wejścia i wyjścia tranzystora elektroda jest połączona z masą zawierający źródło prądowe i źródło napięciowe połączone jednym zaciskiem z masą, z n a m i e n n y t y m, że drugi zacisk źródła napięcia (U_x) odniesienia jest połączony z odwracającym fazę wejściem wzmacniacza (WO) operacyjnego, a wejście nieodwracające fazę wzmacniacza (WO) operacyjnego jest połączone poprzez rezystor (R2) z masą układu, zaś wyjście tego wzmacniacza jest połączone z zaciskiem wejściowym tranzystora (T), natomiast zacisk wyjściowy tranzystora (T) jest połączony przez rezystor (R1) z wejściem nieodwracającym fazę wzmacniacza operacyjnego (WO) i z drugim zaciskiem źródła prądowego (I_0).

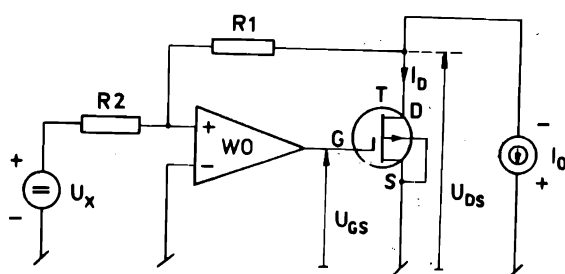


fig. 1

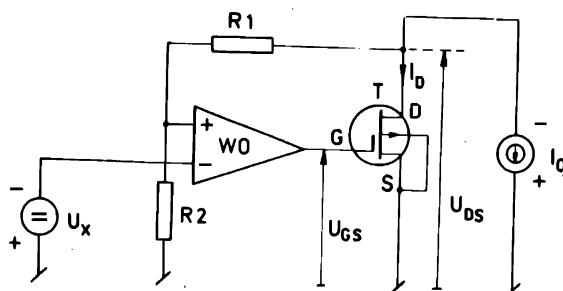


fig. 2