



ÚŘAD PRO VYNÁLEZY
A OBJEVY

(22) Přihlášeno 29 07 85

(21) PV 5541-85

(40) Zveřejněno 12 11 87

(45) Vydáno 15 02 89

(51) Int. Cl.⁴

G 06 F 7/38

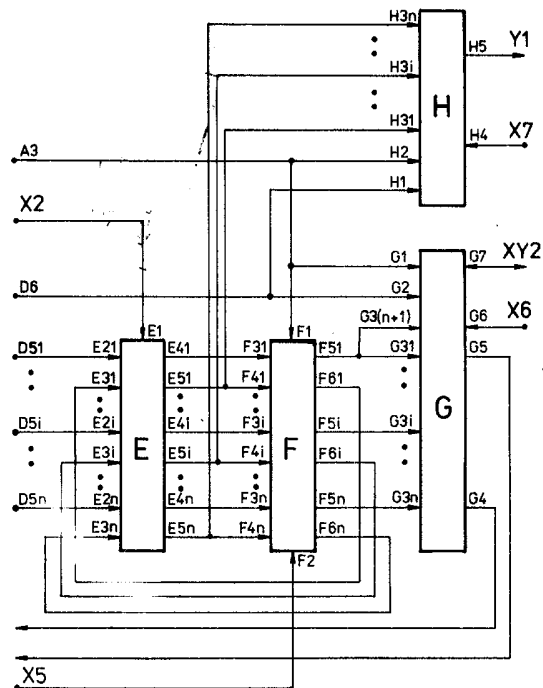
(75)

Autor vynálezu

LINEK JAN ing., PRAHA

(54) Zapojení pro měření časových intervalů programovatelnými čítači a počítačem

Zapojení řeší měření n časových intervalů s programově volitelnou minimální a maximální hodnotou měření pro případy, v nichž požadovaná přesnost měření vyžaduje použít periodu měřicích impulsů, která je kratší než dovolená minimální perioda impulsů na čítacích vstupech programovatelných čítačů. Podstatou řešení je blok programovatelných čítačů, blok vratných čítačů, dekódér a n -násobné dvouvstupové hradlo s pamětí, které jsou zapojeny tak, že výstupy vratných čítačů jsou přes dekódér spojeny se vstupy programovatelných čítačů a s odčítacími vstupy vratných čítačů, jejichž čítací vstupy jsou spojeny s výstupy n -násobného dvouvstupového hradla s pamětí. Z programovatelných čítačů do počítače jsou vyšší řády přenášeny po ukončení cyklu měření a nižší řády po ukončení cyklu přepisu hodnot z vratných do programovatelných čítačů. Podle rozhraní zdroje intervalů a počítače jsou uvedeny varianty řešení. Zapojení může být využito zejména pro měření vzdáleností laserovým nebo radiolokačním dálkoměrem.



OBR. 2.

Vynález se týká zapojení pro měření časových intervalů programovatelnými čítači a počítačem mezi okamžikem příchodu prvního měřeného impulsu a okamžiky příchodu těch následujících nejvýše n měřených impulsů, pro které platí vztah

$$t_{\min} < t_i < t_{\max} \quad (1)$$

kde t_{\min} a t_{\max} jsou předem programem z počítače volitelné hodnoty a pro případy, při nichž požadovaná přesnost měření časových intervalů vyžaduje použít měřicí čítané impulsy, jejichž perioda je kratší, nežli je minimální dovolená hodnota periody impulsů na vstupu programovatelných čítačů.

Dosud známá zapojení pro měření časových intervalů počítačem jsou ve výše uvedených případech založena na použití rychlých čítačů pro čítání měřicích impulsů, jejichž stav po ukončeném měření je zaváděn do počítače prostřednictvím dalších obvodů paralelního nebo paralelně sériového rozhraní, přičemž zavádění hodnot t_{\min} a t_{\max} je prováděno pomocí dalších logických sekvenčních obvodů.

Nevýhodou těchto zapojení je nutnost použití většího počtu integrovaných logických obvodů, a tím i zhoršení technicko-ekonomických ukazatelů výsledného řešení v důsledku většího objemu, nižší spolehlivosti a vyšších nákladů na výrobu.

Výše uvedené nedostatky jsou odstraněny zapojením podle vynálezu, jehož podstata spočívá v tom, že třetí vstup zapojení je spojen se vstupem přepínaného signálu dvoustavového přepínače, jehož první výstup je spojen s prvním společným vstupem n -násobného dvoustavového hradla s pamětí a jehož druhý výstup je spojen s prvním vstupem n -stavového přepínače, jehož n výstupů je po řadě spojeno s n individuálními vstupy n -násobného dvoustavového hradla s pamětí, jehož třetí společný vstup je spojen se vstupem měřicích impulsů zapojení a jehož n individuálních výstupů je po řadě spojeno s n čítacími vstupy bloku vratných čítačů, jehož n prvních výstupů je po řadě spojeno s n prvými individuálními vstupy dekódéru a jehož n druhých výstupů je po řadě spojeno jednak s n třetími detekčními vstupy detektoru, a jednak s n druhými individuálními vstupy dekódéru, jehož n druhých výstupů je spojeno s n odčítacími vstupy bloku vratných čítačů a jehož n prvních výstupů je po řadě spojeno s n čítacími vstupy bloku programovatelných čítačů, přičemž jeden libovolný z těchto n prvních výstupů je spojen s $(n+1)$. čítacím vstupem bloku programovatelných čítačů, jehož druhý programovatelný výstup je spojen s druhým přepínacím vstupem dvoustavového přepínače a jehož první programovatelný výstup je spojen s druhým společným vstupem n -násobného dvoustavového hradla s pamětí, jehož řídicí výstup je spojen jednak s prvním detekčním vstupem detektoru a jednak s druhým hradlovacím vstupem bloku programovatelných čítačů, přičemž vstup pomocných impulsů zapojení je spojen s druhým společným vstupem dekódéru, přičemž první vstup zapojení je spojen s prvním vstupem paměti režimu měření, přičemž druhý vstup zapojení je spojen jednak s prvním přepínacím vstupem dvoustavového přepínače, jednak s druhým vstupem n -stavového přepínače, jednak s prvním vstupem bloku vratných čítačů a jednak s druhým vstupem paměti režimu měření, jejíž výstup je spojen jednak s prvním společným vstupem dekódéru, jednak s druhým detekčním vstupem detektoru a jednak s prvním hradlovacím vstupem bloku programovatelných čítačů, jehož řídicí vstup je spojen s šestým vstupem zapojení, a jehož datový vstup/výstup je spojen s datovým vstupem/výstupem zapojení, přičemž výstup detektoru je spojen s prvním výstupem zapojení, řídicí vstup detektoru je spojen se sedmým vstupem zapojení.

Spojením vratných čítačů s programovatelnými čítači přes dekódér je dosaženo jednoduššího obvodového zapojení pro přesná měření časových intervalů a zavádění naměřených hodnot do počítače v porovnání s dosud známými zapojeními, přičemž je umožněno i jednoduché programovatelné určování rozsahu měřených hodnot.

Na obr. 1 a obr. 2 je uvedeno schéma obecného řešení zapojení podle vynálezu. Na obr. 14 a obr. 15 jsou uvedena schémata upravených obecných řešení zapojení podle vynálezu pro dva další způsoby generování měřených impulsů. Na obr. 3 až obr. 12 jsou uvedeny příklady kon-

krétního zapojení jednotlivých bloků obecného řešení tak, že na obr. 3 je paměť režimu měření A, na obr. 4 dvoustavový přepínač B, na obr. 5, 6 a 7 jsou uvedeny varianty řešení n-stavového přepínače C pro $n = 1, 2$ a $n > 2$, na obr. 8 je uvedeno n-násobné dvoustupové hradlo s pamětí D se dvěma variantami konkrétního provedení řídicího výstupu D6 pro základní zapojení podle obr. 1 a 14 a upravené zapojení podle obr. 15. Na obr. 9 je uvedeno schéma i-tého vratného čítače E, na obr. 10 schéma dekódéru čítaných impulsů F pro i-tý dekódér, na obr. 11 je schéma detektoru ukončení cyklu H a na obr. 12 je schéma tří programovatelných čítačů, tj. pro $n = 2$ se dvěma variantami konkrétního provedení programovatelného výstupu G4 pro základní a upravené zapojení podle obr. 15. Na obr. 13 je uveden časový diagram činnosti příkladu konkrétního zapojení podle vynálezu pro základní zapojení.

Podstatu zapojení podle vynálezu, která je naznačena na schématech obecného řešení na obr. 1 a obr. 2, tvoří:

blok programovatelných čítačů G s prvním G1 a s druhým G2 hradlovacím vstupem, společným pro všech $(n + 1)$ programovatelných čítačů, s $(n + 1)$ čítacími vstupy G3i pro každý z $(n + 1)$ programovatelných čítačů, s prvním programovatelným výstupem G4, pro výstup signálu dosažení maximální programovatelné hodnoty některým z prvních 1 až n programovatelných čítačů, s druhým programovatelným výstupem G5 z $(n + 1)$. programovatelného čítače, s řídicím vstupem G6 pro vstup řídicích a výběrových signálů z počítače, s datovým vstup/výstupem G7 pro výměnu dat s počítačem;

blok vratných čítačů E, obsahující n vratných čítačů, s prvním vstupem E1 pro nastavení počáteční hodnoty všech n vratných čítačů, s n čítacími vstupy E2i a s n odčítacími vstupy E3i, s n prvými výstupy E4i pro výstup čítaných impulsů s m -násobně prodlouženou periodou vzhledem k periodě impulsů na čítacích vstupech E2i, s n druhými výstupy E5i z detektorů počátečního stavu vratných čítačů;

dekódér F, obsahující n shodných dekódérů čítaných impulsů s prvním F1 a druhým F2 společným vstupem všech n dekódérů, s n prvými F3i a s n druhými F4i individuálními vstupy, v nichž každá i -tá dvojice je určena pouze pro i -tý z n shodných dekódérů a s n prvými F5i a s n druhými F6i výstupy každého z n shodných dekódérů;

n -násobné dvoustupové hradlo s pamětí D, ve kterém n dvouhodnotových pamětí intervalů řídí průchod hradlovaných impulsů na n výstupů, s prvním D1 a druhým D4 společným vstupem pro zápis v uvedeném pořadí jedné otevírací a druhé zavírací hodnoty do všech n pamětí intervalů, s třetím společným vstupem D3 pro vstup hradlovaných impulsů, s n individuálními vstupy D2i pro zápis pouze druhé, zavírací hodnoty do jednotlivých pamětí intervalů, s n individuálními výstupy D5i jednotlivých hradel, s řídicím výstupem D6 pro výstup signálu uzavření všech n dvoustupových hradel a se čtvrtým společným vstupem D7 pro zápis druhé, zavírací hodnoty do všech n pamětí intervalů;

n -stavový přepínač C s nastavením počátečního stavu a postupným přepínáním, řízeným od přepínaného signálu, s prvním vstupem C1 přepínaného a přepínajícího signálu, s druhým vstupem C2 pro nastavení počátečního stavu a s n výstupy C3i pro $i = 1, 2, \dots, n$;

dvoustavový přepínač B se vstupem B1 přepínaného signálu, s prvním B3 a s druhým B2 přepínacími vstupy pro nastavení přepínače do prvního a druhého stavu, s prvním B4 a druhým B5 výstupem a případně se třetím přepínacím vstupem B6 pro nastavení přepínače do druhého stavu;

paměť režimu měření A s prvním A1 a druhým A2 vstupem pro zápis jedné a druhé hodnoty, s výstupem A3 pro výstup zapsané hodnoty a případně se třetím vstupem A4 pro zápis druhé hodnoty;

detektor H s prvním H1 a druhým H2 detekčním vstupem a s n třetími H3i detekčními vstupy pro

$i = 1, 2, \dots, n$ s řídicím vstupem H4 pro programovatelné ukončení výstupního signálu a s výstupem H5 pro výstup signálu ukončení cyklu měření a cyklu přepisu;

kteřé jsou spojeny, jak je naznačeno ve schématech obecného řešení na obr. 1 a obr. 2, tak, že

třetí vstup X3 zapojení, určený pro vstup měřených impulsů, je spojen se vstupem B1 přepínacího signálu dvoustavového přepínače B, jehož

první výstup B4 je spojen s prvním společným vstupem D1 n -násobného dvouvstupového hradla s pamětí D,

a jehož druhý výstup B5 je spojen s prvním vstupem C1 n -stavového přepínače C,

jehož n výstupů C3i je po řadě spojeno s n individuálními vstupy D2i n -násobného dvouvstupového hradla s pamětí D,

jehož třetí společný vstup D3 je spojen se vstupem měřicích impulsů X4 zapojení

a jehož n individuálních výstupů D5i je po řadě spojeno s n čítacími vstupy E2i bloku vratných čítačů E,

jehož n prvních výstupů E4i je po řadě spojeno s n prvými individuálními vstupy F3i dekodéru F

a jehož n druhých výstupů E5i je po řadě spojeno jednak s n třetími detekčními vstupy H3i detektoru H a jednak s n druhými individuálními vstupy F4i dekodéru F,

jehož n druhých výstupů F6i je spojeno s n odčítacími vstupy E3i bloku vratných čítačů E

a jehož n prvních výstupů F5i je po řadě spojeno s n čítacími vstupy G3i bloku programovatelných čítačů G, přičemž jeden libovolný z těchto n prvních výstupů F5i je spojen s $(n + 1)$ čítacím vstupem G3 (n+1) bloku programovatelných čítačů G,

jehož druhý programovatelný výstup G5 je spojen s druhým přepínacím vstupem B2 dvoustavového přepínače B

a jehož první programovatelný výstup G4 je spojen s druhým společným vstupem D4 n -násobného dvouvstupového hradla s pamětí D,

jehož řídicí výstup D6 je spojen jednak s prvním detekčním vstupem H1 detektoru H a jednak s druhým hradlovacím vstupem G2 bloku programovatelných čítačů G,

přičemž vstup X5 pomocných impulsů zapojení je spojen s druhým společným vstupem F2 dekodéru F,

přičemž první vstup X1 zapojení je spojen s prvním vstupem A1 paměti režimu měření A,

přičemž druhý vstup X2 zapojení je spojen jednak s prvním přepínacím vstupem B3 dvoustavového přepínače B, jednak s druhým vstupem C2 n -stavového přepínače C, jednak s prvním vstupem E1 bloku vratných čítačů E a jednak s druhým vstupem A2 paměti režimu měření A,

jejíž výstup A3 je spojen jednak s prvním společným vstupem F1 dekodéru F, jednak s druhým detekčním vstupem H2 detektoru H a jednak s prvním hradlovacím vstupem G1 bloku programovatelných čítačů G,

jehož řídicí vstup G6 je spojen s šestým vstupem zapojení X6 a jehož datový vstup/výstup G7 je spojen se vstupem/výstupem XY2 zapojení,

přičemž výstup H5 detektoru H je spojen s prvním výstupem Y1 zapojení a řídicí vstup H4 detektoru H je spojen se sedmým vstupem X7 zapojení.

Pro uvedení zapojení podle vynálezu do správného počátečního stavu je zapojení vybaveno osmým vstupem X8, který je spojen se čtvrtým společným vstupem D7 n -násobného dvouvstupového hradla s pamětí D, se třetím přepínacím vstupem B6 dvoustavového přepínače B a se třetím vstupem A4 paměti režimu měření A.

Hodnota i -tého časového intervalu t_i , měřená s využitím zapojení podle vynálezu je v počítači počítána ze vztahu

$$t_i = (P_i \cdot m + V_i) \cdot t \quad (2)$$

v němž

$i = 1, 2, \dots, n$ je index měřeného intervalu,

t je perioda měřicích impulsů přiváděných na vstup X4 zapojení,

m je modul čítání vratných čítačů,
např. pro k -řádkový binární čítač $m = 2^k$,

P_i je počet impulsů načítaných v i -tém programovatelném čítači v bloku programovatelných čítačů G v okamžiku dokončení cyklu měření.

V počítači je hodnota P_i počítána ze vztahu

$$P_i = M - p_i + 1 \quad (3)$$

ve kterém:

M je hodnota zapisovaná do programovatelného čítače před zahájením měření, stanovena např. z podmínky

$$M = t_{\max} / (t \cdot m) - 1 \quad (4)$$

p_i je hodnota přečtená z i -tého programovatelného čítače do počítače na základě výstupního signálu Y1 ze zapojení po ukončení cyklu měření,

V_i je počet impulsů načítaných v i -tém vratném čítači modulo m v okamžiku dokončení cyklu měření

$$V_i = 0, 1, \dots, (m - 1)$$

V počítači je hodnota V_i počítána ze vztahu

$$V_i = M - v_i + 1 \quad (5)$$

ve kterém:

M je hodnota zapisovaná do i -tého programovatelného čítače před zahájením cyklu přepisu, stanovena z podmínky

$$M > m \quad (6)$$

v_i je hodnota přečtená z i -tého programovatelného čítače do počítače na základě výstupního signálu Y1 ze zapojení po ukončení cyklu přepisu.

Uvedené vztahy (3) až (6) jsou důsledkem faktu, že programovatelný čítač musí impulsy přiváděné na jeho čítací vstup od naprogramované hodnoty M odčítat a hodnotu M v daném programovaném módu činnosti (viz dále) přiřazuje až intervalu, následujícím za prvním přivedeným čítaným impulsem.

Do $(n + 1)$. programovatelného čítače je před zahájením měření vložena hodnota $M(n + 1)$, která pro daný mód činnosti (viz dále) je například stanovena z podmínky

$$M(n + 1) = t_{\min} / (m \cdot t) - 1 \quad (7)$$

Měření časových intervalů zapojením podle vynálezu je prováděno následujícím postupem. Po uvedení zapojení do počátečního stavu signálem na vstupu X8 a naprogramováním hodnot do bloku programovatelných čítačů G je cyklus měření zahájen signálem na druhém vstupu X2 zapojení.

Prvním následujícím impulsem, přivedeným na třetí vstup X3 zapojení, je přes výstup B4 a výstupy D5i zahájeno měření intervalů čítáním impulsů ze vstupu X4 zapojení v čítačích E a G.

Je-li na vstup G3 $(n + 1)$ programovatelného čítače přivedeno $(M(n + 1) + 1)$ impulsů, pak

prostřednictvím signálu na druhém programovatelném výstupu G5 je přes druhý přepínací vstup B2 přepnut přepínač B a následující impulsy na vstupu X3 postupně ukončí přes výstupy C3i čítání impulsů v čítačích E a G. Tím jsou změřené hodnoty časových intervalů v čítačích uchovány.

Dosáhne-li n -tý programovatelný čítač hodnotu M , pak signál na jeho programovatelném výstupu G4 prostřednictvím druhého společného vstupu D4 n -násobného dvouvstupového hradla s pamětí D ukončí cyklus měření a prostřednictvím výstupu D6 signalizuje ukončení cyklu měření na první detekční vstup H1 detektoru H. Pokud $(n + 1)$ měřený impuls na vstupu X3 přijde před dosažením hodnoty t_{\max} , pak bude cyklus měření ukončen obdobným způsobem, ale na základě signálu na n -tém výstupu C3n n -stavového přepínače C místo na základě signálu z výstupu G4.

Po programovém sejmutí hodnot p_i z programovatelných čítačů prostřednictvím řídicích a výběrových signálů přivedených z počítače na šestý vstup X6 zapojení a prostřednictvím datových vstupů/výstupů XY2 zapojení, je ve vhodný okamžik, prostřednictvím prvního vstupu X1, ukončen režim měření a je zahájen cykl přepisu. Prostřednictvím výstupu A3 paměti režimu měření A a prvního společného vstupu F1, zahájí dekódér čítaných impulsů F s využitím pomocných impulsů na vstupu X5 přepis hodnot V_i z vratných čítačů do předem programově připravených programovatelných čítačů v bloku G. Ukončení cyklu přepisu všech hodnot V_i do programovatelných čítačů je signalizováno na n druhých výstupech E5i bloku vratných čítačů a prostřednictvím třetích detekčních vstupů H3i detektoru ukončení cyklu H je signalizováno přes výstup H5 a výstup Y1 do počítače. Signály na vstupu X7 umožňují programově rušit signalizaci na výstupu Y1 zapojení, a tak připravovat detektor H k dalšímu použití.

Je zřejmé, že pro případy, v nichž je požadována hodnota $t_{\min} = 0$, není nutné realizovat $(n + 1)$. programovatelný čítač. V tomto případě může být správné řízení dvoustavového přepínače B prostřednictvím druhého přepínacího vstupu B2 zabezpečeno náhradním spojením tohoto vstupu B2 místo s výstupem G5 s prvním výstupem B4 přepínače B.

Jestliže zdroj měřených impulsů generuje měřené impulsy na dvou výstupech, z nichž jeden je vyhrazen pro výstup prvního impulsu a druhý pro výstup sledu n měřených impulsů, pak je zřejmé, že popsané zapojení podle vynálezu zabezpečí měření n časových intervalů podle upraveného obecného řešení vynálezu, jehož schéma je pro případ $t_{\min} = 0$ uvedeno na obr. 14. Třetí vstup X3 měřených impulsů je zdvojen, přičemž první ze zdvojených vstupů X3(n + 1) je přímo spojen s prvním společným vstupem D1 n -násobného dvouvstupového hradla s pamětí D a druhý ze zdvojených vstupů X3n je spojen s prvním vstupem C1 n -stavového přepínače buď přímo, v případě $t_{\min} = 0$ nebo přes dvouvstupové hradlo L, jehož druhý vstup L2 je spojen s druhým výstupem G5 bloku programovatelných čítačů G v případě $t_{\min} > 0$. Přepínač B je v tomto případě ze zapojení vyloučen.

Jestliže zdroj měřených impulsů generuje měřené impulsy na $(n + 1)$ výstupech, z nichž jeden je vyhrazen pro výstup prvního impulsu, pak popsané zapojení podle vynálezu zabezpečí měření n časových intervalů podle upraveného obecného řešení vynálezu, jehož schéma je uvedeno pro případ $t_{\min} > 0$ na obr. 15. Třetí vstup X3 je proveden jako $(n + 1)$ násobný, přičemž první z nich X3(n + 1) je přímo spojen s prvním společným vstupem D1 n -násobného dvouvstupového hradla s pamětí D a zbývajících n vstupů X3i jsou spojeny s n individuálními vstupy D2i uvedeného hradla D buď přímo v případě $t_{\min} = 0$ nebo v případě $t_{\min} > 0$ přes n -násobné dvouvstupové hradlo K, jehož hradlovací vstup K1 je spojen s druhým výstupem G5 bloku programovatelných čítačů G.

Dále je zřejmé, že v závislosti na konkrétním typu a vybavení počítače, ke kterému bude zapojení podle vynálezu připojováno, může být detektor H, jehož výstup není vnitřním spojením zapojení, ze zapojení vypuštěn nebo může být řešen odchylně. V tom případě se řídicí výstup D6 n -násobného hradla s pamětí D a n druhých výstupů E5i vratných čítačů E stávají novými výstupy ze zapojení na místo výstupu Y1 a vstupu X7 zapojení.

Obdobně, při splnění určitých podmínek může být zabezpečeno měření časových intervalů,

bude-li paměť režimu měření A a vstup X1 nahrazen novým prvním vstupem X1 zapojení, který bude spojen s prvním společným vstupem F1 dekódéru F s prvním hradlovacím vstupem G1 bloku programovatelných čítačů G a druhým detekčním vstupem H2 detektoru H na místo dosavadního výstupu A3 paměti režimu měření A.

Vzhledem k tomu, že po ukončeném měření se zapojení podle vynálezu samočinně vrací do správného počátečního stavu, je možné osmý vstup X8 zapojení nepřipojit na některý z dále uvedených vstupů D7, A4, B6 a zavedení jednoznačného počátečního stavu zapojení zabezpečit zanedbáním výsledků prvního případně i druhého provedeného měření n -intervalů.

Spojením vratných čítačů E s programovatelnými čítači G přes dekódér F je dosaženo jednoduššího obvodového zapojení pro přesná měření časových intervalů a zavádění naměřených hodnot do počítače v porovnání s dosud známými zapojeními, přičemž je umožněno i jednoduché programovatelné určování rozsahu měřených hodnot.

Na obr. 1 a obr. 2 je uvedeno schéma obecného řešení zapojení podle vynálezu. Na obr. 14 a obr. 15 jsou uvedena schémata upravených obecných řešení zapojení podle vynálezu pro dva další způsoby generování měřených impulsů. Na obr. 3 až obr. 12 jsou uvedeny příklady konkrétního zapojení jednotlivých bloků obecného řešení tak, že na obr. 3 je paměť režimu měření A, na obr. 4 dvoustavový přepínač B, na obr. 5, 6 a 7 jsou uvedeny varianty řešení n -stavového přepínače C pro $n = 1, 2$ a $n > 2$, na obr. 8 je uvedeno n -násobné dvouvstupové hradlo s pamětí D se dvěma variantami konkrétního provedení řídicího výstupu D6 pro základní zapojení podle obr. 1 a 14 upravené zapojení podle obr. 15. Na obr. 9 je uvedeno schéma i -tého vratného čítače E, na obr. 10 schéma dekódéru čítaných impulsů F pro i -tý dekódér, na obr. 11 je schéma detektoru ukončení cyklu H a na obr. 12 je schéma tří programovatelných čítačů, tj. pro $n = 2$ se dvěma variantami konkrétního provedení programovatelného výstupu G4 pro základní a upravené zapojení podle obr. 15. Na obr. 13 je uveden časový diagram činnosti příkladu konkrétního zapojení podle vynálezu pro základní zapojení.

Blok tří programovatelných čítačů na obr. 12 umožňuje prostřednictvím datových vstupů/výstupů G7 a adresních výběrových a řídicích vstupů G6 programem z počítače zapisovat a číst obsah libovolného ze tří čítačů a programem z počítače nastavovat mód jejich činnosti.

Každý programovatelný čítač je dostupný prostřednictvím jednoho hradlovacího vstupu q0, q1, q2 jednoho čítacího vstupu c0, c1, c2 a jednoho programovatelného výstupu 00, 01, 02. Hradlovací vstupy q0, q1, q2 jsou vzájemně spojeny a jsou řízeny dvouvstupovým logickým součinným hradlem s inverzí, jehož dva vstupy tvoří první q1 a druhý q2 hradlovací vstupy bloku programovatelných čítačů G. Jestliže signál na libovolném vstupu q1 nebo q2 má hodnotu logické jedničky a druhý signál přejde z hodnoty logické jedničky do stavu logické nuly, je v programově připravených čítacích zahájeno čítání impulsů, přicházejících na čítací vstupy c0, c1, c2. Čítání je prováděno v závislosti na programovatelném modu činnosti, dokud oba signály na vstupech q1 a q2 nejsou uvedeny opět do počáteční hodnoty logické jedničky nebo dokud není přiveden programovatelný počet čítaných impulsů.

První a druhý programovatelné čítače s čítacími vstupy c1 a c2 mohou být programovány např. do modu činnosti označeného M5, ve kterém je na programovatelných výstupech 01 a 02, a tedy i na výstupu G4, generována trvale hodnota logické jedničky a pouze po přivedení předem do čítače vložené hodnoty $(M + 1)$ impulsů, následujících za poslední nástupní hranou impulsu na hradlovacích vstupech q1, q2, vznikne na dobu periody jednoho čítaného impulsu hodnota logické nuly. Změny stavu programovatelných čítačů a též programovatelných výstupů G5, G4 jsou odvozeny od přechodu signálů na čítacích vstupech G3i z hodnoty logické jedničky na nulu. Za předpokladu, že hodnota M je určena podle rovnice (4), bude nástupní hrana signálu na výstupu G4 zpožděna za začátkem měření intervalu o hodnotu

$$T1 = (M + 2) \cdot t \cdot m + z \quad (8)$$

která splňuje nerovnost

$$t_{\max} < T1 < t_{\max} + t \cdot m + z \quad (9)$$

ve které

z je hodnota obvodového zpoždění v přenosu čítaných impulsů D5i na výstup G4.

Programovatelný výstup pro výstup signálu dosažení maximální programovatelné hodnoty některým z 1 až n čítačů je na obr. 12 uveden ve dvou konkrétních provedeních G4 a G4/1. Pro základní zapojení podle obr. 1 a obr. 14 vyhovuje jako výstup G4 přímý programovatelný výstup z nejvyššího n-tého programovatelného čítače, tj. pro n = výstup 02. Pro upravené zapojení podle obr. 15 je nutné realizovat výstup G4/1 jako výstup n-vstupového součinového hradla, jehož vstupy jsou spojeny, přerušovanou čarou, s programovatelnými výstupy 1. až n-tého programovatelného čítače, neboť nelze předem zaručit, na kterém ze vstupů X3i měřený impuls v intervalu t_{\min} , t_{\max} nevznikne a neukončí činnost čítačů, zatímco pro zapojení podle obr. 1 a obr. 14 je vždy zaručeno, že pokud v daném intervalu nepřijde očekávaný počet n-impulsů, čítání n-tého programovatelného čítače nebude ukončeno vnějším měřeným impulsem X3n.

Třetí programovatelný čítač na obr. 12 s čítacím vstupem 00 může být zejména s ohledem na úpravu zapojení podle obr. 14 a obr. 15 programován do modu činnosti označeném M1, ve kterém je na výstupu 00, a tedy i výstupu G5, generována trvale hodnota logické jedničky, která se po přivedení prvního impulsu na čítací vstup 00, přicházejícího za nástupní hranou signálu na vstupu 00, mění, na dobu následujících $M(n+1)$ čítaných impulsů přivedených na vstup 00, na hodnotu logické nuly. Hodnota $M(n+1)$ je hodnota programově zapsaná do uvedeného třetího programovatelného čítače. Je-li tato hodnota stanovena podle rovnice (7), bude nástupní hrana impulsu na výstupu G5 zpožděna za začátkem měření intervalu o hodnotu

$$T2 = (M(n+1) + 1) \cdot t \cdot m + z \quad (10)$$

Po dosazení za $M(n+1)$ z rovnice (7)

$$T2 = t_{\min} + z \quad (11)$$

kde z je opět obvodové zpoždění v přenosu impulsů D5i na výstupu G5.

Z rovnic (10) a (8) je zřejmé, že programovatelné nastavování hodnot t_{\min} a t_{\max} je možné provádět s minimálním přírůstkem nebo úbytkem o velikosti $t \cdot m$, přičemž měření časových intervalů je prováděno s rozlišovací schopností doby periody t .

Časový diagram na obr. 13 zachycuje průběh signálu na výstupu G5 pro $M(n+1) = 2$, a tedy pro $T2 = 3 \cdot t \cdot m$ a průběh signálu na výstupu G4 pro $M = 2$, a tedy pro $T1 = 4 \cdot t \cdot m$, přičemž zpoždění z je zanedbáno.

Je zřejmé, že požadovaná funkce signálu na výstupu G5, tj. vznik zpožděné nástupní hrany, může být zabezpečena pouze tehdy, jestliže hodnota $M(n+1) > 1$. V důsledku této podmínky, jejím dosazením do rovnice (10) a také v důsledku požadavku na jednoznačnost snímání hodnot z programovatelných čítačů, je možno, zapojením podle vynálezu, měřit pouze časové intervaly, které jsou delší, nežli hodnota $m \cdot t$ pro $t_{\min} = 0$ a delší nežli hodnota $2 \cdot m \cdot t$ pro $t_{\min} > 0$.

Na obr. 9 je uvedeno schéma i-tého třířádového vratného čítače. Čítač je signálem s hodnotou logické nuly na vstupu E1 nastaven do počátečního stavu. Na výstupu E4i vzniká v době měření i-tého intervalu signál s periodou 8x delší, nežli je perioda čítaných impulsů na vstupu E2i. Na výstupu E5i je trvale signál s hodnotou logické jedničky s výjimkou okamžiku, v němž stav třímístného čítače prochází svým počátečním stavem a současně na vstupu E3i odčítaných impulsů je hodnota logické nuly. Klidový stav na vstupech E2i a E3i je stav logické jedničky a změny stavu čítače jsou odvozeny od přechodu jednoho z těchto vstupních signálů z hodnoty logické nuly na jedničku.

Na obr. 10 je uveden příklad zapojení i -tého dekódéru čítaných impulsů, realizovaný pomocí dvou vstupových hradel s inverzí. Zavedeme-li označení logických proměnných na vstupech a výstupech bloků zapojení shodně s již zavedeným označením těchto vstupů a výstupů, pak dekódéry pro konkrétní provedení vratných čítačů realizují logické funkce podle následujících Booleovských rovnic:

$$\begin{aligned} F_{6i} &= F_1 + F_{4i} \cdot \overline{F_2} \\ F_{5i} &= \overline{F_1} \cdot (\overline{F_{4i}} + F_2) + F_1 \cdot F_{3i} \end{aligned} \quad (12)$$

Realizací těchto funkcí zabezpečuje dekódér čítaných impulsů F průchod inverze pomocných impulsů ze vstupu F_2 přes druhý výstup F_{6i} na odčítací vstup E_{3i} i -tého vratného čítače tehdy, jestliže signál na jeho vstupu F_1 , tj. na výstupu A_3 paměti režimu měření, má hodnotu logické nuly a signál na jeho vstupu F_{4i} má hodnotu logické jedničky, tj. i -tý vratný čítač nedosáhl ještě svého počátečního stavu a na jeho výstupu E_{5i} je signál s hodnotou logické jedničky. Na vstupu G_{3i} i -tého programovatelného čítače zabezpečuje dekódér F přes svůj první výstup F_{5i} průchod impulsů ze vstupu F_{3i} , tj. z prvních výstupů E_{4i} vratných čítačů E , jestliže signál na vstupu F_1 má hodnotu logické jedničky nebo průchod impulsů ze vstupu F_2 , jestliže signál na vstupu F_{4i} má hodnotu logické jedničky a signál na vstupu F_1 má hodnotu logické nuly.

Platnost Booleovských rovnic (12) pro případně jiné konkrétní provedení programovatelných a vratných čítačů, v nichž by změny stavů čítačů nastávaly při opačných přechodech vstupních signálů, nežli je definováno, je zachována provedením funkce inverze příslušné vstupní nebo výstupní proměnné a zařazením invertoru na příslušný vstup nebo výstup v dekódéru.

Na obr. 11 je uveden příklad konkrétního zapojení detektoru H . Zapojení je tvořeno jednak dvoustavovým klopným obvodem (T) typu D, jehož nulovací vstup (R) realizuje řídicí vstup H_4 detektoru H , jehož vstup (C) pro zápis hodnoty na vstupu (D) nástupní hranou realizuje první detekční vstup H_1 detektoru a jednak ($n + 1$) vstupovým obvodem logického součinu, jehož vstupy jsou přes invertory spojeny s druhým detekčním vstupem H_2 a s n třetími detekčními vstupy H_{3i} a jehož výstup je přes logický derivační obvod spojen s nastavovacím vstupem (S) dvoustavového obvodu (T).

Logický derivační obvod je tvořen invertorem, dvou vstupovým obvodem logického součinu s inverzí a kondenzátorem CX připojeným k výstupu invertoru. Vstupní signál derivačního obvodu je připojen k jednomu ze vstupů dvou vstupového hradla s inverzí přímo a ke druhému vstupu přes invertor. Na výstupu je generován krátký impuls s hodnotou logické nuly v okamžiku nástupní hrany vstupního impulsu. Doba trvání impulsu je určena kapacitou kondenzátoru CX . Datový vstup (D) klopného obvodu je připojen trvale na zdroj signálu s hodnotou logické jedničky.

Jak je uvedeno v časovém diagramu výstupního signálu Y_1 na obr. 13, signál na výstupu H_5 detektoru H nabývá hodnotu logické jedničky v okamžiku nástupní hrany signálu na výstupu D_6 , přiváděného přes vstup H_1 a v okamžiku, kdy signály na všech ostatních detekčních vstupech $H_2 = A_3$ a $H_{3i} = E_{5i}$ poprvé nabývají hodnotu logické nuly.

Příklad konkrétního zapojení n -násobného dvou vstupového hradla s pamětí D je uveden na obr. 8 se dvěma variantami provedení řídicího výstupu D_6 . Paměti intervalu jsou tvořeny klopnými obvody typu D, jejichž datové vstupy (D) jsou spojeny se zdrojem signálu s hodnotou logické nuly, jejichž nastavovací vstupy (S) jsou všechny spojeny přes invertor s prvním společným vstupem D_1 pro zápis otvírací hodnoty do všech n pamětí intervalu, jejichž vstupy (C) pro zápis hodnot vstupu (D) nástupní hranou jsou všechny spojeny s výstupem obvodu dvou vstupového logického součinu, jehož vstupy jsou jednotlivě spojeny s druhým společným vstupem D_4 a se čtvrtým společným vstupem D_7 pro zápis druhé zavírací hodnoty do všech n pamětí intervalu, jejichž nulovací vstupy (R) tvoří n individuálních vstupů D_{2i} .

N -násobné dvou vstupové hradlo je tvořeno n dvou vstupovými hradly s inverzí, jejichž jeden vstup je vždy spojen s výstupem příslušné paměti intervalu a druhé vstupy všech hradel jsou

spojeny s třetím společným vstupem D3 pro vstup hradlovacích impulsů.

Konkrétní provedení řídicího výstupu D6 pro výstup signálu uzavření všech n dvouvstupových hradel je pro základní zapojení podle obr. 1 a pro upravené zapojení podle obr. 15 realizováno v tomto případě jednoduše inverzním výstupem D6 z n-té paměti intervalu, neboť je zřejmé, že při způsobu postupného uzavírání bude n-tá paměť intervalu uzavírat n-té dvouvstupové hradlo jako poslední, kdy již všechna předchozí hradla budou uzavřena nebo budou uzavírána společně.

Pro upravené zapojení podle obr. 15 je nutné realizovat řídicí výstup D6/1 např. jako výstup obvodu n-vstupového logického součinu, jehož vstupy jsou spojeny s inverzními výstupy všech pamětí intervalu. V případě uzavření všech hradel budou na inverzních výstupech pamětí intervalů hodnoty logické jedničky a také výstup D6/1 bude mít požadovanou hodnotu logické jedničky.

Příklad konkrétního zapojení n-stavového přepínače C s nastavením počátečního stavu a postupným přepínáním od přepínacího signálu je uvedeno pro $n > 2$ na obr. 7. Zapojení je tvořeno n klopnými obvody typu D, jejichž inverzní výstupy jsou spojeny s jejich datovými vstupy (D) a jejichž přímé výstupy s hradly s inverzí pro vytváření výstupů přepínače G3i a přes tento výstup s hradly pro vytváření vnitřních signálů pro řízení postupného přepínání přepínače, jejichž výstupy jsou připojovány ke vstupům (c) klopných obvodů, pro zápis nástupní hranou.

Druhý společný vstup C2 pro nastavení počátečního stavu je spojen s nastavovacím vstupem (S) prvního klopného obvodu a s nulovacími vstupy (R) všech ostatních klopných obvodů. Po uvedení přepínače do počátečního stavu, signálem na vstupu C2, projde impuls přivedený na vstup C1 na výstup C31 a zároveň v okamžiku svého ukončení překlopí první klopný obvod do nulovaného stavu a následující klopný obvod do nastaveného stavu.

Stav nastavení klopných obvodů, který otvírá jediné výstupní i-té hradlo přepínače pro průchod přepínacího impulsu ze vstupu C1 na výstup C3i je mezi klopnými obvody posouván až ke stavu C3n.

Jiný příklad konkrétního zapojení n-stavového přepínače může být založen na použití n-místného posuvného registru s n dvouvstupovými výstupními hradly, ve kterém by byl zabezpečen posuv jednoho stavu nastavení v okamžiku konce přepínacího signálu.

Na obr. 5 a obr. 6 jsou uvedeny příklady zjednodušeného konkrétního zapojení n-stavového přepínače pro $n = 1$ a $n = 2$. Zjednodušení je založeno na faktu, že pro správné změření časového intervalu je rozhodující příchod pouze prvního impulsu, který je z výstupu C3i na vstupu D2i přenesen, přičemž následující impulsy na výstupu C3i výsledek měření již nemění.

Na obr. 4 je uvedeno konkrétní zapojení dvoustavového přepínače B, který je tvořen klopným obvodem typu D a hradly pro vytvoření výstupních signálů B4, B5. První přepínací vstup B3 je tvořen nastavovacím vstupem (S) klopného obvodu a druhý přepínací vstup B2 je tvořen vstupem (C) pro zápis nástupní hranou, přičemž datový vstup (D) klopného obvodu je trvale spojen s výstupem zdroje signálu s hodnotou logické nuly.

Třetí přepínací vstup B6 je realizován nulovacím vstupem (R) klopného obvodu.

Na obr. 3 je uveden příklad konkrétního zapojení paměti režimu měření A. Paměť je realizována klopným obvodem typu D, jehož datový vstup (D) je trvale spojen s výstupem zdroje signálu s hodnotou logické nuly, první vstup A1 je realizován vstupem (C) pro zápis hodnoty nástupní hranou a druhý vstup A2 je realizován nastavovacím vstupem (S) klopného obvodu. Třetí vstup A4 je realizován nulovacím vstupem (R) klopného obvodu.

Časový diagram činnosti na obr. 13 znázorňuje časové průběhy signálů na vybraných vstupech a výstupech zapojení v průběhu cyklu měření a cyklu přepisu pro konkrétní změřenou hodnotu časového intervalu.

$$t_1 = (3 \cdot 8 + 2) \cdot t = 26 \cdot t$$

Před zahájením činnosti podle časového diagramu byla do všech tří programovatelných čítačů vložena hodnota $M = 2$.

Signálem na vstupu X8 jsou přes vstup D7 uzavřena všechna dvouvstupová hradla s pamětí D, přepínač B je nastaven tak, aby prostřednictvím vstupu B6 případné impulsy na třetím vstupu X3 procházely pouze na druhý výstup B5 přepínače B a nebylo umožněno nežádoucí zahájení měření intervalů a paměť režimu měření A je prostřednictvím třetího vstupu A3 uvedena do stavu logické nuly.

Signálem na vstupu X2 je nastavena paměť režimu A3 a přes vstup B3 je přepnut přepínač B. Impulsem na vstupu X3 a na výstupu B4 přepínače B je zahájeno měření intervalu a vznikají čítané impulsy na výstupech D5i. Nástupní hranou signálu G5 je označen okamžik t_{\min} , přes vstup B2 je přepnut přepínač B a prvním následujícím impulsem na vstupu X3 je přes výstup B5 a C3i ukončeno měření prvního časového intervalu.

Nástupní hranou impulsu G4 je ukončen prostřednictvím vstupu D4 a výstupu D6 cykl měření a na výstupu Y1 je ukončení cyklu signalizováno hodnotou logické jedničky. Prostřednictvím programovatelných signálů X6, X7 je proveden přepis hodnot p_i do počítače, je provedena případná nová inicializace hodnot M podle podmínky (6) v programovatelných čítačích, tj. $M > 8$ a je ukončen signál Y1. Výsledná hodnota p_i je rovna nule.

Signálem na vstupu X1 je ukončen režim měření, hodnota signálu A3 je rovna logické nule a je automaticky zahájen cykl přepisu hodnot V_i do programovatelných čítačů. Dosáhnou-li všechny vratné čítače svoji počáteční hodnotu, nabývají signály na všech výstupech E5i hodnotu logické nuly a přes obvod detektoru H je signalizováno na výstupu Y1 ukončení cyklu přepisu.

Vynálezu může být využito v automatizovaných systémech řízených počítačem pro měření časových intervalů a pro měření těch fyzikálních veličin, jejichž měření je na měření časových intervalů převáděno. Jedná se zejména o měření délky laserovým nebo radiolokačním dálkoměrem.

P Ř E D M Ě T V Y N Á L E Z U

1. Zapojení pro měření časových intervalů programovatelnými čítači s počítačem, vyznačené tím, že třetí vstup (X3) zapojení je spojen se vstupem (B1) přepínaného signálu dvoustavového přepínače (B), jehož první výstup (B4) je spojen s prvním společným vstupem (D1) n -násobného dvouvstupového hradla s pamětí (D) a jehož druhý výstup (B5) je spojen s prvním vstupem (C1) n -stavového přepínače (C), jehož n výstupů (C3i) je po řadě spojeno s n individuálními vstupy (D2i) n -násobného dvouvstupového hradla s pamětí (D), jehož třetí společný vstup (D3) je spojen se vstupem měřicích impulsů (X4) zapojení a jehož n individuálních výstupů (D5i) je po řadě spojeno s n čítacími vstupy (E2i) bloku vratných čítačů (E), jehož n prvních výstupů (E4i) je po řadě spojeno s n prvými individuálními vstupy (F3i) dekódéru (F) a jehož n druhých výstupů (E5i) je po řadě spojeno s n třetími detekčními vstupy (H3i) detektoru (H) a jednak s n druhými individuálními vstupy (F4i) dekódéru (F), jehož n druhých výstupů (F6i) je spojeno s n odčítacími vstupy (E3i) bloku vratných čítačů (E) a jehož n prvních výstupů (F5i) je po řadě spojeno s n čítacími vstupy (G3i) bloku programovatelných čítačů (G), přičemž jeden libovolný z těchto n prvních výstupů (F5i) je spojen s $(n+1)$. čítacím vstupem (G3(n+1)) bloku programovatelných čítačů (G), jehož druhý programovatelný výstup (G5) je spojen s druhým přepínacím vstupem (B2) dvoustavového přepínače (B) a jehož první programovatelný výstup (G4) je

spojen s druhým společným vstupem (D4) n -násobného dvouvstupového hradla s pamětí (D), jehož řídicí výstup (D6) je spojen jednak s prvním detekčním vstupem (H1) detektoru (H) a jednak s druhým hradlovacím vstupem (G2) bloku programovatelných čítačů (G), přičemž vstup (X5) pomocných impulsů zapojení je spojen s druhým společným vstupem (F2) dekódéru (F), přičemž první vstup (X1) zapojení je spojen s prvním vstupem (A1) paměti režimu měření (A), přičemž druhý vstup (X2) zapojení je spojen jednak s prvním přepínacím vstupem (B3) dvoustavového přepínače (B), jednak s druhým vstupem (C2) n -stavového přepínače (C), jednak s prvním vstupem (E1) bloku vratných čítačů (E) a jednak s druhým vstupem (A2) paměti režimu měření (A), jejíž výstup (A3) je spojen jednak s prvním společným vstupem (F1) dekódéru (F), jednak s druhým detekčním vstupem (H2) detektoru (H) a jednak s prvním hradlovacím vstupem (G1) bloku programovatelných čítačů (G), jehož řídicí vstup (C6) je spojen s šestým vstupem (X6) zapojení a jehož datový vstup/výstup (G7) je spojen s datovým vstupem/výstupem (XY2) zapojení, přičemž výstup (H5) detektoru (H) je spojen s prvním výstupem (Y1) zapojení, řídicí vstup (H4) detektoru (H) je spojen se sedmým vstupem (X7) zapojení.

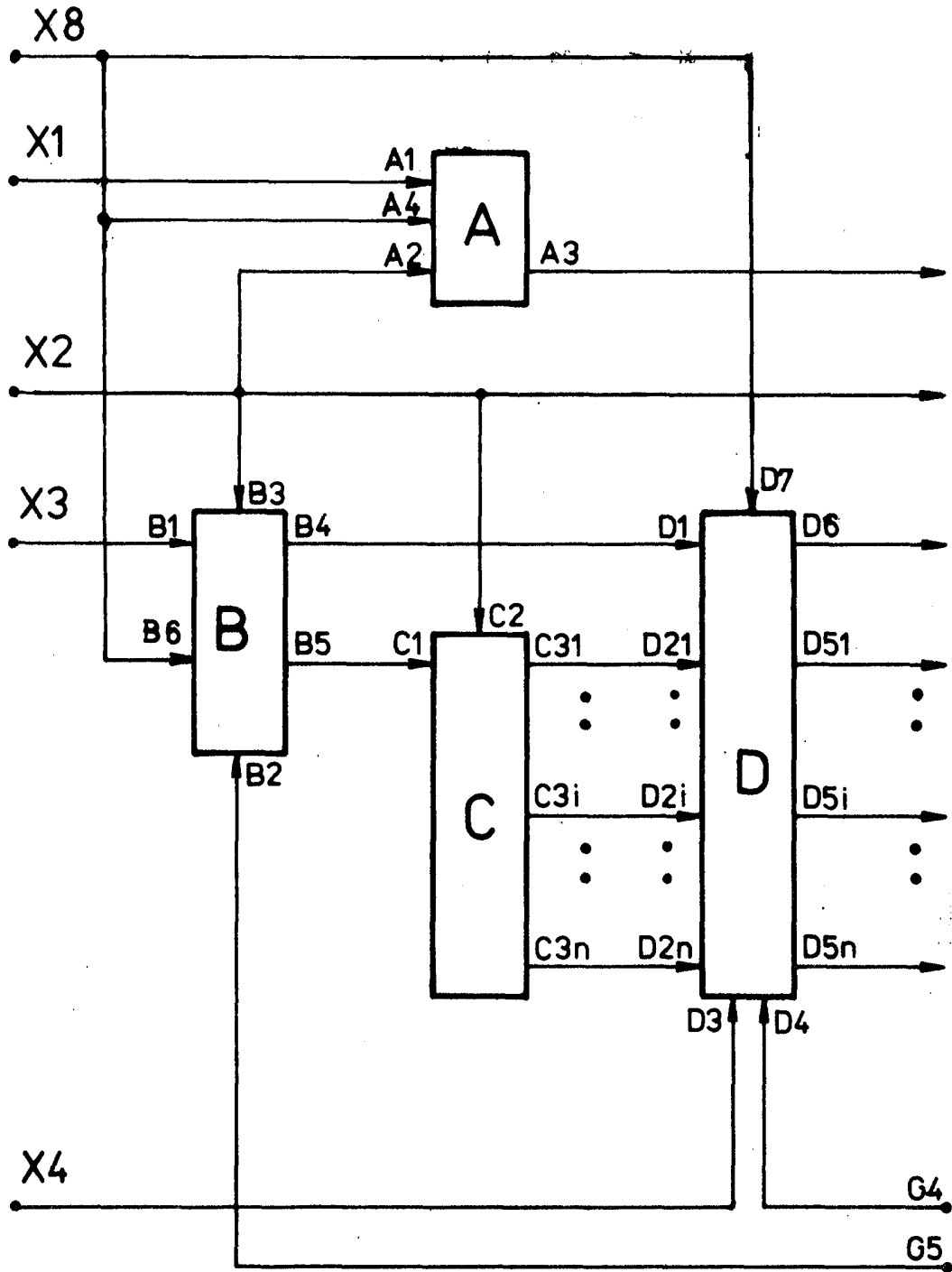
2. Zapojení pro měření časových intervalů podle bodu 1 vyznačující se tím, že druhý přepínací vstup (B2) dvoustavového přepínače (B) je spojen s prvním výstupem (B4) tohoto dvoustavového přepínače (B) na místo s druhým programovatelným výstupem (G5) bloku programovatelných čítačů (G).

3. Zapojení pro měření časových intervalů podle bodů 1 nebo bodu 2, vyznačující se tím, že třetí vstup (X3) zapojení je zdvojen, přičemž první z těchto zdvojených vstupů ($X2(n+1)$) je přímo spojen s prvním společným vstupem (D1) n -násobného dvouvstupového hradla s pamětí (D) a druhý ze zdvojených vstupů ($X3n$) zapojení je spojen s prvním vstupem (C1) n -stavového přepínače (C) buď v případě $t_{\min} = 0$ přímo nebo v případě $t_{\min} > 0$ přes dvouvstupové hradlo (L), jehož druhý vstup (L2) je spojen s druhým programovatelným výstupem (G5) bloku programovatelných čítačů (G).

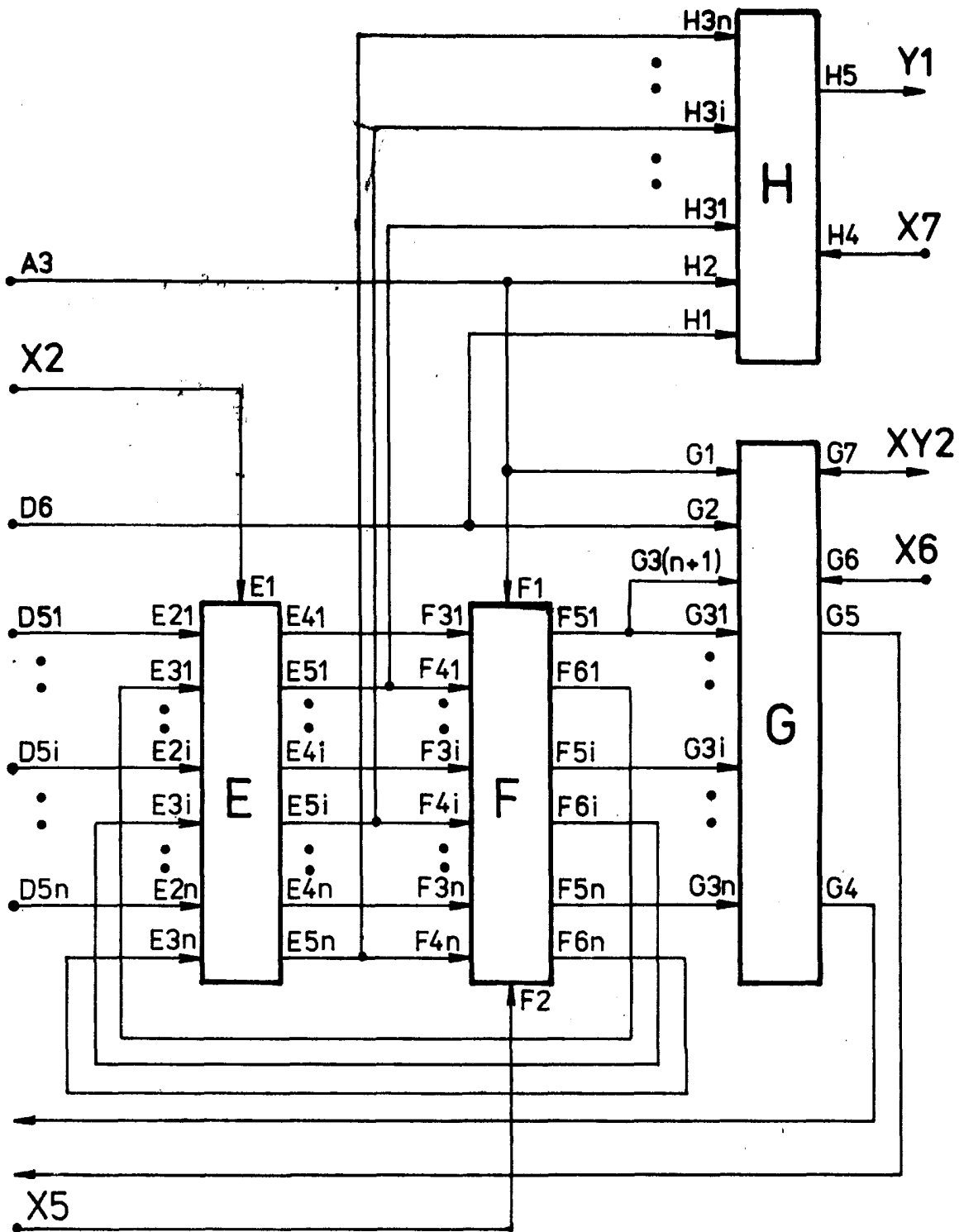
4. Zapojení pro měření časových intervalů podle bodů 1 nebo bodu 2, vyznačující se tím, že třetí vstup (X2) zapojení je proveden jako $(n+1)$ -násobný, přičemž první ($X3(n+1)$) z těchto vstupů je přímo spojen s prvním společným vstupem (D1) n -násobného dvouvstupového hradla s pamětí (D) a zbývajících n vstupů ($X3i$) $(n+1)$ -násobného třetího vstupu zapojení je spojeno s n individuálními vstupy (D2i) uvedeného n -násobného dvouvstupového hradla s pamětí (D) buď přímo, v případě $t_{\min} = 0$, nebo v případě $t_{\min} > 0$ přes n -násobné dvouvstupové hradlo (K), jehož hradlovací vstup (K1) je spojen s druhým programovatelným výstupem (G5) bloku programovatelných čítačů (G).

5. Zapojení pro měření časových intervalů podle bodů 1 nebo 2, nebo 3, nebo 4 vyznačující se tím, že výstupy zapojení jsou řídicí výstup (D6) n -násobného dvouvstupového hradla s pamětí (D) a n druhých výstupů (E5i) bloku vratných čítačů (E).

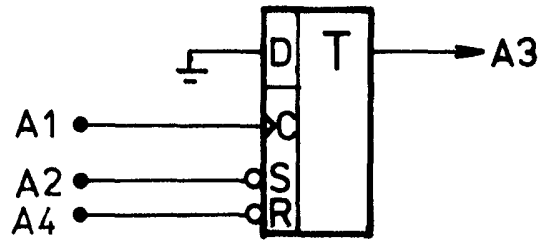
6. Zapojení pro měření časových intervalů podle bodů 1 nebo 2, nebo 3, nebo 4, nebo 5, vyznačující se tím, že nový vstup zapojení je spojen s prvním společným vstupem (F1) dekódéru (F), s prvním hradlovacím vstupem (G1) bloku programovatelných čítačů (G) a s druhým detekčním vstupem (H2) detektoru (H).



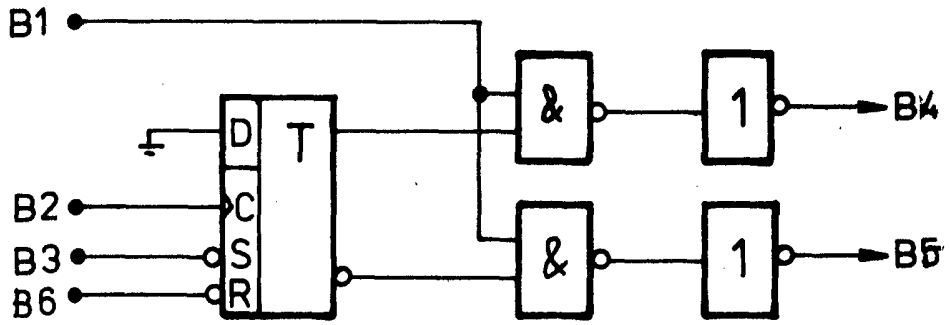
OBR. 1.



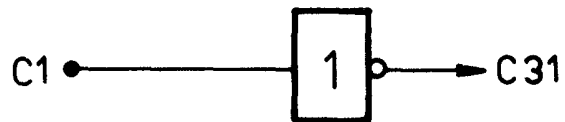
OBR. 2.



OBR. 3.

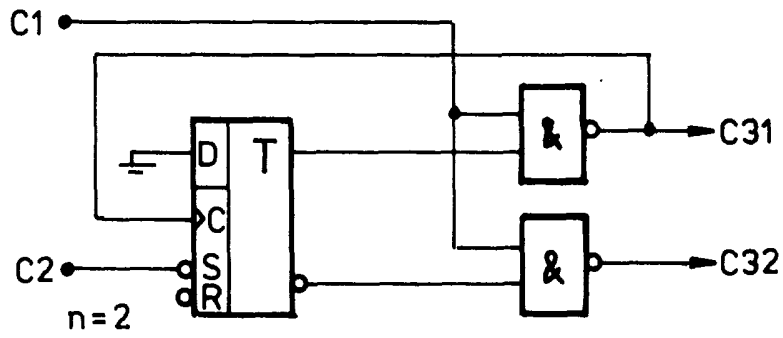


OBR.4.

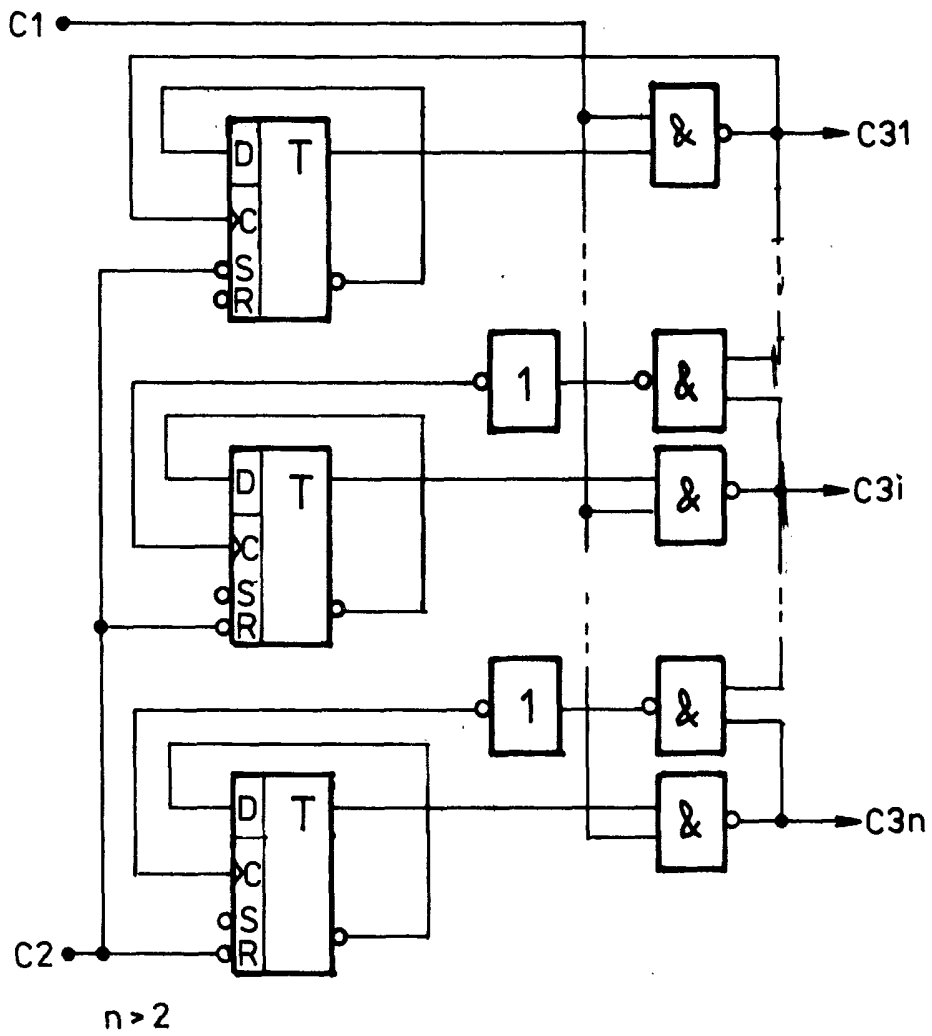


n = 1

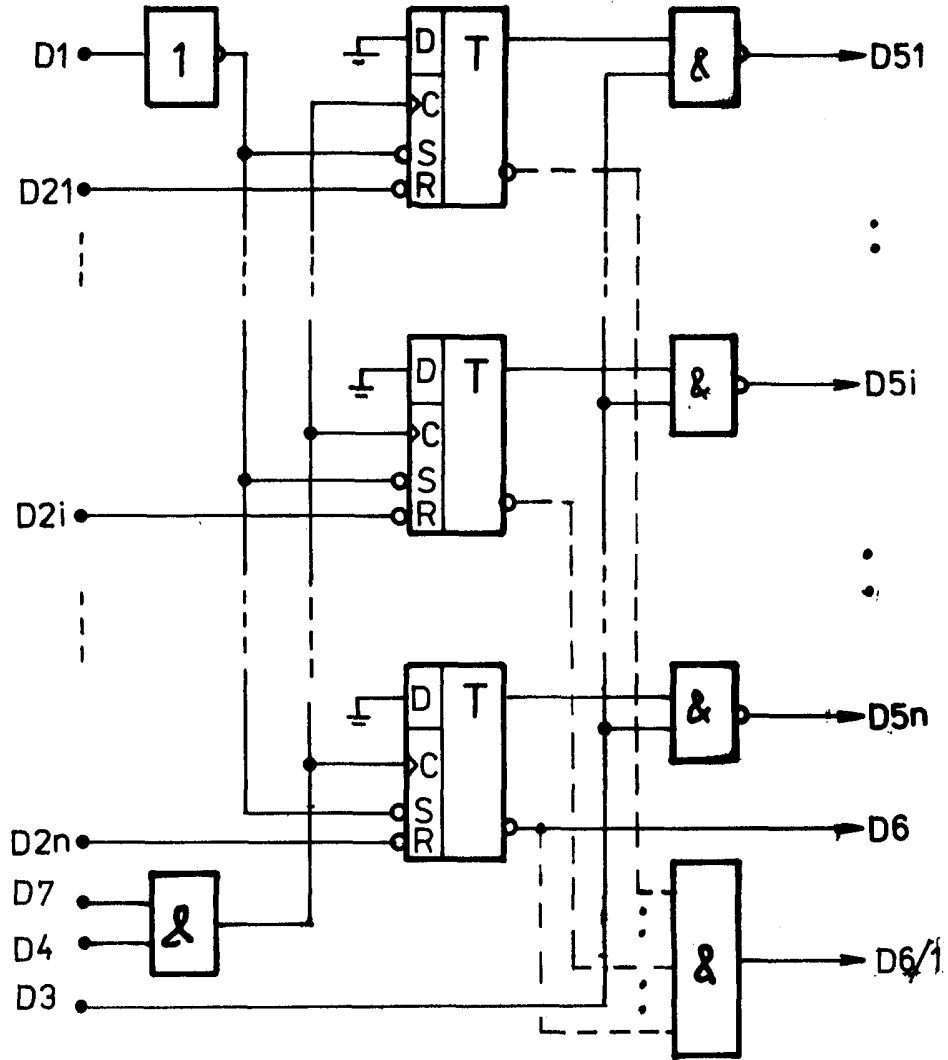
OBR. 5.



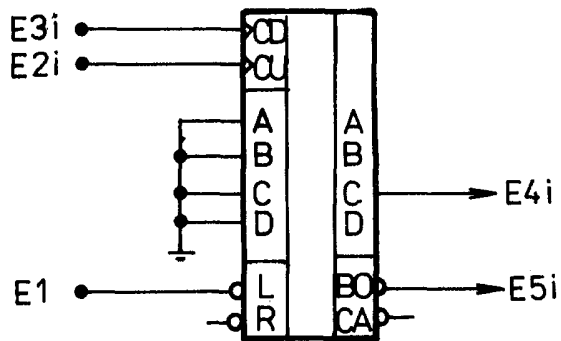
OBR.6.



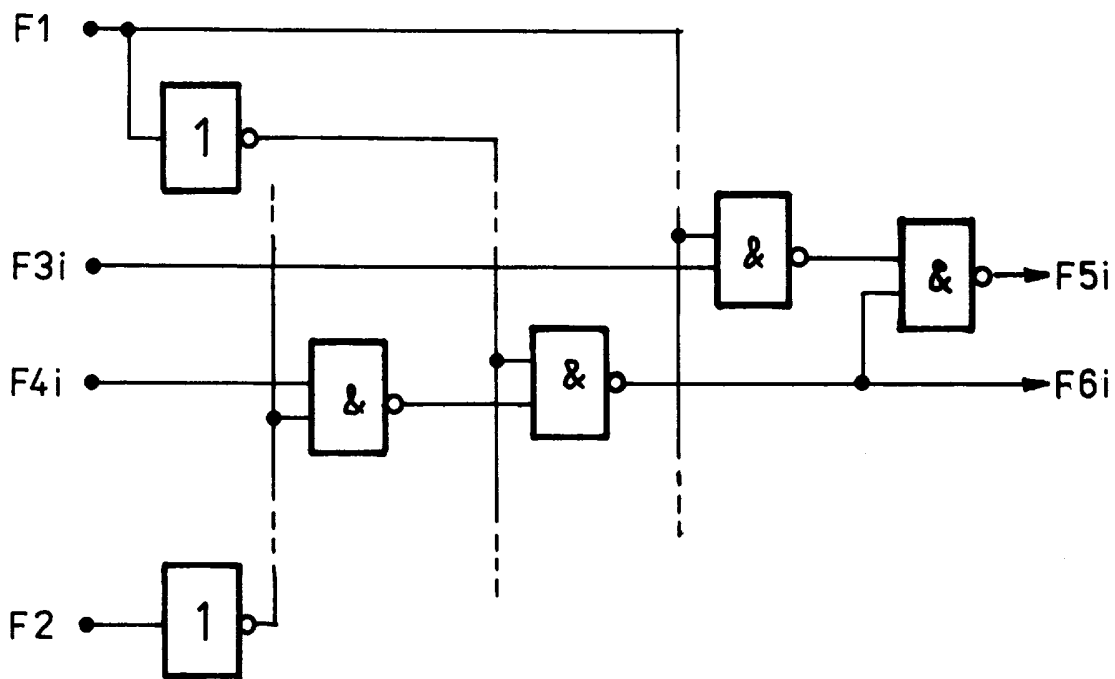
OBR.7.



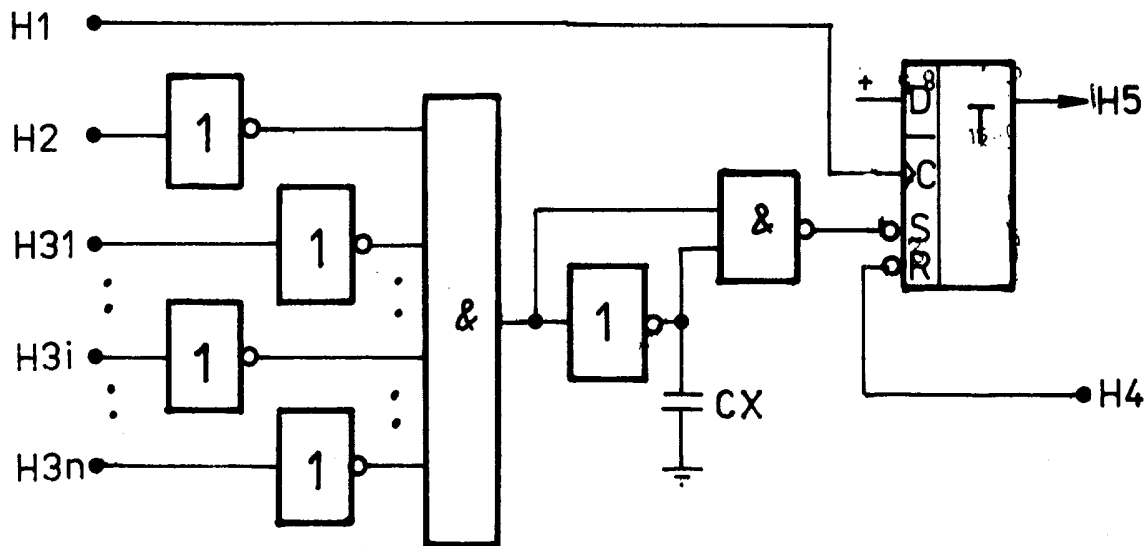
OBR. 8.



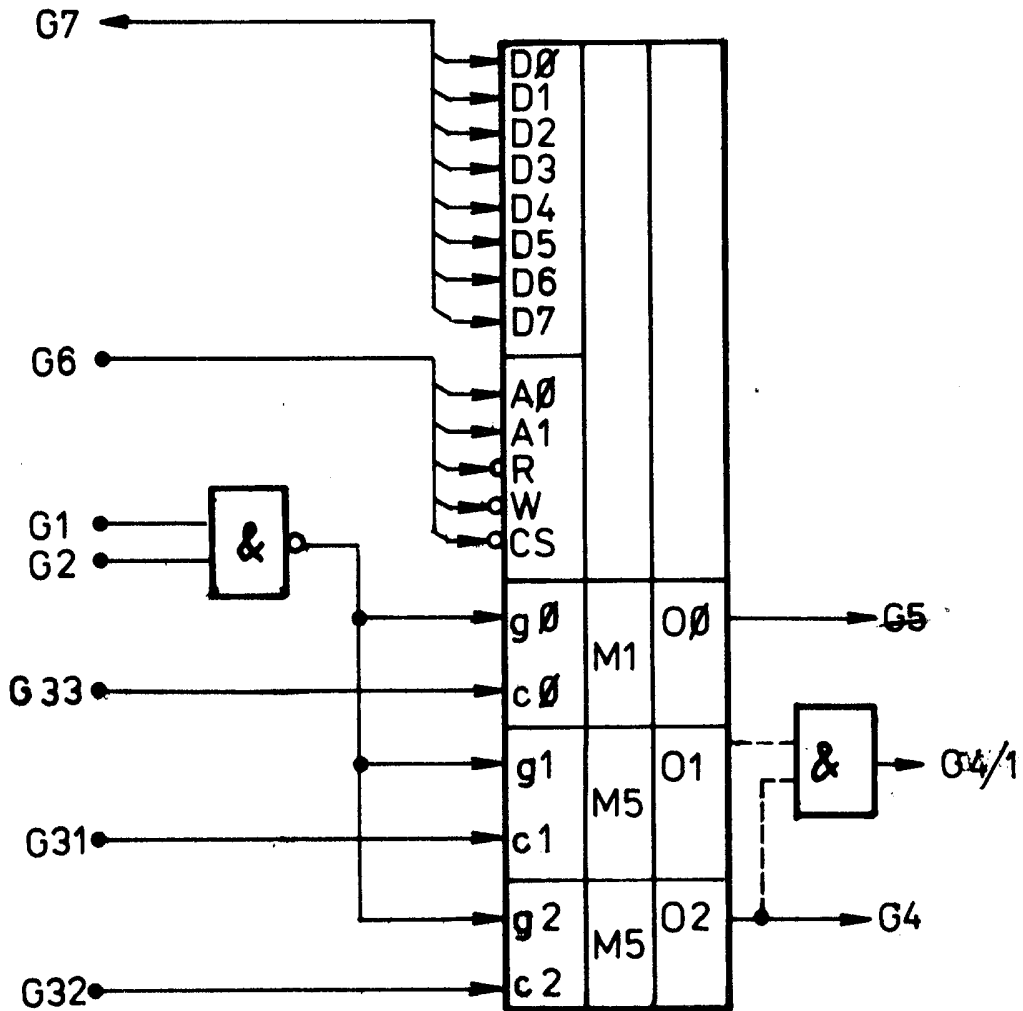
OBR. 9.



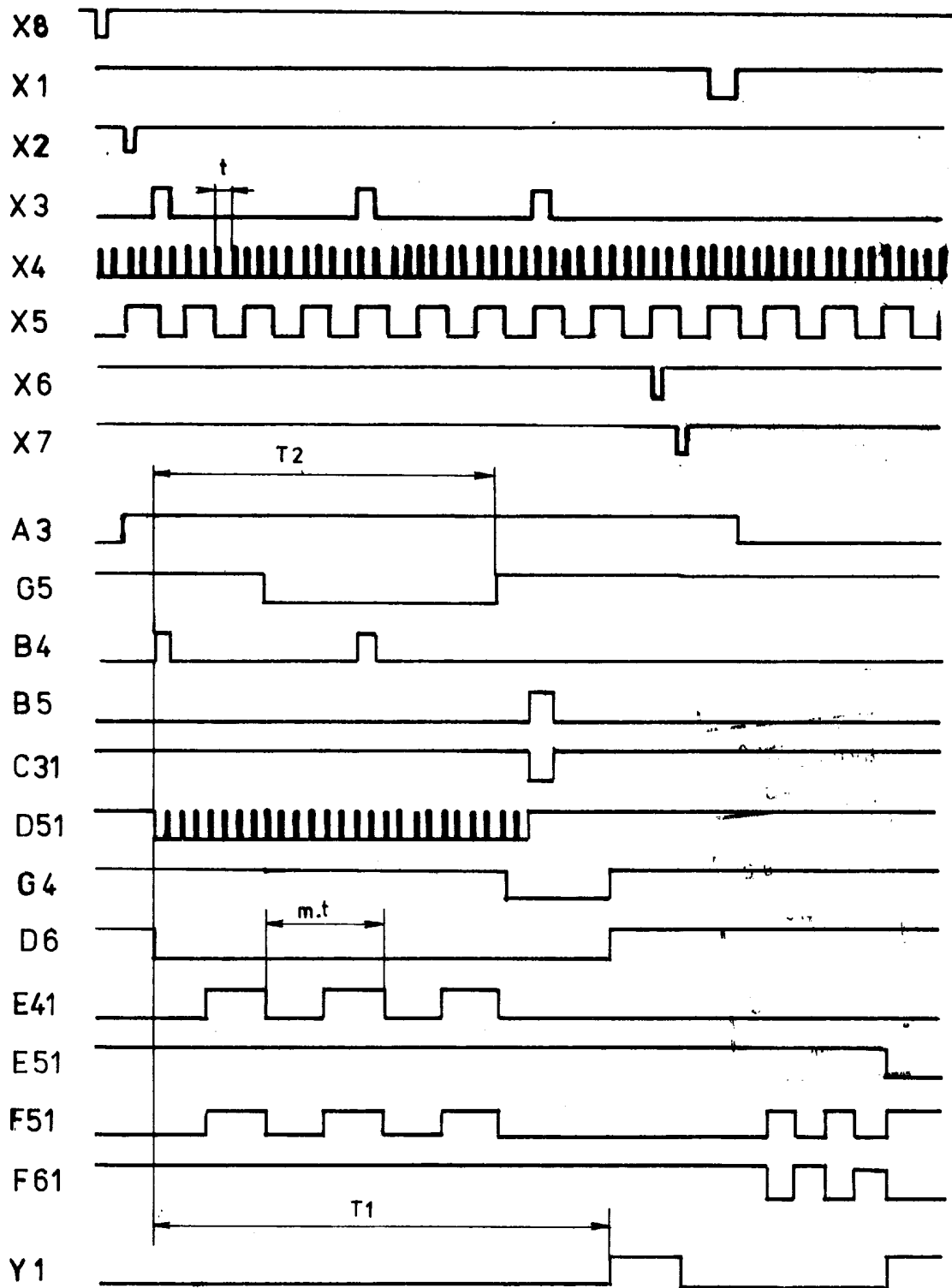
OBR.10.



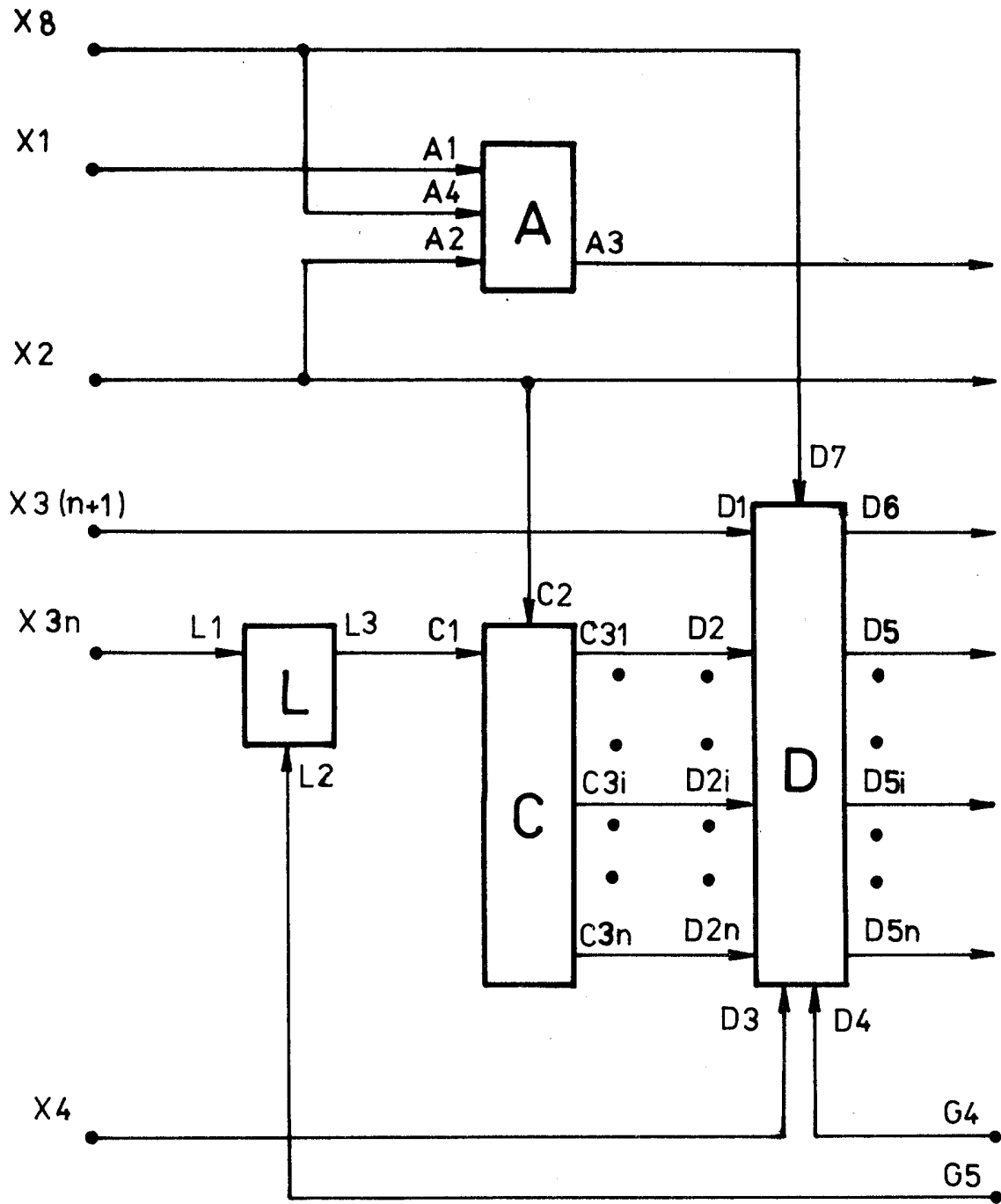
OBR.11.



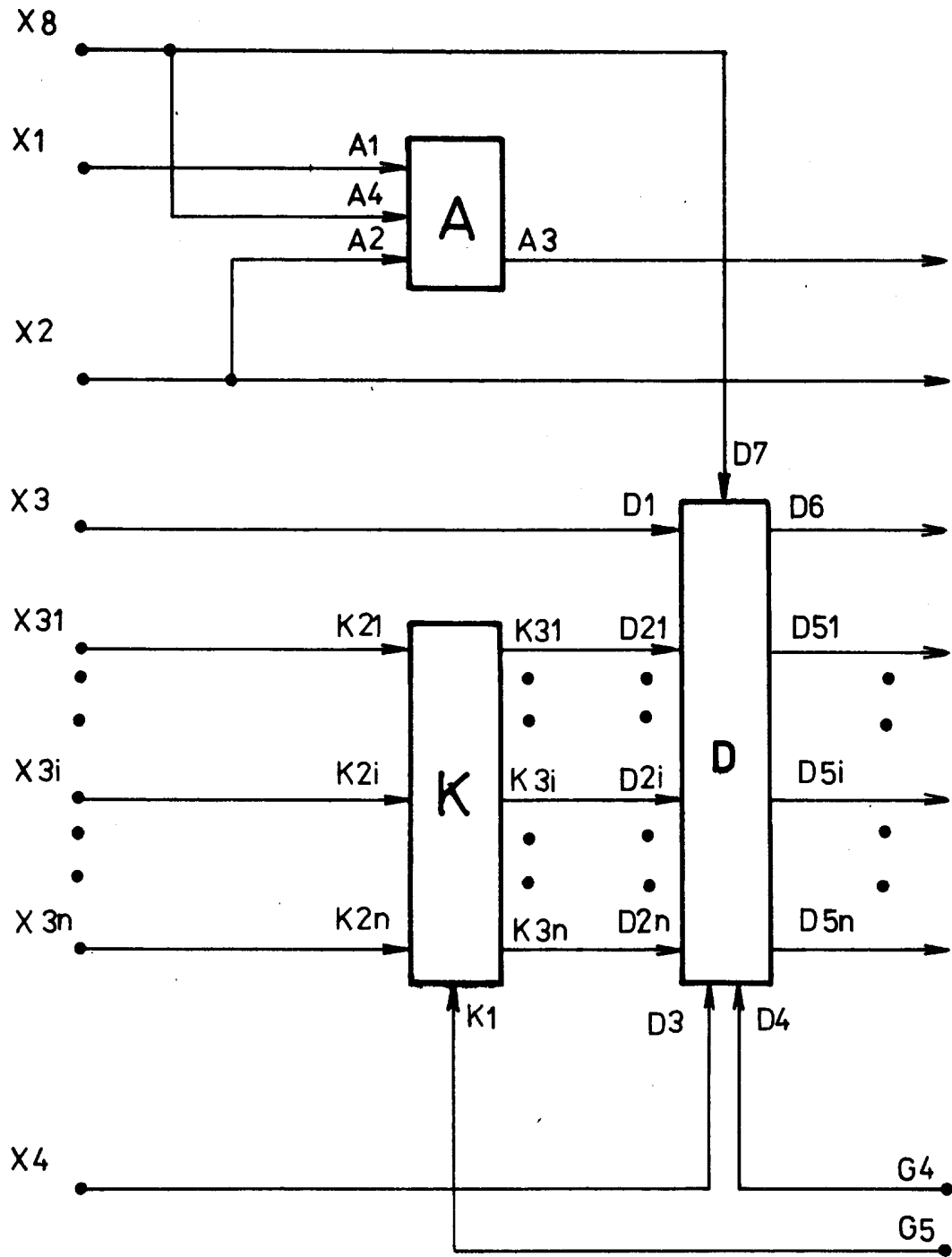
OBR.12.



OBR.13.



OBR.14



QBR.15