

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 12 月 7 日 (07.12.2006)

PCT

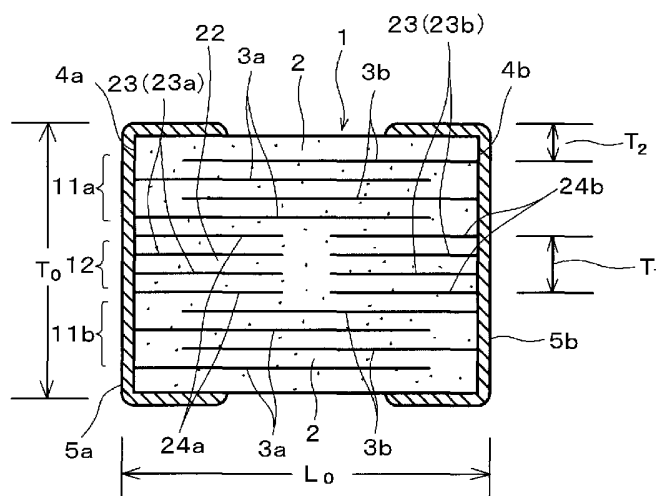
(10) 国際公開番号
WO 2006/129783 A1

- (51) 国際特許分類:
H01G 4/30 (2006.01) H01G 4/12 (2006.01) CO.,LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2006/311068 (72) 発明者; および
- (22) 国際出願日: 2006 年 6 月 2 日 (02.06.2006) (75) 発明者/出願人 (米国についてのみ): 大國 聡巳 (OGUNI, Toshimi) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 松本 宏之 (MATSUMOTO, Hiroyuki) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-164844 2005 年 6 月 3 日 (03.06.2005) JP
特願2006-153092 2006 年 6 月 1 日 (01.06.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING
- (74) 代理人: 西澤 均 (NISHIZAWA, Hitoshi); 〒5500002 大阪府大阪市西区江戸堀 1 丁目 2 番 11 号 大同生命南館 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

/ 続葉有 /

(54) Title: LAMINATED CERAMIC CAPACITOR

(54) 発明の名称: 積層セラミックコンデンサ



(57) Abstract: A laminated ceramic capacitor which can prevent cracking in a firing process even when the numbers of ceramic layers and inner electrode layers are increased, and is high in breakdown voltage and excellent in withstand voltage performance. Between capacity forming layers (11a, 11b) formed by laminating a ceramic dielectric layer (2) and capacity forming inner electrode layers (3a, 3b), is provided a stress relieving layer (12) which has a structure in which a ceramic dielectric layer (22), a dummy-use inner electrode layer (23) (split electrodes (23a, 23b)) not contributing to forming electrostatic capacity, and capacity formation preventing inner electrode layers (24a, 24b) for preventing capacity formation between the capacity forming inner electrode layer and the dummy-use inner electrode layer are laminated, wherein the thickness of the stress relieving layer is 100-300 μ m, the plane area of the dummy-use inner electrode layer is 60% or more of the area of the capacity forming inner electrode layer, and the dummy-use inner electrode layer is not divided within a single layer, or divided into two or three, whereby stress occurring from an electrostriction phenomenon is relieved.

(57) 要約: セラミック層と内部電極層の積層数を増やした場合にも、焼成工程でのクラックの発生を抑制することが可能で、破壊電圧値が高く、耐電圧性能に優れた積層セラミックコンデンサを提供する。セラミック誘電体層 2 と、容量形成用内部電極層 3 a, 3 b とが積層

/ 続葉有 /

WO 2006/129783 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

された容量形成層 11 a, 11 b の間に、セラミック誘電体層 22 と、静電容量の形成に寄与しないダミー用内部電極層 23 (分割電極 23 a, 23 b) と、容量形成用内部電極層とダミー用内部電極層との間での容量形成を阻止する容量形成阻止用内部電極層 24 a, 24 b とが積層された構造を有し、応力緩和層の厚みが 100 ~ 300 μm であり、ダミー用内部電極層の平面面積が容量形成用内部電極層の面積の 60% 以上で、ダミー用内部電極層が単一層内において分割されていないか、あるいは、2 つまたは 3 つに分割されている応力緩和層 12 を設け、電歪現象による応力の発生を緩和する。

明 細 書

積層セラミックコンデンサ

技術分野

- [0001] 本願発明は積層セラミックコンデンサに関し、詳しくは、積層セラミックコンデンサを製造する際の、焼成工程におけるクラックなどの構造欠陥の発生や、電歪現象(逆圧電現象)に起因する構造欠陥の発生を抑制、防止する積層セラミックコンデンサに関する技術に関する。

背景技術

- [0002] 積層セラミックコンデンサは、通常、図11に示すように、複数の内部電極層53a, 53bがセラミック層(誘電体層)52を介して互いに対向するように配設され、かつ、その一端側が交互に異なる側の端面に引き出されたセラミック素子51の両端面54a, 54bに、内部電極層53a, 53bと導通するように一对の外部電極55a, 55bが配設された構造を有している。
- [0003] しかしながら、このような積層セラミックコンデンサにおいて、誘電体に高誘電率系誘電体を用いた場合、電圧による機械的変位が生じる電歪現象(逆圧電現象)により、セラミック誘電体に応力が加わることになる。さらに大容量化をはかるためにセラミック誘電体と内部電極層の積層数を増やした場合、積層セラミックコンデンサ全体にかかる応力が大きくなり、クラックが発生して、破壊電圧や耐電圧の低下を招くという問題点がある。
- [0004] そこで、このような問題点を解消するために、図12に示すように、セラミック層(誘電体層)52と、静電容量の形成に寄与する内部電極層(容量形成用内部電極層)53a, 53bとが積層された構造を有する容量形成層61a, 61bの間に、逆圧電現象によりセラミック誘電体にかかる応力を緩和するための中間層62を設けて、セラミック誘電体と内部電極層の積層数を多くした場合にも、破壊電圧や耐電圧の低下を招いたりすることがないようにした積層セラミックコンデンサが提案されている(特許文献1参照)。
- [0005] なお、図12において図11と同一符号を付した部分は、同一または相当する部分を

示している。

[0006] しかしながら、上記従来の積層セラミックコンデンサにおいては、内部電極層を備えていない中間層62の厚みが厚くなりすぎると、焼成工程において、内部電極層を備えた容量形成層は大きく収縮するが、内部電極層を備えていない中間層62は、容量形成層よりも収縮率が小さいため、焼成時に中間層に応力が集中し、例えば、図13に示すように、中間層62においてクラックCが発生するという問題点がある。

[0007] また、電歪現象(逆圧電現象)によるクラックの発生を防止しつつ、焼成時の収縮差による中間層でのクラックの発生を防止することが可能になるように、中間層の厚さを設定することが必要となるため、設計の自由度が小さいという問題点がある。

[0008] また、内部電極層を備えた容量形成層と内部電極層を備えていない中間層の間に生じる焼成時の収縮差を緩和するためには、中間層にも内部電極層を設けることが考えられ、上述の特許文献1にも、中間層に容量を形成しない構造の内部電極層を設けるようにした構成のものが提案されている(請求項4)。

しかしながら、容量形成層と中間層間に生じる収縮差を緩和する効果を得るためには内部電極層の構成や配設態様などを適切に調整することが必要であり、所望の効果を達成することは容易でないのが実情である。

例えば、特許文献1の図4に示されているように、容量を形成しない電極として、単一層内(同一平面)に4分割された内部電極層を配設した構成の場合、後述の実施例の欄でも説明するように、熱処理工程でクラックが発生することが確認されている。

特許文献1:特開平9-180956号公報

発明の開示

発明が解決しようとする課題

[0009] 本願発明は、上記課題を解決するものであり、誘電体セラミックとして、高誘電率系のセラミック材料を用いた場合や、セラミック誘電体層と容量形成用内部電極層の積層数を増やした場合にも、焼成工程におけるクラックなどの構造欠陥の発生や、電歪現象(逆圧電現象)に起因する構造欠陥の発生を防止することが可能で、破壊電圧値が高く、耐電圧性能に優れた積層セラミックコンデンサを提供することを目的とする。

課題を解決するための手段

- [0010] 上記課題を解決するために、本願発明(請求項1)の積層セラミックコンデンサは、
- (a)セラミック誘電体層と、静電容量の形成に寄与する容量形成用内部電極層とが積層された構造を有する、複数の容量形成層と、
 - (b)セラミック誘電体層と、静電容量の形成に寄与しないダミー用内部電極層とが積層された構造を有し、互いに隣り合う前記容量形成層の間に配設されて、前記容量形成層における電歪現象に起因して発生する応力を緩和する応力緩和層と、
 - (c)前記容量形成用内部電極層と、前記ダミー用内部電極層との間で容量が形成されることを阻止し、前記容量形成層と前記応力緩和層との間に配設されている容量形成阻止用内部電極層と
- を具備する積層セラミックコンデンサであって、
- 前記応力緩和層の厚みが100～300 μm であり、
- 前記ダミー用内部電極層の単一層内の平面面積が、前記容量形成用内部電極層の単一層内の平面面積の60%以上であるとともに、
- 前記ダミー用内部電極層が、単一層内において分割されていないか、あるいは、2つまたは3つに分割されていること
- を特徴としている。

- [0011] また、請求項2の積層セラミックコンデンサは、請求項1記載の積層セラミックコンデンサにおいて、前記応力緩和層を構成するセラミック誘電体が、前記容量形成層を構成するセラミック誘電体と同一のセラミック誘電体であることを特徴としている。

発明の効果

- [0012] 本願発明(請求項1)の積層セラミックコンデンサは、(a)セラミック誘電体層と、静電容量の形成に寄与する容量形成用内部電極層とが積層された構造を有する、複数の容量形成層と、(b)セラミック誘電体層と、静電容量の形成に寄与しないダミー用内部電極層とが積層された構造を有し、前記容量形成層の間に配設されて、容量形成層における電歪現象に起因して発生する応力を緩和する応力緩和層と、(c)前記容量形成用内部電極層と、前記ダミー用内部電極層との間で容量が形成されることを阻止し、前記容量形成層と前記応力緩和層との間に配設されている容量形成阻止

用内部電極層とを具備しており、応力緩和層の厚みが $100\sim 300\ \mu\text{m}$ であり、ダミー用内部電極層の単一層内の平面面積(同一平面に存在するダミー用内部電極層の平面面積)が、容量形成用内部電極層の単一層内の平面面積の60%以上で、かつ、ダミー用内部電極層が、単一層内において、分割されていないか、あるいは、2つまたは3つに分割された構成を有しているので、誘電体セラミックとして、高誘電率系のセラミック材料を用いた場合や、セラミック誘電体層と容量形成用内部電極層の積層数を増やした場合にも、焼成工程におけるクラックなどの構造欠陥の発生や、電歪現象(逆圧電現象)に起因する構造欠陥の発生を防止することが可能で、破壊電圧値が高く、耐電圧性能に優れた積層セラミックコンデンサを得ることが可能になる。

[0013] すなわち、応力緩和層の厚みが $100\sim 300\ \mu\text{m}$ であり、応力緩和層がダミー用内部電極層を備えているとともに、ダミー用内部電極層の単一層内の平面面積が、容量形成用内部電極層の単一層内の平面面積の60%以上であり、かつ、ダミー用内部電極層が、単一層内において、分割されていないか、あるいは、2つまたは3つに分割された構成を有するようにしているので、焼成時の内部電極層とセラミック誘電体層の収縮差によるクラックなどの構造欠陥の発生を防止することが可能になるとともに、セラミック誘電体層と容量形成用内部電極層の積層数を増やした場合も、電歪現象(逆圧電現象)による応力を吸収、緩和することが可能になり、破壊電圧値が高く、耐電圧性能に優れた積層セラミックコンデンサを得ることが可能になる。

[0014] なお、本願発明において、応力緩和層の厚みが $100\sim 300\ \mu\text{m}$ の範囲が好ましいのは、応力緩和層の厚みが $100\ \mu\text{m}$ 未満になると、セラミック誘電体層と容量形成用内部電極層の積層数を増やした場合における、電歪現象(逆圧電現象)に起因する応力を緩和する効果が不十分になり、また、 $300\ \mu\text{m}$ を超えると製品の厚みが増大し、製品の小型化が妨げられることによる。

[0015] また、本願発明において、ダミー用内部電極層の単一層内の平面面積を、容量形成用内部電極層の単一層内の平面面積の60%以上となるようにしたのは、この比率を60%以上にすることにより、焼成時における静電容量形成層と応力緩和層の間の収縮挙動の差を減らして、静電容量形成層と応力緩和層の間にクラックが発生することを防止できるようになる一方、この比率が60%未満になると、焼成時における静

電容量形成層と応力緩和層の間の収縮挙動の差を減らす効果が低下し、静電容量形成層と応力緩和層の間にクラックが発生するおそれが大きくなることによる。

- [0016] また、ダミー用内部電極層として、単一層内において2つまたは3つに分割された分割構造を有するダミー用内部電極層(分割電極)を設けるようにしたのは、焼成時の内部電極層とセラミック誘電体層の収縮差によるクラックの発生をより確実に防止することができるようにするためである。

なお、ダミー用内部電極層が、単一層内において分割されていない構成の場合にも、応力緩和層の厚み、および、ダミー用内部電極層の単一層内の平面面積の、容量形成用内部電極層の単一層内の平面面積に対する割合が、上述の本願発明の要件を満たす場合には、焼成時の内部電極層とセラミック誘電体層の収縮差によるクラックの発生を抑制する効果を得ることが可能である。

- [0017] また、請求項2の積層セラミックコンデンサのように、請求項1記載の積層セラミックコンデンサにおいて、応力緩和層を構成するセラミック誘電体として、容量形成層を構成するセラミック誘電体と同一のセラミック誘電体を用いることにより、容量形成層と応力緩和層の親和性を確保することが可能になるとともに、焼成時の内部電極層とセラミック誘電体層の収縮差によるクラックの発生をより確実に防止することが可能になり、本願発明をさらに実効あらしめることができる。

- [0018] 上述のように、本願発明においては、応力緩和層を構成するセラミック誘電体として、容量形成層を構成するセラミック誘電体と同一のセラミック誘電体を用いることが望ましいが、種類の異なるセラミック誘電体を用いることも可能である。なお、その場合、容量形成層を構成するセラミック誘電体と物性の近い材料を用いることが望ましい。

図面の簡単な説明

- [0019] [図1]本願発明の一実施例にかかる積層セラミックコンデンサの構成を模式的に示す断面図である。

[図2]本願発明の一実施例にかかる積層セラミックコンデンサの容量形成層に配設された容量形成用内部電極層の平面構成を示す図である。

[図3]本願発明の一実施例にかかる積層セラミックコンデンサの応力緩和層(中間層)に配設されたダミー用内部電極層の平面構成を示す図である。

[図4]本願発明の一実施例にかかる積層セラミックコンデンサの、応力緩和層(中間層)に配設された、分割されていないダミー用内部電極層を示す図である。

[図5]本願発明の一実施例にかかる積層セラミックコンデンサの、応力緩和層(中間層)に配設された、L方向に3分割されたダミー用内部電極層を構成する分割電極を示す図である。

[図6]応力緩和層(中間層)に配設された、L方向に4分割されたダミー用内部電極層を構成する分割電極を示す図である。

[図7]応力緩和層(中間層)がダミー用内部電極層を備えていない場合における、中間層の厚みと構造欠陥発生率の関係を示す図である。

[図8]応力緩和層(中間層)がダミー用内部電極層を備えている場合における、中間層の厚みと構造欠陥発生率の関係を示す図である。

[図9]応力緩和層(中間層)のダミー用内部電極層の平面面積と構造欠陥発生率の関係を示す図である。

[図10]応力緩和層(中間層)のダミー用内部電極層の分割箇所数と構造欠陥発生率の関係を示す図である。

[図11]従来の積層セラミックコンデンサの内部構成を示す断面図である。

[図12]従来の他の積層セラミックコンデンサの内部構成を示す断面図である

[図13]図12に示す積層セラミックコンデンサにクラックが発生した状態を示す図である。

符号の説明

[0020]	1	積層体(セラミック素子)
	2	セラミック誘電体層
	3a, 3b	容量形成用内部電極層
	4a, 4b	積層体(セラミック素子)の端面
	5a, 5b	外部電極
	11a, 11b	容量形成層
	12	応力緩和層(中間層)
	22	セラミック誘電体層

23	ダミー用内部電極層
23a, 23b	ダミー用内部電極層を構成する分割電極
24a, 24b	容量形成阻止用内部電極層
33a, 33b, 33c	ダミー用内部電極層を構成する3つの分割電極
43a, 43b, 43c, 43d	ダミー用内部電極層を構成する4つの分割電極
L_0	セラミック素子の長さ
W_0	セラミック素子の幅
T_0	セラミック素子の厚み
T_1	応力緩和層の厚み
T_2	外層厚み
L_1	容量形成層の容量形成用内部電極層の長さ
W_1	容量形成層の容量形成用内部電極層の幅
L_L	図3の左側の分割電極のL方向の寸法
L_R	図3の右側の分割電極のL方向の寸法
W_L	図3の左側の分割電極のW方向の寸法
W_R	図3の右側の分割電極のW方向の寸法

発明を実施するための最良の形態

[0021] 以下に本願発明の実施例を示して、本願発明の特徴とするところをさらに詳しく説明する。

実施例 1

[0022] 図1は本願発明の一実施例にかかる積層セラミックコンデンサの構成を模式的に示す断面図、図2は図1の積層セラミックコンデンサの容量形成層に配設された容量形成用内部電極層の平面構成を示す図、図3は図1の積層セラミックコンデンサの応力緩和層(中間層)に配設されたダミー用内部電極層の平面構成を示す図である。

[0023] 図1に示すように、この実施例1の積層セラミックコンデンサを構成する積層体(セラミック素子)1は、セラミック誘電体層2と、静電容量の形成に寄与する容量形成用内部電極層3a, 3bとが積層された構造を有する一対の容量形成層11a, 11bと、一対の容量形成層11a, 11bの間に配設された、セラミック誘電体層22と、静電容量の形

成に寄与しないダミー用内部電極層23(分割電極23a, 23b)とが積層された構造を有する応力緩和層(中間層)12とを備えている。

さらに、積層体(セラミック素子)1は、上記の静電容量の形成に寄与する容量形成用内部電極層3a, 3bと、ダミー用内部電極層23(分割電極23a, 23b)との間で容量が形成されることを阻止する容量形成阻止用内部電極層24a, 24bを備えており、この容量形成阻止用内部電極層24a, 24bは、容量形成層11a, 11bと応力緩和層(中間層)12との間に配設されている。

また、容量形成層11a, 11bと応力緩和層(中間層)12を備えた積層体(セラミック素子)1の両端面4a, 4bには外部電極5a, 5bが配設されている。

[0024] なお、容量形成層11a, 11bでは、セラミック誘電体層2として、 BaTiO_3 系の高誘電率セラミックを主成分とするセラミック材料が用いられている。

また、応力緩和層(中間層)12を構成するセラミック誘電体層22として、容量形成層11a, 11bを構成するセラミック誘電体層2と同じく、 BaTiO_3 系の高誘電率セラミックを主成分とする材料が用いられている。

[0025] また、容量形成層11a, 11bでは、容量形成用内部電極層3a, 3bとして、Niを構成材料とする電極が用いられており、応力緩和層(中間層)12においても、ダミー用内部電極層23(分割電極23a, 23b)として、Niを構成材料とする電極が用いられている。

さらに、容量形成用内部電極層3a, 3bとダミー用内部電極層23(分割電極23a, 23b)との間の容量形成を阻止する容量形成阻止用内部電極層24a, 24bとしても、Niを構成材料とする電極が用いられている。

[0026] なお、この実施例1の積層セラミックコンデンサの各部の寸法、条件は下記の通りである。

長さ(L_0) : 1.6mm

幅(W_0) : 0.8mm

厚み(T_0) : 0.8mm

セラミック層(誘電体層)厚み : 7.1 μm

外層厚み(T_2) : 70 μm

容量形成層の容量形成用内部電極層の寸法

長さ(L_1) : 1.34mm

幅(W_1) : 0.51mm

容量形成層のセラミック層の全積層数 : 60層

応力緩和層の厚み(T_1) : 0~300 μ m

[0027] そして、表1～表4の評価マトリックスに示すそれぞれの設計構造について、それぞれ144個($n=144$)の試料について、150℃-3WV(定格電圧の3倍の電圧)-60minの処理を行う前と後における構造欠陥の有無を、超音波探傷装置を用いて調べた。

[0028] ここで、150℃-3WV-60minの処理前の構造欠陥は、焼成時の収縮差によって生じた構造欠陥である。

また、150℃-3WV-60minの処理後の構造欠陥は、電歪現象(逆圧電現象)により生じた構造欠陥である。

なお、150℃-3WV-60minの処理は、処理を行う前の段階で既に構造欠陥が生じているもの(すなわち、焼成時の収縮差によって構造欠陥が生じているもの)を除いた試料について行った。

[0029] 表1～表4における、処理後の構造欠陥の発生率は、全試料数(144個)に対する、試料数(144個)から、焼成時の収縮差によって構造欠陥が生じたものを除外した試料において構造欠陥が発生した試料の割合である。

[0030] なお、表1～表4の評価1～31において、それぞれの設計条件で確認した事項は以下の通りである。

[0031] (1)評価1～7

評価1～7では、応力緩和層(中間層)が静電容量の形成に寄与しないダミー用内部電極層を備えていない場合における、中間層の厚みと構造欠陥発生率の関係を調べた(比較例)。

(2)評価8～14

評価8～14では、応力緩和層(中間層)がダミー用内部電極層23を備えている場合における、中間層の厚みと構造欠陥発生率の関係を調べた。

(3)評価15～19

評価15～19では、単一層内のダミー用内部電極層23の平面面積と構造欠陥発生率の関係、すなわち、図3の左側の分割電極23a, 右側の分割電極23bについて、L方向の寸法(L_L, L_R)を変化させることによりダミー用内部電極層23の平面面積を異ならせた場合における、ダミー用内部電極層23の平面面積と構造欠陥発生率の関係を調べた。

(4)評価20～23

評価20～23では、単一層内のダミー用内部電極層23の平面面積と構造欠陥発生率の関係、すなわち、図3の左側の分割電極23a, 右側の分割電極23bについて、W方向の寸法(W_L, W_R)を変化させることによりダミー用内部電極層23の平面面積を異ならせた場合における、ダミー用内部電極層23の平面面積と構造欠陥発生率の関係を調べた。

(5)評価24～27

評価24～27では、単一層内のダミー用内部電極層23の平面面積と構造欠陥発生率の関係、すなわち、図3の左側の分割電極23a, 右側の分割電極23bについて、L方向とW方向の両方の寸法(L_L, L_R), (W_L, W_R)を変化させることによりダミー用内部電極層23の平面面積を異ならせた場合における、ダミー用内部電極層23の平面面積と構造欠陥発生率の関係を調べた。

(6)評価28, 29

評価28, 29では、単一層内(同一平面)のダミー用内部電極層23について、その合計平面面積を同じとして、ダミー用内部電極層23の配設パターンを変化させた場合の構造欠陥発生率を調べた。すなわち、評価28ではダミー用内部電極層23を2つの分割電極23a, 23bに分割し、各分割電極の、図3のL方向の寸法を異ならせた場合の構造欠陥発生率を、また、評価29では、図4に示すように、分割されていない1つのダミー用内部電極層23を配設した場合の構造欠陥発生率を調べた。

なお、評価29では、図4に示すように、1つのダミー用内部電極層23のみを、応力緩和層(中間層)12の中央に備えた構造を有しており、分割数が0となっている。

(7)評価30, 31

評価30, 31では、単一層内のダミー用内部電極層23の分割数と構造欠陥発生率の関係を調べた。

[0032] なお、表2～4の評価8～28では、図3に示すように、ダミー用内部電極層23を、左右に2分割された構造としたが、表4の評価30では、図5に示すように、ダミー用内部電極層23がL方向に3分割された(分割箇所:2箇所)、3つの分割電極33a, 33b, 33cからなる構造とし、評価31では、図6に示すように、ダミー用内部電極層23がL方向に4分割された(分割箇所:3箇所)、4つの分割電極43a, 43b, 43c, 43dからなる構造とした。ただし、評価29では、分割なし(分割箇所:0箇所)とした。

[0033] 各試料の特性について評価を行った結果を以下の表1～4に示す。

[0034] [表1]

	応力緩和層 (中間層)		ダミー用内部電極				構造欠陥発生率 (%)	
	厚み (μm)	ダミー用 内部電極の 有無	図3の左側の 分割電極の寸法 ($L \times W$) (mm)	図3の右側の 分割電極の寸法 ($L \times W$) (mm)	容量形成 用内部電 極に対す る面積比 (%)	分割数 (分割 箇所数)	熱処理工程 での構造欠陥 発生率 (%)	電歪現象 による構造欠陥 発生率 (%)
評価1	0	なし	-	-	-	-	0	27
評価2	25	なし	-	-	-	-	0	19
評価3	50	なし	-	-	-	-	0	10
評価4	100	なし	-	-	-	-	0	5
評価5	150	なし	-	-	-	-	2	0
評価6	200	なし	-	-	-	-	4	0
評価7	300	なし	-	-	-	-	13	0

[0035] [表2]

	応力緩和層 (中間層)		ダミー用内部電極				構造欠陥発生率 (%)	
	厚み (μm)	ダミー用 内部電極の 有無	図3の左側の 分割電極の寸法 ($L \times W$) (mm)	図3の右側の 分割電極の寸法 ($L \times W$) (mm)	容量形成 用内部電 極に対す る面積比 (%)	分割数 (分割 箇所数)	熱処理工程 での構造欠陥 発生率 (%)	電歪現象 による構造欠陥 発生率 (%)
評価 8	14	あり (1層)	0.60×0.51	0.60×0.51	90	2分割 (1箇所)	0	22
評価 9	25	あり (2層)	0.60×0.51	0.60×0.51	90	2分割 (1箇所)	0	15
評価 10	50	あり (6層)	0.60×0.51	0.60×0.51	90	2分割 (1箇所)	0	7
評価 11	100	あり (13層)	0.60×0.51	0.60×0.51	90	2分割 (1箇所)	0	0
評価 12	150	あり (20層)	0.60×0.51	0.60×0.51	90	2分割 (1箇所)	0	0
評価 13	200	あり (27層)	0.60×0.51	0.60×0.51	90	2分割 (1箇所)	0	0
評価 14	300	あり (41層)	0.60×0.51	0.60×0.51	90	2分割 (1箇所)	0	0

[0036] [表3]

	応力緩和層 (中間層)		ダミー用内部電極					構造欠陥発生率 (%)	
	厚み (μm)	ダミー用 内部電極の 有無	図3の左側の 分割電極の寸法 ($L \times W$) (mm)	図3の右側の 分割電極の寸法 ($L \times W$) (mm)	容量形成 用内部電 極に対す る面積比 (%)	分割数 (分割 箇所数)	熱処理工程 での構造欠陥 発生率 (%)	電歪現象 による構造欠陥 発生率 (%)	
評価15	300	あり (41層)	0.45×0.51	0.45×0.51	67	2分割 (1箇所)	0	0	
評価16	300	あり (41層)	0.40×0.51	0.40×0.51	60	2分割 (1箇所)	0	0	
評価17	300	あり (41層)	0.30×0.51	0.30×0.51	45	2分割 (1箇所)	3	0	
評価18	300	あり (41層)	0.15×0.51	0.15×0.51	22	2分割 (1箇所)	9	0	
評価19	300	あり (41層)	0.05×0.51	0.05×0.51	7	2分割 (1箇所)	12	0	
評価20	300	あり (41層)	0.60×0.38	0.60×0.38	67	2分割 (1箇所)	0	0	
評価21	300	あり (41層)	0.60×0.26	0.60×0.26	45	2分割 (1箇所)	1	0	
評価22	300	あり (41層)	0.60×0.13	0.60×0.13	22	2分割 (1箇所)	4	0	
評価23	300	あり (41層)	0.60×0.05	0.60×0.05	9	2分割 (1箇所)	10	0	

[0037] [表4]

	応力緩和層 (中間層)		ダミー用内部電極					構造欠陥発生率 (%)	
	厚み (μm)	ダミー用 内部電極の 有無	図3の左側の 分割電極の寸法 ($L \times W$) (mm)	図3の右側の 分割電極の寸法 ($L \times W$) (mm)	容量形成 用内部電 極に対す る面積比 (%)	分割数 (分割 箇所数)	熱処理工程 での構造欠陥 発生率 (%)	電歪現象 による構造欠陥 発生率 (%)	
評価 24	300	あり (41層)	0.54×0.38	0.54×0.38	60	2分割 (1箇所)	0	0	
評価 25	300	あり (41層)	0.45×0.38	0.45×0.38	50	2分割 (1箇所)	1	0	
評価 26	300	あり (41層)	0.30×0.26	0.30×0.26	23	2分割 (1箇所)	10	0	
評価 27	300	あり (41層)	0.15×0.13	0.15×0.13	6	2分割 (1箇所)	13	0	
評価 28	300	あり (41層)	0.20×0.51	0.60×0.51	60	2分割 (1箇所)	0	0	
評価 29	300	あり (41層)	分割されていない電極の寸法 0.80×0.51 (図4)		60	分割なし (0箇所)	0	0	
評価 30	300	あり (41層)	3分割された各電極の寸法 $0.40 \times 0.51 (\times 3 \text{ 個})$ (図5)		90	3分割 (2箇所)	0	0	
評価 31	300	あり (41層)	4分割された各電極の寸法 $0.30 \times 0.51 (\times 4 \text{ 個})$ (図6)		90	4分割 (3箇所)	5	0	

[0038] [評価]

(1)評価1～7

表1の評価1～7のように、応力緩和層(中間層)がダミー用内部電極層23を備えて

いない場合、中間層の厚みが $100\ \mu\text{m}$ 以下の場合(評価1～4)、電歪現象(逆圧電現象)による構造欠陥が発生し、また、中間層の厚みが $150\ \mu\text{m}$ 以上になると(評価5, 6, 7)、焼成工程での収縮差による構造欠陥が発生することがわかった(図7参照)。

この評価1～7より、中間層がダミー用内部電極層23を備えていない場合、良好な結果が得られないことが確認された。

[0039] (2)評価8～14

表2の評価8～14のように、応力緩和層(中間層)がダミー用内部電極層23を備え、分割数が2の場合、中間層の厚みが $100\ \mu\text{m}$ 未満の場合には、電歪現象(逆圧電現象)による構造欠陥の発生が認められたが、中間層の厚みが $100\sim 300\ \mu\text{m}$ の場合、焼成工程での収縮差による構造欠陥および電歪現象(逆圧電現象)による構造欠陥の発生が認められなかった(図8参照)。

[0040] (3)評価15～19

表3の評価15～19のように、ダミー用内部電極層23の平面面積を、図3のL方向の寸法を変化させることによって変化させた場合、単一層内のダミー用内部電極層23の平面面積が、静電容量の形成に寄与する容量形成用内部電極層の単一層内の平面面積の60%以上になると(評価15, 16)、電歪現象(逆圧電現象)による構造欠陥および焼成工程での収縮差による構造欠陥の両方の構造欠陥の発生を防止することが可能になるが、ダミー用内部電極層23の平面面積が、容量形成用内部電極層の平面面積の60%未満になると(評価17, 18, 19)、焼成工程での収縮差による構造欠陥が発生するようになることが確認された(図9参照)。

[0041] (4)評価20～23

表3の評価20～23のように、ダミー用内部電極層の平面面積を、図3のW方向の寸法を変化させることによって変化させた場合、単一層内のダミー用内部電極層23の平面面積が、容量形成用内部電極層(有効電極層)の単一層内の平面面積の60%以上である場合には(評価20)、電歪現象(逆圧電現象)による構造欠陥および焼成工程での収縮差による構造欠陥の発生を防止することが可能になるが、ダミー用内部電極層23の平面面積が、容量形成用内部電極層の単一層内の平面面積の60

%未満になると(評価21～23)、焼成工程での収縮差による構造欠陥が発生するようになることがわかった(図9参照)。

[0042] (5)評価24～27

表4の評価24～27のように、ダミー用内部電極層23の平面面積を、図3のL方向およびW方向の両方の寸法を変化させることによって変化させた場合、ダミー用内部電極層23の平面面積が、容量形成用内部電極層の単一層内の平面面積の60%以上である場合(評価24)には、電歪現象(逆圧電現象)による構造欠陥および焼成工程での収縮差による構造欠陥の発生を防止することが可能になるが、ダミー用内部電極層23の平面面積が、容量形成用内部電極層の単一層内の平面面積の60%未満になると(評価25～27)、焼成工程での収縮差による構造欠陥が発生するようになることがわかった(図9参照)。

[0043] 上述の(3)、(4)および(5)の評価、すなわち、評価15～27より、図3のL方向、および、W方向のいずれか一方、あるいは両方の寸法を変えてダミー用内部電極層23の平面面積を変えた場合、いずれの寸法を変えた場合においても、ダミー用内部電極層23の平面面積が容量形成用内部電極層の平面面積の60%以上である場合には、電歪現象(逆圧電現象)による構造欠陥および焼成工程での収縮差による構造欠陥の発生を防止することが可能になり、ダミー用内部電極層23の有効面積が容量形成用内部電極層の平面面積の60%未満になると、焼成工程での収縮差による構造欠陥が発生するようになることが確認された。

[0044] (6)評価28, 29

表4の評価28および29に示すように、単一層内のダミー用内部電極層23について、評価28における、ダミー用内部電極層23を構成する2つの分割電極の合計平面面積と、評価29の単一のダミー用内部電極層23の平面面積を同じとした場合について以下に述べる。

評価28における、ダミー用内部電極層23を構成する2つの分割電極における、図3のL方向の寸法を異ならせた場合(分割電極を左右対称でないパターンとした場合)も、ダミー用内部電極層23の平面面積が容量形成用内部電極層の平面面積の60%以上である場合には、逆圧電現象による構造欠陥および焼成工程での収縮差に

よる構造欠陥の発生を防止できることが確認された。

また、評価29では、図4に示すように、単一のダミー用内部電極層23のみを備えた構造(すなわち、ダミー用内部電極層が分割されておらず、分割数が0である構造)となっているが、その場合にも、中間層の厚みおよびダミー用内部電極層23の容量形成用内部電極層に対する面積比が本願発明の要件を満たす限りにおいて、逆圧電現象による構造欠陥および焼成工程での収縮差による構造欠陥の発生を防止できることが確認された。

[0045] (7)評価30, 31

単一層内のダミー用内部電極層23として、図5, 図6に示すように、3分割(分割箇所数2)(評価30)、および4分割(分割箇所数3)(評価31)されたダミー用内部電極層23を構成する分割電極(ダミー用内部電極層の平面面積の容量形成用内部電極層の平面面積に対する割合は90%)を配設した場合の、構造欠陥発生率を調べたところ、表4に示すように、3分割した評価30では、電歪現象(逆圧電現象)による構造欠陥および焼成工程での収縮差による構造欠陥のいずれの発生も防止できることが確認されたが、4分割した評価31では、表4および図10に示すように、熱処理工程における構造欠陥が発生することが確認された。なお、ダミー用内部電極層を4分割した場合において、熱処理工程における構造欠陥が発生する理由は必ずしも明確ではないが、分割数が3以下の場合に比べて、ダミー用内部電極層(分割電極)一層当たりの収縮量が小さいため、容量形成用内部電極層と収縮差が生じたことによるものではないかと考えられる。

[0046] 本願発明はさらにその他の点においても、上記実施例に限定されるものではなく、セラミック誘電体層と容量形成用内部電極層の積層態様や積層数、容量形成層および応力緩和層を構成するセラミック材料の種類、静電容量の形成に寄与する容量形成用内部電極層、静電容量の形成に寄与しないダミー用内部電極層、および容量形成用内部電極層とダミー用内部電極層との間で容量が形成されることを阻止する容量形成阻止用内部電極層の具体的なパターンや配設態様、応力緩和層の厚み、ダミー用内部電極層の平面面積の、容量形成用内部電極層の平面面積に対する割合、ダミー用内部電極層を分割する場合の分割態様などに関し、発明の範囲内にお

いて、種々の応用、変形を加えることが可能である。

産業上の利用可能性

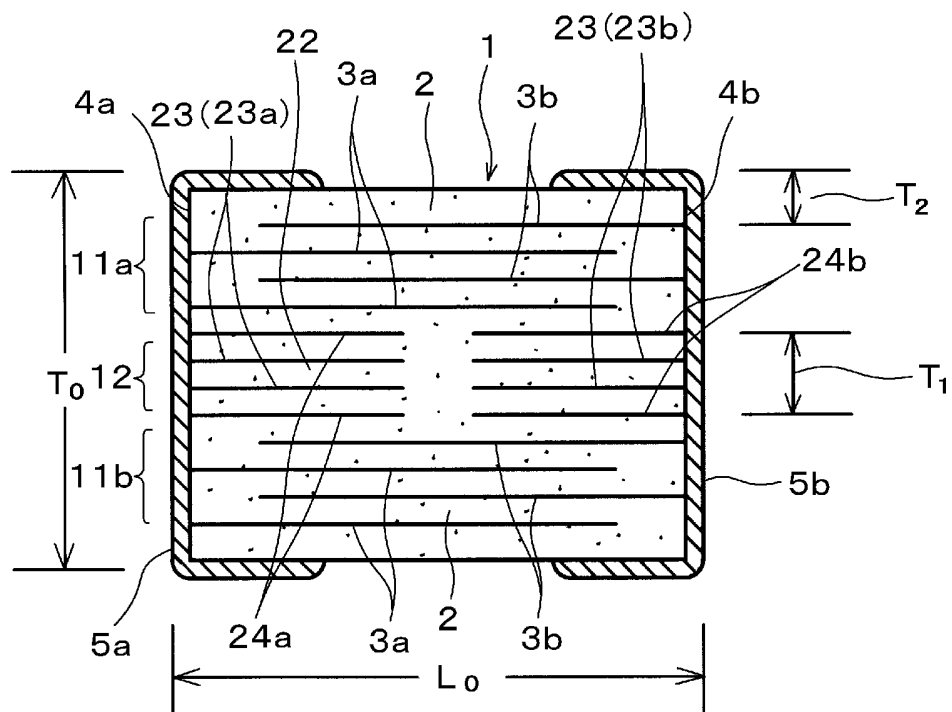
[0047] 上述のように、本願発明によれば、応力緩和層の厚みを100～300 μm の範囲とし、ダミー用内部電極層の単一層内の平面面積を、容量形成用内部電極層の単一層内の平面面積の60%以上にするるとともに、ダミー用内部電極層が、単一層内において分割されていないか、あるいは、単一層内において2つまたは3つに分割された分割構造を有するようにしているので、誘電体セラミックとして、高誘電率系のセラミック材料を用いた場合や、セラミック誘電体層と容量形成用内部電極層の積層数を増やした場合にも、焼成工程におけるクラックなどの構造欠陥の発生や、電歪現象(逆圧電現象)に起因する構造欠陥の発生を防止することが可能で、破壊電圧値が高く、耐電圧性能に優れた積層セラミックコンデンサを得ることが可能になる。

したがって、本願発明は、種々の積層セラミックコンデンサに適用することが可能であり、特に、高破壊電圧、高耐電圧特性が要求される大容量で高耐電圧(高定格電圧タイプ)の積層セラミックコンデンサに好適に利用することができる。

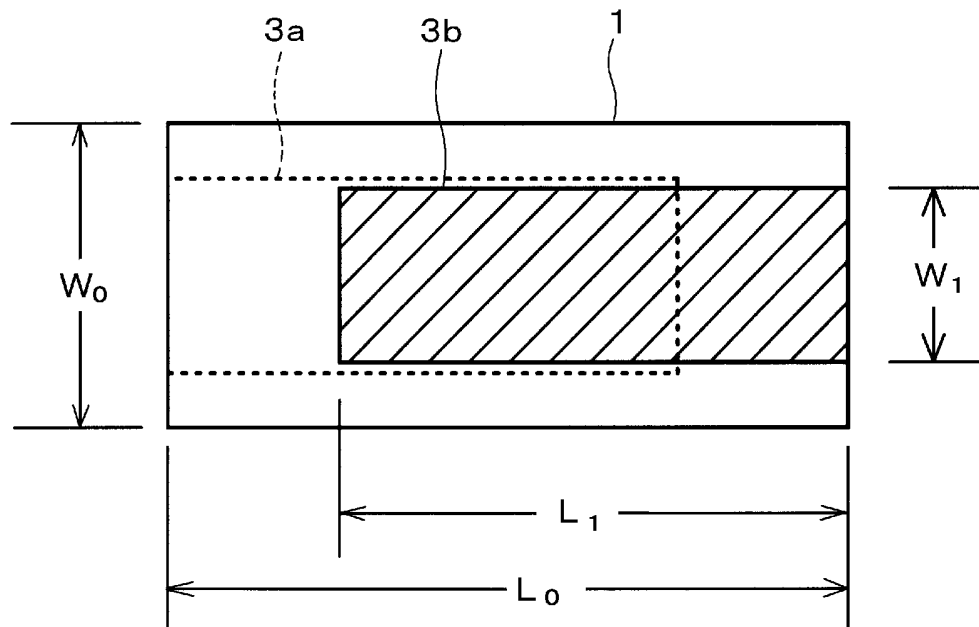
請求の範囲

- [1] (a)セラミック誘電体層と、静電容量の形成に寄与する容量形成用内部電極層とが積層された構造を有する、複数の容量形成層と、
- (b)セラミック誘電体層と、静電容量の形成に寄与しないダミー用内部電極層とが積層された構造を有し、互いに隣り合う前記容量形成層の間に配設されて、前記容量形成層における電歪現象に起因して発生する応力を緩和する応力緩和層と、
- (c)前記容量形成用内部電極層と、前記ダミー用内部電極層との間で容量が形成されることを阻止し、前記容量形成層と前記応力緩和層との間に配設されている容量形成阻止用内部電極層と
- を具備する積層セラミックコンデンサであって、
- 前記応力緩和層の厚みが $100\sim 300\mu\text{m}$ であり、
- 前記ダミー用内部電極層の単一層内の平面面積が、前記容量形成用内部電極層の単一層内の平面面積の60%以上であるとともに、
- 前記ダミー用内部電極層が、単一層内において分割されていないか、あるいは、2つまたは3つに分割されていること
- を特徴とする積層セラミックコンデンサ。
- [2] 前記応力緩和層を構成するセラミック誘電体が、前記容量形成層を構成するセラミック誘電体と同一のセラミック誘電体であることを特徴とする請求項1記載の積層セラミックコンデンサ。

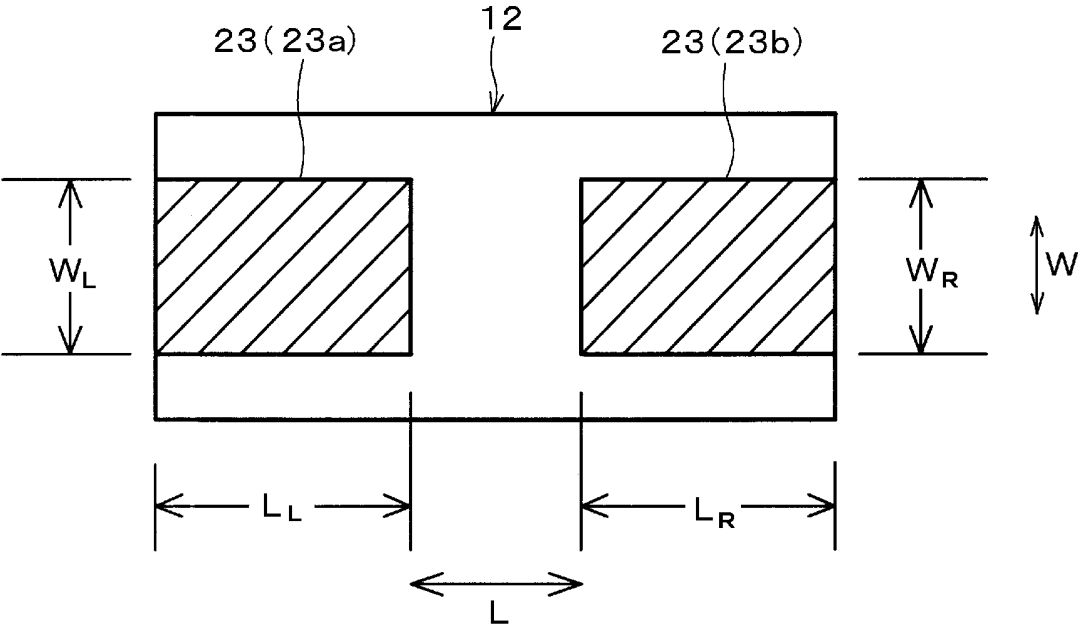
[図1]



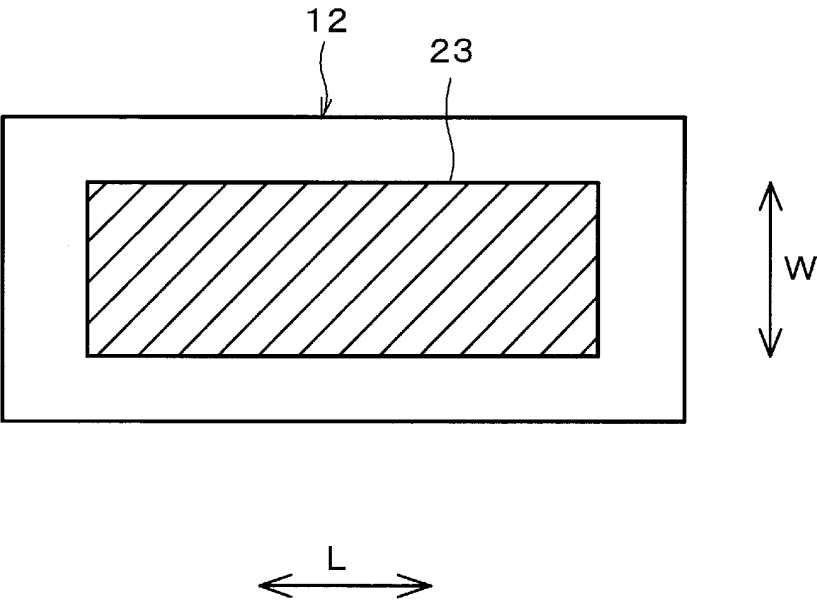
[図2]



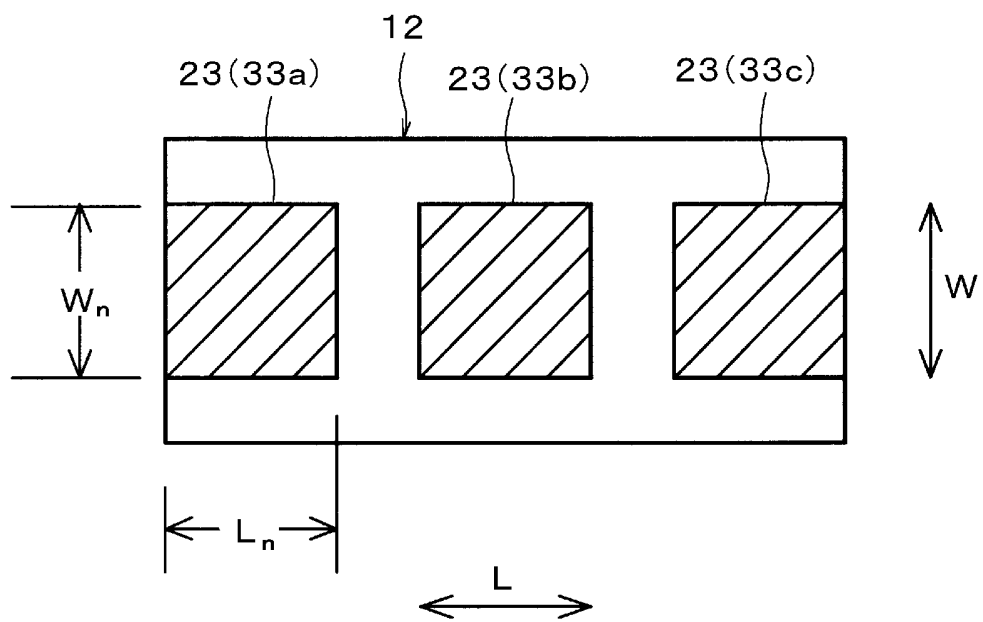
[図3]



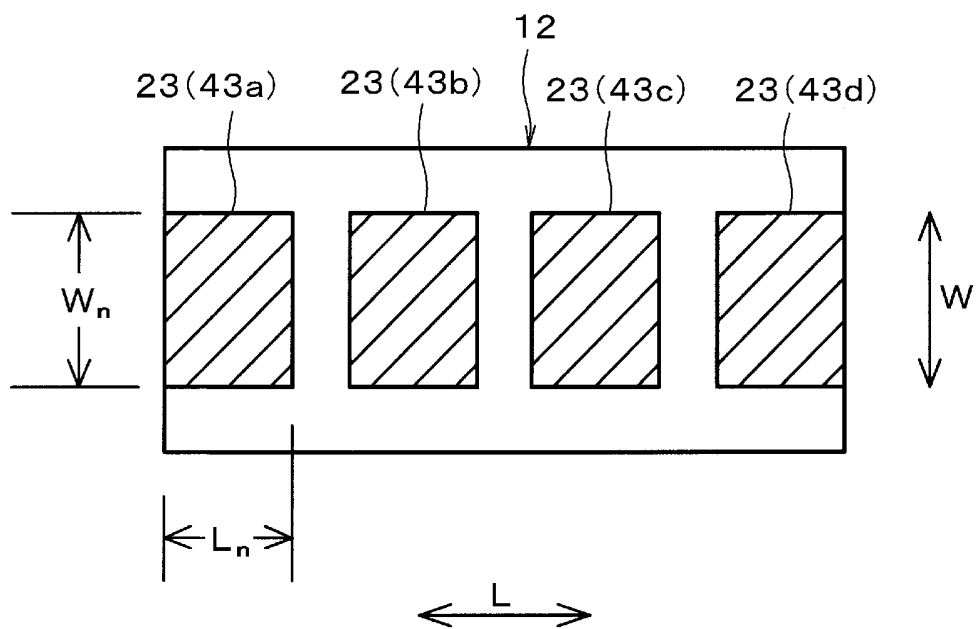
[図4]



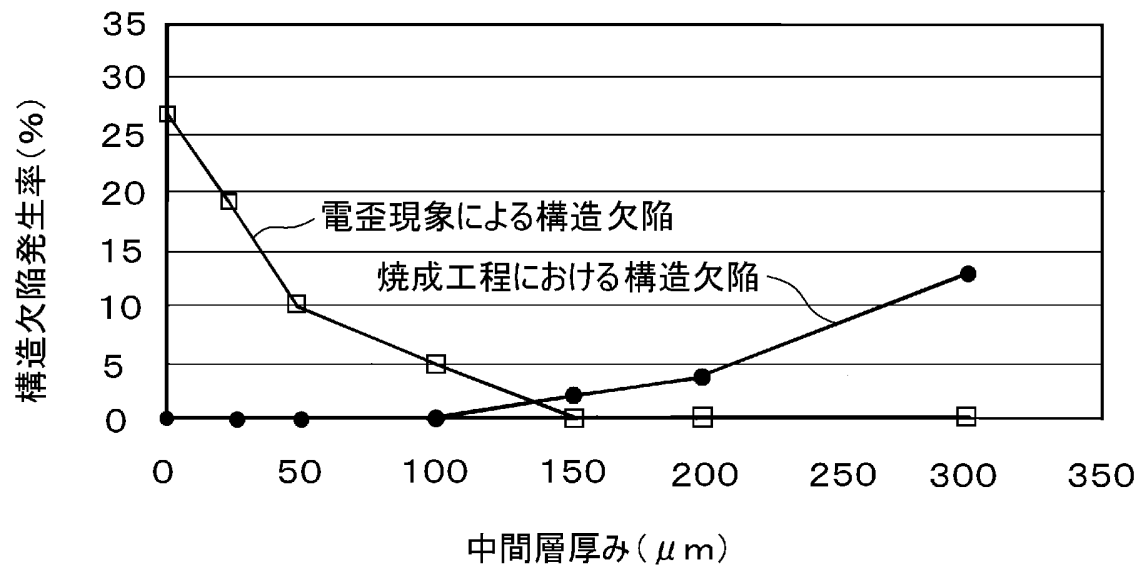
[図5]



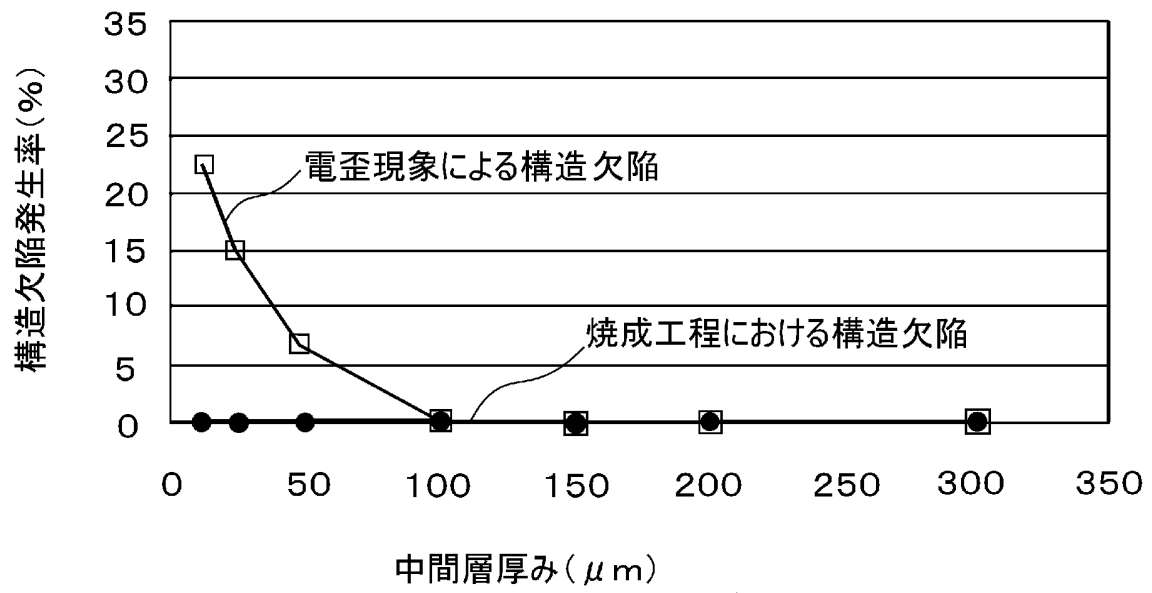
[図6]



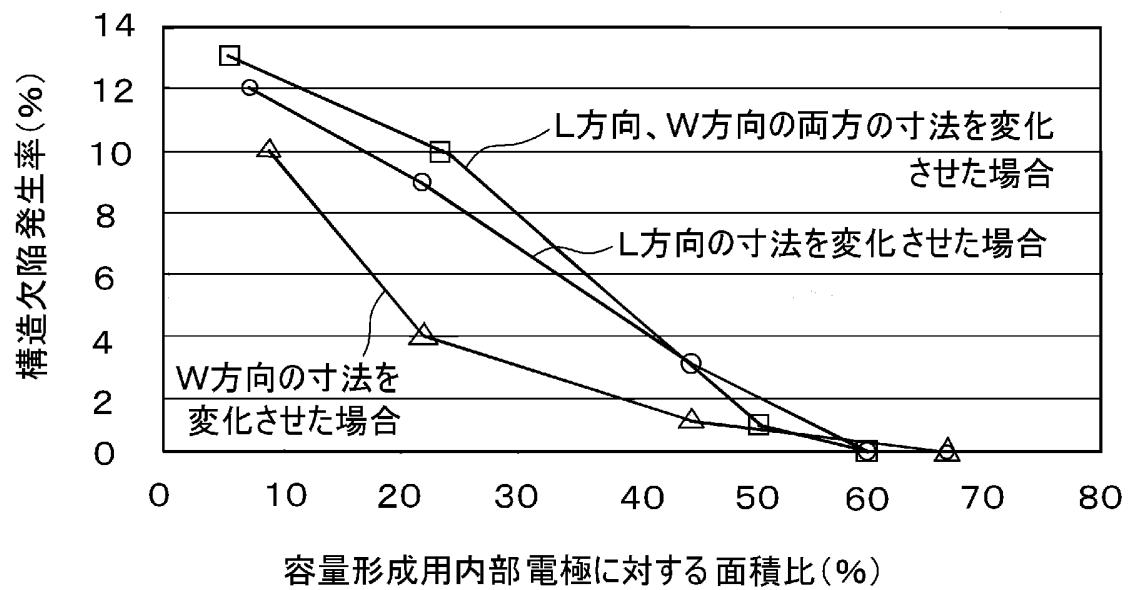
[図7]



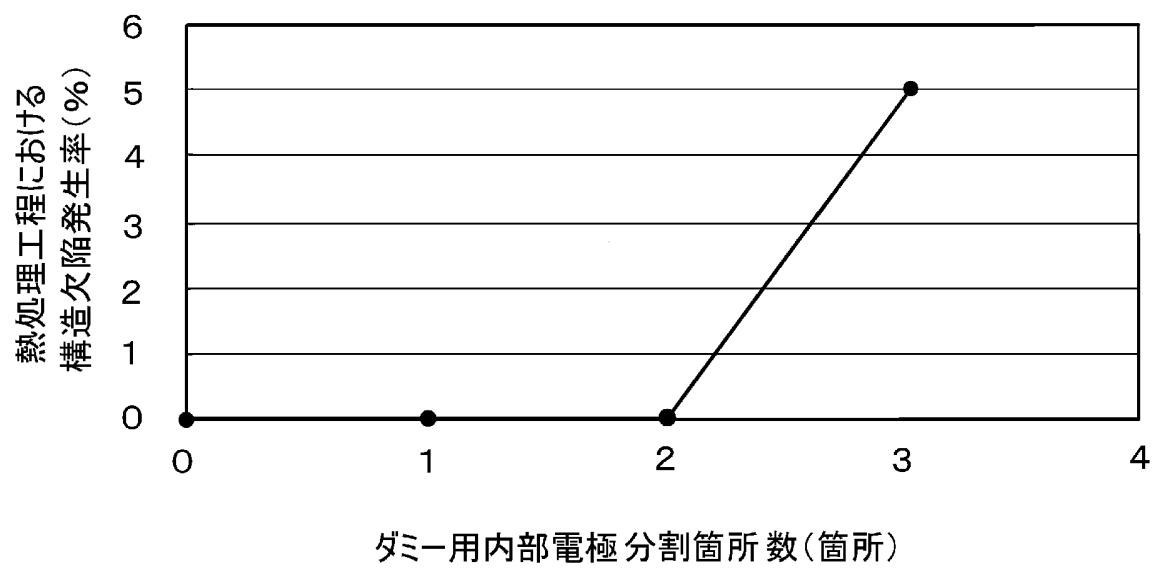
[図8]



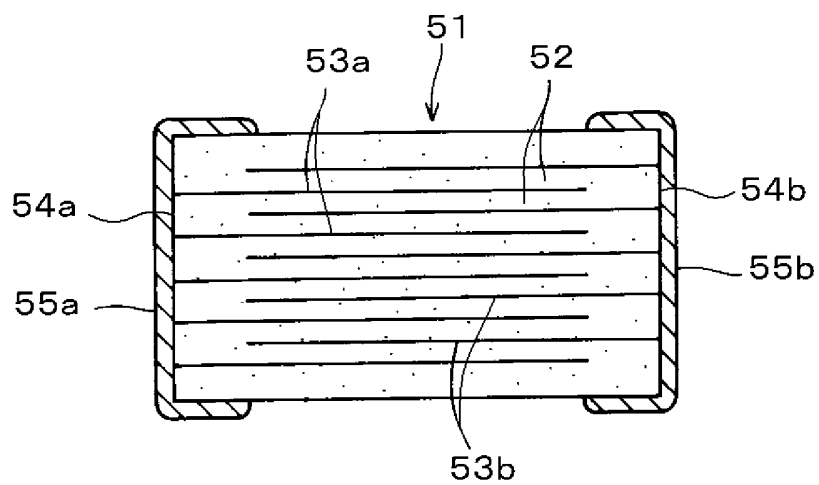
[図9]



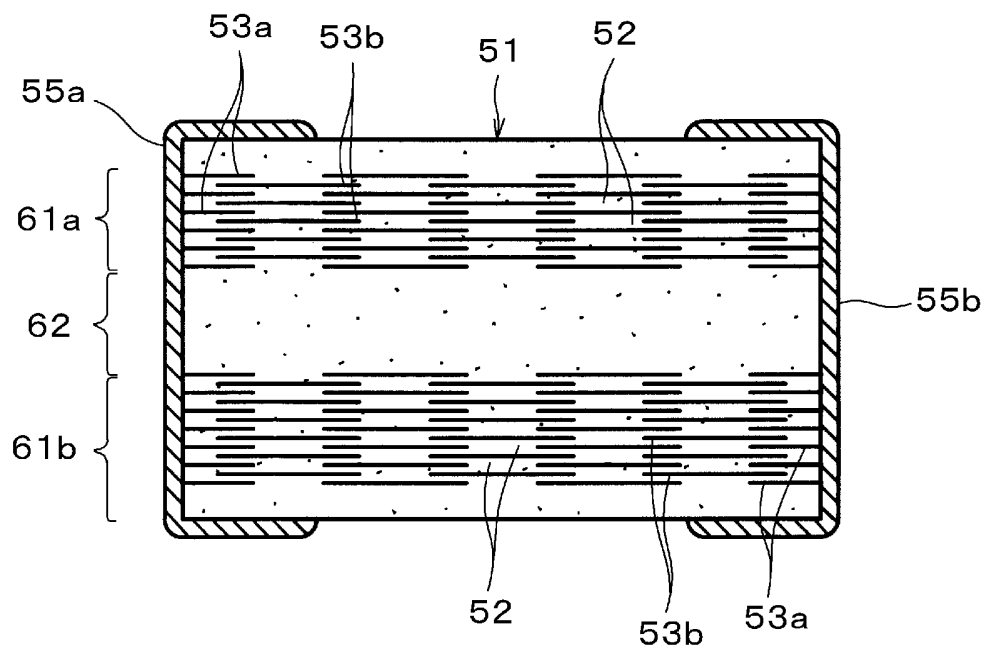
[図10]



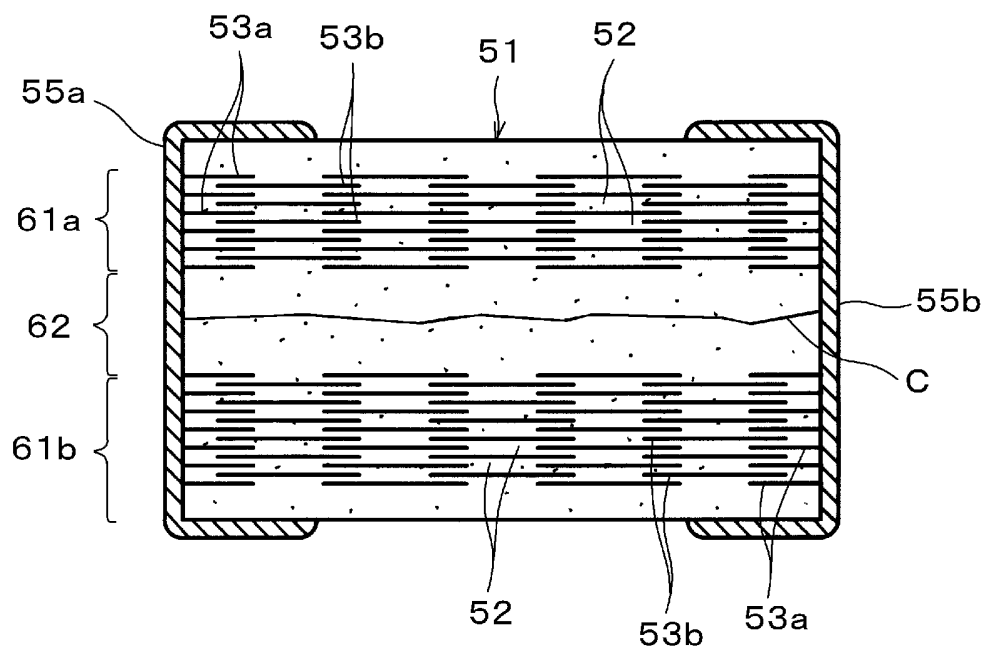
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311068

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/30(2006.01) i, H01G4/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/30, H01G4/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-180956 A (TDK Corp.), 11 July, 1997 (11.07.97), Claims 1, 4; Par. Nos. [0017], [0025], [0031]; Figs. 3, 4 & US 5835338 A1 & CN 1187017 A	1, 2
Y	JP 8-316086 A (Murata Mfg. Co., Ltd.), 29 November, 1996 (29.11.96), Par. Nos. [0022] to [0028]; Figs. 1, 2 (Family: none)	1, 2
Y	JP 2002-15940 A (Matsushita Electric Industrial Co., Ltd.), 18 January, 2002 (18.01.02), Par. Nos. [0015] to [0021], [0051]; Fig. 1 (Family: none)	1, 2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 July, 2006 (21.07.06)

Date of mailing of the international search report
01 August, 2006 (01.08.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311068

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-75780 A (Matsushita Electric Industrial Co., Ltd.), 15 March, 2002 (15.03.02), Par. Nos. [0029], [0054]; Fig. 1 (Family: none)	1, 2
A	JP 2000-226257 A (Matsushita Electric Industrial Co., Ltd.), 15 August, 2000 (15.08.00), Par. No. [0019]; Figs. 4, 5 (Family: none)	1, 2

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01G4/30 (2006.01) i, H01G4/12 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01G4/30, H01G4/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 9 - 1 8 0 9 5 6 A (ティーディーケイ株式会社) 1 9 9 7 . 0 7 . 1 1, 【請求項 1】、【請求項 4】、【0 0 1 7】、【0 0 2 5】、【0 0 3 1】、図 3、図 4 & U S 5 8 3 5 3 3 8 A 1 & C N 1 1 8 7 0 1 7 A	1, 2
Y	J P 8 - 3 1 6 0 8 6 A (株式会社村田製作所) 1 9 9 6 . 1 1 . 2 9, 【0 0 2 2】 - 【0 0 2 8】、図 1、図 2 (ファミリーなし)	1, 2

☒ C 欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 7 . 2 0 0 6

国際調査報告の発送日

0 1 . 0 8 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

山田 正文

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5

5 R

8 8 3 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2002-15940 A (松下電器産業株式会社) 2002.01.18, 【0015】-【0021】、【0051】、図1 (ファミリーなし)	1, 2
Y	J P 2002-75780 A (松下電器産業株式会社) 2002.03.15, 【0029】、【0054】、図1 (ファミリーなし)	1, 2
A	J P 2000-226257 A (松下電器産業株式会社) 2000.08.15, 【0019】、図4、図5 (ファミリーなし)	1, 2