

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4776368号  
(P4776368)

(45) 発行日 平成23年9月21日(2011.9.21)

(24) 登録日 平成23年7月8日(2011.7.8)

(51) Int. Cl.		F I	
<b>HO2M</b>	<b>1/00</b>	<b>(2007.01)</b>	HO2M 1/00 C
<b>HO3K</b>	<b>17/08</b>	<b>(2006.01)</b>	HO3K 17/08 C
<b>HO3K</b>	<b>17/695</b>	<b>(2006.01)</b>	HO3K 17/687 B

請求項の数 3 (全 15 頁)

(21) 出願番号	特願2005-366416 (P2005-366416)	(73) 特許権者	000006895
(22) 出願日	平成17年12月20日(2005.12.20)		矢崎総業株式会社
(65) 公開番号	特開2007-174756 (P2007-174756A)		東京都港区三田1丁目4番28号
(43) 公開日	平成19年7月5日(2007.7.5)	(74) 代理人	100083806
審査請求日	平成20年3月6日(2008.3.6)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(74) 代理人	100098327
			弁理士 高松 俊雄

最終頁に続く

(54) 【発明の名称】 電力供給回路のオン故障検出装置

(57) 【特許請求の範囲】

【請求項1】

電源と負荷との間にN型MOSFETを配置し、且つ、該N型MOSFETのドレインを前記電源側に接続し、ソースを前記負荷側に接続し、前記N型MOSFETのオン、オフを切り換えることにより、前記負荷の駆動、停止を制御する電力供給回路の、前記N型MOSFETのオン故障を検出するオン故障検出装置において、

前記N型MOSFETのゲート端子に、該N型MOSFETのオン、オフを切り換えるための、前記電源電圧に基づく駆動信号を供給する駆動回路と、

前記駆動回路と前記ゲート端子との間に設けられる抵抗体と、

前記ゲート端子に駆動信号を供給し始めてから一定時間経過後の、前記ゲート端子に生じる電圧に基づいて生成される第1電圧、及び前記電源電圧に基づいて生成される第2電圧との差分電圧を検出し、この差分電圧が所定値を超えている場合に、前記N型MOSFETにオン故障が生じているものと判定するオン故障判定手段と、

を備えることを特徴とする電力供給回路のオン故障検出装置。

【請求項2】

前記オン故障判定手段は、前記第1電圧と前記第2電圧とを比較する比較手段を有し、前記比較手段による比較結果に基づいて、前記差分電圧が所定値を超えているか否かを判定することを特徴とする請求項1に記載の電力供給回路のオン故障検出装置。

【請求項3】

前記オン故障判定手段は、前記N型MOSFETにオン故障が発生していると判定した

際に、前記駆動回路よりの駆動信号を停止させると共に、前記ゲート端子を前記抵抗体の抵抗値よりも小さい抵抗でグラウンドに接地する接地手段を備えたことを特徴とする請求項1または請求項2のいずれかに記載の電力供給回路のオン故障検出装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源と負荷との間にスイッチ用の半導体素子を設けた電力供給回路に係り、特に、半導体素子のオン故障を検出するオン故障検出装置に関する。

【背景技術】

【0002】

電源と負荷の間にMOSFET等の半導体素子を設置し、該半導体素子のオン、オフを切り換えて負荷への電力供給をオン、オフ制御する電力供給回路では、半導体素子がオン故障すると制御不能になり、負荷への通電を遮断できなくなる。同時に、半導体素子が正常に遮断されることを前提とした過電流保護機能が設けられている場合には、過電流保護機能が損なわれ、この状態で半導体素子の下流側で配線の短絡接地等の故障が併発すると、半導体素子及び配線を保護できなくなるというトラブルが生じることになる。

【0003】

そこで、従来より、負荷のハイサイド（電源側）に半導体素子を設置した電力供給回路における、半導体素子のオン故障対策として、以下に示す（a）～（d）に示す方法が考えられている。

【0004】

（a）半導体素子の上流側（電源側）にヒューズを設ける。

【0005】

（b）2個の半導体素子を直列に接続して、このうち1個の半導体素子がオン故障した場合には他の1個の半導体素子を用いて回路を遮断する。

【0006】

（c）半導体素子及び制御回路の信頼性を向上させ、使用過程におけるオン故障の要因を排除して、オン故障の発生確率を低減する。

【0007】

（d）半導体素子にオン故障が発生した場合には、これを検出し、故障情報を出力して外部から電力供給回路を遮断する構成とする。

【0008】

上記対策のうち、（a）、（b）は、部品点数が増え、スペースが嵩み、且つ、コストアップとなるので、実用的ではない。また、（c）に示す方法では、対策としては間接的であり、オン故障対策として十分であるか否かを判断できない。（d）は、外部に監視及び制御機能が必要となり、上記（a）、（b）と同様に、部品点数の増大、設置スペースの大規模化、コストアップにつながるという問題がある。

【0009】

また、FETのオン故障を検出する装置の従来例として、例えば、特開2000-152691号公報（特許文献1）に記載されたものが知られている。該特許文献1では、オン故障を検出するために電圧検出手段等の高価な装置が必要となり、部品点数の増大、コストアップ等の問題が発生するので、実用的ではない。

【0010】

更に、負荷のハイサイドでスイッチングを行う他の方法として、ヒューズとリレー（接点式のスイッチ）を組み合わせる構成としたものが使用されている。この方式では、リレーにオン故障が発生してもヒューズ機能が独立しているので、過電流保護機能が損なわれることはなく、信頼性の面では問題ない。

【0011】

しかし、今後ヒューズとリレーからなるスイッチ構成を小型化、発熱低減のためにFET等の半導体素子に置き換えようとするとき、FETのオン故障は大きな障害になる。ス

10

20

30

40

50

スイッチング素子のFET化を進める上でオン故障対策は必須となるが、上記したように、現状では効果的な対策が見つかっていない。

【特許文献1】特開2000-152691号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

上述したように、従来における電力供給回路においては、スイッチ手段としてFET等の半導体素子を用いる場合には、オン故障、即ち、半導体素子をオフとするように制御しているにも関わらずオン状態が維持されてしまう故障が発生した場合に、有効な対策が考えられておらず、何とかオン故障の兆候を見つけ、実際にオン故障が発生する前にこれを検出したいという要望が高まりつつあった。

10

【0013】

本発明は、このような従来課題を解決するためになされたものであり、その目的とするところは、電源供給回路のオン、オフを切り換えるスイッチング素子として用いられる半導体素子のオン故障の兆候を検出し、回路の遮断機能が不能となる前の時点で半導体素子をオフとすることにより、電力供給回路を保護することが可能な電力供給回路のオン故障検出装置を提供することにある。

【課題を解決するための手段】

【0014】

上記目的を達成するため、本願請求項1に記載の発明は、電源と負荷との間にN型MOSFETを配置し、且つ、該N型MOSFETのドレインを前記電源側に接続し、ソースを前記負荷側に接続し、前記N型MOSFETのオン、オフを切り換えることにより、前記負荷の駆動、停止を制御する電力供給回路の、前記N型MOSFETのオン故障を検出するオン故障検出装置において、前記N型MOSFETのゲート端子に、該N型MOSFETのオン、オフを切り換えるための、前記電源電圧に基づく駆動信号を供給する駆動回路と、前記駆動回路と前記ゲート端子との間に設けられる抵抗体と、前記ゲート端子に駆動信号を供給し始めてから一定時間経過後の、前記ゲート端子に生じる電圧に基づいて生成される第1電圧、及び前記電源電圧に基づいて生成される第2電圧との差分電圧を検出し、この差分電圧が所定値を超えている場合に、前記N型MOSFETにオン故障が生じているものと判定するオン故障判定手段と、を備えることを特徴とする。

20

30

【0015】

請求項2に記載の発明は、前記オン故障判定手段は、前記第1電圧と前記第2電圧とを比較する比較手段を有し、前記比較手段による比較結果に基づいて、前記差分電圧が所定値を超えているか否かを判定することを特徴とする。

【0016】

請求項3に記載の発明は、前記オン故障判定手段は、前記N型MOSFETにオン故障が発生していると判定した際に、前記駆動回路よりの駆動信号を停止させると共に、前記ゲート端子を前記抵抗体の抵抗値よりも小さい抵抗でグラウンドに接地する接地手段を備えたことを特徴とする。

【発明の効果】

40

【0019】

請求項1の発明では、N型MOSFETに絶縁破壊が発生してリーク電流が流れ、このリーク電流が抵抗体を流れることによって生じる電圧降下を測定し、この電圧降下が所定値を超えたときには、N型MOSFETにオン故障が発生していることを検出するので、オン故障に至る前の時点で、オン故障発生兆候を検出することができる。更に、N型MOSFETをオフとすれば、N型MOSFETに遮断能力が存在する時点で回路を遮断することができるので、回路を確実に保護することができる。また、N型MOSFETのドレインと接続される電源の電圧と、該N型MOSFETのゲート電圧とに基づいて、抵抗体に生じる電圧が所定値を超えているか否かを判定するので、高精度なオン故障検出が可能となる。また、駆動回路がチャージポンプを備える場合には、該チャージポンプの出力

50

電圧の低下をも併せて検出することができる。

【 0 0 2 0 】

請求項 2 の発明では、オン故障判定手段が比較手段を備え、該比較手段にて抵抗体の両端に発生する電圧を比較し、電圧降下が所定値以上であると判定されたときに、オン故障であることを検出するので、高精度なオン故障検出が可能となる。

【 0 0 2 2 】

請求項 3 の発明では、オン故障判定手段により、N型 MOS F E T にオン故障が発生していることが検出された際には、接地手段により、N型 MOS F E T のゲートを、該ゲートに接続される抵抗体よりも小さい抵抗を介してグランドに接地するので、N型 MOS F E T のゲートをより確実にグランドレベルに近づけることができ、N型 MOS F E T を確

10

【発明を実施するための最良の形態】

【 0 0 2 4 】

以下、本発明の実施形態を図面に基づいて説明する。まず、車両に搭載されるランプ、モータ等の負荷を駆動させるときに用いる一般的な電力供給回路（オン故障検出装置を備えていない回路）において、スイッチ用の F E T にオン故障が発生する過程について説明する。

【 0 0 2 5 】

図 1 に示すように、負荷 R L に駆動用の電力を供給する電力供給回路は、車両に搭載される電源としてのバッテリー E（出力電圧 V B；例えば直流 12 ボルト）と、該バッテリー E

20

【 0 0 2 6 】

F E T（T 1）のドレインは、バッテリー E のプラス側端子に接続され、ソースは、負荷 R L の一端に接続され、負荷 R L の他端はグランドに接地されている。また、バッテリー E のプラス側端子はドライバ回路 1 に接続され、ドライバ回路 1 に駆動用の電力が供給される。

【 0 0 2 7 】

ドライバ回路 1 は、チャージポンプ 2（出力電圧 V cp；例えば直流 10 ボルト）と、ト

30

【 0 0 2 8 】

ドライバ回路 1 の具体的な構成について説明すると、バッテリー E のプラス側の電源ラインは、ドライバ回路 1 内で 2 系統に分岐され、一方の分岐線はチャージポンプ 2 のマイナス側端子に接続され、他方の分岐線は、ダイオード D d 1、抵抗 R d 4 を介して F E T（T d 4）（N 型）のドレインに接続され、該 F E T（T d 4）のソースはグランドに接地されている。また、F E T（T d 4）のゲートには、ローアクティブの入力信号電圧 V i

40

【 0 0 2 9 】

チャージポンプ 2 のプラス側端子は、2 系統に分岐され、一方の分岐線はトランジスタ T d 1（NPN 型）のコレクタに接続され、そのエミッタはトランジスタ T d 2（PNP 型）のエミッタに接続され、そのコレクタはグランドに接地されている。他方の分岐線は、F E T（T d 3）（P 型）のソースに接続され、そのドレインは抵抗 R d 2 を介して F E T（T d 4）のドレインに接続されている。

【 0 0 3 0 】

F E T（T d 3）のゲート・ソース間には抵抗 R d 1 が設けられ、更に、F E T（T d 3）のゲートは、抵抗 R d 3 を介して F E T（T d 5）（N 型）のドレインに接続され、

50

そのソースは、グランドに接地されている。また、FET (Td5) のゲートは、FET (Td4) のドレインに接続されている。

【0031】

更に、各トランジスタTd1, Td2のベースは、FET (Td4) のドレインに接続されている。また、トランジスタTd1のエミッタとトランジスタTd2のエミッタとの接続点に、駆動信号出力用の配線が接続され、この配線はゲート抵抗Rg (抵抗体) を介してFET (T1) のゲートに接続されている。

【0032】

次に、図1に示した電力供給回路の動作について説明する。入力信号電圧Viは、LレベルのときにFET (T1) をオン、HレベルのときにFET (T1) をオフとする、アクティブローで動作する。入力信号電圧ViがLレベルになると、FET (Td4) がオフとなり、トランジスタTd2がオフとなる。更に、FET (Td5), (Td3)、及びトランジスタTd1がオンとなり、バッテリーEの電圧VBと約10Vとされているチャージポンプ2の出力電圧Vcpとを加算した電圧 (VB + Vcp) が、ドライバ回路1の出力電圧VDとなって、ゲート抵抗Rgを経由してT1のゲートに供給される。これにより、FET (T1) がオンとなり、バッテリーEより負荷RLに電力が供給されて該負荷RLが駆動する。

【0033】

また、入力信号電圧ViがHレベルになると、FET (Td4), トランジスタTd2がオンとなり、FET (Td5), (Td3)、及びトランジスタTd1がオフとなるので、FET (T1) のゲートはゲート抵抗Rg及びトランジスタTd2を経由してグランドに接地される。これにより、FET (T1) はオフとなり、負荷RLへの電力供給が遮断される。

【0034】

ここで、負荷RLを駆動させるためのFET (T1) が故障する原因の1つとして、ゲートの絶縁層が破壊され、電流のリークが発生することが挙げられる。これはゲートの絶縁層が非常に薄いことがその根源であるので、FET (T1) が故障する原因の中でも大きな割合を占めると考えられている。絶縁層が破壊されるとゲート・ドレイン間、或いはゲート・ソース間に電流のリークが発生する。このうち、ゲート・ソース間での電流のリークでは、ゲート・ソース間が短絡されることになるので、故障が発生したときFET (T1) はオフ状態になり、フェールセーフとなる。従って、安全上の問題は少ない。

【0035】

ところが、ゲート・ドレイン間に生じる電流のリークは、オン故障に繋がるのでフェールセーフとはならず、トラブル発生の原因となってしまう。

【0036】

一般に、電力制御用に用いられるFETは、要素となるFET (以下、「要素FET」という) が複数個並列接続された構成となっており、その要素FETの数は数十万から百万を超えるものになる。従って、絶縁破壊が発生しても、全ての要素FETのゲート・ドレイン間が一度に破壊されるのではなく、一部の要素FETの絶縁破壊から始まり、それが徐々に拡大して行き、最終的にFETのオン故障に至ると考えられる。

【0037】

上記の内容を踏まえると、図1に示した回路において、ゲート・ドレイン間の絶縁破壊により、オン故障に至る過程は次の(a) ~ (c) に示すようであると推定する。

【0038】

(a) FET (T1) がオン状態にあるとき、何らかの要因で一部の要素FETがゲート・ドレイン間で絶縁破壊すると、絶縁破壊した要素FETを経由してゲートとドレインが電氣的に結合される。ゲート・ドレイン間のリーク抵抗をRa (図1に示す抵抗Raは、このリーク抵抗を等価的に示している) とすると、正常状態では無限大であったRaが絶縁破壊により低下して有限な値となる。但し、リーク抵抗Raは絶縁破壊の程度及びその範囲に依存し、大部分のケースではゲート抵抗Rg (1 ~ 2 [K]) に比べると初期

10

20

30

40

50

段階では十分に大きな抵抗値に留まると考えられる。

【0039】

正常状態ではドライバ回路1の出力電圧 $V_D$ と、FET(T1)のゲート電圧 $V_G$ が等しくなるが、絶縁破壊が発生してリーク抵抗 $R_a$ が有限な値になると、該リーク抵抗 $R_a$ を介してゲートからドレインにリーク電流 $I_g$ が流れる。そして、リーク電流 $I_g$ が流れることによりゲート抵抗 $R_g$ に電圧降下が発生し、ゲート電圧 $V_G$ はドライバ回路1の出力電圧 $V_D$ より低下する。このとき、ゲート電圧 $V_G$ は、次の(1)式で示される。

【0040】

$$V_G = V_D - R_g * I_g \quad \dots (1)$$

また、絶縁破壊の範囲が広がるとリーク抵抗 $R_a$ が小さくなり、リーク電流 $I_g$ が大きくなって、ゲート電圧 $V_G$ の低下が大きくなる。従って、リーク電流 $I_g$ の大きさ、或いはゲート抵抗 $R_g$ の電圧降下の大きさを検出することで、FET(T1)に生じる絶縁破壊の程度を把握できることになる。通常、FET(T1)のスレッシュホールド電圧 $V_{th}$ は4V以下であるので、 $V_G > V_B + 4V$ 以上であれば、一部の要素FETに絶縁破壊が生じている場合でも、FET(T1)のオン抵抗は正常に近い値に維持され、FET(T1)の発熱量はそれほど増大せず、FET(T1)の熱破壊が急速に進行することはない。

【0041】

(b) FET(T1)をオフとすると、絶縁破壊のない正常な場合はゲート電圧 $V_G$ がドライバ回路1に設けられたトランジスタ $T_d2$ を介してグラウンドに接地され、ゲート電圧 $V_G$ が約0.6[V]まで低下し、FET(T1)のスレッシュホールド電圧 $V_{th}$ よりも低くなるので、FET(T1)は遮断される。ところが、FET(T1)が上記(a)の状態、即ち、絶縁破壊されているときは、ドライバ回路1に供給される入力信号電圧 $V_i$ がHレベルとなり、トランジスタ $T_d2$ がオンとなっても、FET(T1)のゲート電圧 $V_G$ は0.6[V]まで低下できず、リーク抵抗 $R_a$ が小さいときには、ゲート電圧 $V_G$ が浮き上がってしまい、FET(T1)がオフとならない状態になる。つまり、オン故障となる。

【0042】

このときのゲート電圧 $V_G$ は、次の(2)式で示される。

【0043】

$$V_G = V_B * R_g / (R_a + R_g) \quad \dots (2)$$

なお、(2)式ではトランジスタ $T_d2$ のエミッタ・ベース間電圧降下を無視している。

【0044】

ゲート電圧 $V_G$ が、FET(T1)のスレッシュホールド電圧 $V_{th}$ より大きくなると、ドライバ回路1に供給される入力信号電圧 $V_i$ がHレベルとなっても、FET(T1)がオフとならないことになる。ここで、ゲート電圧 $V_G$ がスレッシュホールド電圧 $V_{th}$ と等しくなるようなリーク抵抗 $R_a$ を求めると、次の(3)式ようになる。

【0045】

$$V_G = V_B * R_g / (R_a + R_g) = V_{th}$$

$$R_a = R_g (V_B - V_{th}) / V_{th} \quad \dots (3)$$

そして、(3)式より、入力信号電圧 $V_i$ がHレベルのときに、FET(T1)がオフとならない条件は、次の(3)式となる。

【0046】

$$R_a \geq R_g (V_B - V_{th}) / V_{th} \quad \dots (3)$$

通常のN型MOSFETは、スレッシュホールド電圧 $V_{th}$ は、 $V_{th} = 2 \sim 4$  [V]程度である。従って、(3)式より、ゲート抵抗 $R_g$ が大きいほど、バッテリーEの電圧 $V_B$ が大きいほど、及びスレッシュホールド電圧 $V_{th}$ が小さいほど、リーク抵抗 $R_a$ が大きくてもFET(T1)はオフとならないことになる。

【0047】

また、 $V_G > V_{th}$ になると、FET(T1)はソースフォロアの動作となり、ドレイン

電流を  $I_D$  (負荷  $R_L$  に流れる電流) とすると、 $V_G - V_{th} = R_L \cdot I_D$  となるから、ドレイン・ソース間電圧  $V_{DS}$  は、次の (4) 式で示される。

【0048】

$$V_{DS} = V_B - (V_G - V_{th}) = V_B - R_L \cdot I_D \quad \dots (4)$$

このとき、 $FET(T1)$  に発生する電力損失を  $P [W]$  とすると、電力損失  $P$  は次の (5) 式で示される。

【0049】

$$\begin{aligned} P &= V_{DS} \cdot I_D \\ &= \{V_B - (V_G - V_{th})\} \cdot I_D \\ &= \{V_B - (V_G - V_{th})\} \cdot (V_G - V_{th}) / R_L \quad \dots (5) \end{aligned}$$

ここで、一例として、 $V_B = 12 [V]$ 、 $V_{th} = 2 [V]$ 、 $R_L = 2 [ \quad ]$  とし、ゲート電圧  $V_G$  に対する  $FET(T1)$  の電力損失  $P$  をグラフで表すと、図2のようになる。

【0050】

図2から理解されるように、ゲート電圧  $V_G$  が  $V_{th} = 2 [V]$  を超えると電力損失が発生し始め、 $V_G = 8 [V]$  で最大となる。具体例として  $V_G = 4 [V]$  を考えると、このとき  $10 [W]$  の電力損失が発生する。そして、 $FET(T1)$  のチャンネルから大気への熱抵抗を  $20 \quad /W$  とすると  $200 \quad$  の温度上昇となる。ゲート抵抗  $R_g$  が  $1.5 [K \quad ]$  の場合は、 $V_G = 4V$  になるリーク抵抗  $R_a$  は (2) 式より、 $R_a = 3 [K \quad ]$  となる。リーク抵抗  $R_a$  がかなり大きな抵抗値となっている状態から、 $FET(T1)$  をオフとした際に、 $FET(T1)$  が通電を始める (ドレイン電流が流れる) ことが判る。

【0051】

$FET(T1)$  のオフ時の発熱は、絶縁破壊した要素  $FET$  のみならず、正常な要素  $FET$  でも同様に発生する。ドレイン電流が流れ始めるとそれがわずかな電流であっても、電圧  $V_{DS}$  が大きいので大きな電力損失をもたらす。また、 $FET(T1)$  がオフからオンへ移行する中間領域で大きな電力損失が発生し、 $V_{DS} = V_B / 2$  で最大の電力損失となる。これは絶縁破壊により、ドレイン電流が流れ始めてから、完全にオンとなる、即ち、オン故障状態に至る途中の過程で最大の電力損失となっており、大きな発熱を発生させる過程が存在することになり、この過程に滞在する時間が長くなると、 $FET(T1)$  がオン故障に至る前に焼損する可能性があること示す。

【0052】

いずれにせよ、オフ状態の  $FET(T1)$  にドレイン電流が流れるようになると、電力損失による発熱により、要素  $FET$  の絶縁破壊範囲が拡大したり、正常な要素  $FET$  が熱破壊したりする可能性が生じる。

【0053】

(c) 上記 (b) の状態でリーク抵抗  $R_a$  が小さくなったオフ状態の  $FET(T1)$  をオンとすると、ゲート抵抗  $R_g$  の電圧降下  $V_D - V_G$  が大きくなり、電圧降下  $V_G - V_B$  が  $V_{th}$  に近づく。それに連れて  $FET(T1)$  のゲート・ソース間電圧が減少するので、 $FET(T1)$  のオン時のドレイン・ソース間電圧  $V_{DSon}$  が増大し、オン時の  $FET(T1)$  の発熱が急速に増大する。正常時の  $V_{DSon} = 50 [mV]$ 、 $V_{th} = 2 [V]$  とすると、 $V_B = V_G$  になると  $V_{DSon}$  は、ほぼ  $V_{th}$  に等しくなるので、電力損失は正常なときに比べて  $2 [V] / 50 [mV] = 40$  倍となる。この状態が継続すると  $FET(T1)$  は発熱で破壊し、制御不能、即ち、遮断不能となり、オン故障の状態になる。

【0054】

上記の内容をまとめると、要素  $FET$  の一部がゲート・ドレイン間の絶縁破壊を起こすと、 $FET(T1)$  のオフ時にリーク電流を発生させ、発熱を生じる。オフ時の熱破壊が進行すると、 $FET(T1)$  のオン時のゲート・ソース間電圧が低下し、オン時の発熱が増大する。オフ時の発熱とオン時の発熱のメカニズムは異なり、オフ時の発熱は絶縁破壊の前半で大きくなり、オン時の発熱は絶縁破壊が進行した後半で大きくなる。この2つの発熱メカニズムが重なり合って作用し、ついには熱破壊により、オン故障状態に至ると考えられる。

10

20

30

40

50

## 【 0 0 5 5 】

従って、上記 ( a ) ~ ( c ) に示した内容を踏まえ、本発明では、以下に示す ( イ )、( ロ ) の考え方を採用する。

## 【 0 0 5 6 】

( イ ) 一部の要素 F E T のゲート・ドレイン間に絶縁破壊が発生し、それがトリガーとなって、その後の F E T ( T 1 ) の熱破壊を引き起こす過程では、それが進行するに連れてリーク抵抗  $R_a$  が減少し、 $R_a$  の減少はゲート抵抗  $R_g$  に流れるリーク電流  $I_g$  の増大となり、ゲート抵抗  $R_g$  の電圧降下の増大となる。従って、F E T ( T 1 ) がオンしているときのゲート抵抗  $R_g$  の電圧降下を測定すれば、絶縁破壊に起因したオン故障を事前に察知できる。即ち、完全にオン故障に至る前の段階で、オン故障の兆候を察知できる。そのときの検出感度は、ゲート抵抗  $R_g$  が大きいほど良くなる。

10

## 【 0 0 5 7 】

( ロ ) オン故障に至る現象を上記 ( イ ) に記載した手順で察知したら、F E T ( T 1 ) を遮断する。遮断するためには、ドライバ回路 1 の出力信号をグランドに接地したときに、 $V_G < V_{th}$  となるようにしなければならない。これは、F E T ( T 1 ) のゲートとグランドとの間の抵抗が小さいほど実現し易い。即ち、オフ時のゲート・グランド間の抵抗が、ゲート抵抗  $R_g$  よりも小さくなるような回路構成にする。

## 【 0 0 5 8 】

以下、上記の考え方を採用して構成した本発明の実施形態について説明する。図 3 は、本発明の第 1 の実施形態に係る電力供給回路のオン故障検出装置の構成を示す回路図である。なお、図 3 において、図 1 に示した電力供給回路と同一の構成要素については、同一の符号を付して、その構成説明を省略する。

20

## 【 0 0 5 9 】

図 3 に示す電力供給回路は、図 1 に示した回路に対して、オン故障判定回路 ( オン故障判定手段 ) 1 1、ゲート接地回路 ( 接地手段 ) 1 2、及び遅延回路 1 3 を備え、且つ、ドライバ回路 1 がオア回路 O R 1 を備えている点で相違している。

## 【 0 0 6 0 】

オン故障判定回路 1 1 は、F E T ( T 1 ) のゲートとグランドとの間に設けられる抵抗  $R_1$  と  $R_2$  との直列接続回路と、バッテリー E のプラス側端子 ( 電圧  $V_B$  ) とグランドとの間に設けられる抵抗  $R_3$ 、 $R_4$  及び直流電源 3 ( 出力電圧  $V_A$  ) の直列接続回路を備えている。更に、比較器 C M P 1 ( 比較手段 ) を備えており、抵抗  $R_1$  と  $R_2$  との接続点 P 1 が比較器 C M P 1 の反転入力端子に接続され、抵抗  $R_3$  と  $R_4$  との接続点 P 2 が比較器 C M P 1 の正転入力端子に接続されている。

30

## 【 0 0 6 1 】

また、比較器 C M P 1 の出力端子は、遅延回路 1 3 に接続されている。遅延回路 1 3 の出力端子は、ドライバ回路 1 に設けられたオア回路 O R 1 の一方の入力端子に接続され、他方の入力端子には、入力信号電圧  $V_i$  が供給されるようになっている。遅延回路 1 3 は、スタート時、リセットにより出力が L レベルになるように設定されている。なお、図 3 の各抵抗  $R_1$  ~  $R_7$  の近傍に示す値は、各抵抗  $R_1$  ~  $R_7$  の抵抗値の具体例を示している。例えば、抵抗  $R_1$  の抵抗値は  $100 [ K ]$  とされている。

40

## 【 0 0 6 2 】

ゲート接地回路 1 2 は、F E T ( T 1 ) のゲートをグランドに接地するためのトランジスタ T 2 ( N P N 型 ) と、該トランジスタ T 2 のコレクタと F E T ( T 1 ) のゲートとの間に設けられる抵抗  $R_5$  と、オア回路 O R 1 の出力端子とグランドとの間に設けられる抵抗  $R_6$  と  $R_7$  との直列接続回路とを備えており、抵抗  $R_6$  と  $R_7$  の接続点 P 3 は、トランジスタ T 2 のベースに接続されている。なお、抵抗  $R_5$  の抵抗値は、例えば  $100 [ ]$  であり、例えば、 $1.5 [ K ]$  の抵抗値を有するゲート抵抗  $R_g$  よりも小さい値に設定されている。

## 【 0 0 6 3 】

次に、上記のように構成された本実施形態に係るオン故障検出装置の作用について説明

50

する。ここで、各抵抗  $R_1 \sim R_4$  を、 $R_1 = R_2$ 、 $R_3 = R_4$  となるように抵抗値を選定する。また、比較器 CMP 1 の反転入力端子（点 P 1）及び正転入力端子（点 P 2）の電圧をそれぞれ  $V_1$ 、 $V_2$  とし、直流電源 3 の出力電圧（これを「基準電圧」という）を  $V_A$  とする。

【0064】

いま、 $R_2 / (R_1 + R_2) = R_4 / (R_3 + R_4) = a$  ( $a$  は分圧比)、 $V_G - V_B =$  とおくと、以下の(6)式が得られる。

【0065】

$$V_1 = V_G * a = (V_B + \quad) a$$

$$V_2 = (V_B - V_A) a + V_A \quad \dots (6)$$

上記(6)式から、 $V_1 = V_2$  となるときの  $\quad$  を求めると、次の(7)式となる。

【0066】

$$(V_B + \quad) a = (V_B - V_A) a + V_A$$

$$= V_A * (1 - a) / a \quad \dots (7)$$

上記(7)式より、 $V_1 = V_2$  となるときの  $\quad$ 、即ち比較器 CMP 1 出力が反転するときの  $\quad$  は、基準電圧  $V_A$  と分圧比  $a$  により、任意の値に設定できる。例えば、 $V_A = 4$  [V]、 $a = 0.5$  とすると、 $\quad = 4$  [V] となる。即ち、 $V_G > (V_B + 4$  [V]) であれば、比較器 CMP 1 の出力は L レベルとなり、 $V_G < (V_B + 4$  [V]) であれば比較器 CMP 1 の出力は H レベルになる。

【0067】

一方、FET (T 1) がオンとなっているときには、ドライバ回路 1 の出力電圧  $V_D$  は  $V_B + V_{cp}$  であるから、ゲート抵抗  $R_g$  の電圧降下となる  $R_g * I_g$  は、次の(8)式で示される。

【0068】

$$R_g * I_g = V_D - V_G = (V_B + V_{cp}) - (V_B + \quad) = V_{cp} - \quad \dots (8)$$

よって、 $V_{cp} = 10$  [V]、 $\quad = 4$  [V] のときは、6 [V] 以上の電圧降下がゲート抵抗  $R_g$  に発生しているとき、比較器 CMP 1 出力は H レベルになる。比較器 CMP 1 の出力が H レベルになり、それが所定の時間継続するとゲート・ドレイン間に絶縁破壊が発生したと判断して、オア回路 OR 1 出力を H レベルにする。即ち、比較器 CMP 1 の出力信号が H レベルとなると、遅延回路 1 3 にて所定時間経過した後に、ドライバ回路 1 のオア回路 OR 1 の一方の入力端子に H レベルの信号が入力されるので、該オア回路 OR の出力信号が H レベルとなる。これにより、ドライバ回路 1 の出力がトランジスタ T d 2 を介して接地され、同時にトランジスタ T 2 のベースとなる点 P 3 の電圧が一定のレベルに上昇するので、該トランジスタ T 2 がオンとなり、FET (T 1) のゲートはゲート抵抗  $R_g$  と抵抗  $R_5$  の並列合成抵抗（「 $R_g \parallel R_5$ 」と表記する）により接地される。

【0069】

このときのゲート電圧  $V_G$  は、次の(9)式で示される。

【0070】

$$V_G = V_B * (R_g \parallel R_5) / \{ (R_g \parallel R_5) + R_a \} \quad \dots (9)$$

ここで、抵抗  $R_5$  を設けないときと比較し、同一のリーク抵抗  $R_a$  に対してゲート電圧  $V_G$  が小さくなり、 $V_G < V_{th}$  を満足し易くなる。

【0071】

ゲート抵抗  $R_g$  を大きくするとゲートからドレインへのリーク電流  $I_g$  の検出が敏感になり、抵抗  $R_5$  を小さくするとリーク抵抗  $R_a$  が小さなところまで、FET (T 1) を遮断できるようになる。このように、ゲート抵抗  $R_g$  及び抵抗  $R_5$  の抵抗値を適宜選定することにより、ゲート・ドレイン間の絶縁破壊（要素 FET による部分的な絶縁破壊）を検出し、FET (T 1) が未だ遮断能力を有している時点で FET (T 1) を遮断して、該 FET (T 1) がオン故障に至ることを防止することが可能となる。

【0072】

このようにして、第 1 の実施形態に係るオン故障検出装置では、FET (T 1) に絶縁

10

20

30

40

50

破壊が発生し、リーク電流が増大して点P1の電圧V1が低下し、点P2の電圧V2を下回った場合に、ドライバ回路1の出力をグランドに接地してFET(T1)に供給する駆動信号を停止させるので、FET(T1)がオン故障となる前の時点で該FET(T1)をオフとして、FET(T1)及び負荷、電気配線などの回路構成部品を保護することができる。

**【0073】**

また、ドライバ回路1の出力をグランドに接地すると同時に、ゲート接地回路12のトランジスタT2をオンとして、FET(T1)のゲートを抵抗R5( $R5 < Rg$ )を介してグランドに接地するので、確実にゲート電圧VGをスレッシュホールド電圧Vthよりも小さくすることができ、確実にFET(T1)をオフとすることができる。

10

**【0074】**

更に、第1の実施形態では、FET(T1)のゲート電圧が低下する、リーク抵抗Raの低下以外の要因として、ドライバ回路1に設けられたチャージポンプ2の電圧降下が挙げられる。つまり、リーク抵抗Raが無限大に大きい状態(絶縁破壊が発生していない状態)でも、チャージポンプ2の出力電圧が低下した場合には、点P1の電圧V1が点P2の電圧V2を下回ってしまい、FET(T1)をオフとする。従って、チャージポンプ2の出力電圧が低下したことも併せて検出することができる。

**【0075】**

次に、本実施形態の第2の実施形態について説明する。図4は、第2の実施形態に係る電力供給回路のオン故障検出装置の構成を示す回路図である。第2の実施形態では、図3に示した第1の実施形態と比較して、オン故障判定回路(オン故障判定手段)11の構成のみが相違しているので、構成については相違点のみ説明する。

20

**【0076】**

図4に示すオン故障判定回路11は、FET(T1)のゲート抵抗Rgのドライバ回路1側となる端子とグランドとの間に、抵抗R1とR2の直列接続回路を備え、且つ、ゲート抵抗RgのFET(T1)側となる端子とグランドとの間に、抵抗R3、R4、及び直流電源3の直列接続回路を備えている。そして、抵抗R1とR2の接続点P11(電圧V1;第1の電圧)が比較器CMP1の正転入力端子に接続され、抵抗R3とR4の接続点P12(電圧V2;第2の電圧)が比較器CMP1の反転入力端子に接続されている。

**【0077】**

そして、直流電源3より出力される基準電圧VAを6[V]に設定すると、この回路ではゲート抵抗Rgの電圧降下が6V以上になると、比較器CMP1の出力信号がLレベルからHレベルに反転し、ドライバ回路1に設けられたトランジスタTd2、及びゲート接地回路12のトランジスタT2をオンとして、FET(T1)のゲートを、ゲート抵抗Rgと抵抗R5の並列経路を介してグランドに接地する。即ち、図4に示す第2の実施形態では、ゲート抵抗Rgの電圧降下を直接測定し、測定された電圧が所定のレベルに達して、所定の時間継続した場合に、FET(T1)のゲート・ドレイン間に絶縁破壊が生じているものと判定し、ゲートを接地してFET(T1)を遮断するようにしている。

30

**【0078】**

このようにして、第2の実施形態に係る電力供給回路のオン故障検出装置では、ゲート抵抗Rgにおける電圧降下に基づいて、FET(T1)のゲート・ドレイン間に絶縁破壊が生じているか否かを判定し、絶縁破壊が発生している場合には、FET(T1)をオフとするので、絶縁破壊によるオン故障の発生を防止できる。

40

**【0079】**

また、ゲート抵抗Rgの両端電圧に基づいて、リーク電流の発生を検出する構成であるので、前述した第1の実施形態と比較して、チャージポンプ2の出力電圧の低下に関係なく、FET(T1)の絶縁破壊のみを検出することができる。

**【0080】**

次に、本発明の第3の実施形態について説明する。図5は、第3の実施形態に係る電力供給回路のオン故障検出装置の構成を示す回路図である。

50

## 【0081】

上述した第1, 第2の実施形態では、負荷 $R_L$ の駆動、停止を切り替えるための半導体素子として、N型MOSFET( $T_1$ )を用いる場合を例に挙げて説明したが、第3の実施形態では、P型MOSFET( $T_{11}$ )を用いている点、及びこれに伴う各回路構成が上記第1, 第2の実施形態と相違する。

## 【0082】

以下、具体的な回路構成について説明する。バッテリーと負荷 $R_L$ との間に設けられる半導体素子としてのP型MOSFET(以下、単に「FET」という)( $T_{11}$ )は、ソースがバッテリーのプラス側端子に接続され、ドレインが負荷 $R_L$ の一端に接続されている。

10

## 【0083】

また、FET( $T_{11}$ )のゲートに駆動信号を出力するドライバ回路31と、オン故障判定回路21と、ゲート・電源接続回路(電源接続手段)22と、遅延回路13と、を備えている。

## 【0084】

ドライバ回路31は、抵抗 $R_{d1}$ ,  $R_{d2}$ と、FET( $T_{d3}$ ), ( $T_{d4}$ )(N型)と、トランジスタ $T_{d1}$ (NPN型),  $T_{d2}$ (PNP型)とオア回路 $OR_{11}$ と、を備えている。具体的な構成として、ドライバ回路31に接続されるバッテリーの電源線は3系統に分岐され、1つ目は、抵抗 $R_{d2}$ とFET( $T_{d4}$ )を介してグランドに接続され、2つ目は、抵抗 $R_{d1}$ とFET( $T_{d3}$ )を介してグランドに接続され、3つ目は、トランジスタ $T_{d1}$ ,  $T_{d2}$ を介してグランドに接続されている。

20

## 【0085】

2つのトランジスタ $T_{d1}$ ,  $T_{d2}$ の各ベースは、FET( $T_{d3}$ )のドレインに接続され、該FET( $T_{d3}$ )のゲートは、FET( $T_{d4}$ )のドレインに接続されている。そして、トランジスタ $T_{d1}$ のエミッタと、トランジスタ $T_{d2}$ のエミッタとの接続点が、ドライバ回路31の出力電圧 $V_D$ を出力するための配線に接続されている。

## 【0086】

FET( $T_{d4}$ )のゲートは、オア回路 $OR_{11}$ の出力端子に接続され、該オア回路 $OR_{11}$ の一方の入力端子には、遅延回路13の出力端子が接続され、他方の入力端子には、入力信号電圧 $V_i$ が供給される。

30

## 【0087】

オン故障判定回路21は、FET( $T_{11}$ )のゲートとグランドとの間に設けられる抵抗 $R_1$ と $R_2$ の直列接続回路と、比較器 $CMP_{11}$ (比較手段)と、直流電源23(出力電圧 $V_A$ )とを備えている。そして、比較器 $CMP_{11}$ の正転入力端子には、抵抗 $R_1$ と $R_2$ の接続点 $P_{21}$ (電圧 $V_{11}$ )が接続され、反転入力端子には、直流電源23のプラス側出力端子が接続されている。また、比較器 $CMP_{11}$ の出力端子は、遅延回路13に接続されている。

## 【0088】

ゲート・電源接続回路22は、P型MOSFET( $T_{12}$ )と、抵抗 $R_5$ の直列接続回路を備えており、FET( $T_{12}$ )のソースはバッテリーのプラス側出力端子に接続され、ドレインは抵抗 $R_5$ の一端に接続され、該抵抗 $R_5$ の他端はFET( $T_{11}$ )のゲートに接続されている。また、FET( $T_{12}$ )のゲートは、FET( $T_{d4}$ )のドレインに接続されている。

40

## 【0089】

次に、上記のように構成された第3の実施形態の動作について説明する。入力信号電圧 $V_i$ がHレベルからLレベルになると、遅延回路13は初期的にLレベルにリセットされるように構成されているので、オア回路 $OR_{11}$ の出力信号がLレベルになり、FET( $T_{d4}$ )がオフとなり、これにより、FET( $T_{d3}$ )、及びトランジスタ $T_{d2}$ がオンとなって、FET( $T_{11}$ )のゲートがゲート抵抗 $R_g$ を経由してグランドに接地される。その結果、FET( $T_{11}$ )がオンとなる。

50

## 【0090】

FET(T11)のゲート・ドレイン間の抵抗をリーク抵抗 $R_a$ とすると、正常状態ではリーク抵抗 $R_a$ は無量大であるが、FET(T11)のゲート・ドレイン間に絶縁破壊が発生するとリーク抵抗 $R_a$ が有限の値になり、FET(T11)のドレインゲート抵抗 $R_g$ トランジスタ $T_{d2}$ グランドの経路でリーク電流 $I_g$ が流れ、ゲート抵抗 $R_g$ に電圧降下が発生する。

## 【0091】

ここで、オン故障判定回路21の抵抗を $R_1 = R_2$ 、及び基準電圧 $V_A = 3V$ に設定しておく、リーク電流 $I_g$ が増加して $R_g * I_g$ が $6V$ を超えると、比較器CMP11の出力がHレベルになり、その状態が所定の時間継続するとオア回路OR11の出力がHレベルになる。これによりFET(Td4)がオンとなり、FET(Td3)、及びトランジスタ $T_{d2}$ が共にオフとなり、トランジスタ(Td1)がオンとなって、FET(T11)のゲートがゲート抵抗 $R_g$ を経由してバッテリーの電圧 $V_B$ に引き上げられる。更に、FET(T2)のゲートがFET(Td4)がオンとなることによりグランドに接地されるので、FET(T2)がオンとなり、FET(T11)のゲートは低抵抗 $R_5$ を介して電源 $V_B$ に接続される。これにより $R_g * I_g > 6V$ であっても、FET(T11)を確実に遮断することができる。

## 【0092】

このようにして、第3の実施形態に係る電力供給回路のオン故障検出装置では、負荷の駆動、停止を切り替える半導体素子として、P型MOSFET(T11)を用いた場合であっても、前述した第2の実施形態の場合と同様に、FET(T11)のゲート・ドレイン間に絶縁破壊が発生し、リーク電流が流れるようになった場合には、ゲート抵抗 $R_g$ に生じる電圧降下を検出して、絶縁破壊の発生をいち早く検出することができ、確実にFET(T11)を遮断させることができる。

## 【0093】

以上、本発明の電力供給回路のオン故障検出装置を図示の実施形態に基づいて説明したが、本発明はこれに限定されるものではなく、各部の構成は、同様の機能を有する任意の構成のものに置き換えることができる。

## 【0094】

例えば、上述した各実施形態では、電源として車両に搭載されるバッテリー、負荷として車両に搭載されるランプ、モータ等を用いた場合の例について説明したが、本発明はこれに限定されるものではなく、その他の電力供給回路についても適用することができる。

## 【0095】

また、上述した実施形態では、スイッチ用の半導体素子としてN型、またはP型のMOSFETを用いる例について説明したが、本発明はこれに限定されるものではなく、IGBT(絶縁ゲートバイポーラトランジスタ)等についても適用が可能である。

## 【産業上の利用可能性】

## 【0096】

スイッチング用の半導体素子にオン故障が発生する兆候を検出し、遮断機能が損なわれないうちに半導体素子を遮断して、回路を保護する上で極めて有用である。

## 【図面の簡単な説明】

## 【0097】

【図1】電源電圧を負荷に供給して駆動させる一般的な電力供給回路の構成を示す回路図である。

【図2】スイッチ用のFET(T1)のゲート電圧と電力損失との関係を示す特性図である。

【図3】本発明の第1の実施形態に係る電力供給回路のオン故障検出装置の構成を示す回路図である。

【図4】本発明の第2の実施形態に係る電力供給回路のオン故障検出装置の構成を示す回路図である。

10

20

30

40

50

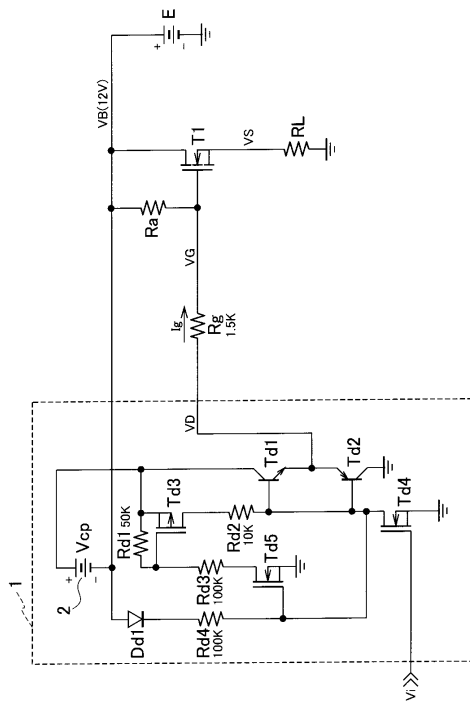
【図5】本発明の第3の実施形態に係る電力供給回路のオン故障検出装置の構成を示す回路図である。

【符号の説明】

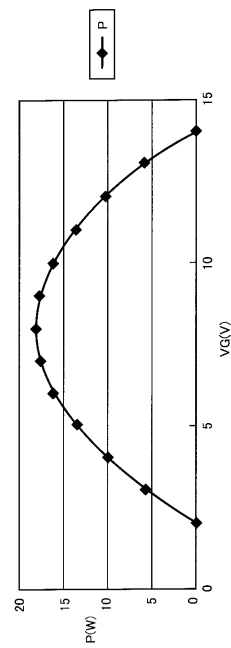
【0098】

- 1, 31 ドライバ回路（駆動回路）
- 2 チャージポンプ
- 3, 23 直流電源
- 11, 21 オン故障判定回路（オン故障判定手段）
- 12 ゲート接地回路（接地手段）
- 22 ゲート・電源接続回路（電源接続手段）
- E バッテリ（電源）
- T1, T11 MOSFET（半導体素子）
- COMP1 比較器（比較手段）

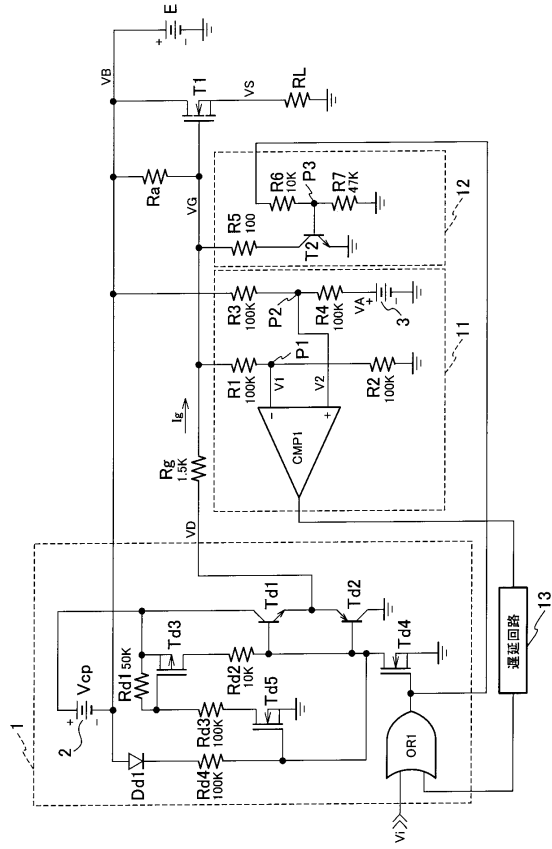
【図1】



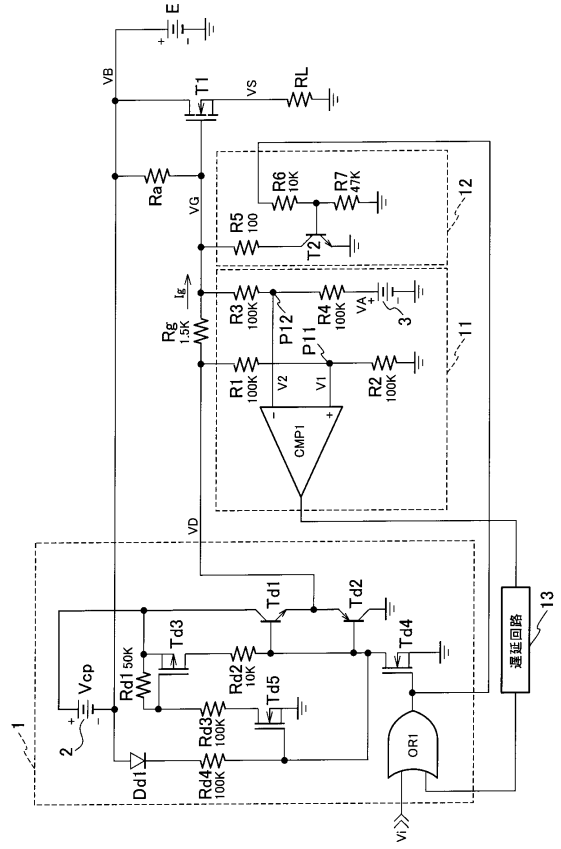
【図2】



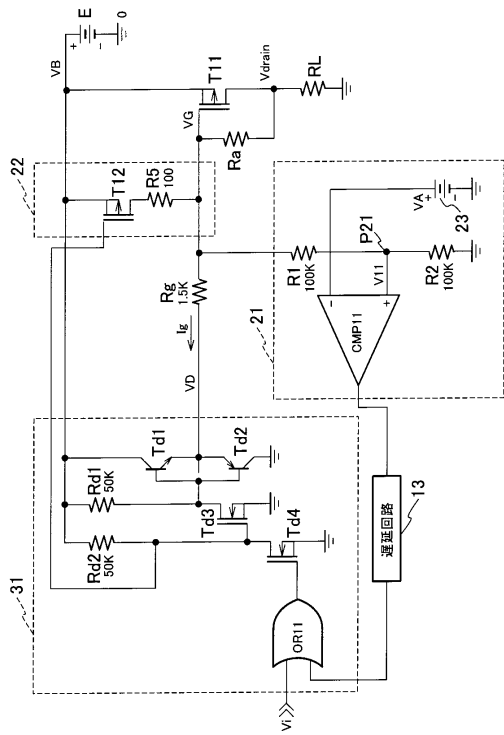
【図3】



【図4】



【図5】



---

フロントページの続き

(72)発明者 大島 俊藏  
静岡県湖西市鷺津2464-48 矢崎部品株式会社内

審査官 櫻田 正紀

(56)参考文献 特開2003-143833(JP,A)  
特開2004-147405(JP,A)  
特開2005-039988(JP,A)  
特開平08-298786(JP,A)  
特開2003-134797(JP,A)  
特開2002-281736(JP,A)  
特開2004-064930(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H02M 1/00 - 1/44  
H03K 17/00 - 17/70