

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年3月31日(2011.3.31)

【公表番号】特表2010-521817(P2010-521817A)

【公表日】平成22年6月24日(2010.6.24)

【年通号数】公開・登録公報2010-025

【出願番号】特願2009-553665(P2009-553665)

【国際特許分類】

H 01 L 27/115 (2006.01)

H 01 L 21/8247 (2006.01)

H 01 L 29/792 (2006.01)

H 01 L 29/788 (2006.01)

【F I】

H 01 L 27/10 4 3 4

H 01 L 29/78 3 7 1

【手続補正書】

【提出日】平成23年2月9日(2011.2.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不揮発性メモリセル(12)を備える電子デバイスの製造方法であつて、前記製造方法は、

基板(10)上に電荷ストレージスタック(12)を形成する電荷ストレージスタック形成工程と；

前記電荷ストレージスタック(12)上に制御ゲート電極(24)を形成する制御ゲート電極形成工程と；

前記制御ゲート電極(24)の形成後に、前記制御ゲート電極(24)から離間させて、前記基板(10)上に半導体層(40)を形成する半導体層形成工程と；

前記半導体層(40)上に選択ゲート電極(94)を形成する選択ゲート電極形成工程と

を含む、電子デバイスの製造方法。

【請求項2】

前記製造方法は更に、前記制御ゲート電極(24)形成工程の後、かつ前記半導体層(40)形成工程の前に、絶縁スペーサ(32)を形成する絶縁スペーサ形成工程を含む、請求項1記載の製造方法。

【請求項3】

前記絶縁スペーサ(32)形成工程は、

前記制御ゲート電極(24)上と前記基板(10)上に絶縁層(16)を形成する工程と；

前記絶縁スペーサ(32)を形成するために、前記絶縁層(16)を異方的にエッティングする工程と

を含む、請求項2記載の製造方法。

【請求項4】

前記選択ゲート電極(94)形成工程は、

前記制御ゲート電極（24）上、前記絶縁スペーサ（32）上、および前記半導体層（40）上に、選択ゲート電極層（64）を形成する工程と；

側壁スペーサ（74）を形成するために、前記選択ゲート電極層（64）を異方的にエッチングする工程と；

前記選択ゲート電極（94）を形成するために、前記側壁スペーサ（74）の一部を除去する工程と

を含む、請求項2記載の製造方法。

【請求項5】

前記電荷ストレージスタック（12）形成工程は、

前記基板（10）上に第1ゲート誘電体層（122）を形成する第1ゲート誘電体層形成工程と；

前記第1ゲート誘電体層（122）上に互いに不連続な複数の記憶素子（124）を形成する工程と

を含む、請求項1記載の製造方法。

【請求項6】

前記製造方法は更に、前記選択ゲート電極（94）形成工程の前に、前記半導体層（40）上に前記第1ゲート誘電体層（122）よりも薄い第2ゲート誘電体層（52）を形成する第2ゲート誘電体層形成工程を含む、請求項5記載の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】複数のチャネル領域を互いに異なる高さに備える電子デバイスの製造方法