

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 23 年 3 月 31 日 (2011.3.31)

【公表番号】特表 2010-521817 (P2010-521817A)

【公表日】平成 22 年 6 月 24 日 (2010.6.24)

【年通号数】公開・登録公報 2010-025

【出願番号】特願 2009-553665 (P2009-553665)

【国際特許分類】

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/788 (2006.01)

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 23 年 2 月 9 日 (2011.2.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

不揮発性メモリセル (1 2) を備える電子デバイスの製造方法であって、前記製造方法は、

基板 (1 0) 上に電荷ストレージスタック (1 2) を形成する電荷ストレージスタック形成工程と；

前記電荷ストレージスタック (1 2) 上に制御ゲート電極 (2 4) を形成する制御ゲート電極形成工程と；

前記制御ゲート電極 (2 4) の形成後に、前記制御ゲート電極 (2 4) から離間させて、前記基板 (1 0) 上に半導体層 (4 0) を形成する半導体層形成工程と；

前記半導体層 (4 0) 上に選択ゲート電極 (9 4) を形成する選択ゲート電極形成工程と

を含む、電子デバイスの製造方法。

【請求項 2】

前記製造方法は更に、前記制御ゲート電極 (2 4) 形成工程の後、かつ前記半導体層 (4 0) 形成工程の前に、絶縁スペーサ (3 2) を形成する絶縁スペーサ形成工程を含む、請求項 1 記載の製造方法。

【請求項 3】

前記絶縁スペーサ (3 2) 形成工程は、

前記制御ゲート電極 (2 4) 上と前記基板 (1 0) 上に絶縁層 (1 6) を形成する工程と；

前記絶縁スペーサ (3 2) を形成するために、前記絶縁層 (1 6) を異方的にエッチングする工程と

を含む、請求項 2 記載の製造方法。

【請求項 4】

前記選択ゲート電極 (9 4) 形成工程は、

前記制御ゲート電極（２４）上、前記絶縁スペーサ（３２）上、および前記半導体層（４０）上に、選択ゲート電極層（６４）を形成する工程と；

側壁スペーサ（７４）を形成するために、前記選択ゲート電極層（６４）を異方的にエッチングする工程と；

前記選択ゲート電極（９４）を形成するために、前記側壁スペーサ（７４）の一部を除去する工程と

を含む、請求項２記載の製造方法。

【請求項５】

前記電荷ストレージスタック（１２）形成工程は、

前記基板（１０）上に第１ゲート誘電体層（１２２）を形成する第１ゲート誘電体層形成工程と；

前記第１ゲート誘電体層（１２２）上に互いに不連続な複数の記憶素子（１２４）を形成する工程と

を含む、請求項１記載の製造方法。

【請求項６】

前記製造方法は更に、前記選択ゲート電極（９４）形成工程の前に、前記半導体層（４０）上に前記第１ゲート誘電体層（１２２）よりも薄い第２ゲート誘電体層（５２）を形成する第２ゲート誘電体層形成工程を含む、請求項５記載の製造方法。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】複数のチャネル領域を互いに異なる高さに備える電子デバイスの製造方法