

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 10 月 13 日 (2016.10.13)

【公開番号】特開 2014-57067 (P2014-57067A)

【公開日】平成 26 年 3 月 27 日 (2014.3.27)

【年通号数】公開・登録公報 2014-016

【出願番号】特願 2013-188119 (P2013-188119)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 28 年 8 月 24 日 (2016.8.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板上に積層された複数の絶縁膜と、
隣接する前記絶縁膜の間に介在するゲート電極を含む複数の水平構造体と、
前記絶縁膜及び前記水平構造体を貫通する半導体柱を含む複数の垂直構造体と、
前記基板と前記垂直構造体との各々の間に介在する複数のエピタキシャルパターンと、
を有し、
前記エピタキシャルパターンの最小幅は、前記垂直構造体の幅より小さいことを特徴とする 3 次元半導体メモリ装置。

【請求項 2】

前記水平構造体の中の最下部の水平構造体は、前記エピタキシャルパターンに接し、前記最下部の水平構造体は、リセスされた前記エピタキシャルパターンに沿って膨らむように配置されることを特徴とする請求項 1 に記載の 3 次元半導体メモリ装置。

【請求項 3】

前記エピタキシャルパターンは、リセスされた側壁を有することを特徴とする請求項 1 に記載の 3 次元半導体メモリ装置。

【請求項 4】

前記水平構造体の中の最下部の水平構造体は、残りの他の水平構造体より厚く、
前記エピタキシャルパターンの上部面は、前記最下部の水平構造体の上部面より高いことを特徴とする請求項 1 に記載の 3 次元半導体メモリ装置。

【請求項 5】

前記水平構造体は、同一の厚さを有し、
前記エピタキシャルパターンは、前記基板に近く配置され、垂直的に隣接する少なくとも 2 つの前記水平構造体に接することを特徴とする請求項 1 に記載の 3 次元半導体メモリ装置。

【請求項 6】

前記水平構造体の各々は、前記ゲート電極と前記半導体柱との間の第 1 及び第 2 ブロッキング絶縁膜を含み、

前記第 1 及び第 2 ブロッキング絶縁膜の各々は、シリコン酸化膜及びアルミニウム酸化膜の中の少なくともいずれか 1 つを含むことを特徴とする請求項 1 に記載の 3 次元半導体メモリ装置。

【請求項 7】

前記垂直構造体の各々は、保護膜、電荷格納膜、及びトンネル絶縁膜を含み、

前記垂直構造体に隣接する前記水平構造体は、前記垂直構造体の電荷格納膜に接することを特徴とする請求項 1 に記載の 3 次元半導体メモリ装置。

【請求項 8】

下部ゲートパターン及び該下部ゲートパターンを貫通して基板に連結される下部半導体パターンを含む下部構造体と、

前記下部構造体上に積層された上部ゲートパターン、該上部ゲートパターンを貫通して前記下部半導体パターンに連結される上部半導体パターン、及び該上部半導体パターンと前記上部ゲートパターンとの間に介在する垂直絶縁体を含む上部構造体と、を有し、

前記下部半導体パターンは、前記下部ゲートパターンに隣接し、前記基板の上部面に対して傾いた傾斜面によって定義されるリセス領域を有することを特徴とする 3 次元半導体メモリ装置。

【請求項 9】

前記下部ゲートパターンの垂直的な厚さは、前記下部半導体パターンの最大幅より小さいことを特徴とする請求項 8 に記載の 3 次元半導体メモリ装置。

【請求項 10】

前記下部構造体は、前記下部ゲートパターンを複数個含み、垂直的な位置で該下部ゲートパターンの間に配置された絶縁膜を含み、

前記絶縁膜に隣接する領域で前記下部半導体パターンの横断面は、実質的に円形状を有し、

前記リセス領域で前記下部半導体パターンの横断面は、実質的に方形形状を有することを特徴とする請求項 8 に記載の 3 次元半導体メモリ装置。

【請求項 11】

前記下部半導体パターンの最小幅は、該下部半導体パターンの最大幅と前記下部ゲートパターンの垂直的な厚さとの差異に該当することを特徴とする請求項 8 に記載の 3 次元半導体メモリ装置。

【請求項 12】

前記下部ゲートパターンと前記下部半導体パターンとの間で前記下部ゲートパターンの上部面及び下部面に延長され、前記上部ゲートパターンと前記垂直絶縁体との間で前記上部ゲートパターンの上部面及び下部面に延長される水平絶縁膜を更に含むことを特徴とする請求項 8 に記載の 3 次元半導体メモリ装置。

【請求項 13】

基板上に、複数の犠牲膜及び複数の絶縁膜が交互に反復的に積層された複数の薄膜構造体を形成する段階と、

前記薄膜構造体を貫通して前記基板を露出させる開口部を形成する段階と、

前記開口部の下部領域を満たす下部半導体膜を形成する段階と、

前記下部半導体膜が形成された前記開口部内に垂直絶縁体及び上部半導体パターンを形成する段階と、

前記薄膜構造体をパターニングして、前記開口部と離隔して前記基板を露出させるトレンチを形成する段階と、

前記トレンチに露出した前記犠牲膜を除去してゲート領域を形成する段階と、

前記ゲート領域の中の少なくとも最下位の 1 つによって露出した前記下部半導体膜を選択的にエッチングして前記基板に対して傾いた傾斜面によって定義されるリセス領域を有

する下部半導体パターンを形成する段階と、

前記ゲート領域内にゲートパターンを形成する段階と、を有することを特徴とする３次元半導体メモリ装置の製造方法。

【請求項 14】

前記下部半導体膜を形成する段階は、前記開口部によって露出した前記基板をシード (seed) として利用する選択的なエピタキシャル工程を遂行する段階を含むことを特徴とする請求項 13 に記載の３次元半導体メモリ装置の製造方法。

【請求項 15】

前記下部半導体膜を選択的にエッチングする段階は、ハロゲン元素を含有する反応ガスを利用して気相エッチング (Gas Phase Etching) 工程又は化学的乾式エッチング (chemical dry etch) 工程を遂行する段階を含むことを特徴とする請求項 13 に記載の３次元半導体メモリ装置の製造方法。