

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4914811号

(P4914811)

(45) 発行日 平成24年4月11日(2012.4.11)

(24) 登録日 平成24年1月27日(2012.1.27)

(51) Int.Cl.

G O 1 R 19/00 (2006.01)

F I

G O 1 R 19/00

B

請求項の数 12 (全 14 頁)

(21) 出願番号	特願2007-302187 (P2007-302187)	(73) 特許権者	501137636
(22) 出願日	平成19年11月21日(2007.11.21)		東芝三菱電機産業システム株式会社
(65) 公開番号	特開2009-128130 (P2009-128130A)		東京都港区三田三丁目13番16号
(43) 公開日	平成21年6月11日(2009.6.11)	(74) 代理人	100091351
審査請求日	平成22年6月4日(2010.6.4)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 電子装置

(57) 【特許請求の範囲】

【請求項1】

測定対象の電源の電圧を測定しサンプルホールドされない被測定電圧を出力する電圧測定器と、

基準電圧を発生する基準電圧発生器と、

前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、

各々に分圧基準電圧端子及び被測定電圧端子を備え、

前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、

前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記サンプルホールドされない被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、

前記各比較器の出力を同期してラッチするラッチ回路と、
を具備したことを特徴する電子装置。

【請求項2】

測定対象の電源の電圧を測定しサンプルホールドされない被測定電圧を出力する電圧測定器と、

基準電圧を発生する基準電圧発生器と、

10

20

前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、

各々に分圧基準電圧端子及び被測定電圧端子を備え、

前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、

前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記サンプルホールドされない被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、

前記各比較器の出力を同期してラッチするラッチ回路と、

10

所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、

前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む書き込み回路と、

を具備したことを特徴とする電子装置。

【請求項3】

測定対象の電源の電圧を測定しサンプルホールドされない被測定電圧を出力する電圧測定器と、

基準電圧を発生する基準電圧発生器と、

前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、

20

各々に分圧基準電圧端子及び被測定電圧端子を備え、

前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、

前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記サンプルホールドされない被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、

前記各比較器の出力を同期してラッチするラッチ回路と、

所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、

30

前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む際のアドレスを発生するアドレス発生回路と、

を具備したことを特徴とする電子装置。

【請求項4】

測定対象の電源の電圧を測定しサンプルホールドされない被測定電圧を出力する電圧測定器と、

基準電圧を発生する基準電圧発生器と、

前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、

40

各々に分圧基準電圧端子及び被測定電圧端子を備え、

前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、

前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記サンプルホールドされない被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、

前記各比較器の出力を同期してラッチするラッチ回路と、

所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、

50

前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む際のアドレスを発生するアドレス発生回路と、

前記比較器の出力のうち異常とみなした異常検出信号が出力されてから一定時間の間前記比較器のデータを記録装置に書き込む信号を有効にするタイマと、
を具備したことを特徴とする電子装置。

【請求項 5】

測定対象の電源の電圧を測定しアナログの被測定電圧を出力する電圧測定器と、
基準電圧を発生する基準電圧発生器と、

前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、

各々に分圧基準電圧端子及び被測定電圧端子を備え、

前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、

前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、

前記各比較器の出力を同期してラッチするラッチ回路と、
を具備したことを特徴する電子装置。

【請求項 6】

測定対象の電源の電圧を測定しアナログの被測定電圧を出力する電圧測定器と、
基準電圧を発生する基準電圧発生器と、

前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、

各々に分圧基準電圧端子及び被測定電圧端子を備え、

前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、

前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、

前記各比較器の出力を同期してラッチするラッチ回路と、

所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、

前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む書き込み回路と、

を具備したことを特徴とする電子装置。

【請求項 7】

測定対象の電源の電圧を測定しアナログの被測定電圧を出力する電圧測定器と、
基準電圧を発生する基準電圧発生器と、

前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、

各々に分圧基準電圧端子及び被測定電圧端子を備え、

前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、

前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、

前記各比較器の出力を同期してラッチするラッチ回路と、

所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、

前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む際のアドレスを発生するアドレス発生回路と、
を具備したことを特徴とする電子装置。

【請求項 8】

測定対象の電源の電圧を測定しアナログの被測定電圧を出力する電圧測定器と、

基準電圧を発生する基準電圧発生器と、

前記基準電圧発生器と接地電位間の電路に複数の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、

各々に分圧基準電圧端子及び被測定電圧端子を備え、

前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、

前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、

前記各比較器の出力を同期してラッチするラッチ回路と、

所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、

前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む際のアドレスを発生するアドレス発生回路と、

前記比較器の出力のうち異常とみなした異常検出信号が出力されてから一定時間の間前記比較器のデータを記録装置に書き込む信号を有効にするタイマと、

を具備したことを特徴とする電子装置。

【請求項 9】

前記ラッチ回路は、前記各比較器における精度のばらつきを許容して前記各比較器の出力を同期してラッチする請求項 1～請求項 8 のいずれか一つに記載の電子装置。

【請求項 10】

前記ラッチ回路は、前記各比較器における出力のうち「1」を示すビットで最上位に位置するビットを最上位のビットとする信号或いは最下位のビットから「1」が連続する信号のみを有意と見なした信号で前記各比較器における出力をラッチする請求項 1～請求項 8 のいずれか一つに記載の電子装置。

【請求項 11】

前記記録装置への書き込みは、前記記録装置からデータ読み出し状態を示す信号があるとき行えないようにしたことを特徴とする請求項 2～請求項 4、請求項 6～請求項 8 のいずれか一つに記載の電子装置。

【請求項 12】

前記アドレス発生回路は、インクリメントカウンタで構成した請求項 3、4、7、8 のいずれか一つに記載の電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、直流定電圧源又は交流定電圧源での、高速外部ノイズによる異常電圧を検出できる電圧信号検出器及び異常電圧を監視することができる電子装置に関する。

【背景技術】

【0002】

電子装置の定電圧源出力部に外部から誘導ノイズなどが乗り、電子装置が誤動作や停止するようなケースを監視する場合がある。これが常に影響を受け続けるようなものであれば通常のシンクロスコープにて、その影響を受ける箇所を特定したり、対策をとった後に

10

20

30

40

50

その対策が良好である確認を行うことが可能である。

【 0 0 0 3 】

しかし、電子装置動作中、外部の高電圧接点の動作などによる瞬間のノイズが影響するような場合、そのノイズの周波数は 1 0 0 M h z を越え、その継続時間も数百 μ S といった短時間であり、そして発生頻度が 1 年に一度以下というケースがある。こういったトラブルを的確に観測するためには高速での記録動作や長期間の監視、更に多くの箇所での監視が必要であるが、シンクロスコープや以下に説明する非特許文献 1 に示すトランジェントメモリ装置では高速動作や大きさに問題があった。

【 0 0 0 4 】

図 7 は、非特許文献 1 に示すトランジェントメモリ装置の概略構成を示すブロック図であり、図示しない定電圧源からのアナログの電圧測定信号 3 をバッファ 1 を介して A D 変換器 2 0 0 で変換し、この変換後のデジタルデータを A D シーケンスコントローラ 2 0 4 の制御のもとで記憶装置 2 0 5 に記憶する。また外部からのトリガ信号や手動での停止信号が A D シーケンスコントローラ 2 0 4 により記憶装置 2 0 5 への書き込みを停止する。

10

ここで、A D 変換器 2 0 0 は、特許文献 1 に示すように入力バッファ 2 0 1 a と、サンプリングスイッチ 2 0 1 b と、ホールドキャパシタ 2 0 1 c を備えたサンプルホールド部 2 0 1 と、並列比較型の A D 変換部 2 0 2 と、エンコーダ部 2 0 3 を具備している。

【非特許文献 1】システムデザインサービス株式会社（略称：SDS）の高速多チャネルトランジェントメモリシステムボードのカタログ「P C - G シリーズ：高速多チャネルトランジェントメモリシステムボード」（http://www.sds.co.jp/product/adda/pci_board/index.html）

20

【特許文献 1】特開平 7 - 3 3 6 2 2 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

この電子装置は通常、「波形の変化」を測定することが目的であり、

（ 1 ）波形の精度が必要なため、A D 変換器 2 0 0 は高精度のものをを用いており、これは動作周期を高速にできないか、あるいは十分高速なものは非常に高価である。また、波形精度が低い場合も A D 変換器 2 0 0 の動作に必要な時間でその動作速度に限界がある。具体的には、A D 変換器 2 0 0 にサンプルホールド部 2 0 1 と、A D 変換部 2 0 2 と、エンコーダ部 2 0 3 を備えているので、これらが各々処理するための時間を必要とすることからである。

30

【 0 0 0 6 】

しかし前述の電子装置の本来の目的は、トラブルを検知し、その原因が電源に影響する瞬時ノイズであることを識別できればよいことであり、その検出した電圧波形は高精度である必要はない。

【 0 0 0 7 】

（ 2 ）前述の電子装置は波形の変化を観測することが目的のため、前述の記憶装置 2 0 5 としては大容量でサイズも大きなものをを用いており、頻度の少ない瞬時ノイズを長期にわたり監視するには隣接する装置の隙間でも配置できる小さな異常電圧監視装置が望まれている。

40

【 0 0 0 8 】

本発明は前述の問題点を克服するためになされたもので、A D 変換に要する実行時間を短くでき、全体を小型化でき、定電圧電源の出力に影響する頻度の少ない瞬時ノイズの影響を長期監視できる電子装置を得ることを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

前記目的を達成するため、請求項 1 に対応する発明は、測定対象の電源の電圧を測定しサンプルホールドされない被測定電圧を出力する電圧測定器と、基準電圧を発生する基準

50

電圧発生器と、前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、各々に分圧基準電圧端子及び被測定電圧端子を備え、前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記サンプルホールドされない被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、前記各比較器の出力を同期してラッチするラッチ回路と、を具備したことを特徴する電子装置である。

【 0 0 1 0 】

10

前記目的を達成するため、請求項 2 に対応する発明は、測定対象の電源の電圧を測定しサンプルホールドされない被測定電圧を出力する電圧測定器と、基準電圧を発生する基準電圧発生器と、前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、各々に分圧基準電圧端子及び被測定電圧端子を備え、前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記サンプルホールドされない被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、前記各比較器の出力を同期してラッチするラッチ回路と、所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む書き込み回路と、を具備したことを特徴とする電子装置である。

20

【 0 0 1 1 】

前記目的を達成するため、請求項 3 に対応する発明は、測定対象の電源の電圧を測定しサンプルホールドされない被測定電圧を出力する電圧測定器と、基準電圧を発生する基準電圧発生器と、前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、各々に分圧基準電圧端子及び被測定電圧端子を備え、前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記サンプルホールドされない被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、前記各比較器の出力を同期してラッチするラッチ回路と、所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む際のアドレスを発生するアドレス発生回路と、を具備したことを特徴とする電子装置である。

30

【 0 0 1 2 】

前記目的を達成するため、請求項 4 に対応する発明は、測定対象の電源の電圧を測定しサンプルホールドされない被測定電圧を出力する電圧測定器と、基準電圧を発生する基準電圧発生器と、前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、各々に分圧基準電圧端子及び被測定電圧端子を備え、前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記サンプルホールドされない被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、前記各比較器の出力を同期してラッチするラッチ回路と、所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロ

40

50

ック信号発生器と、前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む際のアドレスを発生するアドレス発生回路と、前記比較器の出力のうち異常とみなした異常検出信号が出力されてから一定時間の間前記比較器のデータを記録装置に書き込む信号を有効にするタイマと、を具備したことを特徴とする電子装置である。

【0013】

前記目的を達成するため、請求項5に対応する発明は、測定対象の電源の電圧を測定しアナログの被測定電圧を出力する電圧測定器と、基準電圧を発生する基準電圧発生器と、

前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、各々に分圧基準電圧端子及び被測定電圧端子を備え、前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、前記各比較器の出力を同期してラッチするラッチ回路と、を具備したことを特徴する電子装置である。

10

前記目的を達成するため、請求項6に対応する発明は、測定対象の電源の電圧を測定しアナログの被測定電圧を出力する電圧測定器と、基準電圧を発生する基準電圧発生器と、

前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、各々に分圧基準電圧端子及び被測定電圧端子を備え、前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、前記各比較器の出力を同期してラッチするラッチ回路と、所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む書き込み回路と、を具備したことを特徴とする電子装置である。

20

前記目的を達成するため、請求項7に対応する発明は、測定対象の電源の電圧を測定しアナログの被測定電圧を出力する電圧測定器と、基準電圧を発生する基準電圧発生器と、

前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、各々に分圧基準電圧端子及び被測定電圧端子を備え、前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、前記各比較器の出力を同期してラッチするラッチ回路と、所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む際のアドレスを発生するアドレス発生回路と、を具備したことを特徴とする電子装置である。

30

40

前記目的を達成するため、請求項8に対応する発明は、測定対象の電源の電圧を測定しアナログの被測定電圧を出力する電圧測定器と、基準電圧を発生する基準電圧発生器と、前記基準電圧発生器と接地電位間の電路に複数個の分圧抵抗が直列に接続され、前記基準電圧を複数の分圧基準電圧に分圧する分圧回路と、各々に分圧基準電圧端子及び被測定電圧端子を備え、前記各々に有する被測定電圧端子は、前記接地電位と前記電圧測定器間の電路にそれぞれ並列に接続され、前記分圧回路を構成する分圧抵抗の直列回路の両方の終端及び前記各分圧抵抗相互の接続点を、前記各々に有する前記分圧基準電圧端子にそれぞれ接続し、各々において前記各分圧基準電圧と前記被測定電圧の比較を行い、両電圧の差に基づいてデジタル信号に変換する複数の比較器と、前記各比較器の出力を同期してラッ

50

チするラッチ回路と、所定周期でクロック信号を発生し、このクロック信号により前記ラッチ回路に対してラッチ指示信号を与えるクロック信号発生器と、前記ラッチ回路でラッチされた前記比較器のデータを記録装置に書き込む際のアドレスを発生するアドレス発生回路と、前記比較器の出力のうち異常とみなした異常検出信号が出力されてから一定時間の間前記比較器のデータを記録装置に書き込む信号を有効にするタイマと、を具備したことを特徴とする電子装置である。

【発明の効果】

【0014】

本発明では、A/D変換に要する実行時間を短くでき、全体を小型化でき、定電圧電源の出力に影響する頻度の少ない瞬時ノイズの影響を長期監視できる電子装置を提供できる。

10

【発明を実施するための最良の形態】

【0015】

以下、本発明の電圧信号検出器及び異常電圧監視装置の実施形態について、図面を参照して説明する。

【0016】

[実施形態1]

図1は、本発明の電圧信号検出器及び異常電圧監視装置の実施形態1のブロック図である。

【0017】

(構成)

20

始めに、図1を参照して本発明の電圧信号検出器の実施形態1について説明する。図示しない定電圧電源の電圧を測定し測定信号3を出力する電圧測定器(図示せず)と、基準電圧を発生する基準電圧発生器(基準電圧設定器)2と、各々に前記電圧測定器からのサンプルホールドされていない被測定電圧を印加する被測定電圧端子及び基準電圧発生器2からの基準電圧を印加する基準電圧端子を備え、被測定電圧端子及び基準電圧端子にそれぞれ入力される電圧の比較を行い両者の差からデジタル信号に変換するものであって、各々を並列接続する複数(ここでは8個)の比較器O1、O2、O3、O4、O5、O6、O7、O8と、各比較器O1~O8(以下単にOとする)の隣接する基準電圧端子間及び終端側にある比較器O8と基準電圧発生器2の電源線間に接続し、基準電圧発生器2からの基準電圧を分圧する複数(ここでは8個)の分圧抵抗R1、R2、R3、R4、R5、R6、R7、R8(以下各分圧抵抗Rと称する)からなる分圧回路と、各比較器Oの出力を同期してラッチするラッチ回路13と、比較器O8の被測定電圧端子と接地端子との間に接続した比較器保護用抵抗R0とを具備している。

30

【0018】

各分圧抵抗Rと、各比較器Oとで、サンプルホールド部を備えておらず、例えばディスクリット回路によるA/D変換回路11を構成している。このような構成の電圧信号検出器により、前記電圧測定器からの被測定電圧の波形変化を検出できる。

【0019】

(作用)

次に、実施形態1での作用について説明する。A/D変換回路11は基準電圧設定器2からの基準電圧を複数の抵抗Rで分圧して得られる各比較器Oの個々の比較用の基準電圧信号と、被測定信号3を各比較器Oで比較することにより被測定信号3をデジタイズする。一方、クロック発生器12が発生する高速のクロックはそれ自身で前記デジタイズされた信号のラッチ回路13のラッチ指示信号を生成し、デジタイズされた信号をラッチする。

40

【0020】

(作用・効果)

図2は、A/D変換回路11の作用効果、つまりサンプルホールド部を備えていないことによるメリットを説明するための図で、(a)は図示しない定電圧電源装置の電圧測定信号(測定入力電圧)3を示し、(b)及び(c)は各比較器Oの出力例を示す図である。(a)において、dは電圧測定信号3が高い状態から下がる時の一例であり、この値dが

50

直接各比較器 0 の被測定電圧端子にそれぞれ出力されるが、各比較器 0 の出力を同期してラッチするデータラッチ回路 13 には (b) に示すようなデジタル値がラッチされる。この結果、各比較器 0 の性能のばらつきで電圧測定信号 3 の変化に応じてばらばらになる可能性がある。

【0021】

また (a) において、u は電圧測定信号 3 が低い状態から上がる時の一例であり、この値 u が直接各比較器 0 の被測定電圧端子にそれぞれ出力されるが、各比較器 0 の出力を同期してラッチするデータラッチ回路 13 には (c) に示すようなデジタル値がラッチされる。この結果、各比較器 0 の性能のばらつきで電圧測定信号 3 の変化に応じてばらばらになる可能性がある。このように上に述べた程度の A/D 変換回路 11 の精度のばらつきを許容することで、通常の A/D 変換回路のサンプル時間、デコーダの時間も省けることになる。このことは、サンプルホールド部 201 を備えていないことによるメリットとなる。

【0022】

図 3 は実施形態 1 のメリットである、高速化について説明するための図である。図 3 の実線は、電圧測定信号 3 を示しており、電圧測定信号 3 が図 3 のように変化した場合、確実に “1” となるビット、で示すように各比較器 0 の特性により “1” か “0” と定まらない所謂不定となるビットがある。このことを例えば “1” を示す最上位のビットをもってその電圧値として採用する、或いは最下位ビットから “1” が連続する信号のみを有意とみなす処理、あるいは各比較器 0 の遅れ特性を予め測定することで得られる情報からそのビット信号を補正する処理を記憶装置の後段に設けることで目的の精度を十分に満足し、かつ高速化が実現できる。

【0023】

以上述べた電圧信号検出器によれば、A/D 変換に要する実行時間を短くでき、全体を小型化できる。また、A/D 変換回路 11 には図 7 に示すサンプルホールド部 201 及びエンコーダ部 203 を備えていないことから、回路が単純になり、精度は落ちるが回路部が単純になり高速な変換が可能である。実施形態では電圧を 8 分割しており、またメモリも 8 ビットメモリを想定しているが、電圧を 16 分割やそれ以上としメモリも 16 ビット対応やメモリバンクを分けて設けるなどでその精度を上げて実現してもよい。

【0024】

なお、図 1 ではクロック発生器 12、整形回路 10、記録装置例えばメモリ 14、書き込み回路 15 を備えており、これら全てを含めて異常電圧監視装置を構成している。

【0025】

この異常電圧監視装置によれば、前述した電圧信号検出器を備えているので、データラッチ回路 13 において同期してラッチされた信号はそれぞれ後段のメモリ書き込み回路部 15 にてメモリ 14 に書きこまれる。この結果、定電圧電源の出力に影響する頻度の少ない瞬時ノイズの影響を長期監視できる。

【0026】

また、電池駆動の小型で高速な監視装置が実現可能である。さらに、この小型監視装置を一つの電子装置だけでなく、多数の電子装置に配置することによりその設置場所の電気的環境全体を監視測定することも可能となる。

【0027】

[実施形態 2]

(構成)

図 4 を用いて実施形態 2 を説明する。図 1 と異なる点は、クロック発生器 12 からのクロック信号を入力し、メモリ 14 に対してアドレスを与えるインクリメントカウンタ 21 によるアドレス発生回路部を付加した点であり、これ以外は図と同じであるので、同一部分には同一符号を付してその説明を省略する。

【0028】

(作用)

実施形態 1 にてラッチされたデジタイズ信号をメモリ 14 に書き込む際のアドレスは、

10

20

30

40

50

インクリメントカウンタ 21 によるアドレス発生回路部で行う。この仕組みは、データラッチに用いるクロック発生器 12 からのクロック信号を単純にインクリメントして得られる信号である。クロック発生器 12 からのクロック信号を整形回路 9 で整形することで 14 のメモリ 14 への書き込む際の書き込み信号を作成する。

【0029】

(効果)

実施形態 2 によれば、単純なインクリメントカウンタ 21 にてアドレス発生器を構成していること、およびメモリ 14 への書き込みもデータラッチの直後に行えるため書き込み速度を高速にできる。また、この場合、クロックカウンタのビット長で、生成されるアドレスで決定されるサイズにまで制限でき、メモリ使用量を少なくできる。

10

【0030】

なお、この例ではメモリ 14 への書き込みを A/D 変換回路 11 から直列に構成される一段のメモリバンクとしているが、メモリ書き込みの速度を改善するため A/D 変換データのラッチ回路 13 以降を並列に複数個設け、どのラッチ回路のデータをどのバンクに書き込むかを区別しながら並行して行ってもよい。

【0031】

[実施形態 3]

(構成)

図 5 を用いて実施形態 3 を説明するが、図 1 及び図 4 と同一部分には同じ符号を付してその説明を省略する。比較器 0 のうち分圧回路の終端にある比較器 08 の出力である、最低異常電圧の検出信号を取り込み、この異常電圧の検出信号の立ち上げ後一定時間のみ比較器 08 のデータを記録装置例えばメモリ 14 に書き込む信号を有効にするオフディレイタイマ 31 を設けた点異なる。それ以外の同一部分には同一符号を付してその説明を省略する。

20

【0032】

(作用)

実施形態 3 によれば、A/D 変換回路 11 の一番下の比較器 08 の出力を異常電圧の検出信号とみなし、この信号のオン後、オフディレイタイマ 31 により一定時間のみメモリ 14 への書き込み信号が有効となる。

【0033】

(効果)

実施形態 3 によれば、前述の実施形態 2 に対し、メモリ 14 への書き込みを更に制限できる。

30

【0034】

以上述べた実施形態 3 は、次のように変形してもよい。すなわち、オフディレイタイマ 31 の動作は、比較器 0 の出力のうち 08 の出力に限らず他の比較器 01、02、03、04、05、06、07 の出力を異常とみなした異常検出信号が出力されてから一定時間の間比較器のデータを記録装置例えばメモリ 14 に書き込む信号を有効にするようにしてもよい。

【0035】

[実施形態 4]

(構成)

図 6 を用いて本発明の実施形態 4 を説明するが、図 1、図 4、図 5 と同一部分には同一符号を付してその説明を省略する。記録装置例えばメモリ 14 への書き込みは、図示されていないデータ読み出し回路部からのデータ読み出し状態を示す信号(読み出し中信号) 41 があるとき行えないようにしたものである。このため、データラッチ回路 13 と、オフディレイタイマ 31 とインクリメントカウンタ 21 との間、オフディレイタイマ 31 とメモリ 14 との間、データ読み出し中信号ラインとの間に、1 反転入力端子を有する論理積回路 7、6、8 をそれぞれ設けたものである。

40

【0036】

50

なお、この構成は前述した実施形態 1、2、3 のいずれか一つに適用してもよい。

【0037】

(作用)

図示されていないデータ読み出し回路部が動作している間、データ読み出し中信号 4 1 によりカウンタ 2 1、データラッチ回路 1 3、データ書き込みが有効とならない。

【0038】

(効果)

実施形態 4 によれば、データ読み出し中に動作する必要がないため、回路が簡単になり高速化が可能となる。

【0039】

10

[変形例]

前述の実施形態で使用した比較器 0 は、オペアンプ又は比較器のいずれであってもよい。

【0040】

前述の実施形態では、異常信号の取り出しを、終端側にある比較器 0 8 の出力 (最低値) から行ったが、これに限らず他の比較器 0 1、0 2、0 3、0 4、0 5、0 6、0 7 の出力であってもよい。

【図面の簡単な説明】

【0041】

【図 1】本発明の電圧信号検出器及び異常電圧監視装置の実施形態 1 を説明するためのブロック図。 20

【図 2】図 1 の作用効果を説明するための図。

【図 3】図 1 の作用効果を説明するための図。

【図 4】本発明の異常電圧監視装置の実施形態 2 を説明するためのブロック図。

【図 5】本発明の異常電圧監視装置の実施形態 3 を説明するためのブロック図。

【図 6】本発明の異常電圧監視装置の実施形態 4 を説明するためのブロック図。

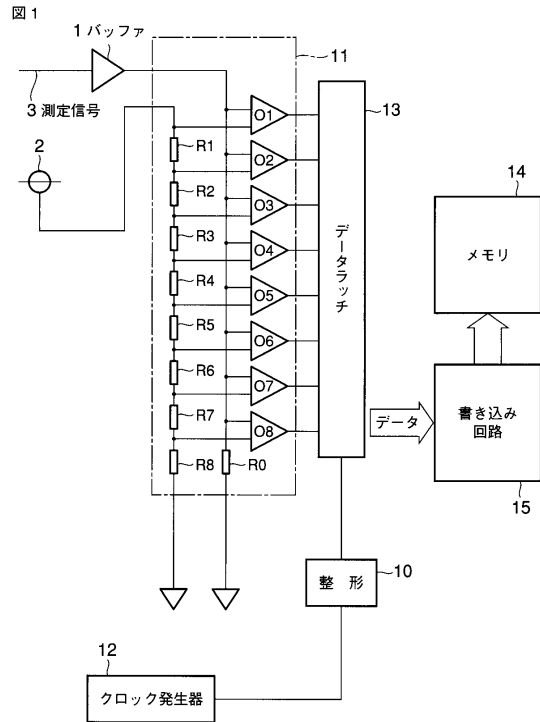
【図 7】従来の異常電圧監視装置の概略構成を示すブロック図。

【符号の説明】

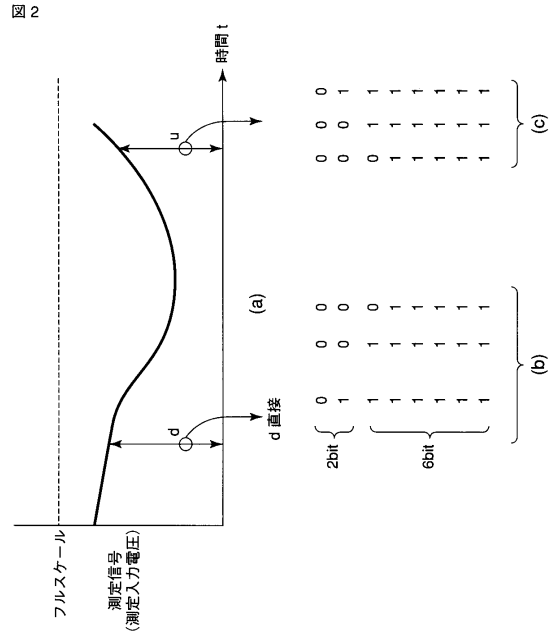
【0042】

1 ... バッファ、2 ... 基準電圧発生器、6、7、8 ... 論理積回路、9 ... 整形回路、10 ... 整形回路、11 ... A/D 変換回路、12 ... クロック発生器、13 ... データラッチ回路、14 ... メモリ、15 ... 書き込み回路、21 ... インクリメントカウンタ、31 ... オフディレイタイマ、200 ... A/D 変換器、201 a ... 入力バッファ、201 b ... サンプリングスイッチ、201 c ... ホールドキャパシタ、201 ... サンプルホールド部、202 ... A/D 変換部、203 ... エンコーダ部、204 ... A/D シーケンスコントローラ、205 ... 記憶装置。 30

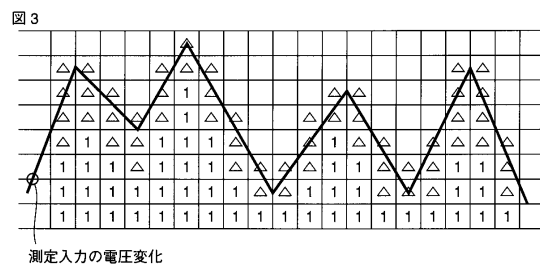
【図 1】



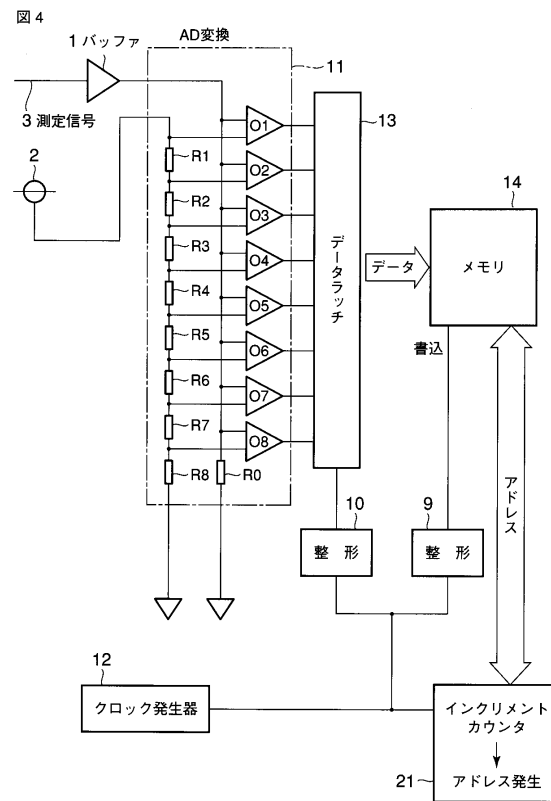
【図 2】



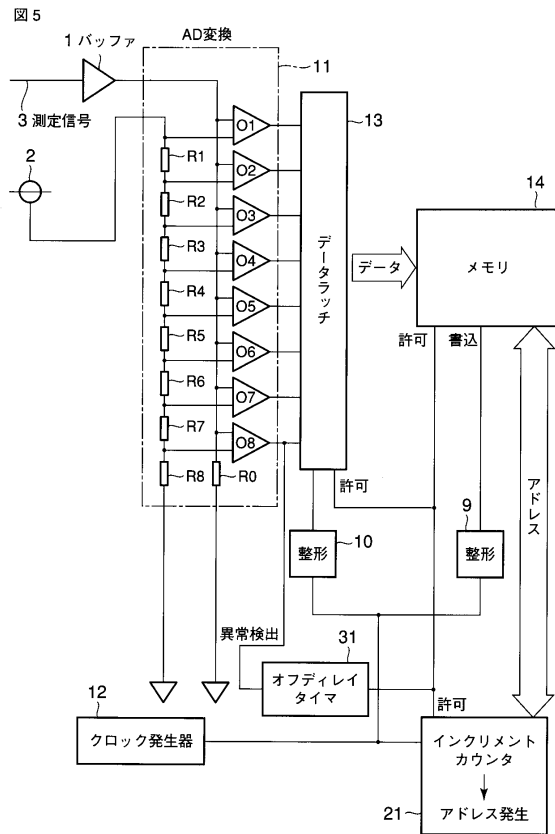
【図 3】



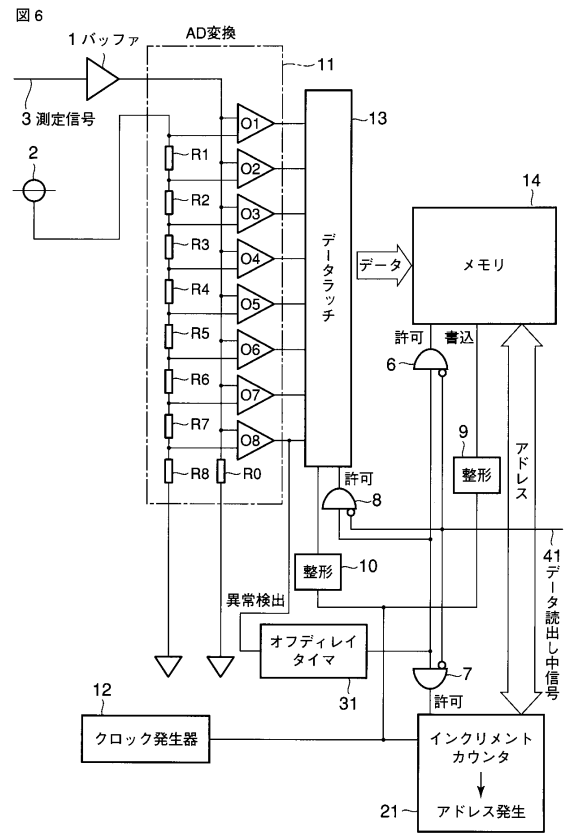
【図 4】



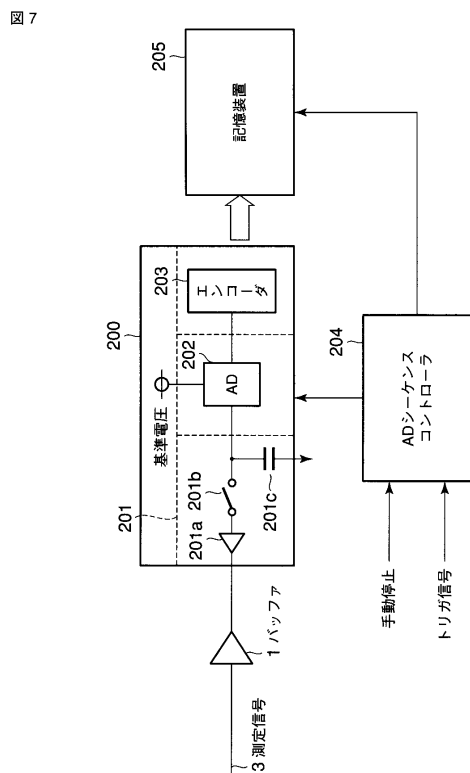
【 図 5 】



【 図 6 】



【圖 7】



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 松田 茂彦

東京都港区三田三丁目 1 3 番 1 6 号 東芝三菱電機産業システム株式会社内

審査官 吉岡 一也

(56)参考文献 特開平 0 7 - 0 3 0 4 2 3 (J P , A)

特開昭 6 1 - 1 2 0 5 2 0 (J P , A)

特開 2 0 0 2 - 0 9 0 3 9 7 (J P , A)

特開平 1 0 - 0 4 1 8 2 2 (J P , A)

特開平 0 7 - 1 7 7 0 3 5 (J P , A)

特開昭 6 0 - 2 4 5 5 5 9 (J P , A)

実開平 0 1 - 1 5 4 4 7 1 (J P , U)

(58)調査した分野(Int.Cl. , D B 名)

G 0 1 R 1 9 / 0 0