



(12) 发明专利申请

(10) 申请公布号 CN 118696612 A

(43) 申请公布日 2024. 09. 24

(21) 申请号 202380021550.9

(22) 申请日 2023.02.08

(30) 优先权数据

2022-023944 2022.02.18 JP

(85) PCT国际申请进入国家阶段日

2024.08.13

(86) PCT国际申请的申请数据

PCT/IB2023/051094 2023.02.08

(87) PCT国际申请的公布数据

W02023/156883 JA 2023.08.24

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 大贯达也 加藤清

国武宽司 方堂凉太

(74) 专利代理机构 上海专利商标事务所有限公司 31100

专利代理师 胡秋瑾 宋俊寅

(51) Int. Cl.

H10B 12/00 (2006.01)

H01L 21/8234 (2006.01)

H01L 27/06 (2006.01)

H01L 27/088 (2006.01)

H01L 29/786 (2006.01)

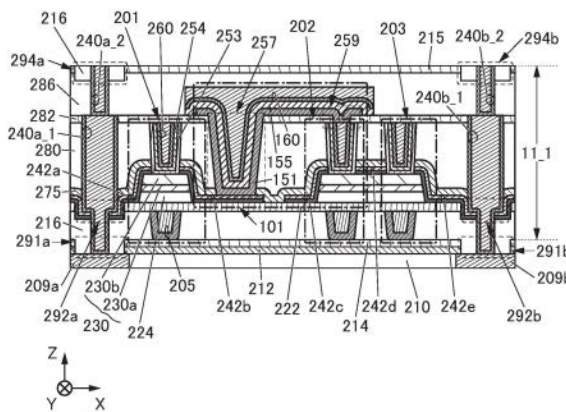
权利要求书3页 说明书52页 附图41页

(54) 发明名称

半导体装置以及半导体装置的制造方法

(57) 摘要

提供一种可以实现微型化或高集成化的半导体装置。半导体装置包括具有第一至第三晶体管及电容器的存储单元。第二及第三晶体管共用金属氧化物。在第一晶体管与第二晶体管间设置电容器。用作第一晶体管的源极或漏极的电极上设置有绝缘体,该绝缘体包括到达电极的开口。该开口内部设置有电容器。电容器的一个电极在开口内部具有与第一晶体管的源电极和漏电极中的另一个接触的区域。另外,电容器的一个电极具有与第二晶体管的栅电极接触的区域。



1. 一种半导体装置,包括:
 - 第一晶体管;
 - 第二晶体管;
 - 第三晶体管;
 - 电容器;以及
 - 第一绝缘体,其中,所述第一晶体管包括第一金属氧化物、第二绝缘体、第一导电体及第二导电体,所述第二晶体管包括第二金属氧化物、第三绝缘体、第三导电体及第四导电体,所述第三晶体管包括所述第二金属氧化物、第四绝缘体、所述第四导电体及第五导电体,
所述电容器包括第六导电体、第五绝缘体及第七导电体,
所述第二绝缘体设置在所述第一金属氧化物上,
所述第一导电体设置在所述第二绝缘体上,
所述第二导电体以与所述第一金属氧化物电连接的方式设置在所述第一金属氧化物上,
所述第三绝缘体及所述第四绝缘体设置在所述第二金属氧化物上,
在所述第三绝缘体上设置所述第三导电体,
在所述第四绝缘体上设置所述第五导电体,
在所述第三绝缘体与所述第四绝缘体间以与所述第二金属氧化物电连接的方式设置所述第四导电体,
在所述第二导电体上设置所述第一绝缘体,
所述第六导电体具有与所述第一绝缘体的侧面及所述第二导电体的顶面接触的区域,
所述第六导电体与所述第三导电体电连接,
所述第五绝缘体设置在所述第六导电体上,
所述第七导电体设置在所述第五绝缘体上,
并且,所述第七导电体具有位于所述第一绝缘体的顶面的下方的区域。
2. 根据权利要求1所述的半导体装置,还包括:
 - 第八导电体,其中所述第一晶体管包括第九导电体,
所述第九导电体覆盖所述第一金属氧化物的顶面及侧面的一部分,
所述第二绝缘体设置在所述第二导电体与所述第九导电体间,
并且所述第八导电体具有与所述第九导电体的侧面接触的区域。
3. 根据权利要求2所述的半导体装置,
 - 其中所述第一绝缘体设置在所述第九导电体上,所述第八导电体具有与所述第一绝缘体的侧面接触的区域,
并且在所述第八导电体中,在从截面看时,与所述第一绝缘体的侧面接触的区域宽度的至少一部分大于与所述第九导电体的侧面接触的区域宽度的至少一部分。
4. 根据权利要求3所述的半导体装置,还包括:
 - 第六绝缘体;以及

- 第七绝缘体，
其中所述第七绝缘体覆盖所述第六绝缘体的顶面及侧面的至少一部分，
所述第一金属氧化物、所述第二金属氧化物及所述第九导电体设置在所述第七绝缘体上，
并且所述第八导电体具有与所述第七绝缘体的侧面接触的区域。
5. 根据权利要求4所述的半导体装置，
其中所述第一晶体管包括第十导电体及第八绝缘体，
所述第二晶体管包括第十一导电体及第九绝缘体，
所述第三晶体管包括第十二导电体及所述第九绝缘体，
所述第十至第十二导电体以具有与所述第七绝缘体的侧面接触的区域的方式设置在所述第六绝缘体上，
所述第十导电体具有与所述第一导电体重叠的区域，
所述第十一导电体具有与所述第三导电体重叠的区域，
所述第十二导电体具有与所述第五导电体重叠的区域，
所述第八绝缘体设置在所述第十导电体与所述第一金属氧化物间，
并且所述第九绝缘体设置在所述第十一及第十二导电体与所述第二金属氧化物间。
6. 根据权利要求1至5中任一项所述的半导体装置，还包括：
第十绝缘体，
其中所述第一绝缘体设置在所述第四导电体上，
所述第十绝缘体设置在所述第一绝缘体上并具有位于所述第一绝缘体与所述第六导电体间的区域，
所述第十绝缘体包括到达所述第四导电体的开口，
并且所述第六导电体具有设置在所述开口内部的区域。
7. 根据权利要求6所述的半导体装置，
其中所述第六导电体具有与所述第十绝缘体的顶面及侧面接触的区域。
8. 根据权利要求1至5中任一项所述的半导体装置，
其中所述第一金属氧化物及所述第二金属氧化物包含选自铟、锌、镓、铝和锡中的一个或多个。
9. 一种半导体装置的制造方法，包括如下步骤：
形成第一金属氧化物及第二金属氧化物；
形成所述第一金属氧化物上的第一导电层及所述第二金属氧化物上的第二导电层；
在所述第一导电层及所述第二导电层上形成第一绝缘体；
在所述第一绝缘体及所述第一导电层中形成到达所述第一金属氧化物的第一开口来形成第一导电体及第二导电体，且在所述第一绝缘体及所述第二导电层中形成到达所述第二金属氧化物的第二开口及第三开口来形成第三导电体、第四导电体及第五导电体；
在所述第一开口内部形成第二绝缘体及所述第二绝缘体上的第六导电体，在所述第二开口内部形成第三绝缘体及所述第三绝缘体上的第七导电体，在所述第三开口内部形成第四绝缘体及所述第四绝缘体上的第八导电体；
在所述第一至第四绝缘体及所述第六至第八导电体上形成第五绝缘体；

在所述第一绝缘体及所述第五绝缘体中形成到达所述第二导电体的第四开口,在所述第五绝缘体中形成到达所述第七导电体的第五开口;

在所述第四开口内部及所述第五开口内部形成第九导电体;以及

在所述第九导电体上形成第六绝缘体、所述第六绝缘体上的第十导电体。

10. 根据权利要求9所述的半导体装置的制造方法,

其中以覆盖所述第一金属氧化物的顶面及侧面的方式形成所述第一导电层,且以覆盖所述第二金属氧化物的顶面及侧面的方式形成所述第二导电层,

在形成所述第五绝缘体之后,在所述第五绝缘体及所述第一绝缘体中形成第六开口来使所述第一导电体的侧面露出,

并且在所述第六开口内部以具有与所述第一导电体的侧面接触的区域的方式形成第十一导电体。

11. 根据权利要求10所述的半导体装置的制造方法,

其中通过所述第六开口的形成而露出的所述第一导电体的侧面在从截面看时与所述第一绝缘体的侧面相比位于所述第六开口的内侧。

12. 根据权利要求10或11所述的半导体装置的制造方法,还包括如下步骤:

形成第七绝缘体;

在所述第七绝缘体中形成第七开口;

以覆盖所述第七开口的方式形成第八绝缘体;

在所述第八绝缘体上形成所述第一金属氧化物、所述第二金属氧化物;以及

以具有与所述第一开口重叠的区域的方式在所述第八绝缘体中形成所述第六开口。

13. 根据权利要求12所述的半导体装置的制造方法,还包括如下步骤:

在形成所述第八绝缘体之后,在所述第八绝缘体中形成到达所述第七绝缘体的第八开口、第九开口及第十开口;

在所述第八开口内部形成第十二导电体,在所述第九开口内部形成第十三导电体,在所述第十开口内部形成第十四导电体;

在所述第十二导电体上形成第九绝缘体及所述第九绝缘体上的所述第一金属氧化物,在所述第十三及第十四导电体上形成第十绝缘体及所述第十绝缘体上的所述第二金属氧化物;

以覆盖所述第九绝缘体的侧面的方式形成所述第一导电层,以覆盖所述第十绝缘体的侧面的方式形成所述第二导电层;以及

以具有与所述第十二导电体重叠的区域的方式形成所述第一开口,以具有与所述第十三导电体重叠的区域的方式形成所述第二开口,以具有与所述第十四导电体重叠的区域的方式形成所述第三开口。

半导体装置以及半导体装置的制造方法

技术领域

[0001] 本发明的一个方式涉及一种半导体装置、存储装置及电子设备。此外,本发明的一个方式涉及一种半导体装置的制造方法。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本发明的一个方式的技术领域的例子,可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、电子设备、照明装置、输入装置(例如,触摸传感器)、输入输出装置(例如,触摸面板)、它们的驱动方法或它们的制造方法。

[0003] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外,半导体电路、运算装置及存储装置也是半导体装置的一个方式。有时可以说显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置及电子设备等包括半导体装置。

背景技术

[0004] 近年来,已在开发LSI(Large Scale Integration:大规模集成电路)、CPU(Central Processing Unit:中央处理器)、存储器(存储装置)等半导体装置。将这些半导体装置用于计算机、便携式信息终端等各种电子设备。此外,已在根据执行运算处理时的暂时存储、数据的长期存储等用途开发各种存储方式的存储器。作为典型存储方式的存储器,例如可以举出DRAM(Dynamic Random Access Memory:动态随机存取存储器)、SRAM(Static Random Access Memory:静态随机存取存储器)以及闪存。

[0005] 此外,随着使用数据量的增大,需要具有更大存储容量的半导体装置。专利文献1及非专利文献1公开通过层叠晶体管而形成的存储单元。

[先行技术文献]

[专利文献]

[0006] [专利文献1]国际专利申请公开第2021/053473号

[非专利文献]

[0007] [非专利文献1]M.Oota et.al,“3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”,IEDM Tech.Dig.,2019,pp.50-53

发明内容

发明所要解决的技术问题

[0008] 本发明的一个方式的目的之一是提供一种能够实现微型化或高集成化的半导体装置。本发明的一个方式的目的之一是提供一种工作速度快的半导体装置。本发明的一个方式的目的之一是提供一种具有良好的电特性的半导体装置。本发明的一个方式的目的之一是提供一种晶体管的电特性不均匀小的半导体装置。本发明的一个方式的目的之一是提供一种可靠性高的半导体装置。本发明的一个方式的目的之一是提供一种通态电流(on-state current)大的半导体装置。本发明的一个方式的目的之一是提供一种功耗低的半导

体装置。本发明的一个方式的目的之一是提供一种新颖的半导体装置。

[0009] 本发明的一个方式的目的之一是提供一种工序数少的半导体装置的制造方法。

[0010] 本发明的一个方式的目的之一是提供一种存储容量大的存储装置。本发明的一个方式的目的之一是提供一种占有面积小的存储装置。本发明的一个方式的目的之一是提供一种可靠性高的存储装置。本发明的一个方式的目的之一是提供一种功耗低的存储装置。本发明的一个方式的目的之一是提供一种新颖的存储装置。

[0011] 注意,这些目的的记载不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。可以从说明书、附图、权利要求书的记载中抽取上述目的以外的目的。

解决技术问题的手段

[0012] 本发明的一个方式是一种半导体装置,该半导体装置包括第一晶体管、第二晶体管、第三晶体管、电容器及第一绝缘体,其中,第一晶体管包括第一金属氧化物、第二绝缘体、第一导电体及第二导电体,第二晶体管包括第二金属氧化物、第三绝缘体、第三导电体及第四导电体,第三晶体管包括第二金属氧化物、第四绝缘体、第四导电体及第五导电体,电容器包括第六导电体、第五绝缘体及第七导电体,第二绝缘体设置在第一金属氧化物上,第一导电体设置在第二绝缘体上,第二导电体以与第一金属氧化物电连接的方式设置在第一金属氧化物上,第三绝缘体及第四绝缘体设置在第二金属氧化物上,在第三绝缘体上设置第三导电体,在第四绝缘体上设置第五导电体,在第三绝缘体与第四绝缘体间以与第二金属氧化物电连接的方式设置第四导电体,在第二导电体上设置第一绝缘体,第六导电体具有与第一绝缘体的侧面及第二导电体的顶面接触的区域,第六导电体与第三导电体电连接,第五绝缘体设置在第六导电体上,第七导电体设置在第五绝缘体上,并且,第七导电体位于第一绝缘体的顶面的下方。

[0013] 另外,在上述方式中,半导体装置也可以包括第八导电体,第一晶体管也可以包括第九导电体,第九导电体也可以覆盖第一金属氧化物的顶面及侧面的一部分,第二绝缘体也可以设置在第二导电体与第九导电体间,并且第八导电体也可以具有与第九导电体的侧面接触的区域。

[0014] 另外,在上述方式中,第一绝缘体也可以设置在第九导电体上,第八导电体也可以具有与第一绝缘体的侧面接触的区域,并且从截面看时第八导电体中的与第一绝缘体的侧面接触的区域宽度的至少一部分也可以大于与第九导电体的侧面接触的区域宽度的至少一部分。

[0015] 另外,在上述方式中,半导体装置也可以包括第六绝缘体及第七绝缘体,第七绝缘体也可以覆盖第六绝缘体的顶面及侧面的至少一部分,第一金属氧化物、第二金属氧化物及第九导电体也可以设置在第七绝缘体上,并且第八导电体也可以具有与第七绝缘体的侧面接触的区域。

[0016] 另外,在上述方式中,第一晶体管也可以包括第十导电体及第八绝缘体,第二晶体管也可以包括第十一导电体及第九绝缘体,第三晶体管也可以包括第十二导电体及第九绝缘体,第十至第十二导电体也可以以具有与第七绝缘体的侧面接触的区域的方式设置在第六绝缘体上,第十导电体也可以具有与第一导电体重叠的区域,第十一导电体也可以具有与第三导电体重叠的区域,第十二导电体也可以具有与第五导电体重叠的区域,第八绝缘体也可以设置在第十导电体与第一金属氧化物间,并且第九绝缘体也可以设置在第十一及

第十二导电体与第二金属氧化物间。

[0017] 另外,在上述方式中,半导体装置也可以包括第十绝缘体,第一绝缘体也可以设置在第四导电体上,第十绝缘体也可以设置在第一绝缘体上并具有位于第一绝缘体与第六导电体间的区域,第十绝缘体也可以包括到达第四导电体的开口,并且第六导电体也可以设置在开口内部。

[0018] 另外,在上述方式中,第六导电体也可以具有与第十绝缘体的顶面及侧面接触的区域。

[0019] 另外,在上述方式中,第一金属氧化物及第二金属氧化物也可以包含选自铟、锌、镓、铝和锡中的一个或多个。

[0020] 另外,本发明的一个方式是一种半导体装置的制造方法,包括如下步骤:形成第一金属氧化物及第二金属氧化物;形成第一金属氧化物上的第一导电层及第二金属氧化物上的第二导电层;在第一导电层及第二导电层上形成第一绝缘体;在第一绝缘体及第一导电层中形成到达第一金属氧化物的第一开口来形成第一导电体及第二导电体,且在第一绝缘体及第二导电层中形成到达第二金属氧化物的第二开口及第三开口来形成第三导电体、第四导电体及第五导电体;在第一开口内部形成第二绝缘体及第二绝缘体上的第六导电体,在第二开口内部形成第三绝缘体及第三绝缘体上的第七导电体,在第三开口内部形成第四绝缘体及第四绝缘体上的第八导电体;在第一至第四绝缘体及第六至第八导电体上形成第五绝缘体;在第一绝缘体及第五绝缘体中形成到达第二导电体的第四开口,在第五绝缘体中形成到达第七导电体的第五开口;在第四开口内部及第五开口内部形成第九导电体;以及在第九导电体上形成第六绝缘体、第六绝缘体上的第十导电体。

[0021] 另外,在上述方式中,也可以还包括如下步骤:以覆盖第一金属氧化物的顶面及侧面的方式形成第一导电层,且以覆盖第二金属氧化物的顶面及侧面的方式形成第二导电层;在形成第五绝缘体之后在第五绝缘体及第一绝缘体中形成第六开口来使第一导电体的侧面露出;以及以在第六开口内部具有与第一导电体的侧面接触的区域的方式形成第十一导电体。

[0022] 另外,在上述方式中,由于第六开口的形成而露出的第一导电体的侧面也可以在从截面看时与第一绝缘体的侧面相比位于第六开口的内侧。

[0023] 另外,在上述方式中,也可以还包括如下步骤:形成第七绝缘体;在第七绝缘体中形成第七开口;以覆盖第七开口的方式形成第八绝缘体;在第八绝缘体上形成第一金属氧化物、第二金属氧化物;以及以具有与第一开口重叠的区域的方式在第八绝缘体中形成第六开口。

[0024] 另外,在上述方式中,也可以还包括如下步骤:在形成第八绝缘体之后,在第八绝缘体中形成到达第七绝缘体的第八开口、第九开口及第十开口;在第八开口内部形成第十二导电体,在第九开口内部形成第十三导电体,在第十开口内部形成第十四导电体;在第十二导电体上形成第九绝缘体及第九绝缘体上的第一金属氧化物,在第十三及第十四导电体上形成第十绝缘体及第十绝缘体上的第二金属氧化物;以覆盖第九绝缘体的侧面的方式形成第一导电层,以覆盖第十绝缘体的侧面的方式形成第二导电层;以及以具有与第十二导电体重叠的区域的方式形成第一开口,以具有与第十三导电体重叠的区域的方式形成第二开口,以具有与第十四导电体重叠的区域的方式形成第三开口。

发明效果

[0025] 根据本发明的一个方式,可以提供一种能够实现微型化或高集成化的半导体装置。根据本发明的一个方式,可以提供一种工作速度快的半导体装置。根据本发明的一个方式,可以提供一种具有良好的电特性的半导体装置。根据本发明的一个方式,可以提供一种晶体管的电特性不均匀小的半导体装置。根据本发明的一个方式,可以提供一种可靠性高的半导体装置。根据本发明的一个方式,可以提供一种通态电流大的半导体装置。根据本发明的一个方式,可以提供一种功耗低的半导体装置。根据本发明的一个方式,可以提供一种新颖的半导体装置。

[0026] 根据本发明的一个方式,可以提供一种工序数少的半导体装置的制造方法。

[0027] 根据本发明的一个方式,可以提供一种存储容量大的存储装置。根据本发明的一个方式,可以提供一种占有面积小的存储装置。根据本发明的一个方式,可以提供一种可靠性高的存储装置。根据本发明的一个方式,可以提供一种功耗低的存储装置。根据本发明的一个方式,可以提供一种新颖的存储装置。

[0028] 注意,这些效果的记载不妨碍其他效果的存在。本发明的一个方式并不需要具有所有上述效果。可以从说明书、附图、权利要求书的记载中抽取上述效果以外的效果。

附图简要说明

[0029] 图1是示出半导体装置的结构例子的截面图。

图2A是示出半导体装置的结构例子的截面图。图2B是示出晶体管的结构例子的截面图。

图3是示出半导体装置的结构例子的截面图。

图4是示出半导体装置的结构例子的截面图。

图5是示出半导体装置的结构例子的截面图。

图6是示出半导体装置的结构例子的截面图。

图7是示出半导体装置的结构例子的截面图。

图8是示出半导体装置的结构例子的截面图。

图9A及图9B是示出半导体装置的结构例子的平面图。

图10A及图10B是示出半导体装置的结构例子的平面图。

图11A至图11G是示出半导体装置的制造方法的一个例子的截面图。

图12A至图12C是示出半导体装置的制造方法的一个例子的截面图。

图13A至图13C是示出半导体装置的制造方法的一个例子的截面图。

图14A及图14B是示出半导体装置的制造方法的一个例子的截面图。

图15A及图15B是示出半导体装置的制造方法的一个例子的截面图。

图16A及图16B是示出半导体装置的制造方法的一个例子的截面图。

图17是示出半导体装置的制造方法的一个例子的截面图。

图18A至图18D是示出半导体装置的制造方法的一个例子的截面图。

图19A及图19B是示出半导体装置的制造方法的一个例子的截面图。

图20A及图20B是示出存储装置的一个例子的图。

图21A及图21B是示出存储层的一个例子的电路图。

图22是说明存储单元的工作例子的时序图。

图23A及图23B是说明存储单元的工作例子的电路图。

图24A及图24B是说明存储单元的工作例子的电路图。

图25是示出半导体装置的结构例子的电路图。

图26A及图26B是示出半导体装置的一个例子的图。

图27A及图27B是示出电子构件的一个例子的图。

图28A至图28J是示出电子设备的一个例子的图。

图29A至图29E是示出电子设备的一个例子的图。

图30A至图30C是示出电子设备的一个例子的图。

图31是示出太空设备的一个例子的图。

实施发明的方式

[0030] 参照附图对实施方式进行详细说明。注意,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0031] 在以下说明的发明的结构中,有时使用同一符号显示同一构成要素、具有相同功能的构成要素、由同一材料形成的构成要素或者同时形成的构成要素等,并且有时省略重复说明。在此,有时由同一符号显示的两个构成要素彼此分离。例如,在使用同一符号显示两个导电体的情况下,也有时这些两个导电体彼此分离。此外,有时使用相同的阴影线显示同一构成要素、具有相同功能的构成要素、由同一材料形成的构成要素或者同时形成的构成要素等,并且有时适当地省略符号。例如,为了避免在一个附图中使用两个以上的同一符号而有时省略符号。

[0032] 此外,为了便于理解,有时附图中示出的各构成要素的位置、大小及范围等并不显示其实际的位置、大小及范围等。因此,所公开的发明不一定局限于附图所公开的位置、大小及范围等。

[0033] 在本说明书等中,为方便起见,使用“第一”、“第二”等序数词,而这种序数词并不限定构成要素的个数或构成要素的顺序(例如,工序顺序或叠层顺序)。此外,有时本说明书的一个部分中对构成要素附加的序数词与本说明书的另一部分或权利要求书中对该构成要素附加的序数词不一致。

[0034] 此外,根据情况或状态,可以互相调换“膜”和“层”。例如,可以将“导电层”变换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”。

[0035] 在本说明书等中,为了方便起见,有时使用“上”、“下”、“上方”或“下方”等显示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各结构的方向适当地改变。因此,不局限于本说明书等中说明的词句,根据情况可以适当地换词句。例如,如果是“位于导电体上的绝缘体”的表述,通过将所示的附图的方向旋转180度,则可以称为“位于导电体下的绝缘体”。

[0036] (实施方式1)

在本实施方式中,参照附图对本发明的一个方式的半导体装置进行说明。

[0037] 本发明的一个方式涉及一种在衬底上设置有存储层的半导体装置。存储层包括第一晶体管、第二晶体管、第三晶体管以及电容器,由此可以构成存储单元。本发明的一个方

式的半导体装置包括存储单元,由此具有存储数据的功能。因此,本发明的一个方式的半导体装置可以被称为存储装置。

[0038] 第一晶体管包括第一金属氧化物、覆盖第一金属氧化物的顶面及侧面的一部分的第一及第二导电体、设置在第一导电体与第二导电体之间的第一绝缘体以及第一绝缘体上的第三导电体。第二晶体管包括第二金属氧化物、覆盖第二金属氧化物的顶面及侧面的一部分的第四导电体、覆盖第二金属氧化物的顶面的一部分的第五导电体、设置在第四导电体与第五导电体之间的第二绝缘体以及第二绝缘体上的第六导电体。第三晶体管包括第二金属氧化物、第五导电体、覆盖第二金属氧化物的顶面的一部分的第七导电体、设置在第五导电体与第七导电体之间的第三绝缘体以及第二绝缘体上的第八导电体。也就是说,第二晶体管 and 第三晶体管共用第二金属氧化物及第五导电体。

[0039] 第一金属氧化物包括用作第一晶体管的沟道形成区域的区域。第一导电体包括用作第一晶体管的源电极和漏电极中的一个的区域。第二导电体包括用作第一晶体管的源电极和漏电极中的另一个的区域。第三导电体包括用作第一晶体管的栅电极的区域。第一绝缘体包括用作第一晶体管的栅极绝缘体的区域。

[0040] 第二金属氧化物包括用作第二晶体管的沟道形成区域的区域及用作第三晶体管的沟道形成区域的区域。第四导电体包括用作第二晶体管的源电极和漏电极中的一个的区域。第五导电体包括用作第二晶体管的源电极和漏电极中的另一个及第三晶体管的源电极和漏电极中的一个的区域。第六导电体包括用作第二晶体管的栅电极的区域。第七导电体包括用作第三晶体管的源电极和漏电极中的另一个的区域。第八导电体包括用作第三晶体管的栅电极的区域。第二绝缘体包括用作第二晶体管的栅极绝缘体的区域。第三绝缘体包括用作第三晶体管的栅极绝缘体的区域。

[0041] 第二晶体管与第三晶体管相邻,并共用第二金属氧化物及第五导电体,由此可以在小于两个晶体管的面积的面积,例如,1.5个晶体管的面积的范围形成两个晶体管。由此,可以以高密度配置晶体管,从而可以实现半导体装置中的高集成化。

[0042] 本发明的一个方式的半导体装置包括在沟道形成区域中包含金属氧化物的晶体管(0S晶体管)。由于0S晶体管的关态电流小,所以通过将0S晶体管用于可以被用作存储装置的半导体装置,可以长期间保持存储内容。也就是说,不需要刷新工作或者刷新工作的频率极低,所以可以充分降低半导体装置的功耗。此外,由于0S晶体管的频率特性高,所以半导体装置可以以高速进行数据读出及写入。

[0043] 在本发明的一个方式的半导体装置中,层叠有具有上述结构的多个存储层。也就是说,例如沿着垂直于衬底面的方向设置具有上述结构的多个存储层。由此,与设置一层存储层的情况相比,可以增加半导体装置的存储容量而不增加存储单元的占有面积。因此,可以减少每一位的占有面积,从而可以实现小型的具有大存储容量的半导体装置。

[0044] 在层叠多个存储层的情况下,例如可以沿着垂直于衬底面的方向设置位线。例如,通过以贯穿存储层的方式设置开口并在该开口内部形成导电体,可以形成位线。在此,本发明的一个方式的半导体装置包括第一位线及第二位线,其中以包括与第一导电体的顶面及侧面接触的区域的方式设置包括用作第一位线的区域的导电体。此外,以包括与第七导电体的顶面及侧面接触的区域的方式设置包括被用作第二位线的区域的导电体。通过采用这种结构,不需要另外设置第一导电体与第一位线间的连接用电极。此外,不需要另外设置第

七导体与第二位线间的连接用电极。如此,本发明的一个方式的半导体装置可以为存储单元的集成度高的半导体装置。

[0045] 此外,在本发明的一个方式的半导体装置中,将数据通过第一位线写入到存储单元。此外,通过第二位线读出保持在存储单元中的数据。如此,第一位线可以被称为写入位线,第二位线可以被称为读出位线。

[0046] <半导体装置的结构例子>

以下说明本发明的一个方式的半导体装置的结构例子。

[0047] 图1是示出本发明的一个方式的半导体装置的结构例子的截面图。图1所示的半导体装置包括:衬底(未图示)上的绝缘体210;嵌入绝缘体210的导体209a及导体209b;绝缘体210上的绝缘体212;绝缘体212上的绝缘体214;绝缘体214上的n个(n为2以上的整数)存储层11(存储层11_1至存储层11_n);设置在存储层11中的导体240a(导体240a_1至导体240a_n)及导体240b(导体240b_1至导体240b_n);以及存储层11_n上的绝缘体185。导体240a与导体209a电连接,例如导体240a_1具有与导体209a接触的区域。导体240b与导体209b电连接,例如导体240b_1具有与导体209b接触的区域。另外,例如导体240a_n的底面可以具有与导体240a_{n-1}的顶面接触的区域,导体240b_n的底面可以具有与导体240b_{n-1}的顶面接触的区域。

[0048] 在此,以贯穿存储层11_1至存储层11_n的方式设置导体240a_1至导体240a_n及导体240b_1至导体240b_n。例如,导体240a_1及导体240b_1设置在存储层11_1中。另外,例如导体240a_2及导体240b_2具有设置在存储层11_1中的区域及设置在存储层11_2中的区域。此外,本实施方式的半导体装置所具有的构成要素各自既可具有单层结构又可具有叠层结构。

[0049] 在本说明书等中,与附图所示的晶体管的沟道长度方向平行的方向为X方向,与附图所示的晶体管的沟道宽度方向平行的方向为Y方向。X方向与Y方向可以彼此垂直。加上,与X方向及Y方向的双方垂直的方向,即与XY面垂直的方向为Z方向。X方向及Y方向例如可为平行于衬底面的方向,Z方向可为垂直于衬底面的方向。

[0050] 以下在说明用英文字母区别的各构成要素间共同的事项的情况下,有时用省略了英文字母的符号进行说明。例如,在说明导体209a与导体209b间共同的事项的情况下,有时记为导体209。

[0051] 在存储层11_1至存储层11_n中各自设置具有多个存储单元的存储单元阵列。存储单元包括晶体管201、晶体管202、晶体管203以及电容器101。在此,关于存储单元的电路结构及驱动方法将在实施方式2中说明。

[0052] 导体240a及导体240b各自包括用作位线的区域。在此,在本发明的一个方式的半导体装置中,将数据通过导体240a写入到存储单元。此外,通过导体240b读出保持在存储单元中的数据。由此可以说:导体240a包括用作写入位线的区域,导体240b包括用作读出位线的区域。

[0053] 导体209a及导体209b被用作如开关、晶体管、电容器、电感器、电阻器以及二极管等电路元件的一部分、布线、电极或端子。

[0054] 图1示出n个存储层11中的最下层的存储层11_1、存储层11_1上的存储层11_2以及最上层的存储层11_n。

[0055] 导电体209a及导电体209b与用来驱动设置在存储层11中的存储单元的驱动电路电连接。该驱动电路设置在导电体209a及导电体209b之下。通过增加存储层11的叠层个数(n的数目),可以增加存储装置的存储容量而不增加存储单元的占有面积。因此,可以减少每一位的占有面积,从而可以实现小型的具有大存储容量的半导体装置。

[0056] 晶体管201、晶体管202、晶体管203及电容器101设置在绝缘体214上。在此,晶体管202与晶体管203共用一部分层。电容器101具有位于晶体管201与晶体管202间的区域。此外,电容器101具有位于晶体管202上的区域。

[0057] 图2A是示出导电体209a、导电体209b、绝缘体210、绝缘体212、绝缘体214以及存储层11_1的结构例子的截面图。

[0058] 晶体管201、晶体管202及晶体管203各自包括绝缘体214上的导电体205、导电体205上的绝缘体222、绝缘体222上的绝缘体224、绝缘体224上的金属氧化物230(金属氧化物230a及金属氧化物230b)、覆盖绝缘体224的侧面的一部分以及金属氧化物230的顶面的一部分及侧面的一部分的导电体242、金属氧化物230上的绝缘体253、绝缘体253上的绝缘体254以及绝缘体254上的导电体260。在此,晶体管201包括作为导电体242的导电体242a及导电体242b,晶体管202包括作为导电体242的导电体242c及导电体242d,并且晶体管203包括作为导电体242的导电体242d及导电体242e。晶体管202及晶体管203共用一个绝缘体224、一个金属氧化物230及一个导电体242d。

[0059] 具有开口的绝缘体216设置在绝缘体214上,导电体205嵌入该开口的内部。此外,在导电体205及绝缘体216上设置绝缘体222。此外,在导电体242a至导电体242e上设置绝缘体275,在绝缘体275上设置绝缘体280。绝缘体253、绝缘体254及导电体260嵌入设置在绝缘体280及绝缘体275中的开口的内部。在绝缘体280、导电体260、绝缘体253及绝缘体254上设置绝缘体282。导电体205可以以具有与绝缘体216的侧面接触的区域的方式设置在绝缘体214上。此外,绝缘体253可以具有与导电体242的侧面、绝缘体275的侧面及绝缘体280的侧面中的至少一部分接触的区域。

[0060] 在本说明书等中,开口包括槽或狭缝等。此外,有时将形成有开口的区域称为开口部。

[0061] 金属氧化物230具有用作晶体管201、晶体管202或晶体管203的沟道形成区域的区域。此外,晶体管201、晶体管202以及晶体管203也可以使用如单晶硅、多晶硅或非晶硅等半导体代替金属氧化物230,例如也可以使用低温多晶硅(LTPS:Low Temperature Poly Silicon)。

[0062] 导电体242a具有用作晶体管201的源电极和漏电极中的一个的区域。导电体242b具有用作晶体管201的源电极和漏电极中的另一个的区域。导电体242c具有用作晶体管202的源电极和漏电极中的一个的区域。导电体242d具有用作晶体管202的源电极和漏电极中的另一个的区域及用作晶体管203的源电极和漏电极中的一个的区域。导电体242e具有用作晶体管203的源电极和漏电极中的另一个的区域。导电体242与金属氧化物230电连接。

[0063] 导电体260具有用作晶体管201、晶体管202或晶体管203的第一栅电极的区域。绝缘体253及绝缘体254各自具有用作晶体管201、晶体管202或晶体管203的第一栅极绝缘体的区域。

[0064] 导电体205具有用作晶体管201、晶体管202或晶体管203的第二栅电极的区域。绝

缘体222具有用作晶体管201的第二栅极绝缘体的区域、用作晶体管202的第二栅极绝缘体的区域以及用作晶体管203的第二栅极绝缘体的区域。绝缘体224具有用作晶体管201、晶体管202或晶体管203的第二栅极绝缘体的区域。在此,导电体205具有与导电体260重叠的区域。

[0065] 在本说明书等中,第一栅电极可以被称为前栅电极或者被简称为栅电极,第二栅电极可以被称为背栅电极。此外,第一栅电极也可以被称为背栅电极,第二栅电极也可以被称为前栅电极或者被简称为栅电极。

[0066] 晶体管202与晶体管203相邻,如上所述,其共用一个绝缘体224、一个金属氧化物230及一个导电体242d。由此,可以在小于两个晶体管的面积的面积,例如,1.5个晶体管的面积的范围形成两个晶体管(晶体管202及晶体管203)。由此,与晶体管202和晶体管203不共用绝缘体224、金属氧化物230及导电体242d的情况相比,可以以高密度配置晶体管,从而可以实现半导体装置的高集成化。

[0067] 此外,在晶体管202所具有的导电体260与晶体管203所具有的导电体260之间的区域中配置导电体242d。因此,在晶体管202及晶体管203为n沟道型晶体管的情况下,可以在金属氧化物230的与导电体242d重叠的区域中形成n型区域(低电阻区域)。尤其是,可以在金属氧化物230b的与导电体242d重叠的区域中形成n型区域。此外,也可以使电流通过导电体242d流在晶体管202与晶体管203间。因此,与在形成沟道的半导体层中使用硅的两个晶体管(也称为Si晶体管)串联连接的结构相比,可以尽量减少晶体管202与晶体管203间的电阻成分。

[0068] 下述说明中,除非特别叙述,将晶体管作为n沟道型晶体管进行说明,但是在通过适当地使电位的大小关系颠倒等将晶体管作为p沟道型晶体管的情况下也可以援用以下说明。

[0069] 绝缘体275、绝缘体280及绝缘体282中设置有到达导电体242b的开口257,开口257的内部设置有电容器101。具体而言,电容器101包括导电体151、导电体151上的绝缘体155以及绝缘体155上的导电体160。电容器101构成MIM(Metal-Insulator-Metal:金属-绝缘体-金属)电容器。

[0070] 导电体151、绝缘体155和导电体160中的至少一部分设置在开口257的内部。因此,导电体151、绝缘体155及导电体160具有位于绝缘体282的顶面的下方的区域。

[0071] 在开口257的内部,导电体151具有与导电体242b的顶面接触的区域。此外,导电体151具有与绝缘体275的侧面、绝缘体280的侧面和绝缘体282的顶面及侧面中的至少一部分接触的区域。在此,导电体151具有用作电容器101的一个电极的区域,绝缘体155具有用作电容器101的介电体的区域,导电体160具有用作电容器101的另一个电极的区域。开口257的深度越深,即,绝缘体275、绝缘体280和绝缘体282中的至少一个的厚度越厚,电容器101的单位面积的静电电容越大。由此,可以实现半导体装置的微型化或高集成化。

[0072] 另外,绝缘体282中设置有到达晶体管202的导电体260的开口259。导电体151具有位于开口259内部的区域。导电体151在开口259内部例如具有与晶体管202的导电体260接触的区域。

[0073] 如上所述,在导电体151具有位于开口257内部的区域及位于开口259内部的区域时,可以通过导电体151使导电体242b与晶体管202所包括的导电体260电连接。由此,电容

器101的一个电极可以与晶体管201的源电极和漏电极中的另一个及晶体管202的栅电极电连接。

[0074] 在绝缘体282上,以覆盖电容器101的方式设置绝缘体286。另外,在绝缘体286上设置绝缘体215。

[0075] 导电体242a、导电体242b、导电体242c以及导电体242e以超过用作半导体层的金属氧化物230的方式延伸,并覆盖金属氧化物230的顶面及侧面的一部分。由此,导电体242a、导电体242b、导电体242c以及导电体242e也被用作布线。例如,以具有与导电体242a的顶面及侧面的一部分接触的区域的方式设置具有用作写入位线的区域的导电体240a。此外,以具有与导电体242e的顶面及侧面的一部分接触的区域的方式设置具有用作读出位线的区域的导电体240b。此外,导电体242d也可以被用作布线。此外,其他导电体也有时可以被用作布线。

[0076] 在导电体240a具有与导电体242a的顶面及侧面的一部分接触的区域且导电体240b具有与导电体242e的顶面及侧面的一部分接触的区域时,不需要另行设置用来连接的电极,由此可以减少存储单元阵列的占有面积。此外,可以提高存储单元的集成度,并可以增加存储容量。注意,通过使导电体240a与导电体242a的顶面和侧面的双方接触,例如与导电体240a只与导电体242a的顶面和侧面中的一方接触的情况相比,可以降低导电体240a与导电体242a间的接触电阻。另外,通过使导电体240b与导电体242e的顶面和侧面的双方接触,例如与导电体240b只与导电体242e的顶面和侧面中的一方接触的情况相比,可以降低导电体240b与导电体242e间的接触电阻。

[0077] 在此,在绝缘体212及绝缘体214中设置具有与导电体209a重叠的区域的开口291a及具有与导电体209b重叠的区域的开口291b。此外,在绝缘体222中设置具有与导电体209a及开口291a重叠的区域的开口292a以及具有与导电体209b及开口291b重叠的区域的开口292b。并且,在绝缘体215中设置具有与导电体209a、开口291a及开口292a重叠的区域的开口294a以及具有与导电体209b、开口291b及开口292b重叠的区域的开口294b。开口291a、开口292a及开口294a内部设置有导电体240a,开口291b、开口292b及开口294b内部设置有导电体240b。此外,也可以不在绝缘体212中设置开口291a及开口291b。在此情况下,例如可以具有绝缘体212的侧面与绝缘体214的侧面不一致的结构。此外,例如可以具有绝缘体212的侧面与导电体240a的侧面接触的区域,并具有绝缘体212的侧面与导电体240b的侧面接触的区域。

[0078] 此外,在开口291a及开口291b中,绝缘体212的侧面及绝缘体214的侧面被绝缘体216覆盖。此外,在开口292a中,绝缘体222的侧面被导电体242a覆盖,并且在开口292b中,绝缘体222的侧面被导电体242e覆盖。再者,在开口294a及开口294b中,绝缘体215的侧面被绝缘体216覆盖。此外,覆盖图2A所示的绝缘体215的侧面的绝缘体216具有设置在存储层11_2中的区域。

[0079] 如上所述,可以说以覆盖绝缘体214的顶面和侧面中的至少一部分的方式设置有绝缘体216。此外,可以说以覆盖绝缘体222的顶面和侧面中的至少一部分的方式设置有导电体242a及导电体242e。再者,可以说以覆盖绝缘体215的顶面和侧面中的至少一部分的方式设置有绝缘体216。

[0080] 当本发明的一个方式的半导体装置具有上述结构时,以具有与绝缘体216的侧面、

绝缘体275的侧面、绝缘体280的侧面、绝缘体282的侧面和绝缘体286的侧面中的至少一部分接触的区域的方式设置有导电体240a及导电体240b。此外,如上所述,以具有与导电体242a的侧面接触的区域的方式设置导电体240a,并以具有与导电体242e的侧面接触的区域的方式设置导电体240b。并且,以不与绝缘体212、绝缘体214、绝缘体222及绝缘体215接触的方式设置导电体240a及导电体240b。在此,可以采用导电体240a_1至导电体240a_n的顶面及导电体240b_1至导电体240b_n的顶面与绝缘体282的顶面一致或大致一致的结构。另外,可以采用导电体240a_2至导电体240a_n的底面及导电体240b_2至导电体240b_n的底面与绝缘体286的底面一致或大致一致的结构。

[0081] 当本发明的一个方式的半导体装置具有上述结构时,例如在为了形成导电体240a及导电体240b在绝缘体216、绝缘体275、绝缘体280、绝缘体282及绝缘体286中设置开口的情况下,不需要对绝缘体212、绝缘体214、绝缘体222及绝缘体215进行加工。因此,作为绝缘体212、绝缘体214、绝缘体222及绝缘体215,可以使用其易于加工的条件与绝缘体216、绝缘体275、绝缘体280、绝缘体282及绝缘体286不同的材料。如此,可以增加可以用于绝缘体的材料的选项。此外,通过将导电膜嵌入上述开口的内部,可以形成导电体240a及导电体240b。

[0082] 图2B是示出图2A所示的晶体管的沟道宽度方向,即Y方向的结构例子的截面图。

[0083] 在图2B所示的例子中,绝缘体210上设置有绝缘体212,绝缘体212上设置有绝缘体214,绝缘体214上设置有绝缘体216,设置在绝缘体216中的开口内部设置有导电体205。另外,导电体205及绝缘体216上设置有绝缘体222,绝缘体222上设置有绝缘体224及绝缘体275,绝缘体224上设置有金属氧化物230。绝缘体224的侧面以及金属氧化物230的顶面及侧面由绝缘体253、绝缘体254及导电体260覆盖。绝缘体253、绝缘体254及导电体260设置在形成在绝缘体275上的绝缘体280中的开口258的内部。绝缘体253、绝缘体254、导电体260及绝缘体280上设置有绝缘体282,绝缘体282上设置有绝缘体286。

[0084] 在此,可以说具有用作第一栅电极的区域的导电体260不仅覆盖金属氧化物230的顶面还覆盖其侧面。

[0085] 在本说明书等中,将至少由第一栅电极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel (s-channel) 结构。此外,本说明书等中公开的s-channel结构与Fin型结构及平面型结构不同。另一方面,可以将在本说明书等中公开的s-channel结构视为Fin型结构的一种。此外,在本说明书等中,Fin型结构是指以至少包围沟道的两个面以上(具体而言,两个面、三个面或四个面)的方式配置栅电极的结构。通过采用Fin型结构及s-channel结构,可以提高对短沟道效应的耐性,换言之可以实现不容易发生短沟道效应的晶体管。

[0086] 通过作为本实施方式的半导体装置所具有的晶体管采用上述s-channel结构,可以电围绕沟道形成区域。s-channel结构是电围绕沟道形成区域的结构,所以也可以说该结构在实质上与GAA (Gate All Around:全环绕栅极) 结构或LGAA (Lateral Gate All Around:横向全环绕栅极) 结构相同。通过使晶体管具有s-channel结构、GAA结构或LGAA结构,可以将形成在金属氧化物与栅极绝缘体的界面或其附近的沟道形成区域设置在金属氧化物的整个块体。因此,可以提高流过晶体管的电流密度,所以可以期待晶体管的通态电流或晶体管的场效应迁移率的提高。

[0087] 注意,作为图2B所示的晶体管示出s-channel结构的晶体管,但是本发明的一个方式的半导体装置不局限于此。例如,作为可用于本发明的一个方式的晶体管的结构,也可以采用选自平面型结构、Fin型结构和GAA结构中的任一个或多个。

[0088] 此外,金属氧化物230的截面形状也可以如图2B所示那样在侧面与顶面之间具有弯曲面。由此,可以提高形成在金属氧化物230上的膜的覆盖性。

[0089] 图3是导电体240的一部分及其附近的区域的放大图。在图3中,导电体240中的与导电体242的侧面接触的区域341a的从截面看时的宽度(例如,垂直于该区域的方向的长度)及与绝缘体280的侧面接触的区域342a的从截面看时的宽度(例如,垂直于该区域的方向的长度)分别为宽度W1及宽度W2。换言之,导电体240中的与导电体242的侧面接触的区域341a和与区域341a对置的与导电体242的侧面接触的区域341b的从截面看时的距离为宽度W1。此外,导电体240中的与绝缘体280的侧面接触的区域342a和与区域342a对置的与绝缘体280的侧面接触的区域342b的从截面看时的距离为宽度W2。

[0090] 如图3所示,优选具有宽度W2大于宽度W1的区域。在该结构中,导电体240与导电体242的顶面及侧面的双方接触。因此,例如与导电体240只接触于导电体242的顶面及侧面中的一个的情况相比,可以增加导电体240与导电体242接触的区域面积。在本说明书等中,导电体240与导电体242的顶面及侧面的双方接触的结构有时被称为顶侧接触(top side contact)。

[0091] 图4是图3所示的结构的变形例子,其示出绝缘体212的侧面的至少一部分、绝缘体214的侧面的至少一部分、绝缘体222的侧面的至少一部分及绝缘体215的侧面的至少一部分与导电体240接触的例子。

[0092] 在图4所示的例子中,在从截面看时,绝缘体212及绝缘体214的端部与绝缘体216的端部一致或大致一致且绝缘体212的端部及绝缘体214的端部不被绝缘体216覆盖。另外,在从截面看时,绝缘体222的端部与导电体242的端部一致或大致一致,绝缘体222的端部不被导电体242覆盖。并且,虽然在图4中没有示出,但是在从截面看时绝缘体215的端部与绝缘体216的端部一致或大致一致,绝缘体215的端部不被绝缘体216覆盖。在图4所示的例子中,可以使从截面看时的绝缘体212的端部、绝缘体214的端部、绝缘体216的端部、绝缘体222的端部、导电体242的端部、绝缘体286的端部及绝缘体215的端部彼此一致或大致一致。此外,可以使绝缘体275的端部、绝缘体280的端部及绝缘体282的端部彼此一致或大致一致。

[0093] 图5是图2A所示的结构的变形例子,其中作为导电体240a_1、导电体240b_1及其附近的结构采用图4所示的结构。图6是图1所示的结构的变形例子,其中作为导电体240a_1至导电体240a_n及导电体240b_1至导电体240b_n及其附近的结构采用图4所示的结构。

[0094] 接着,详细说明本实施方式的半导体装置所具有的晶体管。

[0095] 金属氧化物230优选包括绝缘体224上的金属氧化物230a及金属氧化物230a上的金属氧化物230b。当在金属氧化物230b下设置有金属氧化物230a时,可以抑制杂质从形成在金属氧化物230a下方的结构物扩散到金属氧化物230b。

[0096] 此外,虽然在本实施方式中示出金属氧化物230具有金属氧化物230a及金属氧化物230b的两层结构的例子,但是不局限于此。金属氧化物230例如可以具有金属氧化物230b的单层结构,也可以具有三层以上的叠层结构。

[0097] 金属氧化物230b包括晶体管的沟道形成区域以及以夹持沟道形成区域的方式设置的源极区域及漏极区域。沟道形成区域的至少一部分与导电体260重叠。源极区域与一对导电体242中的一个重叠,漏极区域与一对导电体242中的另一个重叠。

[0098] 沟道形成区域是与源极区域及漏极区域相比氧空位少或者杂质浓度低而载流子浓度低的高电阻区域。因此,沟道形成区域可以说是i型(本征)或实质上i型的区域。

[0099] 此外,源极区域及漏极区域是氧空位多或者氢、氮、金属元素等杂质浓度高而载流子浓度高的低电阻区域。也就是说,与沟道形成区域相比,源极区域及漏极区域是载流子浓度高的n型区域(低电阻区域)。

[0100] 此外,沟道形成区域的载流子浓度优选为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,小于 $1 \times 10^{17} \text{cm}^{-3}$,小于 $1 \times 10^{16} \text{cm}^{-3}$,小于 $1 \times 10^{15} \text{cm}^{-3}$,小于 $1 \times 10^{14} \text{cm}^{-3}$,小于 $1 \times 10^{13} \text{cm}^{-3}$,小于 $1 \times 10^{12} \text{cm}^{-3}$,小于 $1 \times 10^{11} \text{cm}^{-3}$ 或者小于 $1 \times 10^{10} \text{cm}^{-3}$ 。此外,对沟道形成区域的载流子浓度的下限值没有特殊限定,例如,可以将其设定为 $1 \times 10^{-9} \text{cm}^{-3}$ 。

[0101] 此外,在降低金属氧化物230b的载流子浓度时,降低金属氧化物230b中的杂质浓度及缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。此外,有时将载流子浓度低的氧化物半导体(或金属氧化物)称为“高纯度本征”或“实质上高纯度本征”的氧化物半导体(或金属氧化物)。

[0102] 为了使晶体管的电特性稳定,减少金属氧化物230b中的杂质浓度是有效的。此外,为了降低金属氧化物230b中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍及硅等。注意,金属氧化物230b中的杂质例如是指构成金属氧化物230b的主成分以外的成分。例如,浓度小于0.1at.%的元素可以说是杂质。

[0103] 此外,沟道形成区域、源极区域以及漏极区域各自不仅可以形成在金属氧化物230b中,而且还可以形成在金属氧化物230a中。

[0104] 在金属氧化物230中,有时难以明确地观察各区域的边界。在各区域中检测出的金属元素和氢及氮等杂质元素的浓度不仅限于按每区域分阶段地变化,也可以在各区域中逐渐地变化。就是说,越靠近沟道形成区域,金属元素和氢及氮等杂质元素的浓度越低。

[0105] 优选将用作半导体的金属氧化物(以下也称为氧化物半导体)用于金属氧化物230。

[0106] 用作半导体的金属氧化物的带隙优选为2eV以上,更优选为2.5eV以上。通过使用带隙较宽的金属氧化物,可以减小晶体管的关态电流。

[0107] 作为金属氧化物230,例如优选使用铟氧化物、镓氧化物及锌氧化物等金属氧化物。此外,作为金属氧化物230,例如优选使用包含选自铟、元素M和锌中的两个或三个的金属氧化物。元素M是选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锆、钼、镧、铈、钕、钆、铪、钨和镁中的一种或多种。尤其是,元素M优选为选自铝、镓、钇和锡中的一种或多种。有时将包含铟、元素M及锌的金属氧化物记载为In-M-Zn氧化物。

[0108] 金属氧化物230优选具有化学组成互不相同的多个氧化物层的叠层结构。例如,用于金属氧化物230a的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比优选大于用于金属氧化物230b的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比。此外,用于金属氧化物230a的金属氧化物中的相对于In的元素M的原子个数比优选大于用于金属氧化物230b的金属氧化物中的相对于In的元素M的原子个数比。通过采用该

结构,可以抑制杂质及氧从形成在金属氧化物230a的下方的结构物向金属氧化物230b扩散。

[0109] 在此,用于金属氧化物230b的金属氧化物中的相对于元素M的In的原子个数比优选大于用于金属氧化物230a的金属氧化物中的相对于元素M的In的原子个数比。通过采用该结构,晶体管可以得到高通态电流以及高频率特性。

[0110] 此外,金属氧化物230a及金属氧化物230b除了氧以外还包含相同的元素作为主要成分,由此可以降低金属氧化物230a与金属氧化物230b的界面的缺陷态密度。就是说,可以降低金属氧化物230a与金属氧化物230b的界面的缺陷态密度。因此,界面散射对载流子传导带来的影响减少,从而晶体管可以得到高通态电流及高频率特性。

[0111] 具体而言,作为金属氧化物230a,可以使用In:M:Zn=1:3:4[原子个数比]或其附近的组成或者In:M:Zn=1:1:0.5[原子个数比]或其附近的组成的金属氧化物。此外,作为金属氧化物230b,可以使用In:M:Zn=1:1:1[原子个数比]或其附近的组成、In:M:Zn=1:1:1.2[原子个数比]或其附近的组成、In:M:Zn=1:1:2[原子个数比]或其附近的组成或者In:M:Zn=4:2:3[原子个数比]或其附近的组成的金属氧化物。注意,附近的组成包括所希望的原子个数比的 $\pm 30\%$ 的范围。此外,作为元素M优选使用镓。此外,当作为金属氧化物230设置金属氧化物230b的单层时,作为金属氧化物230b也可以使用可用于金属氧化物230a的金属氧化物。另外,金属氧化物230a及金属氧化物230b的组成不局限于上述组成。例如,可以将上述金属氧化物230a的组成用于金属氧化物230b。同样地,也可以将上述的金属氧化物230b的组成用于金属氧化物230a。

[0112] 此外,在通过溅射法沉积金属氧化物时,上述原子个数比不局限于所沉积的金属氧化物的原子个数比,而也可以是用于金属氧化物的沉积的溅射靶材的原子个数比。

[0113] 金属氧化物230b优选具有结晶性。尤其是,优选使用CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶金属氧化物半导体)作为金属氧化物230b。

[0114] CAAC-OS具有结晶性高的致密结构且是杂质及缺陷(例如,氧空位等)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400°C以上且600°C以下)进行加热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0115] 此外,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性且可靠性高。

[0116] 此外,当作为金属氧化物230b使用CAAC-OS等具有结晶性的金属氧化物时,可以抑制源电极或漏电极从金属氧化物230b抽出氧。因此,即使进行热处理也可以减少氧从金属氧化物230b被抽出,所以晶体管对制造工序中的高温(所谓热积存:thermal budget)也很稳定。

[0117] 在使用氧化物半导体的晶体管中,如果在氧化物半导体的形成沟道的区域中存在杂质及氧空位,电特性则容易变动,有时降低可靠性。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(下面也称为 V_OH)而可能会产生成为载流子的电子。因此,当在氧化物半导体的形成沟道的区域中包含氧空位时,晶体管容易具有常开启特性(即使不对栅电极施加电

压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的形成沟道的区域中,优选尽量减少杂质、氧空位及 V_0H 。换言之,优选的是,氧化物半导体中的形成沟道的区域的载流子浓度得到降低且被i型化(本征化)或实质上被i型化。

[0118] 相对于此,通过在氧化物半导体附近设置包含通过加热脱离的氧(以下也称为过剩氧)的绝缘体而进行热处理,可以从该绝缘体向氧化物半导体供应氧而减少氧空位及 V_0H 。注意,在对源极区域或漏极区域供应过多的氧时,有可能引起晶体管的通态电流下降或者场效应迁移率的下降。并且,在供应到源极区域或漏极区域的氧量在衬底面内有不均匀时,包括晶体管的半导体装置的特性发生不均匀。此外,在从该绝缘体供应给氧化物半导体的氧扩散到栅电极、源电极及漏电极等导电体时,有时该导电体被氧化,这导致导电性的损失等,因此对晶体管的电特性及可靠性带来负面影响。

[0119] 因此,优选的是,在氧化物半导体中,沟道形成区域的载流子浓度得到降低且被i型化或实质上被i型化,但是源极区域及漏极区域的载流子浓度优选为高且被n型化。就是说,优选降低氧化物半导体的沟道形成区域的氧空位及 V_0H 。此外,优选的是,防止源极区域及漏极区域被供应过量的氧以及防止源极区域及漏极区域的 V_0H 之量被过度降低。此外,优选采用抑制导电体260、导电体242等的导电率下降的结构。例如,优选采用抑制导电体260、导电体242等的氧化的结构。注意,氧化物半导体中的氢有可能形成 V_0H ,所以为了降低 V_0H 之量需要降低氢浓度。

[0120] 于是,在本实施方式中,半导体装置具有如下结构:降低沟道形成区域的氢浓度,抑制导电体242及导电体260的氧化,并且抑制源极区域及漏极区域中的氢浓度降低。

[0121] 与金属氧化物230b中的沟道形成区域接触的绝缘体253优选具有俘获氢并固定氢的功能。由此,可以降低金属氧化物230b的沟道形成区域中的氢浓度。因此,可以降低沟道形成区域中的 V_0H 来实现沟道形成区域的i型化或实质上的i型化。

[0122] 作为具有俘获氢并固定氢的功能的绝缘体,可以举出具有非晶结构的金属氧化物。例如,作为绝缘体253,优选使用氧化镁或者包含铝和铅中的一个或两个的氧化物等金属氧化物。上述具有非晶结构的金属氧化物有时具有如下性质:氧原子具有悬空键而由该悬空键俘获或固定氢。就是说,可以说具有非晶结构的金属氧化物的俘获或固定氢的能力高。

[0123] 此外,绝缘体253优选使用高介电常数(high-k)材料。作为high-k材料的一个例子,有包含铝和铅中的一方或双方的氧化物。当作为绝缘体253使用high-k材料时,可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。此外,可以减少用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。

[0124] 由此,作为绝缘体253,优选使用包含铝和铅中的一方或双方的氧化物,更优选使用具有非晶结构并包含铝和铅中的一方或双方的氧化物,进一步优选使用具有非晶结构的氧化铅。在本实施方式中,作为绝缘体253,使用氧化铅。此时,绝缘体253至少包含氧及铅。此外,该氧化铅具有非晶结构。此时,绝缘体253具有非晶结构。

[0125] 此外,作为绝缘体253,也可以使用如氧化硅或氧氮化硅等具有热稳定性结构的绝缘体。例如,作为绝缘体253,也可以使用包含氧化铝、氧化铝上的氧化硅或氧氮化硅的叠层结构。此外,例如,作为绝缘体253,也可以使用包含氧化铝、氧化铝上的氧化硅或氧氮化硅以及氧化硅或氧氮化硅上的氧化铅的叠层结构。

[0126] 为了抑制导电体242及导电体260的氧化,优选在导电体242及导电体260各自的附近设置氧阻挡绝缘体。在本实施方式中说明的半导体装置中,该绝缘体例如为绝缘体253、绝缘体254以及绝缘体275。

[0127] 此外,在本说明书等中,阻挡绝缘体是指具有阻挡性的绝缘体。在本说明书等中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0128] 作为氧阻挡绝缘体,例如可以举出包含铝和镓中的一方或双方的氧化物、氧化镁、氧化镓、镓镓锌氧化物、氮化硅及氮氧化硅。此外,作为包含铝和镓中的一方或双方的氧化物,可以例如举出氧化铝、氧化镓、包含铝及镓的氧化物(铝酸镓)、包含镓及硅的氧化物(硅酸镓)。例如,作为绝缘体253、绝缘体254及绝缘体275优选采用上述氧阻挡绝缘体的单层结构或叠层结构。

[0129] 绝缘体253优选具有氧阻挡性。绝缘体253优选至少与绝缘体280相比不容易使氧透过。绝缘体253具有与导电体242的侧面接触的区域。当绝缘体253具有氧阻挡性时,可以抑制导电体242的侧面被氧化而在该侧面上形成氧化膜。因此,可以抑制导致晶体管的通态电流的下降或场效应迁移率的下降。

[0130] 绝缘体253以与金属氧化物230b的顶面及侧面、金属氧化物230a的侧面、绝缘体224的侧面及绝缘体222的顶面接触的方式设置。当绝缘体253具有氧阻挡性时,可以抑制例如在进行热处理时氧从金属氧化物230b的沟道形成区域脱离。因此,可以减少在金属氧化物230a及金属氧化物230b中形成氧空位。

[0131] 此外,反之,在绝缘体280包含过多的氧时,也可以抑制该氧过度供应到金属氧化物230a及金属氧化物230b。因此,可以抑制源极区域及漏极区域被过度氧化而导致晶体管的通态电流的下降或场效应迁移率的下降。

[0132] 因为包含铝和镓中的一方或双方的氧化物具有氧阻挡性,所以适当地可以被用作绝缘体253。

[0133] 绝缘体254优选具有氧阻挡性。绝缘体254设置在金属氧化物230的沟道形成区域和导电体260之间以及绝缘体280和导电体260之间。通过采用该结构,可以抑制金属氧化物230的沟道形成区域中的氧扩散到导电体260而在金属氧化物230的沟道形成区域中形成氧空位。此外,可以抑制金属氧化物230中的氧及绝缘体280中的氧扩散到导电体260而导致导电体260的氧化。绝缘体254优选至少与绝缘体280相比不容易使氧透过。例如,作为绝缘体254优选使用氮化硅。此时,绝缘体254至少包含氮及硅。

[0134] 此外,绝缘体254优选具有氧阻挡性。由此,可以防止包含在导电体260中的氢等杂质扩散到金属氧化物230b。

[0135] 绝缘体275优选具有氧阻挡性。绝缘体275设置于绝缘体280与导电体242之间。通过采用该结构,可以抑制包含在绝缘体280中的氧扩散到导电体242。因此,可以抑制包含在绝缘体280中的氧导致导电体242被氧化使得电阻率增大而通态电流减少。绝缘体275优选至少与绝缘体280相比不容易使氧透过。例如,作为绝缘体275优选使用氮化硅。此时,作为绝缘体275,使用至少包含氮及硅的绝缘体。

[0136] 为了抑制金属氧化物230的源极区域及漏极区域中的氢浓度降低,优选在源极区域的附近及漏极区域的附近设置氢阻挡绝缘体。在本实施方式所说明的半导体装置中,该

氢阻挡绝缘体例如是绝缘体275。

[0137] 作为氢阻挡绝缘体,可以举出氧化铝、氧化铪、氧化钽等氧化物以及氮化硅等氮化物。例如,作为绝缘体275优选采用上述氢阻挡绝缘体的单层结构或叠层结构。

[0138] 绝缘体275优选具有氢阻挡性。当绝缘体275具有氢阻挡性时,可以抑制绝缘体253俘获和固定源极区域及漏极区域中的氢。因此,源极区域及漏极区域可以被n型化。

[0139] 通过采用上述结构,沟道形成区域可以被i型化或实质上被i型化且源极区域及漏极区域可以被n型化,可以提供一种具有良好的电特性的半导体装置。通过采用上述结构,即便使半导体装置微型化或高集成化也可以使其具有良好的电特性。此外,通过使晶体管微型化可以提高高频特性。具体而言,可以提高截止频率。

[0140] 绝缘体253及绝缘体254各自被用作栅极绝缘体的一部分。绝缘体253及绝缘体254与导电体260一起设置在形成于绝缘体280等中的开口中。为了实现晶体管的微型化,绝缘体253的厚度及绝缘体254的厚度各自优选小。绝缘体253的厚度优选为0.1nm以上且5.0nm以下,更优选为0.5nm以上且5.0nm以下,进一步优选为1.0nm以上且小于5.0nm,更进一步优选为1.0nm以上且3.0nm以下。绝缘体254的厚度优选为0.1nm以上且5.0nm以下,更优选为0.5nm以上且3.0nm以下,进一步优选为1.0nm以上且3.0nm以下。此外,绝缘体253及绝缘体254各自的至少一部分是包括上述厚度的区域即可。

[0141] 为了如上所述地减小绝缘体253的厚度,优选利用原子层沉积(ALD:Atomic Layer Deposition)法进行沉积。ALD法有只利用热能使前驱物及反应物起反应的热ALD(Thermal ALD)法、使用受到等离子体激发的反应物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中,通过利用等离子体可以在更低温下进行沉积,所以有时是优选的。

[0142] ALD法可以一层一层沉积原子,从而有能够沉积极薄的膜、能够对纵横比高的结构进行沉积、能够以针孔等的缺陷少的方式进行沉积、能够进行覆盖性优良的沉积及能够在低温下进行沉积等效果。因此,可以在形成于绝缘体280等中的开口部的侧面以及导电体242的侧端部等以上述较小的厚度且高覆盖性沉积绝缘体253。

[0143] 另外,ALD法中使用的前驱物例如包含碳。因此,利用ALD法形成的膜有时与利用其它的沉积方法设置的膜相比包含更多的碳等杂质。此外,杂质的定量可以利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)、X射线光电子分光法(XPS:X-ray Photoelectron Spectroscopy)或俄歇电子能谱法(AES:Auger Electron Spectroscopy)进行。

[0144] 例如,作为绝缘体254可以使用利用PEALD法沉积的氮化硅。

[0145] 此外,通过作为绝缘体253使用氧化铪等具有抑制氢等杂质及氧的透过的功能的绝缘体,绝缘体253可以兼具绝缘体254所具有的功能。在此情况下,通过采用不设置绝缘体254的结构,可以使半导体装置的制造工序简化,可以实现生产率的提高。

[0146] 此外,在本实施方式中,优选的是,半导体装置除了上述结构以外还具有抑制氢混入晶体管的结构。例如,优选的是,以覆盖晶体管的上下之中一方或双方的方式设置具有抑制氢扩散的功能的绝缘体。在本实施方式中说明的半导体装置中,该绝缘体例如为绝缘体212。

[0147] 作为绝缘体212,优选使用具有抑制氢扩散的功能的绝缘体。由此,可以抑制氢从绝缘体212的下方扩散晶体管。作为绝缘体212,可以使用可用于上述绝缘体275的绝缘体。

[0148] 绝缘体212、绝缘体214、绝缘体282和绝缘体215中的一个或多个优选被用作抑制水、氢等杂质从衬底一侧或晶体管的上方扩散到晶体管的阻挡绝缘膜。因此,绝缘体212、绝缘体214以及绝缘体282中的一个或多个优选包含具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。此外,优选包含具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0149] 绝缘体212、绝缘体214、绝缘体282以及绝缘体215优选各自包含具有抑制水、氢等杂质及氧的扩散的功能的绝缘体,例如可以使用氧化铝、氧化镁、氧化钪、氧化镱、铟镓锌氧化物、氮化硅或氮氧化硅等。例如,作为绝缘体212,优选使用氢阻挡性更高的氮化硅。此外,例如,绝缘体212、绝缘体214以及绝缘体282优选各自包含俘获并固定氢的性能高的氧化铝或氧化镁等。由此,可以抑制水、氢等杂质经过绝缘体212及绝缘体214从衬底一侧扩散到晶体管一侧。或者,可以抑制水、氢等杂质从配置在绝缘体282的外方的层间绝缘膜等扩散到晶体管一侧。或者,可以抑制包含在绝缘体224等中的氧扩散到衬底一侧。或者,可以抑制含在绝缘体280等中的氧经过绝缘体282等向晶体管的上方扩散。如此,优选采用由具有抑制水、氢等杂质及氧的扩散的功能的绝缘体围绕晶体管上下的结构。

[0150] 导体205以与金属氧化物230及导体260重叠的方式配置。在此,导体205优选以嵌入形成在绝缘体216的开口部中的方式设置。此外,导体205的一部分有时嵌入绝缘体214中。

[0151] 导体205可以具有单层结构,又可以具有叠层结构。例如,图2A示出导体205具有第一导体与第二导体的两层叠层结构的例子。导体205的第一导体以与设置在绝缘体216中的开口部的底面及侧壁接触的方式设置。导体205的第二导体以嵌入形成在导体205的第一导体的凹部中的方式设置。在此,导体205的第二导体的顶面的高度与导体205的第一导体的顶面的高度及绝缘体216的顶面的高度大致一致。

[0152] 在此,导体205的第一导体优选包含具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O 、 NO 、 NO_2 等)、铜原子等杂质的扩散的功能的导电材料。或者,优选包含具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能的导电材料。

[0153] 通过作为导体205的第一导体使用具有减少氢的扩散的功能的导电材料,可以防止含在导体205的第二导体中的氢等杂质通过绝缘体216及绝缘体224等扩散到金属氧化物230。此外,通过作为导体205的第一导体使用具有抑制氧的扩散的功能的导电材料,可以抑制导体205的第二导体被氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钇、氧化钇等。因此,作为导体205的第一导体可以使用单层结构或叠层结构的上述导电材料。例如,导体205的第一导体优选包含氮化钛。

[0154] 此外,导体205的第二导体优选使用以钨、铜或铝为主要成分的导电材料。例如,导体205的第二导体优选包含钨。

[0155] 导体205可以被用作第二栅电极。在此情况下,通过独立地改变施加到导体205的电位而不使其与施加到导体260的电位联动,可以控制晶体管的阈值电压(V_{th})。尤其是,通过对导体205施加负电位,可以增大晶体管的 V_{th} 而减少关态电流。由此,与不对导体205施加负电位的情况相比,可以在对导体205施加负电位的情况下进一步减少对

导电体260施加的电位为0V时的漏极电流。

[0156] 此外,导电体205的电阻率考虑上述施加到导电体205的电位设计,导电体205的厚度根据该电阻率设定。此外,绝缘体216的厚度与导电体205大致相同。在此,优选在导电体205的设计允许的范围内减少导电体205及绝缘体216的厚度。通过减少绝缘体216的厚度,可以降低含在绝缘体216中的氢等杂质的绝对量,所以可以减少该杂质扩散到金属氧化物230。

[0157] 绝缘体222及绝缘体224被用作栅极绝缘体。

[0158] 绝缘体222优选具有抑制氢(例如,氢原子和氢分子等中的至少一个)的扩散的功能。此外,绝缘体222优选具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能。例如,与绝缘体224相比,绝缘体222优选具有抑制氢和氧中的一方或双方的扩散的功能。

[0159] 绝缘体222优选包括包含作为绝缘材料的铝和铅中的一方或双方的氧化物的绝缘体。作为该绝缘体,优选使用氧化铝、氧化铅、包含铝及铅的金属氧化物(铝酸铅)等。或者,优选使用包含铅及锆的氧化物,例如使用铅锆氧化物。当使用这种材料形成绝缘体222时,绝缘体222被用作抑制氧从金属氧化物230释放到衬底一侧及氢等杂质从晶体管的周围部扩散到金属氧化物230的层。因此,通过设置绝缘体222,可以抑制氢等杂质扩散到晶体管的内侧,而可以抑制在金属氧化物230中生成氧空位。此外,可以抑制导电体205的第一导电体与绝缘体224及金属氧化物230所包含的氧起反应。

[0160] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铈、氧化硅、氧化钛、氧化钨、氧化钇或氧化锆。或者,也可以对上述绝缘体进行氮化处理。此外,作为绝缘体222还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅而使用。

[0161] 此外,作为绝缘体222,例如也可以以单层结构或叠层结构使用包含氧化铝、氧化铅、氧化钽、氧化锆、铅锆金属氧化物等所谓的high-k材料的绝缘体。当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,作为绝缘体222有时可以使用锆钛酸铅(PZT)、钛酸锶(SrTiO_3)或 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)等介电常数高的物质。

[0162] 与金属氧化物230接触的绝缘体224例如优选包含氧化硅或氧氮化硅等。

[0163] 此外,绝缘体222及绝缘体224各自也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料形成的叠层结构。

[0164] 作为导电体242及导电体260优选各自使用不容易氧化的导电材料或者具有抑制氧扩散的功能的导电材料。作为该导电材料例如可以举出包含氮的导电材料及包含氧的导电材料。由此,可以抑制导电体242及导电体260的导电率降低。在作为导电体242及导电体260使用包含金属及氮的导电材料时,导电体242及导电体260至少包含金属及氮。

[0165] 导电体242既可具有单层结构又可具有叠层结构。此外,导电体260既可具有单层结构又可具有叠层结构。

[0166] 例如在图2A中,导电体242具有第一导电体与第一导电体上的第二导电体的两层结构。此时,作为与金属氧化物230b接触的导电体242的第一导电体,优选使用不容易氧化的导电材料或者具有抑制氧扩散的功能的导电材料。由此,可以抑制导电体242的导电率降

低。此外,作为导电体242的第一导电体,优选使用容易吸收氢(容易抽出氢)的材料,由此可以降低金属氧化物230的氢浓度。

[0167] 此外,导电体242的第二导电体的导电性优选高于导电体242的第一导电体的导电性。例如,导电体242的第二导电体的厚度优选大于导电体242的第一导电体的厚度。

[0168] 例如,作为导电体242的第一导电体,可以使用氮化钽或氮化钛,并且作为导电体242的第二导电体,可以使用钨。

[0169] 为了抑制导电体242的导电率下降,优选使用CAAC-OS等具有结晶性的氧化物作为金属氧化物230b。尤其优选使用包含选自铟、锌、镓、铝和锡中的一个或多个的金属氧化物。通过使用CAAC-OS,可以抑制导电体242从金属氧化物230b抽出氧。此外,可以抑制导电体242的导电率下降。

[0170] 作为导电体242例如优选使用包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用氧化钪、氮化钪、包含锶和钪的氧化物或包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0171] 注意,例如有时包含在金属氧化物230b中的氢扩散到导电体242。尤其是,当作为导电体242使用包含钽的氮化物时,例如包含在金属氧化物230b中的氢容易扩散到导电体242,有时该扩散的氢与导电体242所包含的氮键合。也就是说,例如有时包含在金属氧化物230b等中的氢被导电体242吸收。

[0172] 导电体260以其顶面的高度与绝缘体254的最上部、绝缘体253的最上部及绝缘体280的顶面的高度大致一致的方式配置。

[0173] 导电体260被用作晶体管的第一栅电极。导电体260优选包括第一导电体及第一导电体上的第二导电体。例如,优选以包围导电体260的第二导电体的底面及侧面的方式配置导电体260的第一导电体。

[0174] 例如,在图2A中,导电体260具有两层结构。此时,作为导电体260的第一导电体,优选使用不容易氧化的导电材料或具有抑制氧的扩散的功能的导电材料。

[0175] 作为导电体260的第一导电体优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子或铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能的导电材料。

[0176] 此外,当导电体260的第一导电体具有抑制氧扩散的功能时,例如可以抑制绝缘体280所包含的氧使导电体260的第二导电体氧化而导致导电率的下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钪或氧化钪等。

[0177] 此外,导电体260优选使用导电性高的导电体。例如,导电体260的第二导电体可以使用钨、铜或铝为主要成分的导电材料。此外,导电体260的第二导电体可以具有叠层结构,例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0178] 此外,在晶体管中,例如以填充形成于绝缘体280的开口中的方式自对准地形成导电体260。通过如此形成导电体260,可以在一对导电体242之间的区域中无需对准并确实地配置导电体260。

[0179] 绝缘体216、绝缘体280、绝缘体286以及绝缘体185各自的介电常数优选低于绝缘

体214的介电常数。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0180] 例如,绝缘体216、绝缘体280、绝缘体286以及绝缘体185各自优选包含氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅以及具有空孔的氧化硅中的一个或多个。

[0181] 尤其是,氧化硅及氮化硅具有热稳定性,所以是优选的。或者,因为氧化硅、氮化硅、具有空孔的氧化硅等材料可以容易形成包含通过加热脱离的氧的区域,所以是特别优选的。

[0182] 另外,绝缘体216、绝缘体280、绝缘体286及绝缘体185的顶面也可以分别被平坦化。

[0183] 优选降低绝缘体280中的水及氢等的杂质浓度。例如,绝缘体280优选包含如氧化硅或氮化硅等包含硅的氧化物。

[0184] 此外,在绝缘体280的开口部,绝缘体280的侧壁既可大致垂直于绝缘体222的顶面又可为锥形形状。通过将侧壁形成为锥形形状,例如可以提高设置在绝缘体280的开口部的绝缘体253的覆盖性来减少空洞等缺陷。

[0185] 注意,在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面或被形成面倾斜地设置的形状。例如,优选具有倾斜的侧面与衬底面或被形成面所形成的角度(以下也称为锥角)小于 90° 的区域。注意,结构的侧面及衬底面不一定需要为完全的平坦,也可以为具有微小曲率的近似平面状或具有微细凹凸的近似平面状。

[0186] 电容器101所具有的导体151及导体160各自可以使用可用于导体205、导体242或导体260的材料。导体151及导体160各自优选使用ALD法或化学气相沉积(CVD:Chemical Vapor Deposition)法等覆盖性优良的沉积法而沉积。

[0187] 导体160包括第一导体及第一导体上的第二导体。例如,作为导体160的第一导体可以使用通过ALD法而沉积的氮化钛,作为导体160的第二导体可以使用通过CVD法而沉积的钨。此外,当钨的相对于绝缘体155的密接性十分高时,作为导体160也可以采用通过CVD法而沉积的钨的单层结构。

[0188] 电容器101所具有的绝缘体155优选使用高介电常数(high-k)材料(相对介电常数高的材料)。绝缘体155优选使用ALD法或CVD法等覆盖性优良的沉积法而沉积。

[0189] 作为高介电常数(high-k)材料的绝缘体,例如可以举出包含选自铝、铪、锆及镱等中的一种以上的金属元素的氧化物、氮氧化物、氮氧化物以及氮化物。此外,上述氧化物、氮氧化物、氮氧化物或氮化物也可以包含硅。此外,也可以层叠由上述材料构成的绝缘体。

[0190] 例如,作为高介电常数(high-k)材料的绝缘体,可以举出氧化铝、氧化铪、氧化锆、包含铝及铪的氧化物、包含铝及铪的氮氧化物、包含硅及铪的氧化物、包含硅及铪的氮氧化物、包含硅及锆的氧化物、包含硅及锆的氮氧化物、包含铪及锆的氧化物以及包含铪及锆的氮氧化物。通过使用这种high-k材料,可以将绝缘体155的厚度增加到能够抑制泄漏电流的程度,并可以充分确保电容器101的静电容量。

[0191] 此外,优选层叠由上述材料构成的绝缘体,优选采用高介电常数(high-k)材料与介电强度比该高介电常数(high-k)材料大的材料的叠层结构。例如,作为绝缘体155,可以使用依次层叠有氧化锆、氧化铝以及氧化锆的绝缘体。此外,例如可以使用依次层叠有氧化

锆、氧化铝、氧化锆以及氧化铝的绝缘体。此外,例如可以使用依次层叠有铪锆氧化物、氧化铝、铪锆氧化物以及氧化铝的绝缘膜。通过层叠像氧化铝那样的介电强度比较大的绝缘体,可以提高介电强度来抑制电容器101的静电破坏。

[0192] 导体240优选具有第一导体与第二导体的叠层结构。例如,如图2A所示,在导体240中,第一导体与开口的内壁接触,再者,在其内侧设置第二导体。导体240的第一导体具有与导体209的顶面、绝缘体216的侧面、导体242的顶面及侧面、绝缘体275的侧面、绝缘体280的侧面和绝缘体282的侧面中的至少一部分接触的区域。

[0193] 作为导体240的第一导体,优选使用具有抑制水及氢等杂质透过的功能的导电材料。导体240的第一导体例如可以具有钽、氮化钽、钛、氮化钛、钇以及氧化钇中的一个或多个的单层结构或叠层结构。由此,可以抑制水及氢等杂质通过导体240混入金属氧化物230中。

[0194] 此外,因为导体240还被用作布线,所以优选使用导电性高的导体。例如,导体240的第二导体优选使用以钨、铜或铝为主要成分的导电材料。

[0195] 例如,作为导体240的第一导体优选使用氮化钛,作为导体240的第二导体优选使用钨。在此情况下,导体240的第一导体为包含钛及氮的导体,导体240的第二导体为包含钨的导体。此外,导体240也可以具有单层结构或三层以上的叠层结构。

[0196] 图7是示出本发明的一个方式的半导体装置的结构例子的截面图。在图7所示的半导体装置中,在图1所示的结构之下例如设置有包括晶体管300的层21。晶体管300例如可以设置于形成在绝缘体210以上的层中的存储单元的驱动电路。此外,图7中的绝缘体210以上的层的结构与图1同样,由此省略详细说明。

[0197] 图7示出晶体管300。晶体管300设置在衬底311上,并包括:用作栅极的导体316、用作栅电极的绝缘体315、包括衬底311的一部分的半导体区域313;以及用作源区域或漏区域的低电阻区域314a及低电阻区域314b。晶体管300可以是p沟道型晶体管或n沟道型晶体管。作为衬底311,例如可以使用单晶硅衬底。

[0198] 在此,在图7所示的晶体管300中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导体316。此外,导体316可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管300也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式包括用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI(Silicon on Insulator:绝缘体上硅)衬底进行加工来形成具有凸形状的半导体膜。

[0199] 注意,图7所示的晶体管300的结构只是一个例子,不局限于上述结构,可以根据电路结构或驱动方法使用适当的晶体管。

[0200] 各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层可以根据设计而设置为多个层。此外,在本说明书等中,布线、与布电线连接的插头也可以是一个构成要素。就是说,有时导体的一部分被用作布线,有时导体的一部分被用作插头。

[0201] 例如,在晶体管300上,作为层间膜依次层叠地设置绝缘体320、绝缘体322、绝缘体

324及绝缘体326。此外,导电体328等嵌入绝缘体320及绝缘体322中。此外,导电体330等嵌入绝缘体324及绝缘体326中。此外,导电体328及导电体330被用作接触插头或布线。

[0202] 此外,用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,为了提高平坦性,绝缘体322的顶面也可以例如通过利用化学机械抛光(CMP:Chemical Mechanical Polishing)法的平坦化处理被平坦化。

[0203] 图8是示出在X方向上排列存储层11_1所包括的两个的存储单元的例子截面图。在图8中,示出作为晶体管201、晶体管202、晶体管203以及电容器101分别包括晶体管201a、晶体管202a、晶体管203a以及电容器101a的存储单元及分别包括晶体管201b、晶体管202b、晶体管203b以及电容器101b的存储单元。

[0204] 如图8所示,导电体240b可以与晶体管203a所具有的导电体242e及晶体管203b所具有的导电体242e电连接。由此,例如在X方向上相邻的两个存储单元可以共用导电体240b。此外,导电体240a例如可以与在X方向上相邻的两个导电体242a电连接。由此,例如在X方向上相邻的两个存储单元也可以共用导电体240a。

[0205] 图9A及图9B是示出具有图2A等所示的结构的一个例子的平面图,并示出XY平面的结构例子。

[0206] 图9A示出晶体管201、晶体管202、晶体管203、导电体240a以及导电体240b。图9B示出对图9A追加电容器101的结构。在图9B中,作为本发明的一个方式的存储单元的存储单元10包括晶体管201、晶体管202、晶体管203以及电容器101。此外,在图9A及图9B中,省略了导电体以外的构成要素。

[0207] 如图9B所示,包括用作电容器101的一个电极的区域的导电体151及包括用作电容器101的另一个电极的区域的导电体160的形状比矩形复杂,具体为顶点个数比矩形多的形状。由此,与导电体151及导电体160为矩形的情况相比,可以在确保导电体151与导电体160重叠的面积的同时降低存储单元10的占有面积。因此,可以以高密度配置存储单元10,从而提高存储单元10的集成度,并可以增加半导体装置的存储容量。例如,在图9B所示的各种导电体通过线与间隙图案而形成的情况下,线/间隙=20nm/20nm,两个图案重叠的部分的裕度为10nm,并且对导电体240加上用来防止重叠于该导电体240的两个导电体242中的一个不与该导电体240重叠的情况的裕度5nm,来设计为25nm×25nm,由此存储单元10的面积为80nm×245nm=0.0196 μm^2 。此外,例如,图1所示的存储层11_1至存储层11_n各自的单元密度为51.0cell/ μm^2 。

[0208] 图10A及图10B是示出与图9A及图9B不同的具有图2A等所示的结构的一个例子的平面图,并示出XY平面的结构例子。图10B示出对图10A追加电容器101的结构,其中存储单元10包括晶体管201、晶体管202、晶体管203以及电容器101。

[0209] 在图10B所示的结构中,包括用作电容器101的一个电极的区域的导电体151及包括用作电容器101的另一个电极的区域的导电体160的形状为矩形。由此,与图9B所示的半导体装置相比,更容易制造图10B所示的半导体装置。

[0210] <半导体装置的制造方法例子_1>

以下说明本发明的一个方式的半导体装置的制造方法例子。在此,以制造图1所示的半导体装置的情况为例进行说明。

[0211] 以下,用来形成绝缘体的绝缘材料、用来形成导电体的导电材料或用来形成半导

体的半导体材料可以适当地使用溅射法、CVD法、MBE法、PLD法、ALD法等沉积。

[0212] 作为溅射法,可以举出将高频电源用于溅射用电源的RF(Radio Frequency:射频)溅射法、利用直流电源的DC溅射法、以脉冲方式改变施加到电极的电压的脉冲DC溅射法。RF溅射法主要在沉积绝缘膜时使用,DC溅射法主要在沉积金属导电膜时使用。此外,脉冲DC溅射法主要在利用反应性溅射法沉积氧化物、氮化物或碳化物等化合物时使用。

[0213] 注意,CVD法可以分为利用等离子体的等离子体CVD(PECVD)法、利用热的热CVD(TCVD:Thermal CVD)法、利用光的光CVD(Photo CVD)法等。再者,可以根据使用的源气体分为金属CVD(MCVD:Metal CVD)法、有机金属CVD(MOCVD:Metal Organic CVD)法。

[0214] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。此外,因为在热CVD法中不使用等离子体,所以能够减少对被处理物造成的等离子体损伤。例如,包括在半导体装置中的布线、电极、元件(晶体管、电容器等)等有时因从等离子体接收电荷而会产生电荷积聚。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极、元件等受损伤。另一方面,因为在不使用等离子体的热CVD法的情况下不产生上述等离子体损伤,所以能够提高半导体装置的成品率。此外,在热CVD法中,不产生沉积时的等离子体损伤,因此能够得到缺陷较少的膜。

[0215] 作为ALD法,可以采用只利用热能使前驱物及反应物起反应的热ALD法、使用受到等离子体激发的反应物的PEALD法等。

[0216] CVD法及ALD法不同于从靶材等中被释放的粒子沉积的溅射法。因此,CVD法及ALD法是具有良好的台阶覆盖性而不易受被处理物的形状的影响的沉积方法。尤其是,ALD法具有良好的台阶覆盖性和厚度均匀性,所以ALD法例如适合用于形成覆盖纵横比高的开口部的表面的情况。但是,ALD法的沉积速率比较慢,所以有时优选与沉积速率快的CVD法等其他沉积方法组合而使用。

[0217] 此外,当使用CVD法时,可以根据源气体的流量比沉积任意组成的膜。例如,当使用CVD法时,可以通过在进行沉积的同时改变源气体的流量比来沉积其组成连续变化的膜。当在改变源气体的流量比的同时进行沉积时,因为不需要传送或调整压力所需的时间,所以与使用多个沉积室进行沉积的情况相比可以缩短沉积时间。因此,有时可以提高半导体装置的生产率。

[0218] 当使用ALD法时,通过同时导入不同的多种前驱物,可以沉积任意组成的膜。或者,在导入不同的多种前驱物时,通过控制各前驱物的循环次数可以沉积任意组成的膜。

[0219] 首先,准备衬底(未图示),在该衬底上形成导电体209a、导电体209b以及绝缘体210。接着,在导电体209a、导电体209b以及绝缘体210上形成绝缘体212,在绝缘体212上形成绝缘体214(图11A)。

[0220] 绝缘体212及绝缘体214优选通过ALD法而沉积。此外,绝缘体212及绝缘体214也可以通过溅射法、CVD法、MBE法或PLD法而沉积。

[0221] 在本实施方式中,作为绝缘体212,使用PEALD法沉积氮化硅。此外,作为绝缘体214,使用ALD法沉积氧化铪。

[0222] 通过使用像氮化硅及氧化铪那样不容易透过水及氢等杂质的绝缘体作为绝缘体212及绝缘体214,可以抑制绝缘体212以下的层所包含的水及氢等杂质的扩散。此外,通过使用氮化硅及氧化铪等不容易透过铜的绝缘体作为绝缘体212及绝缘体214,即使在导电体

209a及导体209b等的绝缘体212以下的层中的导体使用铜等容易扩散的金属的情况下也可以抑制该金属通过绝缘体212扩散到上方。

[0223] 接着,在绝缘体212及绝缘体214中以与导体209a重叠的方式形成到达导体209a的开口291a。此外,在绝缘体212及绝缘体214中以与导体209b重叠的方式形成到达导体209b的开口291b(图11B)。在形成开口291a及开口291b时,可以使用湿蚀刻,但是对微细加工来说干蚀刻是优选的。在此,也可以不在绝缘体212中形成开口291a及开口291b。

[0224] 作为干蚀刻装置,可以使用包括平行平板型电极的电容耦合型等离子体(CCP: Capacitively Coupled Plasma)蚀刻装置。包括平行平板型电极的电容耦合型等离子体蚀刻装置也可以采用对平行平板型电极中的一方施加高频电压的结构。或者,也可以采用对平行平板型电极中的一方施加不同的多个高频电压的结构。或者,也可以采用对平行平板型电极的各个施加频率相同的高频电压的结构。或者,也可以采用对平行平板型电极的各个施加频率不同的高频电压的结构。或者,也可以利用具有高密度等离子体源的干蚀刻装置。例如,作为具有高密度等离子体源的干蚀刻装置,可以使用感应耦合等离子体(ICP: Inductively Coupled Plasma)蚀刻装置。

[0225] 接着,以覆盖开口291a及开口291b的方式在绝缘体214、导体209a以及导体209b上形成绝缘体216(图11C)。

[0226] 在本实施方式中,作为绝缘体216在包含氧气体气氛下使用硅靶材通过脉冲DC溅射法沉积氧化硅。通过使用脉冲DC溅射法,可以使厚度分布更均匀而提高溅射速率及膜品质。

[0227] 接着,在绝缘体216中形成到达绝缘体214的开口207a、开口207b及开口207c(图11D)。开口207a、开口207b及开口207c可以在同一工序中同时制造。在形成开口207a、开口207b及开口207c时,可以利用湿蚀刻,但是对微细加工来说干蚀刻是优选的。注意,在形成开口207a、开口207b及开口207c时,有时绝缘体214的一部分被去除。由此,有时绝缘体214的与开口207a、开口207b或开口207c重叠的区域中形成有凹部。

[0228] 接着,沉积成为导体205的导电膜。该导电膜优选采用具有抑制氧透过的功能的导电膜与电阻率比该导电膜低的导电膜的叠层结构。作为具有抑制氧透过的功能的导电膜,例如优选包含氮化钽、氮化钨以及氮化钛中的一个或多个。此外,作为该导电膜,可以采用具有抑制氧透过的功能的导电膜与钽、钨、钛、钼、铝、铜或钼钨合金的叠层结构。此外,作为电阻率低的导电膜,优选包含钽、钨、钛、钼、铝、铜以及钼钨合金中的一个或多个。这些导电膜例如通过溅射法、镀法、CVD法、MBE法、PLD法或ALD法而沉积。

[0229] 在本实施方式中,作为成为导体205的导电膜,在下层中沉积氮化钛并在上层中沉积钨。通过将金属氮化物用于导体205的下层,例如可以抑制导体205被绝缘体216氧化。此外,在将容易扩散的金属用于导体205的上层的情况下,也可以防止该金属从导体205向外扩散。

[0230] 接着,通过进行CMP处理去除成为导体205的导电膜的一部分,来使绝缘体216露出。其结果,开口207a内部、开口207b内部及开口207c内部形成有导体205(图11E)。在此,形成在开口207a内部的导体205包括在后面的工序中形成的晶体管201中。另外,形成在开口207b内部的导体205包括在后面的工序中形成的晶体管202中。并且,形成在开口207c内部的导体205包括在后面的工序中形成的晶体管203中。注意,有时通过该CMP处理

而绝缘体216的一部分被去除。由此,可以使绝缘体216平坦化。

[0231] 接着,在绝缘体216及导电体205上沉积绝缘体222(图11F)。

[0232] 作为绝缘体222,优选形成包含铝和铪中的一个或两个的氧化物的绝缘体。作为该绝缘体,例如优选使用氧化铝、氧化铪、包含铝及铪的金属氧化物(铝酸铪)。或者,优选使用铪铪氧化物。此外,绝缘体222可以具有包含铝及铪中的一个或两个的氧化物的绝缘膜与包含氧化硅、氧氮化硅、氮化硅或氮氧化硅的绝缘膜的叠层结构。

[0233] 绝缘体222例如可以通过溅射法、CVD法、MBE法、PLD法或ALD法而沉积。在本实施方式中,作为绝缘体222利用ALD法沉积氧化铪。此外,绝缘体222也可以具有通过PEALD法沉积的氮化硅与通过ALD法沉积的氧化铪的叠层结构。

[0234] 接着,优选进行加热处理。加热处理的温度优选为250°C以上且650°C以下,更优选为300°C以上且500°C以下,进一步优选为320°C以上且450°C以下。加热处理在氮气体或非活性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,当在氮气体和氧气体的混合气氛下进行加热处理时,优选将氧气体的比率设为20%左右。加热处理也可以在减压状态下进行。或者,也可以在氮气体或非活性气体气氛下进行加热处理,然后为了填补脱离了氧的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理。

[0235] 此外,在上述加热处理中使用的气体优选被高纯度化。例如,在上述加热处理中使用的气体所包含的水分量优选为1ppb以下,更优选为0.1ppb以下,进一步优选为0.05ppb以下。通过使用高纯度化了的气体进行加热处理,例如可以尽可能地防止水分被绝缘体222吸收。

[0236] 在本实施方式中,作为加热处理在沉积绝缘体222后以氮气体与氧气体的流量比为4:1且400°C的温度进行1小时的处理。通过进行该加热处理,例如可以去除绝缘体222所包含的水、氢等杂质等。此外,在作为绝缘体222使用含铪氧化物时,有时通过进行该加热处理绝缘体222的一部分被晶化。此外,例如也可以在沉积绝缘体224f之后的时序进行加热处理。

[0237] 接着,在绝缘体222上沉积绝缘膜224f(图11F)。

[0238] 例如可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积绝缘膜224f。在本实施方式中,作为绝缘膜224f利用溅射法沉积氧化硅。通过使用不需要利用包含氢的分子作为沉积气体的溅射法,可以降低绝缘膜224f中的氢浓度。绝缘膜224f在后面工序中与金属氧化物接触,所以如此那样氢浓度得到降低是优选的。

[0239] 接着,在绝缘膜224f上沉积金属氧化膜230af,在金属氧化膜230af上沉积金属氧化膜230bf(图11F)。优选在不暴露于大气环境的情况下连续地沉积金属氧化膜230af及金属氧化膜230bf。通过不暴露于大气而进行沉积,由于可以防止来自大气环境的杂质或水分附着于金属氧化膜230af与金属氧化膜230bf的界面附近,所以可以保持该界面附近的清洁。

[0240] 金属氧化膜230af及金属氧化膜230bf各自例如可以利用溅射法、CVD法、MBE法、PLD法或ALD法而沉积。在本实施方式中,在金属氧化膜230af及金属氧化膜230bf的沉积中利用溅射法。

[0241] 例如,在利用溅射法沉积金属氧化膜230af以及金属氧化膜230bf的情况下,作为

溅射气体使用氧或者氧和稀有气体的混合气体。通过提高溅射气体所包含的氧的比率,可以增加所沉积的金属氧化膜230af及金属氧化膜230bf中的过剩氧。此外,在利用溅射法沉积金属氧化膜230af及金属氧化膜230bf的情况下,例如可以使用In-M-Zn氧化物靶材。

[0242] 尤其是,在沉积金属氧化膜230af时,有时溅射气体所包含的氧的一部分供应给绝缘膜224f。因此,该溅射气体所包含的氧的比率优选为70%以上,更优选为80%以上,进一步优选为100%。

[0243] 在利用溅射法形成金属氧化膜230bf的情况下,通过在溅射气体所包含的氧的比率超过30%且为100%以下,优选为70%以上且100%以下的条件下进行沉积,可以形成氧过剩型氧化物半导体。将氧过剩型氧化物半导体用于沟道形成区域的晶体管可以得到比较高的可靠性。注意,本发明的一个方式不局限于此。在利用溅射法形成金属氧化膜230bf的情况下,通过在溅射气体所包含的氧的比率设定为1%以上且30%以下,优选为5%以上且20%以下的条件下进行沉积,可以形成氧缺乏型氧化物半导体。将氧缺乏型氧化物半导体用于沟道形成区域的晶体管可以具有较高的场效应迁移率。此外,通过在加热衬底的同时进行沉积,可以提高该氧化膜的结晶性。

[0244] 在本实施方式中,利用溅射法使用In:Ga:Zn=1:3:4[原子个数比]的氧化物靶材沉积金属氧化膜230af。此外,利用溅射法使用In:Ga:Zn=4:2:4.1[原子个数比]的氧化物靶材、In:Ga:Zn=1:1:1[原子个数比]的氧化物靶材、In:Ga:Zn=1:1:1.2[原子个数比]的氧化物靶材或者In:Ga:Zn=1:1:2[原子个数比]的氧化物靶材沉积金属氧化膜230bf。各氧化膜可以根据氧化物230a及氧化物230b所需的特性适当地选择沉积条件及原子个数比来形成。

[0245] 注意,优选通过溅射法以不暴露于大气的方式沉积绝缘膜224f、金属氧化膜230af及金属氧化膜230bf。例如,优选使用多室方式沉积装置。由此,可以抑制各沉积工序之间氢混入绝缘膜224f、金属氧化膜230af及金属氧化膜230bf。

[0246] 金属氧化膜230af及金属氧化膜230bf也可以利用ALD法沉积。通过利用ALD法沉积金属氧化膜230af及金属氧化膜230bf,对纵横比大的槽或开口部也可以形成厚度均匀的膜。此外,通过利用PEALD法,与热ALD法相比可以以更低温度形成金属氧化膜230af及金属氧化膜230bf。

[0247] 接着,优选进行加热处理。在金属氧化膜230af及金属氧化膜230bf不被多晶化的温度范围内进行加热处理即可。加热处理的温度优选为250°C以上且650°C以下,更优选为400°C以上且600°C以下。

[0248] 此外,作为加热处理的气氛,可以举出与可应用于沉积绝缘体222之后进行的加热处理的气氛同样的气氛。

[0249] 此外,与沉积绝缘体222之后进行的加热处理同样,加热处理中使用的气体优选被高纯度化。通过使用高纯度化了的气体进行加热处理,可以尽可能地防止水分等被金属氧化膜230af及金属氧化膜230bf等吸收。

[0250] 在本实施方式中,作为加热处理,在氮气体与氧气体的流量比为4:1且温度为400°C的条件下进行1小时的处理。通过进行这种包含氧气体的加热处理,可以减少金属氧化膜230af中及金属氧化膜230bf中的碳、水及氢等杂质。通过如此减少膜中的杂质,金属氧化膜230af及金属氧化膜230bf的结晶性得到提高,可以实现密度更高的致密结构。由此,可以增

大金属氧化膜230af中及金属氧化膜230bf中的结晶区域,并可以降低金属氧化膜230af中及金属氧化膜230bf中的结晶区域的面内不均匀。因此,可以降低晶体管的电特性的面内不均匀。

[0251] 此外,通过进行加热处理,绝缘体216、绝缘膜224f、金属氧化膜230af及金属氧化膜230bf中的氢转移到绝缘体222而被绝缘体222吸收。换言之,绝缘体216、绝缘膜224f、金属氧化膜230af及金属氧化膜230bf中的氢扩散到绝缘体222。因此,虽然绝缘体222的氢浓度增高,但绝缘体216、绝缘膜224f、金属氧化膜230af及金属氧化膜230bf中的氢浓度都降低。

[0252] 尤其是,绝缘膜224f(后面成为绝缘体224)被用作晶体管201、晶体管202及晶体管203的栅极绝缘体,金属氧化膜230af及金属氧化膜230bf(后面成为金属氧化物230a及金属氧化物230b)被用作晶体管201、晶体管202及晶体管203的沟道形成区域。使用氢浓度得到降低的绝缘膜224f、金属氧化膜230af及金属氧化膜230bf形成的晶体管201、晶体管202及晶体管203具有良好的可靠性,因此这是优选的。

[0253] 接着,例如,通过使用光刻法及蚀刻法,将绝缘膜224f、金属氧化膜230af及金属氧化膜230bf加工为岛状来形成绝缘体224、金属氧化物230a及金属氧化物230b(图11G)。在此,绝缘体224、金属氧化物230a及金属氧化物230b以具有与导体205重叠的区域的方式形成。此外,如上所述,晶体管202与晶体管203共用绝缘体224、金属氧化物230a及金属氧化物230b。

[0254] 如图11G所示,绝缘体224、金属氧化物230a及金属氧化物230b的侧面形状也可以为锥形形状。绝缘体224、金属氧化物230a及金属氧化物230b的侧面的锥角例如也可以为 60° 以上且小于 90° 。在侧面具有这样的锥形形状时,例如后面工序中的绝缘体275的覆盖性得到提高,可以减少空洞等缺陷。

[0255] 但是,不局限于此,也可以采用绝缘体224、金属氧化物230a及金属氧化物230b的侧面大致垂直于绝缘体222的顶面的结构。通过采用这样的结构,在设置多个晶体管时可以实现小面积化及高密度化。

[0256] 上述加工可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微细加工。此外,绝缘膜224f、金属氧化膜230af及金属氧化膜230bf的加工也可以以互不相同的条件进行。

[0257] 注意,在光刻法中,首先通过掩模对抗蚀剂进行曝光。接着,使用显影液去除或留下所曝光的区域来形成抗蚀剂掩模。例如,可以使用KrF受激准分子激光、ArF受激准分子激光或EUV(Extreme Ultraviolet:极紫外)光等对抗蚀剂进行曝光来形成抗蚀剂掩模。此外,也可以利用在衬底和投影透镜之间填满液体(例如,水)的状态下进行曝光的液浸技术。此外,通过进行灰化处理等干蚀刻处理、进行湿蚀刻处理、在进行干蚀刻处理之后进行湿蚀刻处理或者在进行湿蚀刻处理之后进行干蚀刻处理,可以去除抗蚀剂掩模。在使用光刻法形成抗蚀剂掩模之后,可以通过该抗蚀剂掩模进行蚀刻处理,以将导电膜、半导体膜或绝缘膜等加工为所希望的形状。如此,通过使用光刻法或蚀刻法,可以形成导体、半导体或绝缘体等。此外,也可以使用电子束或离子束代替上述光。注意,当使用电子束或离子束时,不需要掩模。

[0258] 再者,也可以在抗蚀剂掩模下使用由绝缘体或导体构成的硬掩模。当使用硬掩

模时,可以在金属氧化膜230bf上形成成为硬掩模材料的绝缘膜或导电膜且在其上形成抗蚀剂掩模,然后对硬掩模材料进行蚀刻来形成所希望的形状的硬掩模。例如对金属氧化膜230bf进行的蚀刻既可以在去除抗蚀剂掩模后进行,又可以不去除抗蚀剂掩模进行。在采用后者的情况下,在进行蚀刻时有时抗蚀剂掩模消失。例如可以在对金属氧化膜230bf进行蚀刻之后,通过蚀刻去除硬掩模。另一方面,在硬掩模材料没有影响到后工序或者可以在后工序中使用硬掩模材料的情况下,不一定需要去除硬掩模。

[0259] 接着,在绝缘体222中以与导电体209a重叠的方式形成到达绝缘体216的开口292a。此外,在绝缘体222中以与导电体209b重叠的方式形成到达绝缘体216的开口292b(图12A)。开口292a以包括与开口291a重叠的区域的方式形成,开口292b以包括与开口291b重叠的区域的方式形成。开口292a及开口292b可以使用与开口291a及开口291b的形成方法同样的方法而形成。此外,当在绝缘体222中形成开口时,有时绝缘体216的一部分被去除。由此,有时在绝缘体216的与开口292a重叠的区域及与开口292b重叠的区域形成凹部。此外,在绝缘体222具有两层以上的叠层结构的情况下,有时只在绝缘体222所具有的多个层中的部分层中形成开口292a及开口292b。例如,在绝缘体222具有包含氮化硅的膜与包含氧化钨的膜的叠层结构的情况下,有时开口292a及开口292b不形成在包含氮化硅的膜中。

[0260] 接着,在金属氧化物230b上、绝缘体222上及绝缘体216上形成导电膜。该导电膜例如可以使用溅射法、CVD法、MBE法、PLD法或ALD法而形成。此外,在沉积该导电膜之前也可以进行加热处理。该加热处理也可以在减压下进行,并其中以不暴露于大气的方式连续地沉积导电膜。通过进行这种处理,可以去除附着于金属氧化物230b的表面的水分及氢,而且减少金属氧化物230a及金属氧化物230b中的水分浓度及氢浓度。加热处理的温度优选为100°C以上且400°C以下。在本实施方式中,将加热处理的温度设定为200°C。

[0261] 接着,通过使用光刻法及蚀刻法加工上述导电膜,形成覆盖金属氧化物230b的顶面及侧面、金属氧化物230a的侧面、绝缘体224的侧面、绝缘体222的顶面及侧面的导电层242A及导电层242B(图12B)。在此,导电层242A以覆盖晶体管201的金属氧化物230b的顶面及侧面、金属氧化物230a的侧面以及绝缘体224的侧面的方式形成。此外,导电层242B以覆盖晶体管202及晶体管203的金属氧化物230b的顶面及侧面、金属氧化物230a的侧面以及绝缘体224的侧面的方式形成。

[0262] 再者,导电层242A的一部分形成在开口292a的内部,导电层242B的一部分形成在开口292b的内部。也就是说,导电层242A的端部的一部分形成在开口292a中,导电层242B的端部的一部分形成在开口292b中。此外,开口292a及开口292b具有不与导电层242A及导电层242B重叠的区域。

[0263] 在本实施方式中,作为成为导电层242A及导电层242B的导电膜,采用通过溅射法沉积的氮化钽与钨的叠层结构。在此,包含钨的膜的加工与包含氮化钽的膜的加工既可在同一条件下进行又可在不同条件下进行。

[0264] 接着,在导电层242A上、导电层242B上、绝缘体222上及绝缘体216上沉积绝缘体275,在绝缘体275上沉积绝缘体280(图12C)。作为绝缘体280,优选形成成为绝缘体280的绝缘膜,对该绝缘膜进行CMP处理,以形成顶面平坦的绝缘体。此外,也可以在绝缘体280上例如通过溅射法沉积氮化硅,并对该氮化硅膜进行CMP处理直到到达绝缘体280为止。

[0265] 绝缘体275及绝缘体280各自例如可以利用溅射法、CVD法、MBE法、PLD法或ALD法等

沉积。

[0266] 绝缘体275优选使用具有抑制氧透过的功能的绝缘体。例如,作为绝缘体275优选利用ALD法,具体为PEALD法沉积氮化硅。此外,作为绝缘体275优选利用溅射法沉积氧化铝且在其上利用PEALD法沉积氮化硅。在绝缘体275具有这种叠层结构时,可以实现抑制水、氢等杂质及氧的扩散的功能的提高。

[0267] 如此,可以由具有抑制氧扩散的功能的绝缘体275覆盖绝缘体224、金属氧化物230a、金属氧化物230b、导电层242A及导电层242B。由此,可以抑制在后面工序中氧从绝缘体280等直接扩散到绝缘体224、金属氧化物230a、金属氧化物230b、导电层242A及导电层242B中。

[0268] 例如,作为绝缘体280优选使用利用溅射法形成的氧化硅。通过在含氧气氛下使用溅射法沉积绝缘体280,可以形成包含过剩氧的绝缘体280。通过使用不需要利用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体280中的氢浓度。此外,在沉积该绝缘膜之前也可以进行加热处理。该加热处理也可以在减压下进行,并其中以不暴露于大气的方式连续地沉积该绝缘膜。通过进行这种处理,可以去除附着于绝缘体275的表面等的水分及氢,而且减少金属氧化物230a、金属氧化物230b及绝缘体224中的水分浓度及氢浓度。该加热处理可以采用上述加热处理的条件。

[0269] 然后,通过使用光刻法及蚀刻法加工导电层242A、绝缘体275及绝缘体280,形成到达金属氧化物230b的开口258a。此外,通过加工导电层242B、绝缘体275及绝缘体280,形成到达金属氧化物230b的开口258b及开口258c。通过形成开口258a,形成导电体242a及导电体242b。此外,通过形成开口258b及开口258c,形成导电体242c、导电体242d及导电体242e(图13A)。开口258a、开口258b及开口258c具有与导电体205重叠的区域。此外,导电层242A及导电层242B的加工、绝缘体275的加工以及绝缘体280的加工也可以在分别不同的条件下进行。此外,也可以在同一条件下进行绝缘体275的加工及绝缘体280的加工,在与该条件不同的条件下进行导电层242A及导电层242B的加工。

[0270] 通过上述蚀刻处理,有时杂质附着于金属氧化物230b的顶面、导电体242a至导电体242e的侧面、绝缘体275的侧面以及绝缘体280的侧面等。或者,有时该杂质扩散到它们的内部。此时,也可以进行去除这些杂质的工序。此外,尤其在使用干蚀刻法形成开口258a、开口258b及开口258c的情况下,有时在金属氧化物230b的表面上形成损伤区域。这样的损伤区域也可以被去除。作为该杂质,例如可以举出起因于如下成分的杂质:绝缘体280、绝缘体275、导电体242a至导电体242e所包含的成分;包含于形成开口258a至开口258c时使用的装置的构件中的成分;用于蚀刻的气体或液体所包含的成分等。作为该杂质,例如可以举出铅、铝、硅、钽、氟及氯。

[0271] 尤其是,铝、硅等杂质有时降低金属氧化物230b的结晶性。因此,在金属氧化物230b表面及其附近,优选去除铝或硅等杂质。此外,优选降低该杂质浓度。例如,金属氧化物230b表面及其附近的铝原子的浓度优选为5.0at.%以下,更优选为2.0at.%以下,更优选为1.5at.%以下,进一步优选为1.0at.%以下,尤其优选小于0.3at.%。

[0272] 另外,因铝或硅等杂质,在金属氧化物230b中的结晶性低的区域结晶结构的致密度降低,所以产生大量 V_0 H而晶体管容易被常开启化。由此,优选减少或去除金属氧化物230b中的结晶性低的区域。

[0273] 相对于此,金属氧化物230b优选具有层状的CAAC结构。尤其是,优选金属氧化物230b的漏极的下端部也具有CAAC结构。在此,在晶体管201至晶体管203中,导电体242a至导电体242e及其附近的至少一部分被用作漏极。因此,导电体242a至导电体242e的下端部附近的金属氧化物230b优选具有CAAC结构。如此,通过在对漏极耐压带来显著影响的漏极端部中也去除金属氧化物230b的结晶性低的区域而使其具有CAAC结构,可以进一步抑制晶体管201至晶体管203的电特性的变动。此外,可以进一步提高晶体管201至晶体管203的可靠性。

[0274] 为了去除在上述蚀刻工序中附着于金属氧化物230b表面的杂质,进行洗涤处理。作为洗涤方法,例如有使用洗涤液的湿式洗涤(也可以称为湿蚀刻处理)、使用等离子体的等离子体处理、使用热处理的洗涤等,也可以适当地组合上述洗涤。注意,通过进行该洗涤处理有时上述槽部变深。

[0275] 作为湿式洗涤,可以使用用碳酸水或纯水稀释氨水、草酸、磷酸或氢氟酸中的一个或多个而成的水溶液、纯水或碳酸水等进行。或者,可以使用上述水溶液、纯水或碳酸水进行超声波洗涤。此外,也可以适当地组合上述洗涤。

[0276] 注意,在本说明书等中,有时将用纯水稀释氢氟酸的水溶液称为稀氢氟酸且将用纯水稀释氨水的水溶液称为稀氨水。此外,该水溶液的浓度、温度等可以根据要去除的杂质、被洗涤的半导体装置的结构等适当地调整。稀氨水的氨浓度优选为0.01%以上且5%以下,更优选为0.1%以上且0.5%以下。此外,稀氢氟酸的氟化氢浓度优选为0.01ppm以上且100ppm以下,更优选为0.1ppm以上且10ppm以下。

[0277] 此外,作为超声波洗涤优选使用200kHz以上的频率,更优选使用900kHz以上的频率。通过使用该频率,可以降低对金属氧化物230b造成的损伤。

[0278] 此外,可以多次进行上述洗涤处理,也可以按每个洗涤处理改变洗涤液。例如,也可以作为第一洗涤处理进行使用稀氢氟酸或稀氨水的处理,作为第二洗涤处理进行使用纯水或碳酸水的处理。

[0279] 作为上述洗涤处理,在本实施方式中,使用稀氨水进行湿式洗涤。通过进行该洗涤处理,可以去除附着于金属氧化物230a、金属氧化物230b等的表面或者扩散到其内部的杂质。并且,可以提高金属氧化物230b的结晶性。

[0280] 在进行上述蚀刻或上述洗涤后,也可以进行加热处理。加热处理的温度优选为100°C以上且450°C以下,更优选为350°C以上且400°C以下。加热处理在氮气体或非活性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,加热处理优选在氧气氛下进行。由此,对金属氧化物230a及金属氧化物230b供应氧,从而可以减少氧空位。此外,通过进行上述热处理,可以提高金属氧化物230b的结晶性。加热处理也可以在减压状态下进行。或者,也可以在氧气氛下进行加热处理,然后以不暴露于大气的方式在氮气氛下连续地进行加热处理。

[0281] 接着,通过以填充开口258a、开口258b及开口258c中的方式形成成为绝缘体253的绝缘膜。该绝缘膜例如可以利用ALD法、溅射法、CVD法、MBE法或PLD法沉积,但是优选利用ALD法沉积。绝缘体253优选形成得薄,优选将厚度不均匀性抑制为小。ALD法是交替地导入先驱物及反应物(例如,氧化剂)的沉积方法,由于膜的厚度可以根据反复该循环的次数进行调整,所以可以精密地调整厚度。此外,如图13B所示,绝缘体253优选以高覆盖性形成在

开口258a、开口258b及开口258c的底面及侧面。通过利用ALD法,可以在开口258a、开口258b及开口258c的底面及侧面上一层一层沉积原子的层。由此,可以在开口258a、开口258b及开口258c中以高覆盖性形成绝缘体253。

[0282] 此外,当利用ALD法沉积成为绝缘体253的绝缘膜时,作为氧化剂可以使用臭氧(O_3)、氧(O_2)或水(H_2O)等。通过使用不包含氢的臭氧(O_3)或氧(O_2)等作为氧化剂,可以减少扩散到金属氧化物230b的氢。

[0283] 在本实施方式中,作为成为绝缘体253的绝缘膜通过热ALD法沉积氧化铪。

[0284] 接着,优选在含氧气氛下进行微波处理。在此,微波处理例如是指使用包括利用微波生成高密度等离子体的电源的装置的处理。此外,在本说明书等中,微波是指具有300MHz以上且300GHz以下的频率的电磁波。

[0285] 微波处理例如优选使用包括用微波产生高密度等离子体的电源的微波处理装置。在此,将微波处理装置的频率优选设定为300MHz以上且300GHz以下,更优选为2.4GHz以上且2.5GHz以下,例如可以为2.45GHz。通过使用高密度等离子体,可以生成高密度的氧自由基。此外,微波处理装置的施加微波的电源的功率优选为1000W以上且10000W以下,优选为2000W以上且5000W以下。此外,微波处理装置也可以包括对衬底一侧施加RF的电源。此外,通过对衬底一侧施加RF,可以将由高密度等离子体生成的氧离子高效地导入到金属氧化物230b中。

[0286] 此外,上述微波处理优选在减压下进行,压力优选为10Pa以上且1000Pa以下,更优选为300Pa以上且700Pa以下。此外,处理温度优选为750°C以下,更优选为500°C以下,例如可以为250°C左右。此外,也可以在进行了氧等离子体处理之后以不暴露于大气的方式连续进行热处理。加热处理的温度例如优选为100°C以上且750°C以下,更优选以300°C以上且500°C以下进行。

[0287] 此外,例如,上述微波处理可以使用氧气体及氩气体进行。在此,氧气体流量占用于微波处理的气体流量整体的比例(以下也称为氧流量比)大于0%且为100%以下。优选的是,氧流量比大于0%且为50%以下。更优选的是,氧流量比为10%以上且40%以下。进一步优选的是,氧流量比为10%以上且30%以下。如此,通过在含氧气氛下进行微波处理,可以降低金属氧化物230b中的载流子浓度。此外,通过在微波处理中防止对处理室导入过多的氧,可以防止在金属氧化物230b中载流子浓度过度地降低。

[0288] 通过在含氧气氛下进行微波处理,可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用于金属氧化物230b的导体242a与导体242b间的区域、导体242c与导体242d间的区域及导体242d与导体242e间的区域。通过等离子体或微波等的作用,可以使该区域的 V_0H 分开,从该区域去除氢。换言之,可以减少包含在沟道形成区域中的 V_0H 。因此,可以减少沟道形成区域中的氧空位及 V_0H 而降低载流子浓度。此外,通过对形成在沟道形成区域中的氧空位供应在上述氧等离子体中产生的氧自由基,可以进一步降低沟道形成区域中的氧空位,由此可以降低载流子浓度。

[0289] 另一方面,金属氧化物230b具有与导体242a至导体242e中的任意个重叠的区域。该区域可以被用作源极区域或漏极区域。在此,导体242a至导体242e优选被用作在含氧气氛下进行微波处理时保护免受微波、RF等高频或氧等离子体等的作用的遮蔽膜。由此,导体242a至导体242e优选具有遮蔽300MHz以上且300GHz以下,例如2.4GHz以上且

2.5GHz以下的电磁波的功能。

[0290] 导电体242a至导电体242e遮蔽微波、RF等高频或氧等离子体等的作用。由此,它们不作用于金属氧化物230b的与导电体242a至导电体242e中的任意个重叠的区域。由此,通过微波处理在源极区域及漏极区域中不发生 V_0H 的下降及过多的氧的供应,所以可以防止载流子浓度的降低。

[0291] 此外,在与导电体242a至导电体242e的侧面接触的方式设置有具有氧阻挡性的绝缘体253。因此,可以抑制因微波处理而氧化膜形成在导电体242a至导电体242e的侧面。

[0292] 由于可以提高绝缘体253的膜品质,晶体管的可靠性得到提高。

[0293] 如上所述,可以在金属氧化物的沟道形成区域中选择性地去除氧空位及 V_0H 而使沟道形成区域成为i型或实质上i型。并且,可以抑制用作源极区域或漏极区域的区域被供应过多的氧而保持导电性。由此,可以抑制晶体管的电特性变动而抑制在衬底面内晶体管的电特性不均匀。

[0294] 此外,在微波处理中,有时由于微波与金属氧化物230b中的分子的电磁相互作用而对金属氧化物230b直接传递热能。有时因该加热能而金属氧化物230b被加热。有时将该热处理称为微波退火。通过在含氧气氛下进行微波处理,有时可以得到与氧退火相等的效果。此外,可认为:在金属氧化物230b包含氢时,上述热能传递到金属氧化物230b中的氢而被活性化的氢从金属氧化物230b释放。

[0295] 此外,也可以在沉积成为绝缘体253的绝缘膜之前进行微波处理而不进行沉积该绝缘膜之后的微波处理。

[0296] 此外,也可以在形成成为绝缘体253的绝缘膜后的微波处理之后保持减压状态下进行加热处理。通过进行这种处理,可以高效地去除该绝缘膜中、金属氧化物230b中及金属氧化物230a中的氢。此外,氢的一部分有时被导电体242(导电体242a至导电体242e)吸杂。此外,也可以反复在进行微波处理之后保持减压状态下进行加热处理的步骤。通过反复进行加热处理,可以进一步高效地去除该绝缘膜中、金属氧化物230b中及金属氧化物230a中的氢。注意,加热处理温度优选为 300°C 以上且 500°C 以下。上述微波处理,即微波退火也可以兼作该加热处理。例如在通过微波退火金属氧化物230b充分地加热时,也可以不进行该加热处理。

[0297] 此外,通过进行微波处理而提高成为绝缘体253的绝缘膜的膜品质,可以抑制氢、水、杂质等的扩散。由此,可以抑制因如成为导电体260的导电膜的形成等后工序或如热处理等后处理而氢、水、杂质等经过绝缘体253扩散到金属氧化物230b、金属氧化物230a等。

[0298] 接着,在成为绝缘体253的绝缘膜上形成成为绝缘体254的绝缘膜。该绝缘膜例如可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积。与成为绝缘体253的绝缘膜同样,该绝缘膜优选利用ALD法沉积。通过利用ALD法,可以以高覆盖性沉积较薄的成为绝缘体254绝缘膜。在本实施方式中,作为绝缘膜利用PEALD法沉积氮化硅。

[0299] 接着,在成为绝缘体254的绝缘膜上形成成为导电体260的导电膜。该导电膜可以为单层也可以为两层以上的叠层结构。成为导电体260的导电膜可以通过溅射法、CVD法、MBE法、PLD法或ALD法等沉积。在本实施方式中,成为导电体260的导电膜具有通过ALD法沉积的氮化钛与通过CVD法沉积的钨的叠层结构。

[0300] 接着,利用CMP处理直到绝缘体280露出为止对成为绝缘体253的绝缘膜、成为绝缘

体254的绝缘膜、成为导电体260的导电膜进行抛光。也就是说,去除成为绝缘体253的绝缘膜、成为绝缘体254的绝缘膜、成为导电体260的导电膜的从开口258a、开口258b及开口258c露出的一部分。由此,在开口258a、开口258b及开口258c的内部形成绝缘体253、绝缘体254及导电体260(图13B)。

[0301] 由此,绝缘体253以与开口258a、开口258b及开口258c的内壁及侧面接触的方式设置。此外,导电体260以隔着绝缘体253及绝缘体254嵌入开口258a、开口258b及开口258c中的方式形成。由此,形成晶体管201、晶体管202及晶体管203。如上所述,可以在同一工序中同时制造晶体管201、晶体管202及晶体管203。

[0302] 接着,也可以在与上述加热处理同样的条件下进行加热处理。在本实施方式中,在氮气氛下以400°C的温度进行1小时的处理。通过该加热处理,可以减少绝缘体280中的水分浓度及氢浓度。此外,在上述加热处理之后,以不暴露于大气的方式连续地进行绝缘体282的沉积。

[0303] 接着,在绝缘体253、绝缘体254、导电体260及绝缘体280上沉积绝缘体282(图13C)。绝缘体282可以通过溅射法、CVD法、MBE法、PLD法或ALD法沉积。绝缘体282优选利用溅射法沉积。通过利用不需要使用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体282中的氢浓度。

[0304] 在本实施方式中,作为绝缘体282在包含氧气体气氛下使用铝靶材通过脉冲DC溅射法沉积氧化铝。通过利用脉冲DC溅射法,可以使厚度更均匀而提高溅射速率及膜品质。此外,将对衬底施加的RF功率设定为 $1.86\text{W}/\text{cm}^2$ 以下。优选为 $0\text{W}/\text{cm}^2$ 以上且 $0.62\text{W}/\text{cm}^2$ 以下。通过降低RF功率,可以抑制注入到绝缘体280中的氧量。或者,也可以沉积具有两层的叠层结构的绝缘体282。此时,例如,将对衬底施加的RF功率设定为 $0\text{W}/\text{cm}^2$ 来沉积绝缘体282的下层,将对衬底施加的RF功率设定为 $0.62\text{W}/\text{cm}^2$ 来沉积绝缘体282的上层。

[0305] 此外,通过利用溅射法在含氧气氛下沉积绝缘体282,可以在进行沉积的同时对绝缘体280添加氧。由此,可以使绝缘体280包含过剩氧。此时,优选在加热衬底的同时沉积绝缘体282。

[0306] 接着,在绝缘体282、绝缘体280、绝缘体275及绝缘体216中形成到达导电体209a的开口190a及到达导电体209b的开口190b(图14A)。

[0307] 开口190a及开口190b可以利用光刻法及蚀刻法形成。例如,通过利用干蚀刻法对绝缘体282、绝缘体280、绝缘体275及绝缘体216进行加工,可以形成开口190a及开口190b。

[0308] 在此,在绝缘体212及绝缘体214中设置开口291a,在绝缘体222中设置开口292a,并以与开口291a及开口292a重叠的方式设置开口190a,由此可以在绝缘体282中形成开口190a之后在同一条件下形成到达导电体209a的开口190a。另外,在绝缘体212及绝缘体214中设置开口291b且在绝缘体222中设置开口292b,并且以与开口291b及开口292b重叠的方式设置开口190b,由此可以在绝缘体282中形成开口190b之后在同一条件下形成到达导电体209b的开口190b。如此,可以增加可以用于绝缘体的材料的选项。具体而言,可以将其易于加工的条件与绝缘体216、绝缘体275及绝缘体280不同的材料用于绝缘体212、绝缘体214及绝缘体222。注意,在绝缘体282的蚀刻条件与绝缘体280之后的蚀刻条件不同时,可以将其易于加工的条件与绝缘体216、绝缘体275及绝缘体280不同的材料用于绝缘体282。另外,当将其易于加工的条件与绝缘体216、绝缘体275及绝缘体280相同的材料用于绝缘体282

时,可以在同一条件下形成开口190a及开口190b。

[0309] 接着,沉积成为导电体240a₁及导电体240b₁的导电膜。该导电膜优选采用具有抑制水及氢等杂质透过的功能的导电膜与电阻率比上述导电膜低的导电膜的叠层结构。作为具有抑制杂质透过的功能的导电膜,例如可以使用氮化钽或氮化钛。此外,作为电阻率低的导电膜,例如可以使用钨、钼或铜。这些导电膜各自例如可以通过溅射法、CVD法、MBE法、PLD法或ALD法而沉积。

[0310] 接着,通过进行CMP处理去除成为导电体240a₁及导电体240b₁的导电膜的一部分,来使绝缘体282的顶面露出。其结果是,只有开口190a及开口190b中残留有导电膜,由此可以形成具有平坦顶面的导电体240a₁及导电体240b₁(图14B)。在此,在由于开口190a的形成而导电体242a的顶面及侧面被露出的情况下,以具有与导电体242a的顶面接触的区域及与其侧面接触的区域的方式形成导电体240a₁。另外,在由于开口190b的形成而导电体242e的顶面及侧面被露出的情况下,以具有与导电体242e的顶面接触的区域及与其侧面接触的区域的方式形成导电体240b₁。注意,例如直到绝缘体282露出为止进行CMP处理。通过该CMP处理,有时绝缘体282的顶面的一部分被去除。

[0311] 接着,在绝缘体282、绝缘体280及绝缘体275中形成到达导电体242b的开口257。另外,在绝缘体282中形成到达晶体管202中的导电体260的开口259(图15A)。

[0312] 开口257及开口259可以利用光刻法及蚀刻法形成。在此,开口257及开口259可以在同一工序中同时形成,也可以在不同工序中形成。当在不同工序中形成开口257及开口259时,可以在形成开口257和开口259中的一个之后形成开口257和开口259中的另一个。

[0313] 开口257的宽度优选很小。例如,开口257的宽度优选为60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且1nm以上或5nm以上。如此,为了形成微小开口,优选利用使用EUV光等短波长的光或电子束的光刻法。

[0314] 开口257的纵横比大,因此优选利用各向异性蚀刻对绝缘体282、绝缘体280及绝缘体275进行加工。尤其是,利用干蚀刻法的加工适合于微细加工,所以是优选的。另外,也可以在彼此不同的条件下进行该加工。

[0315] 接着,以填充开口257及开口259的方式形成电容器101。具体而言,形成导电体151、绝缘体155及导电体160(图15B)。

[0316] 首先,以填充开口257及开口259的方式沉积成为导电体151的导电膜。成为导电体151的导电膜优选以与开口257及开口259的侧面及底面接触的方式形成。由此,成为导电体151的导电膜优选利用ALD法或CVD法等覆盖性优异的沉积方法沉积。在本实施方式中,作为成为导电体151的导电膜,优选利用ALD法沉积氮化钛或氮化钽。

[0317] 接着,利用光刻法及蚀刻法对成为导电体151的导电膜进行加工,来形成导电体151(图15B)。导电体151形成在开口257内部及开口259内部。另外,导电体151以具有位于绝缘体282上的区域的方式形成。

[0318] 接着,在导电体151、导电体240a₁、导电体240b₁及绝缘体282上沉积成为绝缘体155的绝缘膜。成为绝缘体155的绝缘膜优选以与设置在开口257及开口259内侧的导电体151接触的方式形成。由此,成为绝缘体155的绝缘膜可以利用ALD法或CVD法等覆盖性优异的沉积方法沉积。

[0319] 作为绝缘体155,优选使用high-k材料,更优选使用high-k材料及与high-k材料相

比介电强度更大的材料的叠层结构。在本实施方式中,作为绝缘体155利用ALD法依次沉积氧化锆、氧化铝、氧化锆。或者,作为绝缘体155也可以利用ALD法依次沉积氧化锆、氧化铝、氧化锆、氧化铝。

[0320] 接着,在成为绝缘体155的绝缘膜上形成成为导体160的导电膜。成为导体160的导电膜优选以与设置在开口257及开口259内侧的成为绝缘体155的绝缘膜接触的方式形成。因此,成为导体160的导电膜优选利用ALD法或CVD法等覆盖性优异的沉积方法来沉积。在本实施方式中,利用ALD法沉积氮化钛,然后利用CVD法沉积钨。

[0321] 另外,在利用CVD法沉积成为导体160的导电膜的情况下,有时该导电膜的顶面的平均表面粗糙度变大。在该情况下,优选利用CMP法使该导电膜平坦化。

[0322] 接着,利用光刻法及蚀刻法对成为绝缘体155的绝缘膜及成为导体160的导电膜进行加工,来形成绝缘体155及导体160(图15B)。在此,优选以覆盖导体151的端部的方式形成绝缘体155及导体160。由此,可以使用绝缘体155使导体151与导体160分离,从而可以抑制导体151与导体160的短路。

[0323] 注意,上面示出加工成为绝缘体155的绝缘膜的例子,本发明不局限于此。此外,可以采用只对成为导体151的导电膜及成为导体160的导电膜进行加工而不对绝缘膜进行加工使其残留的结构。由此,可以减少绝缘膜的加工工序来提高生产率。

[0324] 以上示出在形成导体240a_1及导体240b_1之后形成电容器101的例子,本发明的一个方式不局限于此。例如,也可以在形成图13C所示的绝缘体282之后设置开口257及开口259并形成电容器101,然后设置开口190a及开口190b,在开口190a内部形成导体240a_1,在开口190b内部形成导体240b_1。

[0325] 接着,在导体160、绝缘体282、导体240a_1及导体240b_1上,以覆盖电容器101的方式形成绝缘体286(图16A)。绝缘体286可以利用与沉积绝缘体216或绝缘体280时可利用的方法同样的方法来沉积。另外,绝缘体286可以使用与可用于绝缘体216或绝缘体280的材料同样的材料。在本实施方式中,作为绝缘体286,在包含氧气体的气氛下使用硅靶材且利用脉冲DC溅射法来沉积氧化硅。

[0326] 接着,在绝缘体286上形成绝缘体215(图16A)。绝缘体215可以利用与沉积绝缘体214时可利用的方法同样的方法来沉积。另外,绝缘体215可以使用与可用于绝缘体214的材料同样的材料。在本实施方式中,作为绝缘体215,利用ALD法沉积氧化钪。经以上步骤,可以形成存储层11_1。

[0327] 接着,在绝缘体215中以与导体240a_1重叠的方式形成到达绝缘体286的开口294a。此外,在绝缘体215中以与导体209b重叠的方式形成到达绝缘体286的开口294b(图16B)。开口294a及开口294b可以利用与开口291a及开口291b的形成方法同样的方法来形成。注意,当在绝缘体215中形成开口时,有时绝缘体286的一部分被去除。由此,在绝缘体286中,有时与开口294a重叠的区域及与开口294b重叠的区域中形成有凹部。

[0328] 然后,反复进行n-1次上述晶体管201、晶体管202、晶体管203及电容器101的制造,由此形成存储层11_2至存储层11_n(图17)。

[0329] 接着,在存储层11_n的绝缘体215上形成绝缘体185。绝缘体185可以利用与沉积绝缘体216、绝缘体280或绝缘体286时可利用的方法同样的方法来沉积。另外,绝缘体185可以使用与可用于绝缘体216、绝缘体280或绝缘体286的材料同样的材料。如此,可以制造图1所

示的半导体装置。

[0330] <半导体装置的制造方法例子_2>

接着,说明图6所示的半导体装置的制造方法的一个例子。

[0331] 首先,进行与图11A所示的工序同样的工序(图18A)。接着,进行与图11C至图11F所示的工序同样的工序(图18B)。换言之,不进行图11B所示的在绝缘体212及绝缘体214中形成开口291a及开口291b的工序。

[0332] 接着,进行与图11G所示的工序同样的工序(图18C)。接着,进行与图12B所示的工序同样的工序(图18D)。也就是说,不进行图12A所示的在绝缘体222中形成开口292a及开口292b的工序。

[0333] 接着,进行与图12C、图13A至图13C及图14A所示的工序同样的工序。也就是说,进行直到形成开口190a及开口190b的工序(图19A)。

[0334] 当绝缘体212、绝缘体214、绝缘体222及绝缘体282的易于加工的条件与绝缘体216、绝缘体275及绝缘体280的易于加工的条件相同时,可以在同一条件下形成开口190a及开口190b。在此情况下,因为不设置开口291、开口292及开口294,因此例如可以通过与图1所示的半导体装置相比更简单的工序制造图6所示的半导体装置。另一方面,在图1所示的半导体装置中,可用于绝缘体的材料的选择范围比图6所示的半导体装置更大。另外,例如在绝缘体212、绝缘体214、绝缘体222及绝缘体282的蚀刻速率与绝缘体216、绝缘体275及绝缘体280的蚀刻速率不同的情况下,例如有时绝缘体212、绝缘体214及绝缘体222的端部在从截面看时不与绝缘体216的端部一致或大致一致。此外,例如有时绝缘体282的端部在从截面看时不与绝缘体275及绝缘体280的端部一致或大致一致。

[0335] 接着,进行与图14B、图15A、图15B及图16A所示的工序同样的工序。由此,形成存储层11_1(图19B)。然后,不在绝缘体215中形成开口294a及开口294b,而在绝缘体215上形成绝缘体216。

[0336] 接着,通过反复进行n-1次上述晶体管201、晶体管202、晶体管203及电容器101的制造,形成存储层11_2至存储层11_n。然后,通过在存储层11_n的绝缘体215上形成绝缘体185,可以制造图6所示的半导体装置。

[0337] 本实施方式可以与其他实施方式适当地组合。此外,在本说明书中,在一个实施方式中示出多个结构例子的情况下,可以适当地组合该结构例子。

[0338] (实施方式2)

在本实施方式中,参照附图说明本发明的一个方式的存储装置。

[0339] 图20A是本发明的一个方式的存储装置的立体示意图。图20B是本发明的一个方式的存储装置的方框图。

[0340] 图20A及图20B所示的存储装置100包括驱动电路层50及n个存储层11。存储层11各自包括存储单元阵列15。存储单元阵列15包括多个存储单元10。

[0341] n个存储层11设置在驱动电路层50上。通过将n个存储层11设置在驱动电路层50上,可以减少存储装置100的占有面积。此外,可以增高单位面积的存储容量。

[0342] 在本实施方式中,将第一层存储层11记为存储层11_1,将第二层存储层11记为存储层11_2,并且将第三层存储层11记为存储层11_3。此外,将第k层(k为1以上且n以下的整数)存储层11记为存储层11_k,并且将第n层存储层11记为存储层11_n。此外,在本实施方式

等中,当说明涉及n个存储层11整体的事项或者n个存储层11的各层间共同的事项时,有时简单地记为“存储层11”。

[0343] <驱动电路层50的结构例子>

驱动电路层50包括PSW22(功率开关)、PSW23及外围电路31。外围电路31包括外围电路41、控制电路32(Control Circuits)及电压生成电路33。

[0344] 在存储装置100中,根据需要可以适当地取舍上述各电路、各信号及各电压。或者,也可以追加其它电路或其它信号。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2为从外部输入的信号,信号RDA为输出到外部的信号。

[0345] 信号CLK为时钟信号。信号BW、信号CE及信号GW为控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据,信号RDA为读出数据。信号PON1、PON2为电源门控控制用信号。此外,信号PON1、信号PON2也可以在控制电路32中生成。

[0346] 控制电路32为具有控制存储装置100的整体工作的功能的逻辑电路。例如,控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定存储装置100的工作模式(例如,写入工作、读出工作)。或者,控制电路32生成外围电路41的控制信号,以执行上述工作模式。

[0347] 电压生成电路33具有生成负电压的功能。信号WAKE具有控制对电压生成电路33输入信号CLK的功能。例如,当信号WAKE被施加H电平的信号时,信号CLK被输入到电压生成电路33,电压生成电路33生成负电压。

[0348] 外围电路41是用来对存储单元10进行数据的写入及读出的电路。外围电路41包括行译码器42(Row Decoder)、列译码器44(Column Decoder)、行驱动器43(Row Driver)、列驱动器45(Column Driver)、输入电路47(Input Cir.)、输出电路48(Output Cir.)及读出放大器46(Sense Amplifier)。

[0349] 行译码器42及列译码器44具有对信号ADDR进行译码的功能。行译码器42是用来指定要访问行的电路,列译码器44是用来指定要访问列的电路。行驱动器43具有选择由行译码器42指定的布线WWL(写入字线)或布线RWL(读出字线)的功能。列驱动器45具有如下功能:将数据写入存储单元10的功能;从存储单元10读出数据的功能;保持所读出的数据的功能等。列驱动器45具有选择由列译码器44指定的布线WBL(写入位线)或布线RBL(读出位线)的功能。

[0350] 输入电路47具有保持信号WDA的功能。输入电路47中保持的数据输出到列驱动器45。输入电路47的输出数据是写入存储单元10的数据(Din)。由列驱动器45从存储单元10读出的数据(Dout)被输出至输出电路48。输出电路48具有保持Dout的功能。此外,输出电路48具有将Dout输出到存储装置100的外部的功能。从输出电路48输出的数据为信号RDA。

[0351] PSW22具有控制向外围电路31供给VDD的功能。PSW23具有控制向行驱动器43供给VHM的功能。在此,存储装置100的高电源电压为VDD,低电源电压为GND(接地电位)。此外,VHM是用来使字线成为高电平的高电源电压,其高于VDD。利用信号PON1控制PSW22的开启及关闭,利用信号PON2控制PSW23的开启及关闭。在图20B中,外围电路31中被供应VDD的电源域的个数为1,但是也可以为多个。此时,可以对各电源域设置功率开关。

[0352] <存储层11的结构例子>

将说明n个存储层11的结构例子。n个存储层11各自包括存储单元阵列15。此外,存

储单元阵列15包括多个存储单元10。在图20A及图20B中,示出存储单元阵列15包括配置为p行q列(p及q为2以上的整数)的矩阵状的多个存储单元10的例子。

[0353] 此外,行、列延伸在彼此正交的方向上。在本实施方式中,将X方向设定为“行”且将Y方向设定为“列”,但是也可以将X方向设定为“列”且将Y方向设定为“行”。

[0354] 在图20B中,将设置在第一行第一列上的存储单元10记为存储单元10[1,1],并且将设置在第p行第q列上的存储单元10记为存储单元10[p,q]。此外,将设置在第i行第j列(i为1以上且p以下的整数,j为1以上且q以下的整数)上的存储单元10记为存储单元10[i,j]。

[0355] 图21A及图21B示出存储单元的电路结构例子。关于对应于该电路结构的存储单元10的截面结构例子可以参照实施方式1。

[0356] 存储单元10包括晶体管M1、晶体管M2、晶体管M3以及电容器C。由三个晶体管及一个电容器构成的存储单元也被称为3Tr1C型存储单元。因此,图21A及图21B所示的存储单元10为3Tr1C型存储单元。

[0357] 晶体管M1对应于实施方式1所示的晶体管201a或晶体管201b。晶体管M2对应于实施方式1所示的晶体管202a或晶体管202b。晶体管M3对应于实施方式1所示的晶体管203a或晶体管203b。电容器C对应于实施方式1所示的电容器101a或电容器101b。布线WBL对应于实施方式1所示的导体240a。布线RBL对应于实施方式1所示的导体240b。

[0358] 在存储单元10[i,j]中,晶体管M1的栅极与布线WWL[j]电连接,源极及漏极中的一个与布线WBL[i,s]电连接。图21A示出布线WWL[j]的一部分被用作晶体管M1的栅极时的结构例子。电容器C的一个电极与布线PL[i,s]电连接,另一个电极与晶体管M1的源极及漏极中的另一个电连接。例如,图21A示出布线PL[i,s]的一部分被用作电容器C的一个电极时的结构例子。此外,晶体管M2的栅极与电容器C的另一个电极电连接,源极及漏极中的一个与晶体管M3的源极及漏极中的一个电连接,并且源极及漏极中的另一个与布线PL[i,s]电连接。此外,晶体管M3的栅极与布线RWL[j]电连接,源极及漏极中的另一个与布线RBL[i,s]电连接。

[0359] 在存储单元10[i,j]中,电容器C的另一个电极、晶体管M1的源极及漏极中的另一个以及晶体管M2的栅极电连接且一直为相等电位的区域被称为“节点ND”。

[0360] 在存储单元10[i,j+1]中,晶体管M1的栅极与布线WWL[j+1]电连接,源极及漏极中的一个与布线WBL[i,s+1]电连接。图21A示出布线WWL[j+1]的一部分被用作晶体管M1的栅极时的结构例子。电容器C的一个电极与布线PL[i,s+1]电连接,另一个电极与晶体管M1的源极及漏极中的另一个电连接。例如,图21A示出布线PL[i,s+1]的一部分被用作电容器C的一个电极时的结构例子。此外,晶体管M2的栅极与电容器C的另一个电极电连接,源极及漏极中的一个与晶体管M3的源极及漏极中的一个电连接,并且源极及漏极中的另一个与布线PL[i,s+1]电连接。此外,晶体管M3的栅极与布线RWL[j+1]电连接,源极及漏极中的另一个与布线RBL[i,s]电连接。

[0361] 如此,布线RBL[i,s]与存储单元10[i,j]所具有的晶体管M3的源极或另一个及存储单元10[i,j+1]所具有的晶体管M3的源极或另一个电连接。由此,存储单元10[i,j]与存储单元10[i,j+1]共用布线RBL[i,s]。此外,虽然未图示,但是存储单元10[i,j-1]与存储单元10[i,j]共用布线WBL[i,s],并且存储单元10[i,j+1]与存储单元10[i,j+2]共用布线WBL[i,s+1]。

[0362] 在存储单元10[i, j+1]中,电容器C的另一个电极、晶体管M1的源极及漏极中的另一个以及晶体管M2的栅极电连接且一直为相等电位的区域被称为节点ND。

[0363] 此外,如图21A所示,也可以使用具有背栅极的晶体管作为晶体管M1、晶体管M2以及晶体管M3。以栅极与背栅极夹持半导体的沟道形成区域的方式配置栅极及背栅极。栅极及背栅极由导电体形成。背栅极可以具有与栅极同样的功能。此外,通过改变背栅极的电位,可以改变晶体管的阈值电压。背栅极的电位也可以与栅极的电位相等,也可以是接地电位或任意电位。

[0364] 此外,晶体管M1、晶体管M2以及晶体管M3各自也可以不具有背栅极。例如,如图21B所示,也可以使用具有背栅极的晶体管作为晶体管M1,也可以使用没有背栅极的晶体管作为晶体管M2及晶体管M3。

[0365] 此外,由于栅极及背栅极由导电体形成,因此还具有防止在晶体管的外部产生的电场影响到形成沟道的半导体的功能(尤其是静电遮蔽功能)。也就是说,可以抑制由于静电等外部电场的影响而使晶体管的电特性变动。此外,通过设置背栅极,可以降低用来测量晶体管的可靠性的偏压-热应力测试前后的晶体管的阈值电压的变化量。

[0366] 例如,通过使用具有背栅极的晶体管作为晶体管M1,可以减轻外部电场的影响来稳定地保持关闭状态。因此,可以稳定地保持写入到节点ND的数据。通过设置背栅极,可以使存储单元10稳定工作来提高包括存储单元10的存储装置的可靠性。

[0367] 同样,通过使用具有背栅极的晶体管作为晶体管M3,可以减轻外部电场的影响来稳定地保持关闭状态。因此,可以降低布线RBL与布线PL间的泄漏电流来降低包括存储单元10的存储装置的功耗。

[0368] 作为形成晶体管M1、晶体管M2以及晶体管M3的沟道的半导体层,可以单独或组合地使用单晶半导体、多晶半导体、微晶半导体或非晶半导体等。作为半导体材料,例如可以使用硅或锗等。此外,也可以使用硅锗、碳化硅、砷化镓、氧化物半导体或氮化物半导体等化合物半导体。

[0369] 此外,优选采用形成晶体管M1、晶体管M2以及晶体管M3的沟道的半导体层使用作为金属氧化物的一种的氧化物半导体的晶体管(也被称为“OS晶体管”)。氧化物半导体的带隙为2eV以上,由此关态电流极少。因此,可以降低存储单元10的功耗。因此可以降低包括存储单元10的存储装置100的功耗。

[0370] 此外,包括OS晶体管的存储单元可以被称为“OS存储器”。此外,包括该存储单元的存储装置100也被称为“OS存储器”。

[0371] 此外,OS晶体管即使在高温环境下也稳定地工作,电特性变动较少。例如,即使在高温环境下,关态电流也几乎不增加。具体而言,即使在室温以上且200°C以下的环境温度下,关态电流也几乎不增加。此外,即使在高温环境下,OS晶体管的通态电流也不容易下降。因此,OS存储器即使在高温环境下也稳定地工作并具有高可靠性。

[0372] <存储单元10的工作例子>

将说明存储单元10的数据写入工作例子以及读出工作例子。在本实施方式中,作为晶体管M1、晶体管M2以及晶体管M3,使用常关闭型的n沟道型晶体管。

[0373] 图22是用来说明存储单元10的工作例子的时序图。图23A、图23B、图24A及图24B是用来说明存储单元10的工作例子的电路图。

[0374] 以下在附图等中,为了显示布线及电极的电位,有时在与布线及电极相邻的位置附上显示电位H的“H”或者显示电位L的“L”。此外,有时对发生电位变化的布线及电极以带框的形式附上“H”或“L”。此外,在晶体管处于关闭状态下,有时在该晶体管上重叠地附上符号“×”。

[0375] 当电位H被供应到n沟道型晶体管的栅极时,该晶体管成为开启状态。此外,当电位L被供应到n沟道型晶体管的栅极时,该晶体管成为关闭状态。如此,电位H高于电位L。电位H也可以与高电源电位VDD相等。电位L也可以与接地电位GND相等。在本实施方式中,电位L与接地电位GND相等。

[0376] 首先,在期间T0,布线WWL、布线RWL、布线WBL、布线RBL、布线PL以及节点ND的电位为电位L(图22)。此外,晶体管M1、晶体管M2以及晶体管M3的背栅极被供应接地电位GND。

[0377] (数据写入工作)

在期间T1,布线WWL及布线WBL被供应电位H(图22及图23A)。然后,晶体管M1成为开启状态,并且将电位H作为表示“1”的数据写入到节点ND。

[0378] 当节点ND的电位成为电位H时,晶体管M2成为开启状态。此外,布线RWL的电位为电位L,由此晶体管M3处于关闭状态。通过使晶体管M3处于关闭状态,可以防止布线RBL与布线PL的短路。

[0379] (保持工作)

在期间T2,将电位L供应到布线WWL。由此,晶体管M1成为关闭状态,使得节点ND成为浮动状态。由此,保持写入到节点ND的数据(电位H)(图22及图23B)。此外,在期间T2结束后,布线WBL的电位成为电位L。

[0380] 如上所述,0S晶体管是关态电流极小的晶体管。通过将0S晶体管用作晶体管M1,可以长期间保持写入到节点ND的数据。因此,不需要节点ND的刷新,可以降低存储单元10的功耗。因此,可以降低存储装置100的功耗。

[0381] 此外,通过使用0S晶体管作为晶体管M2及晶体管M3中的一个或两个,可以在进行写入工作及保持工作时尽量减少流过布线RBL与布线PL间的泄漏电流。

[0382] 加上,与Si晶体管相比,0S晶体管的源极与漏极间的绝缘耐压高。通过使用0S晶体管作为晶体管M1,可以将更高的电位供应到节点ND。因此,可以扩大节点ND所保持的电位范围。通过扩大节点ND所保持的电位范围,容易实现保持多值数据或者保持模拟数据。

[0383] (读出工作)

在期间T3,对布线RBL进行电位H的预充电(Pre)。也就是说,在将布线RBL的电位设定为电位H之后,使布线RBL成为浮动状态(图22及图24A)。

[0384] 接着,在期间T4,将电位H供应到布线RWL,使得晶体管M3成为开启状态(图22及图24B)。此时,在节点ND的电位为电位H的情况下,晶体管M2处于开启状态,由此布线RBL与布线PL通过晶体管M2及晶体管M3成为导通状态。在布线RBL与布线PL成为导通状态之后,处于浮动状态的布线RBL的电位从电位H变成电位L。

[0385] 此外,在将作为显示“0”的数据的电位L写入到节点ND的情况下,晶体管M2处于关闭状态。因此,即使晶体管M3成为开启状态,布线RBL与布线PL也不成为导通状态,由此布线RBL的电位一直为电位H。

[0386] 如此,通过检测出电位H供应到布线RWL时的布线RBL的电位变化,可以读出写入到

存储单元10的数据。

[0387] 在使用0S晶体管的存储单元10中,通过0S晶体管将电荷写入到节点ND,因此不需要现有的闪存所需的高电压,可以实现高速写入工作。此外,与闪存不同,由于不进行对浮动栅极或电荷俘获层的电荷注入以及从浮动栅极或电荷俘获层的电荷抽出,因此使用0S晶体管的存储单元10在实质上可以无限地进行数据的写入及读出。与闪存不同,即使在反复改写工作中,也观察不到使用0S晶体管的存储单元10中的电子俘获中心的增加所导致的不稳定性。与现有的闪存相比,使用0S晶体管的存储单元10的劣化更少且可以得到更高的可靠性。

[0388] 与磁存储器或阻变式存储器等不同,在使用0S晶体管的存储单元10中没有原子级的结构变化。因此,使用0S晶体管的存储单元10具有比磁存储器及阻变式存储器良好的改写耐性。

[0389] <读出放大器46的结构例子>

接着,说明读出放大器46的结构例子。具体而言,说明包括读出放大器46的进行数据信号的写入或读出的写入读出电路的结构例子。

[0390] 图25是示出包括读出放大器46的进行数据信号的写入读出的电路600的结构例子的电路图。电路600按每个布线WBL及每个布线RBL而设置。

[0391] 电路600包括晶体管661至晶体管666、读出放大器46、AND电路652、模拟开关653以及模拟开关654。

[0392] 电路600根据信号SEN、信号SEP、信号BPR、信号RSEL、信号WSEL、信号GRSEL以及信号GWSEL而工作。

[0393] 输入到电路600的数据DIN通过布线WBL被写入到存储单元10,该布线WBL与节点NS通过AND电路652电连接。写入到存储单元10的数据DOUT被传输到布线RBL而从电路600作为数据DOUT被输出,该布线RBL与节点NSB通过模拟开关653电连接。

[0394] 此外,数据DIN及数据DOUT为内部信号,分别对应于图20B所示的信号WDA及信号RDA。

[0395] 晶体管661包括在预充电电路中。借助于晶体管661,布线RBL被预充电至预充电电位Vpre。另外,在本实施方式中,说明使用电位Vdd(高电平)作为预充电电位Vpre的情况(在图25中记为Vdd(Vpre))。信号BPR为预充电信号,根据信号BPR而控制晶体管661的导通状态。

[0396] 读出放大器46在读出工作中判断输入到布线RBL的数据是高电平还是低电平。此外,读出放大器46在写入工作中被用作暂时保持被输入到电路600的数据DIN的锁存电路。

[0397] 图25所示的读出放大器46是锁存型读出放大器。读出放大器46包括两个反相器电路,一个反相器电路的输入节点与另一个反相器电路的输出节点连接。将一个反相器电路的输入节点和输出节点分别记载为节点NS和节点NSB,互补数据保持在节点NS及节点NSB中。

[0398] 信号SEN及信号SEP是用来使读出放大器46活化的读出放大器使能信号,参考电位Vref是读出判断电位。读出放大器46以参考电位Vref为基准而判断出活化时的节点NSB的电位是高电平还是低电平。

[0399] AND电路652控制节点NS与布线WBL之间的导通状态。此外,模拟开关653控制节点

NSB与布线RBL之间的导通状态。再者,模拟开关654控制节点NS与供应参考电位Vref的布线之间的导通状态。

[0400] 当读出数据时,使用模拟开关653将布线RBL的电位传输到节点NSB。当布线RBL的电位低于参考电位Vref时,读出放大器46判断出布线RBL为低电平。此外,当布线RBL的电位不低于参考电位Vref时,读出放大器46判断出布线RBL为高电平。

[0401] 信号WSEL是写入选择信号,并控制AND电路652。信号RSEL是读出选择信号,并控制模拟开关653及模拟开关654。

[0402] 晶体管662及晶体管663包括在输出MUX(复用器)电路中。信号GRSEL是全局读出选择信号,并控制输出MUX电路。输出MUX电路具有选择读出数据的布线RBL的功能。

[0403] 输出MUX电路具有输出从读出放大器46读出的数据DOUT的功能。

[0404] 晶体管664至晶体管666包括在写入驱动电路中。信号GWSEL是全局写入选择信号,并控制写入驱动电路。写入驱动电路具有将数据DIN写入到读出放大器46的功能。

[0405] 写入驱动电路具有选择要写入数据DIN的列的功能。写入驱动电路根据信号GWSEL以字节单位、半字单位或一个字单位写入数据。

[0406] 增益单元型存储单元的每一个存储单元需要至少两个晶体管,从而难以增加可以在单位面积内配置的存储单元个数。另一方面,通过使用0S晶体管作为包括在存储单元10中的晶体管,可以层叠多个存储单元阵列15。也就是说,可以增加能够在单位面积内存储的数据量。此外,即使积存电荷的容量较小,增益单元型存储单元也可以使用最靠近的晶体管放大所积存的电荷来进行作为存储器的工作。再者,通过使用关态电流非常小的0S晶体管作为包括在存储单元10中的晶体管,可以减少电容器的容量。此外,作为电容器,可以使用晶体管的栅极电容及布线的寄生电容中的一个或两个,从而可以省略电容器。也就是说,可以减少存储单元10的面积。

[0407] 本实施方式可以与其他实施方式适当地组合。

[0408] (实施方式3)

在本实施方式中,参照附图说明安装有本发明的一个方式的存储装置的芯片的一个例子。

[0409] 在图26A和图26B所示的芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0410] 如图26A所示,芯片1200包括CPU1211、GPU1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0411] 在芯片1200上设置有凸块(未图示),该凸块如图26B所示那样与封装衬底1201的第一面连接。此外,在封装衬底1201的第一面的背面设置有多个凸块1202,该凸块1202与母板1203连接。

[0412] 此外,也可以在母板1203上设置有DRAM1221、闪存1222等的存储装置。例如,可以将上述实施方式所示的NOSRAM应用于DRAM1221。由此,可以实现DRAM1221的低功耗化、高速化以及大容量化。

[0413] CPU1211优选具有多个CPU核心。此外,GPU1212优选具有多个GPU核心。此外,CPU1211和GPU1212可以分别具有暂时存储数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共用的存储器。可以将上述NOSRAM应用于该存储器。此外,GPU1212适

合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过在GPU1212中设置使用OS晶体管的图像处理电路或积和运算电路,可以以低功耗执行图像处理或积和运算。

[0414] 此外,因为在同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所具有的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0415] 模拟运算部1213具有A/D(模拟/数字)转换电路和D/A(数字/模拟)转换电路中的一个或两个。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0416] 存储控制器1214具有用作DRAM1221的控制器的电路及用作闪存1222的接口的电路。

[0417] 接口1215具有与如显示装置、扬声器、麦克风、影像拍摄装置、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)或HDMI(注册商标)(High-Definition Multimedia Interface:高清晰度多媒体接口)等。

[0418] 网络电路1216具有LAN(Local Area Network:局域网)等网络电路。此外,还可以具有网络安全用电路。

[0419] 上述电路(系统)可以经同一制造工序形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工序,可以以低成本制造芯片1200。

[0420] 可以将包括设置有具有GPU1212的芯片1200的封装衬底1201、DRAM1221以及闪存1222的基板1203称为GPU模块1204。

[0421] GPU模块1204因具有使用SoC技术的芯片1200而可以减少其尺寸。此外,因GPU模块1204具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(可携带)游戏机等便携式电子设备。此外,通过利用使用GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、循环神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法,由此可以将芯片1200用作AI芯片,或者,可以将GPU模块1204用作AI系统模块。

[0422] 本实施方式可以与其他实施方式适当地组合。

[0423] (实施方式4)

本实施方式示出安装有本发明的一个方式的存储装置的电子构件的一个例子。

[0424] [电子构件]

图27A示出电子构件700及安装有电子构件700的衬底(电路板704)的立体图。图27A所示的电子构件700在模子711内包括作为本发明的一个方式的存储装置的存储装置100。在图27A中,省略电子构件700的一部分以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于存储装置100。电子构件700例如安装于印刷电路板702上。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0425] 如上述实施方式所示,存储装置100包括驱动电路层50及存储层11(包括存储单元阵列15)。

[0426] 图27B示出电子构件730的立体图。电子构件730是SiP(System in Package:系统

封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个存储装置100。

[0427] 电子构件730示出将存储装置100用作高带宽存储器(HBM:High Bandwidth Memory)的例子。此外,半导体装置735可以使用CPU、GPU或FPGA等集成电路(半导体装置)。

[0428] 封装衬底732例如可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底等。插板731例如可以使用硅插板、树脂插板等。

[0429] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线以单层或多层设置。此外,插板731具有使设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时将插板也称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装衬底732电连接。此外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0430] 作为插板731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以比集成电路更低的成本制造。另一方面,硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0431] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0432] 此外,在使用硅插板的SiP及MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5维安装),其中多个集成电路横着排放并配置于插板上。

[0433] 此外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使存储装置100与半导体装置735的高度一致。

[0434] 为了将电子构件730安装在其他衬底上,也可以在封装衬底732的底部设置电极733。图27B示出用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)的安装。此外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)的安装。

[0435] 电子构件730可以通过各种安装方法安装在其他衬底上,而不局限于BGA及PGA。作为安装方法,例如可以举出SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)以及QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)。

[0436] 本实施方式可以与其他实施方式适当地组合。

[0437] (实施方式5)

在本实施方式中说明本发明的一个方式的存储装置的应用例子。

[0438] 本发明的一个方式的存储装置例如可以应用于各种电子设备(例如,信息终端、计

算机、智能手机、电子书阅读器终端、数码相机、视频摄像机、录像再现装置、导航系统、游戏机等)的存储装置。此外,可以用于图像传感器、IoT(Internet of Things:物联网)以及医疗设备等。这里,计算机包括平板电脑、笔记本型计算机、台式计算机以及大型计算机诸如服务器系统。

[0439] 将说明具有本发明的一个方式的存储装置的电子设备的一个例子。注意,图28A至图28J、图29A至图29E示出上述实施方式中说明的具有该存储装置的电子构件700或电子构件730包括在各电子设备中的情况。

[0440] [移动电话机]

图28A所示的信息终端5500是信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入接口在显示部5511中具备触控面板,并且在外壳5510上设置有按钮。

[0441] 通过将本发明的一个方式的存储装置应用于信息终端5500,可以存储在执行程序时暂时生成的文档(例如,使用网页浏览器时的缓存)。

[0442] [可穿戴终端]

图28B示出可穿戴终端的一个例子的信息终端5900。信息终端5900包括外壳5901、显示部5902、操作开关5903、操作开关5904、表带5905等。

[0443] 与上述信息终端5500同样,通过将本发明的一个方式的存储装置应用于可穿戴终端,可以存储在执行程序时暂时生成的文档。

[0444] [信息终端]

图28C示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示部5302及键盘5303。

[0445] 与上述信息终端5500同样,通过将本发明的一个方式的存储装置应用于台式信息终端5300,可以存储在执行程序时暂时生成的文档。

[0446] 虽然在图28A至图28C中作为电子设备说明智能手机、可穿戴终端及台式信息终端,但是作为其他信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本型信息终端、工作站等。

[0447] [电器产品]

图28D示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。例如,电冷藏冷冻箱5800是对应于IoT(Internet of Things:物联网)的电冷藏冷冻箱。

[0448] 可以将本发明的一个方式的存储装置应用于电冷藏冷冻箱5800。例如,通过利用互联网,可以使电冷藏冷冻箱5800对信息终端发送储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等的信息。电冷藏冷冻箱5800可以在本发明的一个方式的存储装置中存储在发送该信息时暂时生成的文档。

[0449] 在图28D中,作为电器产品说明电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0450] [游戏机]

图28E示出游戏机的一个例子的便携式游戏机5200。便携式游戏机5200包括外壳

5201、显示部5202、按钮5203等。

[0451] 此外,图28F示出游戏机的一个例子的固定式游戏机7500。尤其是,固定式游戏机7500可以说是家用固定式游戏机。固定式游戏机7500包括主体7520及控制器7522。另外,主体7520可以以无线方式或有线方式与控制器7522连接。此外,虽然在图28F中未图示,但是控制器7522可以包括显示游戏的图像的显示部、作为按钮以外的输入接口的触摸面板及控制杆、旋转式抓手、滑动式抓手等。此外,控制器7522不局限于图28F所示的形状,也可以根据游戏的种类改变控制器7522的形状。例如,在FPS(First Person Shooter,第一人称射击类游戏)等射击游戏中,可以使用将扳机用作按钮的模仿枪的形狀的控制器。此外,例如,在音乐游戏中,可以使用模仿乐器或音乐器件等的形状的控制器。再者,固定式游戏机也可以设置照相机、深度传感器、麦克风等中的一个或多个代替控制器,而由游戏玩者的手势或声音等操作。

[0452] 此外,上述游戏机的影像可以由电视装置、个人计算机用显示器、游戏用显示器、头戴显示器等显示装置输出。

[0453] 通过将本发明的一个方式的存储装置用于便携式游戏机5200或固定式游戏机7500,可以降低功耗。此外,借助于低功耗化,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0454] 并且,通过将本发明的一个方式的存储装置用于便携式游戏机5200或固定式游戏机7500,可以存储在执行游戏时暂时生成的运算用文档。

[0455] 在图28E及图28F中,作为游戏机的例子说明便携式游戏机及家用固定式游戏机,但是作为其他游戏机,例如可以举出设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0456] [移动体]

本发明的一个方式的存储装置可以应用于作为移动体的汽车及汽车的驾驶座位附近。

[0457] 图28G示出作为移动体的一个例子的汽车5700。

[0458] 汽车5700的驾驶座位附近设置有能够显示速度表、转速计、行驶距离、油量表、排档状态、空调的设定等以提供各种信息的仪表板。此外,驾驶座位附近也可以设置有显示上述信息的存储装置。

[0459] 尤其是,通过将由设置在汽车5700上的摄像装置(未图示)拍摄的影像显示在上述显示装置上,可以弥补被支柱等遮挡的视野、驾驶座位的死角等,从而可以提高安全性。也就是说,通过显示设置在汽车5700外侧的摄像装置所拍摄的图像,可以弥补死角,以提高安全性。

[0460] 本发明的一个方式的存储装置能够暂时存储数据,例如,可以将该存储装置应用于汽车5700的自动驾驶系统、进行导航、危险预测等的系统等来暂时存储必要数据。此外,本发明的一个方式的存储装置也可以存储安装在汽车5700上的行车记录仪的录像。

[0461] 虽然在上述例子中作为移动体的一个例子说明汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等。

[0462] [照相机]

本发明的一个方式的存储装置可以应用于照相机。

[0463] 图28H示出摄像装置的一个例子的数码相机6240。数码相机6240包括外壳6241、显示部6242、操作开关6243、快门按钮6244等,并且,数码相机6240中安装有可装卸的镜头6246。在此,数码相机6240采用能够从外壳6241拆卸下镜头6246而交换的结构,但是镜头6246及外壳6241也可以被形成为一体。此外,数码相机6240还可以具备另外安装闪光灯装置及取景器等的结构。

[0464] 通过将本发明的一个方式的存储装置用于数码相机6240,可以降低功耗。此外,借助于低功耗化,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0465] [视频摄像机]

本发明的一个方式的存储装置可以应用于视频摄像机。

[0466] 图28I示出摄像装置的一个例子的视频摄像机6300。视频摄像机6300包括第一外壳6301、第二外壳6302、显示部6303、操作开关6304、镜头6305、连接部6306等。操作开关6304及镜头6305设置在第一外壳6301上,显示部6303设置在第二外壳6302上。并且,第一外壳6301与第二外壳6302由连接部6306连接,第一外壳6301与第二外壳6302间的角度可以由连接部6306改变。显示部6303的图像也可以根据连接部6306中的第一外壳6301与第二外壳6302间的角度切换。

[0467] 当记录由视频摄像机6300拍摄的图像时,需要进行根据数据记录方式的编码。通过利用本发明的一个方式的存储装置,上述视频摄像机6300可以存储在进行编码时暂时生成的文档。

[0468] [ICD]

可以将本发明的一个方式的存储装置应用于埋藏式心律转复除颤器(ICD)。

[0469] 图28J是示出ICD的一个例子的截面示意图。ICD主体5400至少包括电池5401、电子构件700、调节器、控制电路、天线5404、向右心房的金属丝5402、向右心室的金属丝5403。

[0470] ICD主体5400通过手术设置在体内,两个金属丝穿过人体的锁骨下静脉5405及上腔静脉5406,并且其一方金属丝的先端设置于右心室,另一方金属丝的先端设置于右心房。

[0471] ICD主体5400具有心脏起搏器的功能,并在心律在规定范围之外时对心脏进行起搏。此外,在即使进行起搏也不改善心律时(快速的心室频脉或心室颤动等)进行利用电体克的治疗。

[0472] 为了适当地进行起搏及电体克,ICD主体5400需要经常监视心律。因此,ICD主体5400包括用来检测心律的传感器。此外,ICD主体5400可以在电子构件700中存储通过该传感器测得的心律的数据、利用起搏进行治疗的次数或时间等。

[0473] 此外,因为由天线5404接收电力,且该电力被充电到电池5401。此外,通过使ICD主体5400包括多个电池,可以提高安全性。具体而言,即使ICD主体5400中的部分电池产生故障,其他电池可以起作用而被用作辅助电源。

[0474] 此外,除了能够接收电力的天线5404,还可以包括能够发送生理信号的天线,例如,也可以构成能够由外部的监视装置确认脉搏、呼吸数、心律、体温等生理信号的监视心脏活动的系统。

[0475] [PC用扩展装置]

本发明的一个方式的存储装置可以应用于PC (Personal Computer; 个人计算机) 等计算机、信息终端用扩展装置。

[0476] 图29A示出该扩展装置的一个例子的可以携带且安装有能够存储数据的芯片的设置在PC的外部的扩展装置6100。扩展装置6100例如通过由USB (Universal Serial Bus; 通用串行总线) 等连接于PC, 可以使用上述芯片存储数据。注意, 虽然图29A示出可携带的扩展装置6100, 但是本发明的一个方式的扩展装置不局限于此, 例如也可以采用安装冷却风机等的较大结构的扩展装置。

[0477] 扩展装置6100包括外壳6101、盖子6102、USB连接器6103及衬底6104。衬底6104被容纳在外壳6101中。衬底6104设置有驱动本发明的一个方式的存储装置的电路。例如, 衬底6104安装有电子构件700、控制器芯片6106。USB连接器6103被用作连接于外部装置的接口。

[0478] [SD卡]

本发明的一个方式的存储装置可以应用于能够安装在信息终端或数码相机等电子设备上的SD卡。

[0479] 图29B是SD卡的外观示意图, 图29C是SD卡的内部结构的示意图。SD卡5110包括外壳5111、连接器5112及衬底5113。连接器5112具有连接到外部装置的接口的功能。衬底5113被容纳在外壳5111中。衬底5113设置有存储装置及驱动存储装置的电路。例如, 衬底5113安装有电子构件700、控制器芯片5115。此外, 电子构件700及控制器芯片5115的各电路结构不局限于上述记载, 也可以根据情况适当地改变电路结构。例如, 电子构件所具备的写入电路、行驱动器、读出电路等也可以安装在控制器芯片5115上而不在电子构件700上。

[0480] 通过在衬底5113的背面一侧也设置电子构件700, 可以增大SD卡5110的容量。此外, 也可以将具有无线通信功能的无线芯片设置于衬底5113。由此, 可以进行外部装置与SD卡5110之间的无线通信, 可以进行电子构件700的数据的读出及写入。

[0481] [SSD]

本发明的一个方式的存储装置可以应用于能够安装在信息终端等电子设备上的SSD (Solid State Drive: 固态驱动器)。

[0482] 图29D是SSD的外观示意图, 图29E是SSD的内部结构的示意图。SSD5150包括外壳5151、连接器5152及衬底5153。连接器5152具有连接到外部装置的接口的功能。衬底5153被容纳在外壳5151中。衬底5153设置有存储装置及驱动存储装置的电路。例如, 衬底5153安装有电子构件700、存储器芯片5155、控制器芯片5156。通过在衬底5153的背面一侧也设置电子构件700, 可以增大SSD5150的容量。存储器芯片5155中安装有工作存储器。例如, 可以将DRAM芯片用于存储器芯片5155。控制器芯片5156中安装有处理器、ECC (Error-Correcting Code: 纠错码) 电路等。注意, 电子构件700、存储器芯片5155及控制器芯片5115的各电路结构不局限于上述记载, 可以根据情况适当地改变电路结构。例如, 也可以在控制器芯片5156中设置用作工作存储器的存储器。

[0483] [计算机]

图30A所示的计算机5600是大型计算机的例子。在计算机5600中, 多个机架式计算机5620收纳在机架5610中。

[0484] 计算机5620例如可以具有图30B所示的立体图的结构。在图30B中, 计算机5620包括主板5630, 主板5630包括多个插槽5631以及多个连接端子等。插槽5631插入有个人计算

机卡5621。并且,个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625,它们连接到母板5630。

[0485] 图30C所示的个人计算机卡5621是包括CPU、GPU、存储装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外,板5622包括连接端子5623、连接端子5624、连接端子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意,图30C示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置,关于这些半导体装置的说明,参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明即可。

[0486] 连接端子5629具有可以插入母板5630的插槽5631的形状,连接端子5629被用作连接个人计算机卡5621与母板5630的接口。作为连接端子5629的规格例如可以举出PCIe。

[0487] 连接端子5623、连接端子5624、连接端子5625例如可以被用作用来对个人计算机卡5621供电或输入信号等的接口。此外,例如,可以被用作用来进行个人计算机卡5621所计算的信号的输出的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB(Universal Serial Bus:通用串行总线)、SATA(Serial ATA:串行ATA)、SCSI(Small Computer System Interface:小型计算机系统接口)。此外,当从连接端子5623、连接端子5624、连接端子5625输出视频信号时,作为各规格例如可以举出HDMI(注册商标)。

[0488] 半导体装置5626包括进行信号的输入及输出的端子(未图示),通过将该端子插入板5622所包括的插座(未图示),可以电连接半导体装置5626与板5622。

[0489] 半导体装置5627包括多个端子,通过将该端子以回流焊方式焊接到板5622所具备的布线,可以电连接半导体装置5627与板5622。作为半导体装置5627,例如,可以举出FPGA(Field Programmable Gate Array:现场可编程门阵列)、GPU、CPU等。作为半导体装置5627,例如可以使用电子构件730。

[0490] 半导体装置5628包括多个端子,通过将该端子以回流焊方式焊接到板5622所具备的布线,可以电连接半导体装置5628与板5622。作为半导体装置5628,例如,可以举出存储装置。作为半导体装置5628,例如可以使用电子构件700。

[0491] 计算机5600可以被用作并行计算机。通过将计算机5600用作并行计算机,例如可以进行人工智能的学习及推论所需要的大规模计算。

[0492] 通过将本发明的一个方式的存储装置用于上述各种电子设备等,可以实现电子设备的小型化及低功耗化。此外,本发明的一个方式的存储装置的功耗低,由此可以降低电路发热。由此,可以减少因该发热而给电路本身、外围电路及模块带来的负面影响。此外,通过使用本发明的一个方式的存储装置,可以实现高温环境下也稳定工作的电子设备。由此,可以提高电子设备的可靠性。

[0493] 本实施方式可以与其他实施方式适当地组合。

[0494] (实施方式6)

在本实施方式中,使用图31说明将本发明的一个方式的半导体装置应用于太空设备的情况的具体例子。

[0495] 本发明的一个方式的半导体装置包括OS晶体管。OS晶体管的因被照射辐射线而导致的电特性变动小。换言之,对于辐射线的耐性高,所以也可以在有可能入射辐射线的环境下适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。

[0496] 在图31中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。此外,图31示出在宇宙空间有行星6804的例子。注意,宇宙空间例如是指高度100km以上,但是本说明书所示的宇宙空间也可以包括热层、中间层及平流层中的一个或多个。

[0497] 此外,宇宙空间是其辐射剂量为地面的100倍以上的环境。作为辐射线,例如可以举出:以X射线及 γ 射线为代表的电磁波(电磁辐射线);以及以 α 射线、 β 射线、中子射线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0498] 在阳光照射到太阳能电池板6802时生成人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量较少的情况下,所产生的电力量减少。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力较少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。此外,有时将太阳能电池板称为太阳能电池模块。

[0499] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0500] 此外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的任一个或多个构成。此外,作为控制装置6807优选使用包括本发明的一个方式的0S晶体管的半导体装置。与Si晶体管相比,0S晶体管的因被照射辐射线而导致的电特性变动小。也就是说,0S晶体管可以在有可能入射辐射线的环境下也具有高可靠性且适当地使用。

[0501] 此外,人造卫星6800可以包括传感器。例如、通过包括可见光传感器,人造卫星6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造卫星6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地球观测卫星。

[0502] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的半导体装置可以适当地应用于宇宙飞船、太空舱、太空探测器等太空设备。

[符号说明]

[0503] 10:存储单元、11:存储层、15:存储单元阵列、22:PSW、23:PSW、31:外围电路、32:控制电路、33:电压生成电路、41:外围电路、42:行译码器、43:行驱动器、44:列译码器、45:列驱动器、46:读出放大器、47:输入电路、48:输出电路、50:驱动电路层、100:存储装置、101a:电容器、101b:电容器、101:电容器、151:导电体、155:绝缘体、160:导电体、185:绝缘体、190a:开口、190b:开口、201a:晶体管、201b:晶体管、201:晶体管、202a:晶体管、202b:晶体管、202:晶体管、203a:晶体管、203b:晶体管、203:晶体管、205:导电体、207a:开口、207b:开口、207c:开口、209a:导电体、209b:导电体、209:导电体、210:绝缘体、212:绝缘体、214:绝缘体、215:绝缘体、216:绝缘体、222:绝缘体、224f:绝缘膜、224:绝缘体、230a:金属氧化物、230af:金属氧化膜、230b:金属氧化物、230bf:金属氧化膜、230:金属氧化物、240a:导电体、240b:导电体、240:导电体、242a:导电体、242A:导电层、242b:导电体、242B:导电层、242c:导电体、242d:导电体、242e:导电体、242:导电体、253:绝缘体、254:绝缘体、257:开口、

258a:开口、258b:开口、258c:开口、258:开口、259:开口、260:导电体、275:绝缘体、280:绝缘体、282:绝缘体、286:绝缘体、291a:开口、291b:开口、291:开口、292a:开口、292b:开口、292:开口、294a:开口、294b:开口、294:开口、300:晶体管、311:衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、600:电路、652:AND电路、653:模拟开关、654:模拟开关、661:晶体管、662:晶体管、663:晶体管、664:晶体管、666:晶体管、700:电子构件、702:印刷电路板、704:电路板、711:模子、712:连接盘、713:电极焊盘、714:引线、730:电子构件、731:插板、732:封装衬底、733:电极、735:半导体装置、1200:芯片、1201:封装衬底、1202:凸块、1203:母板、1204:GPU模块、1211:CPU、1212:GPU、1213:模拟运算部、1214:存储器控制器、1215:接口、1216:网络电路、1221:DRAM、1222:闪存、5110:SD卡、5111:外壳、5112:连接器、5113:衬底、5115:控制器芯片、5150:SSD、5151:外壳、5152:连接器、5153:衬底、5155:存储器芯片、5156:控制器芯片、5200:便携式游戏机、5201:外壳、5202:显示部、5203:按钮、5300:台式信息终端、5301:主体、5302:显示部、5303:键盘、5400:ICD主体、5401:电池、5402:金属丝、5403:金属丝、5404:天线、5405:锁骨下静脉、5406:上腔静脉、5500:信息终端、5510:外壳、5511:显示部、5600:计算机、5610:机架、5620:计算机、5621:个人计算机卡、5622:板、5623:连接端子、5624:连接端子、5625:连接端子、5626:半导体装置、5627:半导体装置、5628:半导体装置、5629:连接端子、5630:母板、5631:插槽、5700:汽车、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门、5900:信息终端、5901:外壳、5902:显示部、5903:操作开关、5904:操作开关、5905:表带、6100:扩展装置、6101:外壳、6102:盖子、6103:USB连接器、6104:衬底、6106:控制器芯片、6240:数码相机、6241:外壳、6242:显示部、6243:操作开关、6244:快门按钮、6246:透镜、6300:视频摄像机、6301:第一外壳、6302:第二外壳、6303:显示部、6304:操作开关、6305:透镜、6306:连接部、6800:人造卫星、6801:主体、6802:太阳能电池板、6803:天线、6804:行星、6805:二次电池、6807:控制装置、7500:固定式游戏机、7520:主体、7522:控制器

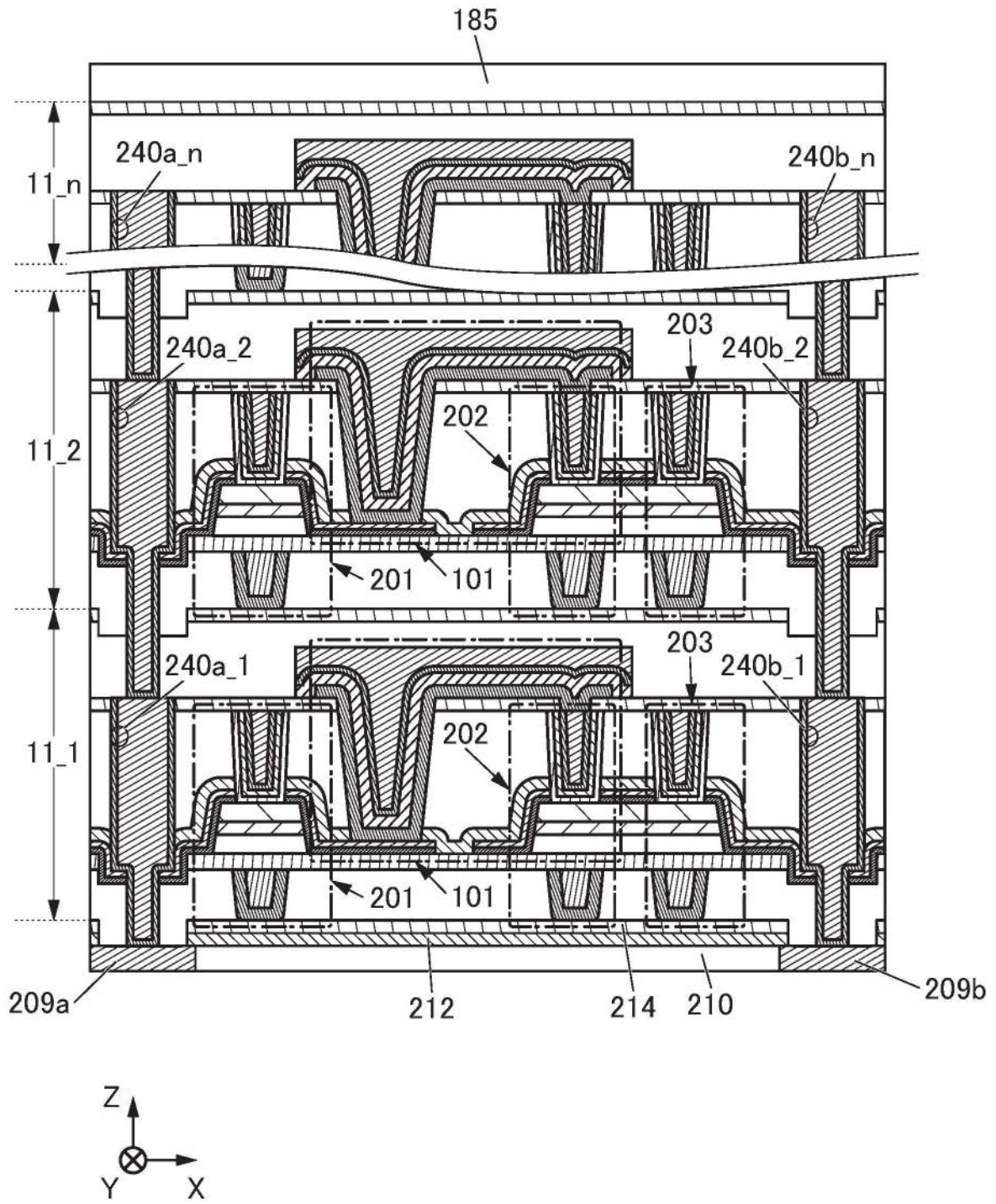


图1

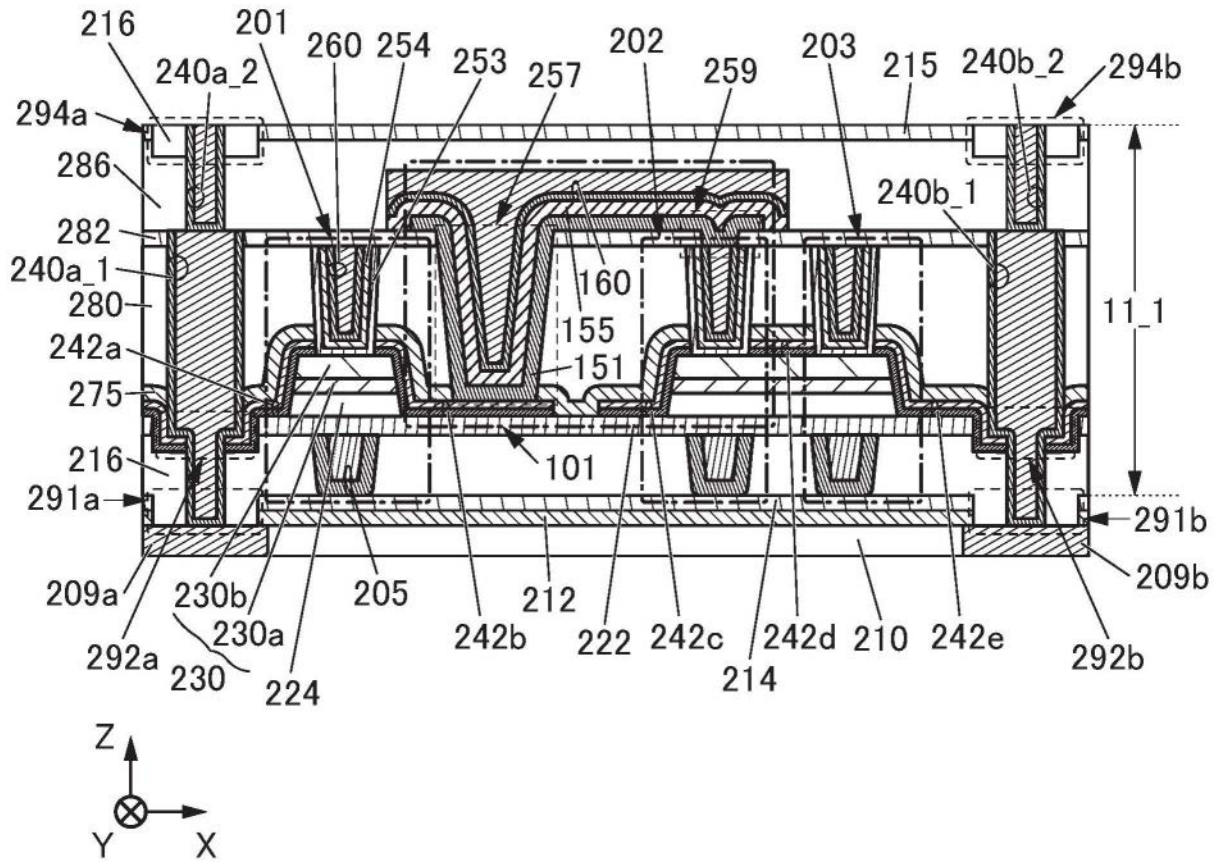


图2A

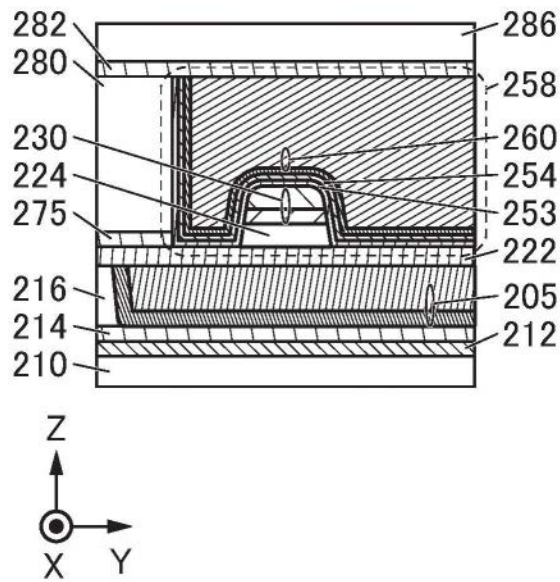


图2B

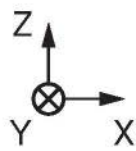
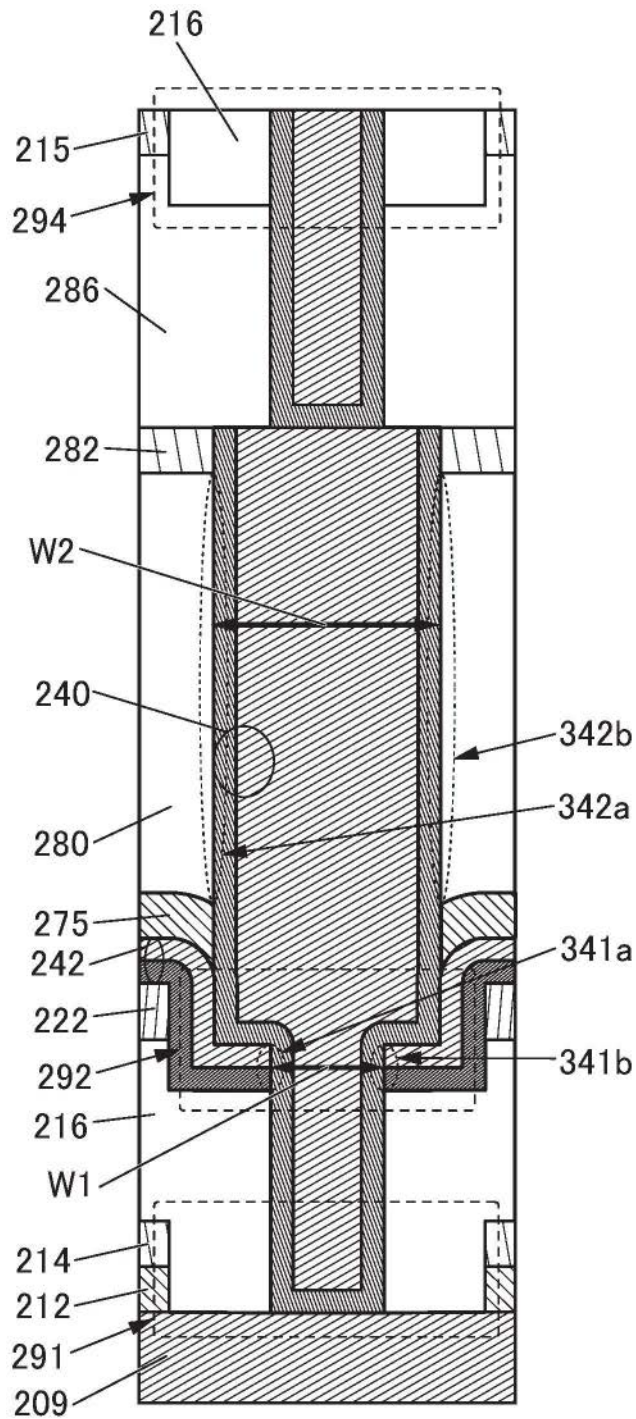


图3

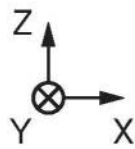
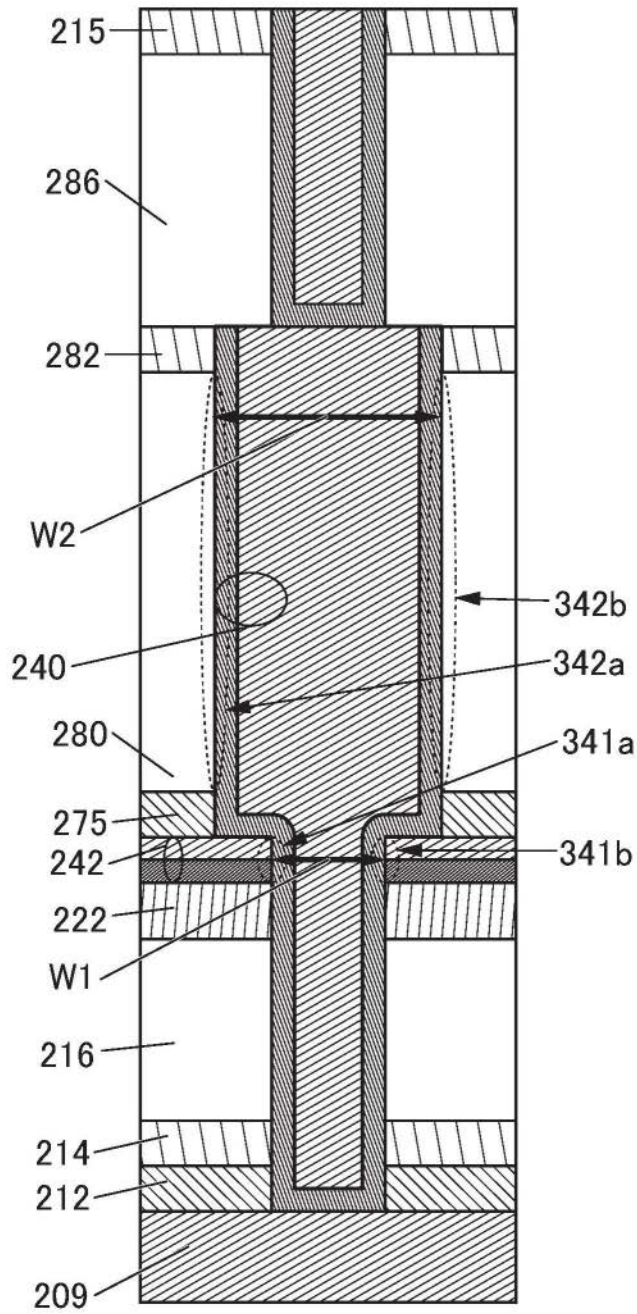


图4

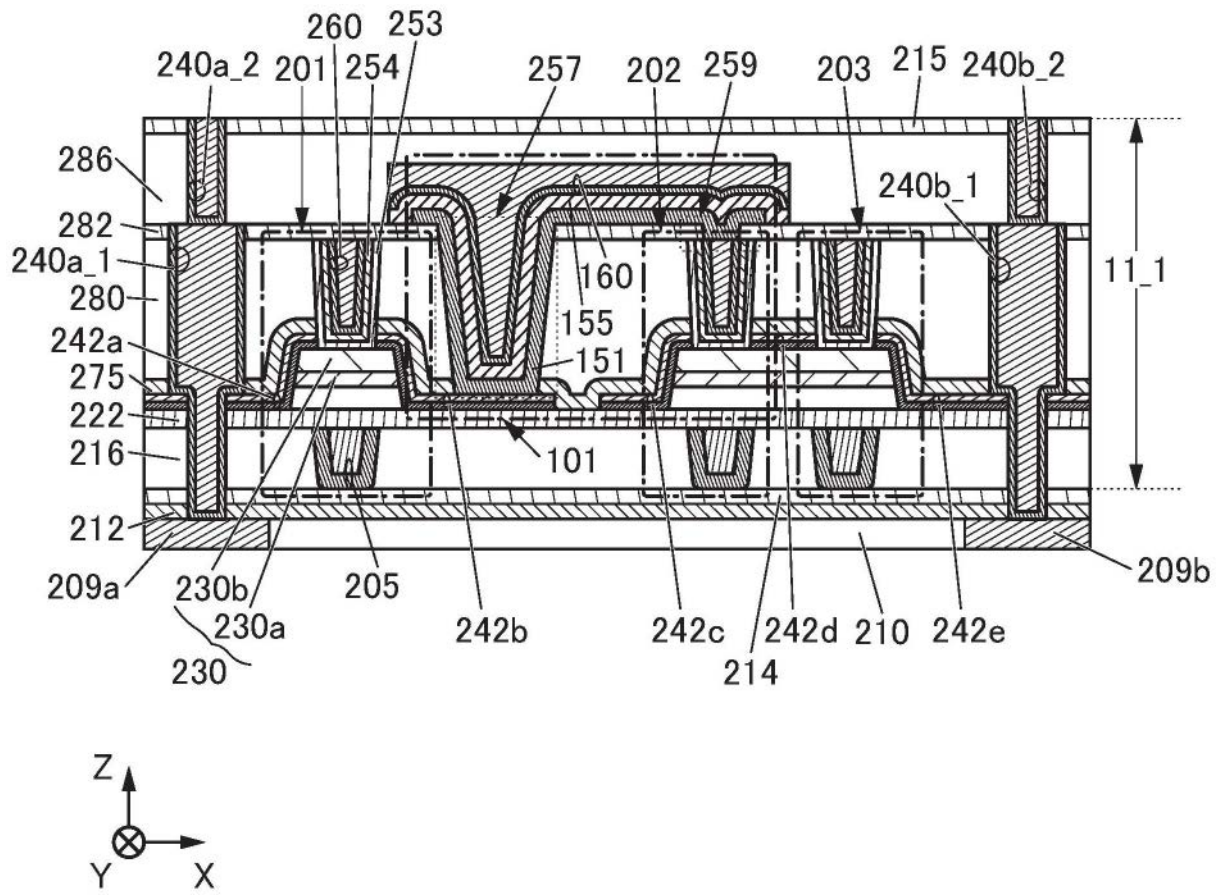


图5

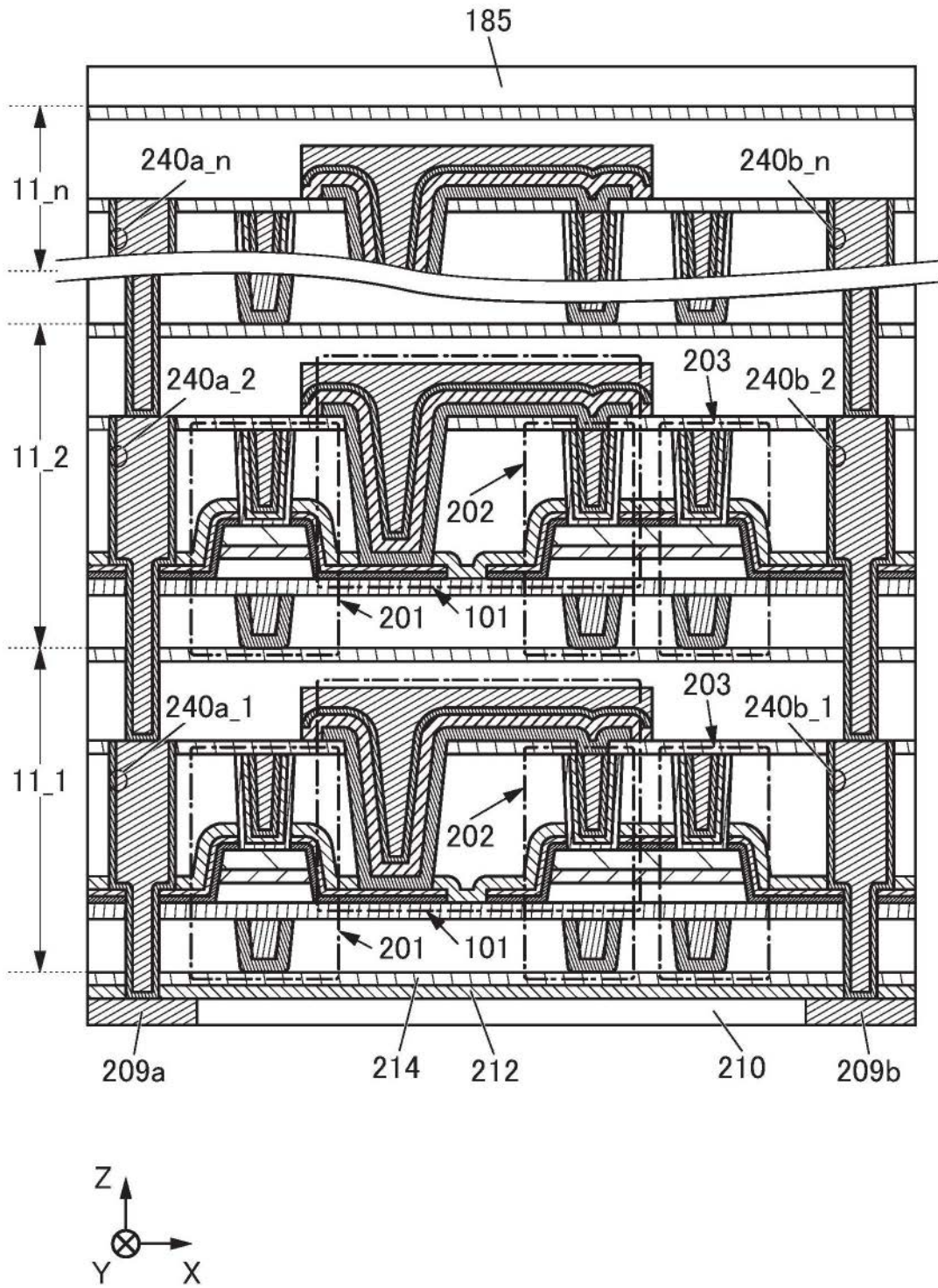


图6

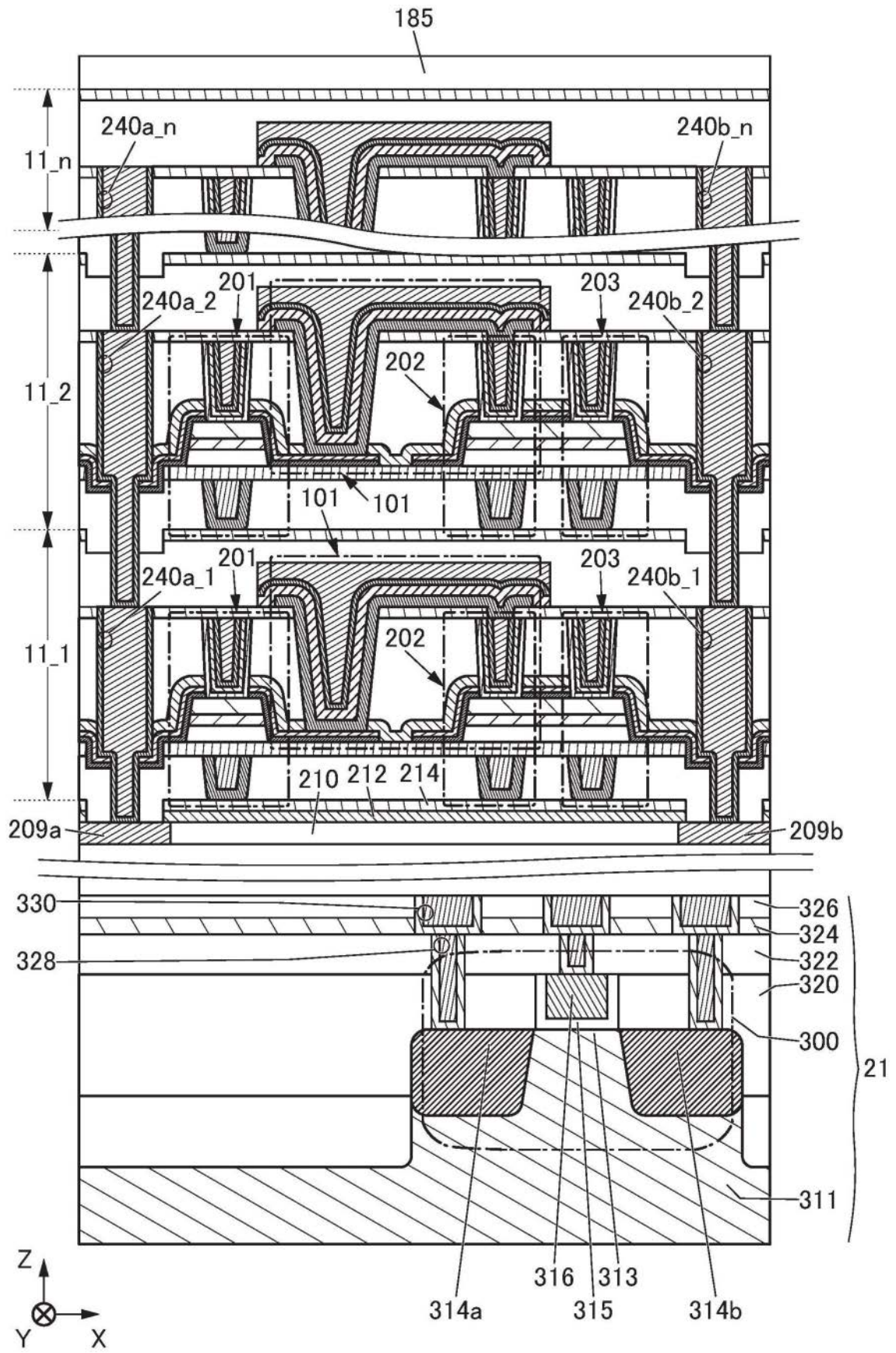


图7

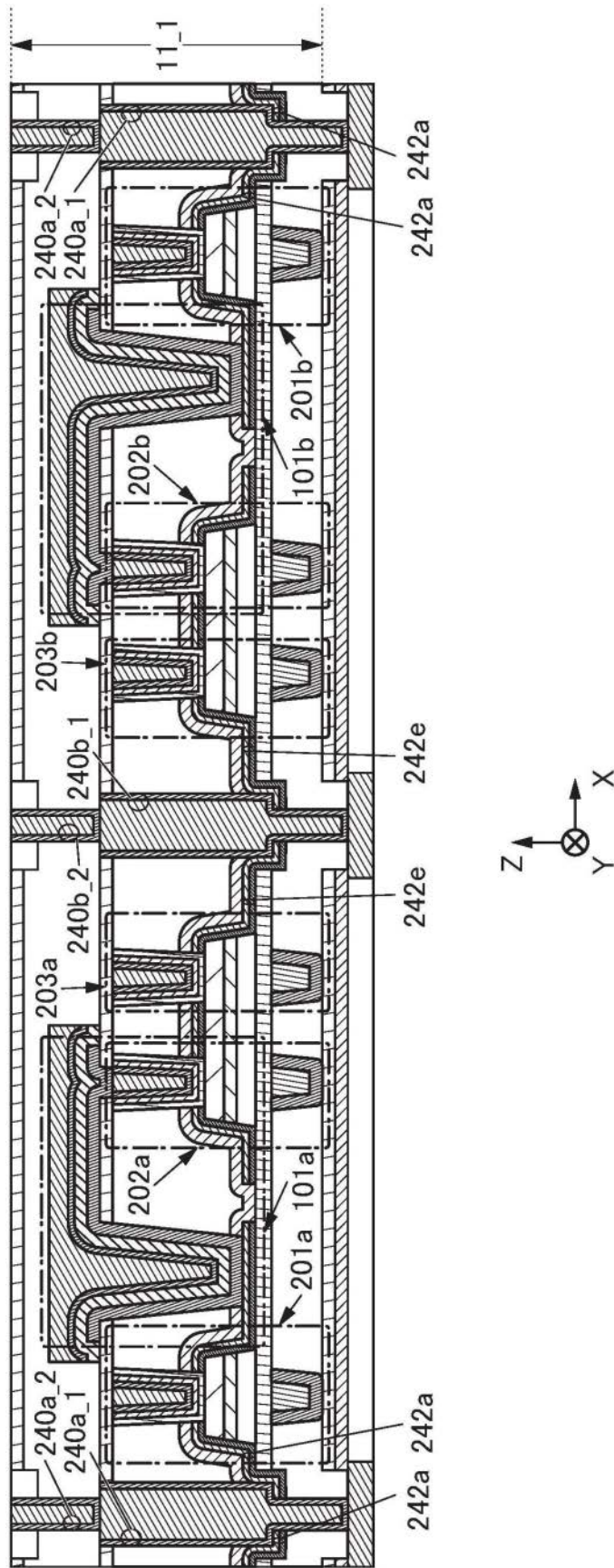


图8

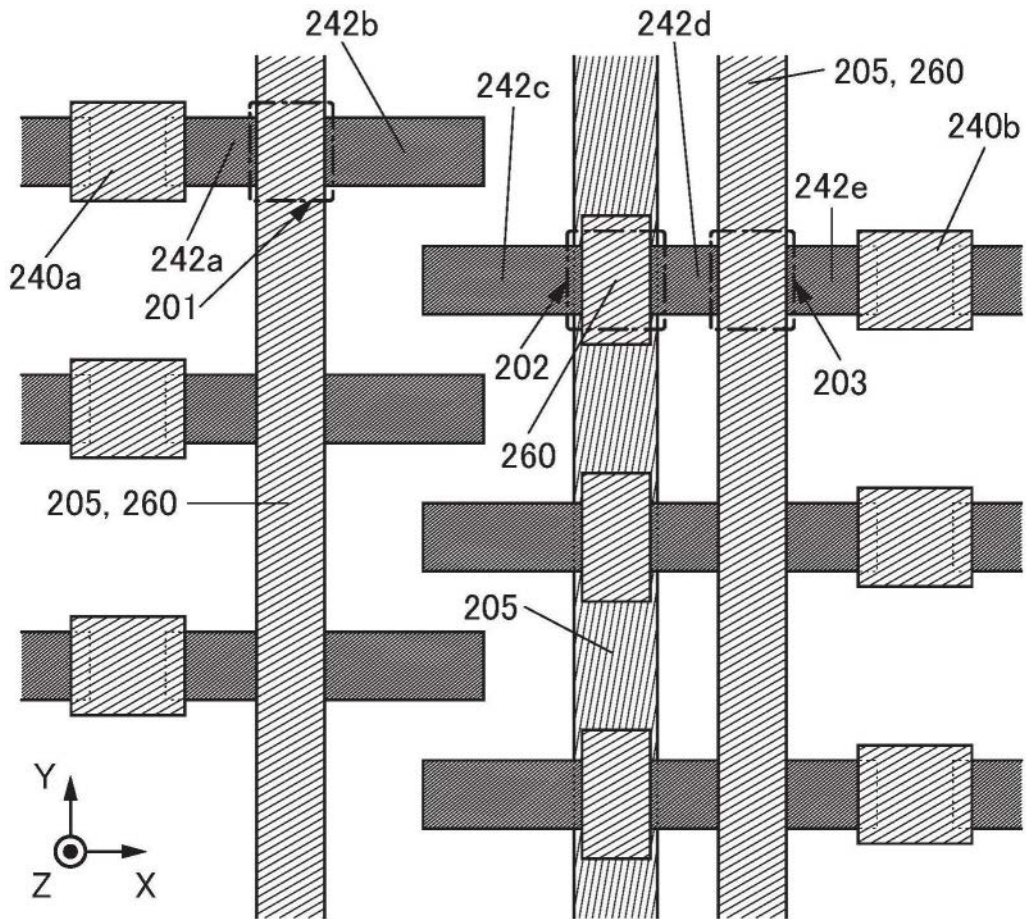


图9A

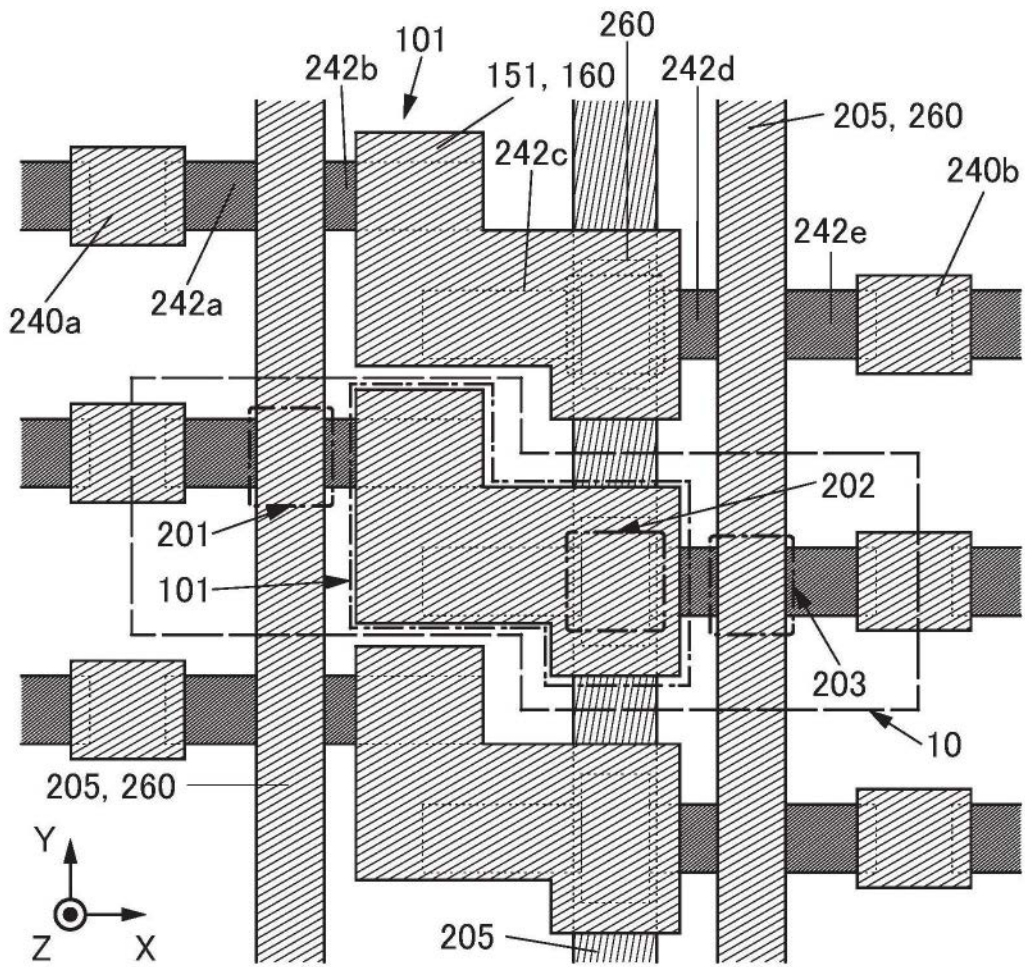


图9B

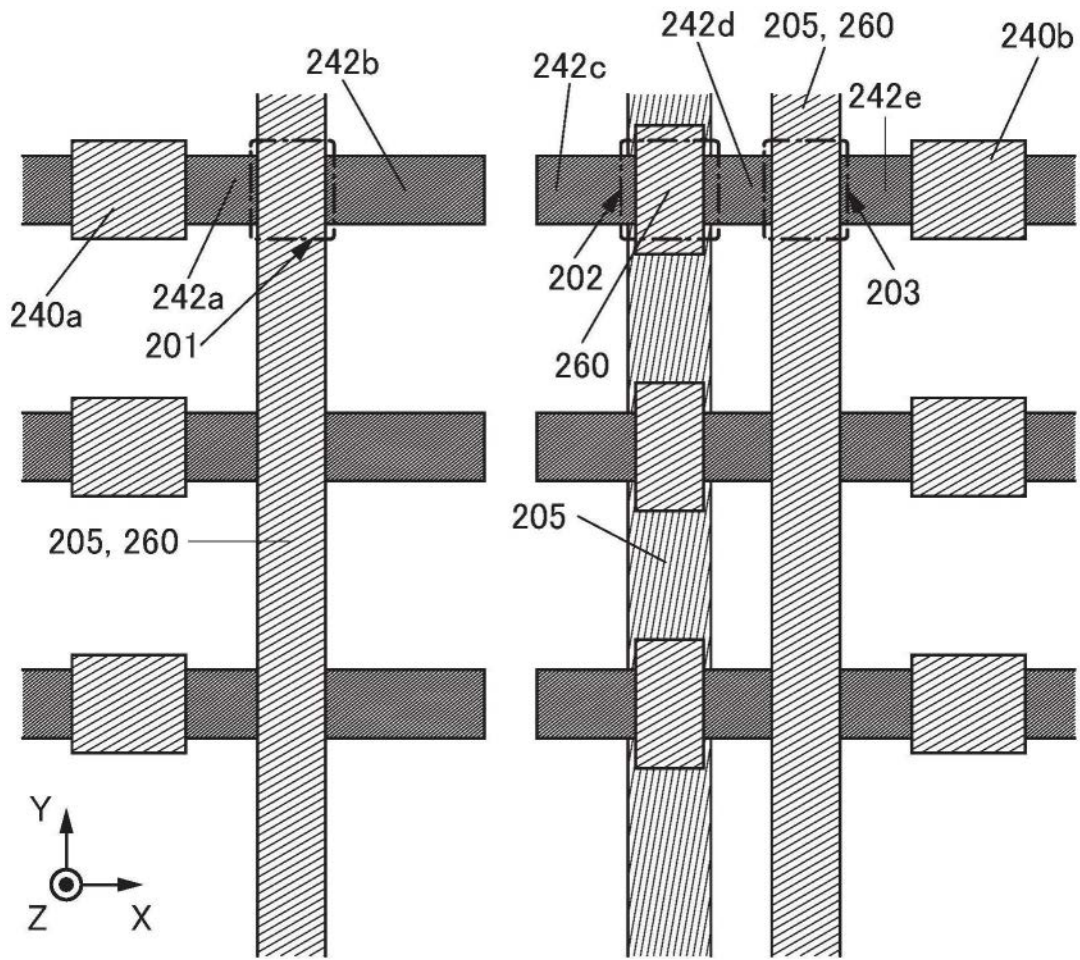


图10A

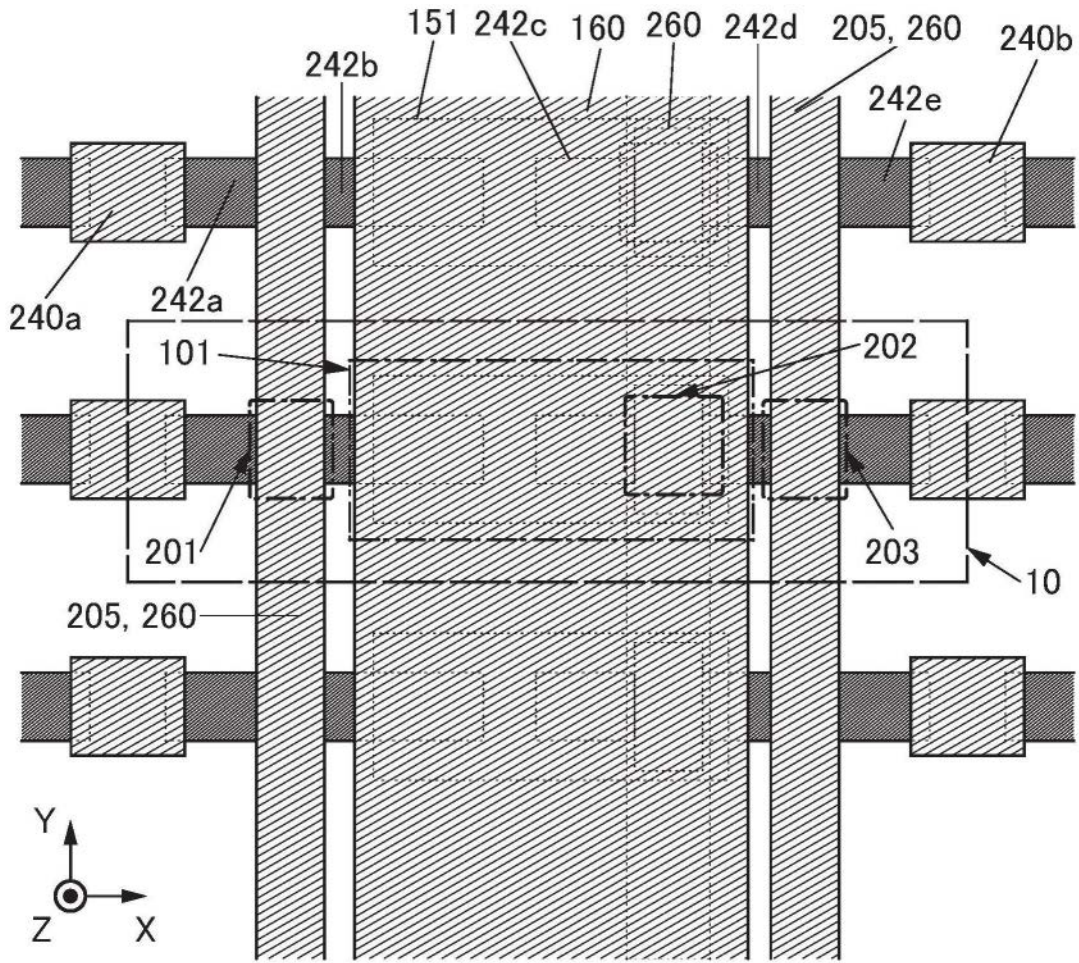


图10B

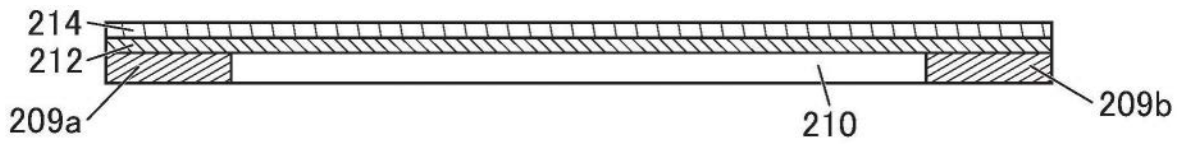


图11A

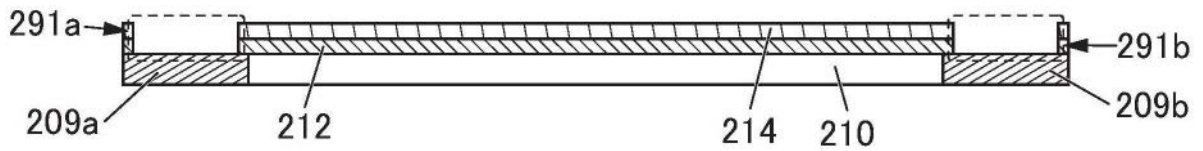


图11B

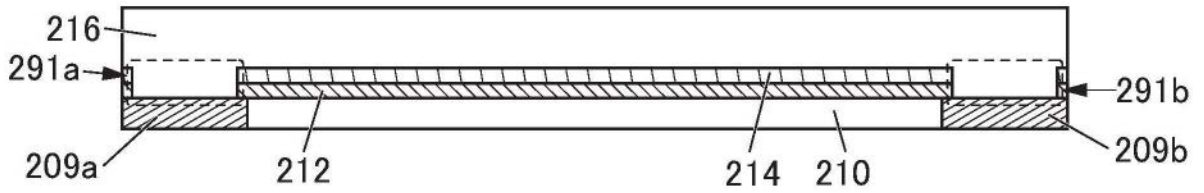


图11C

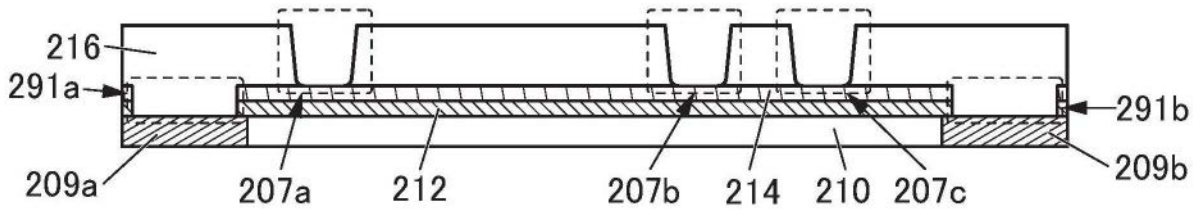


图11D

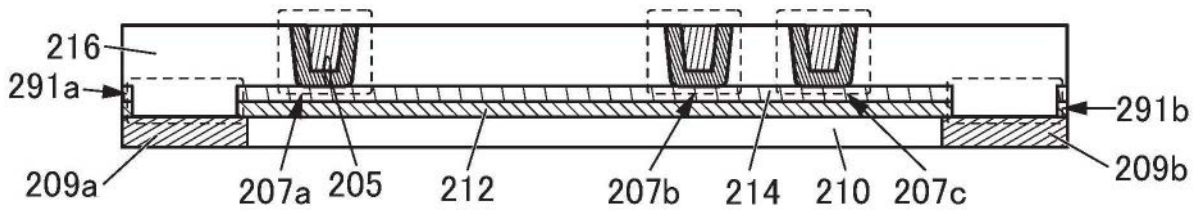


图11E

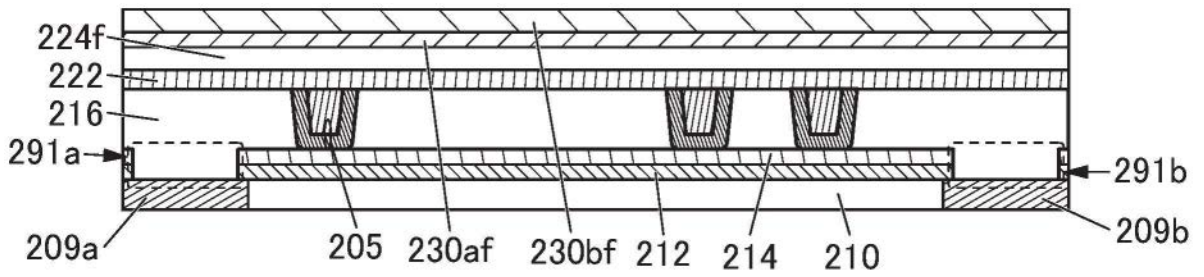


图11F

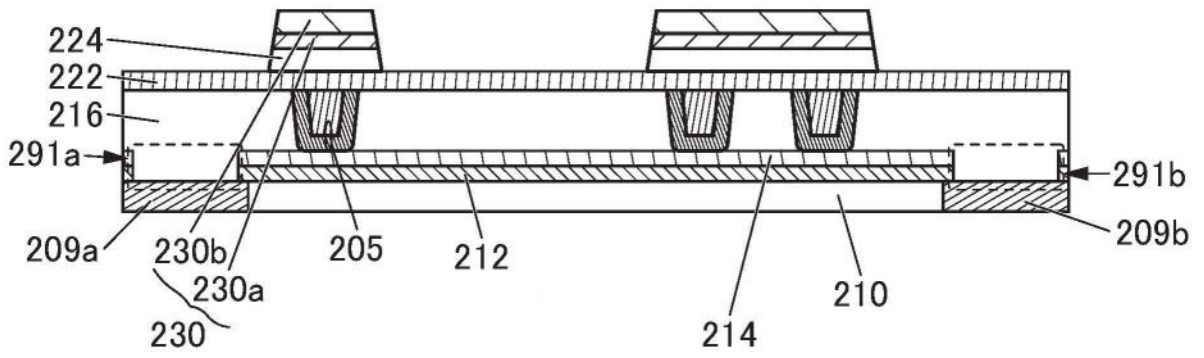


图11G

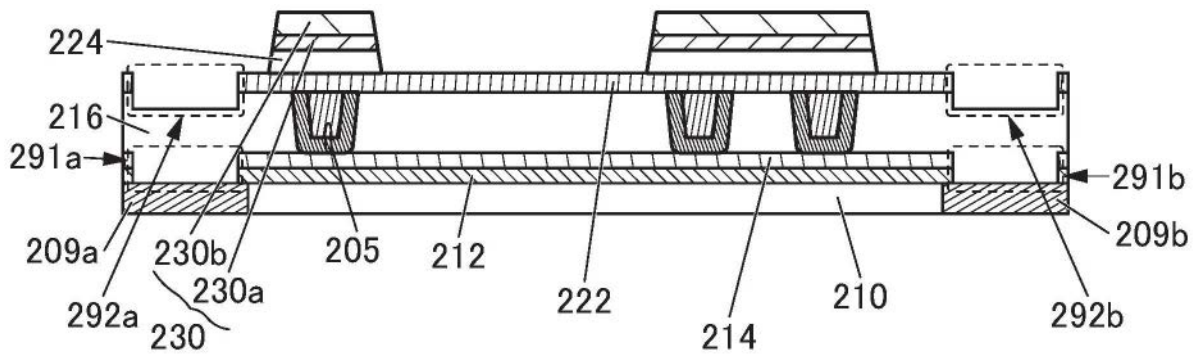


图12A

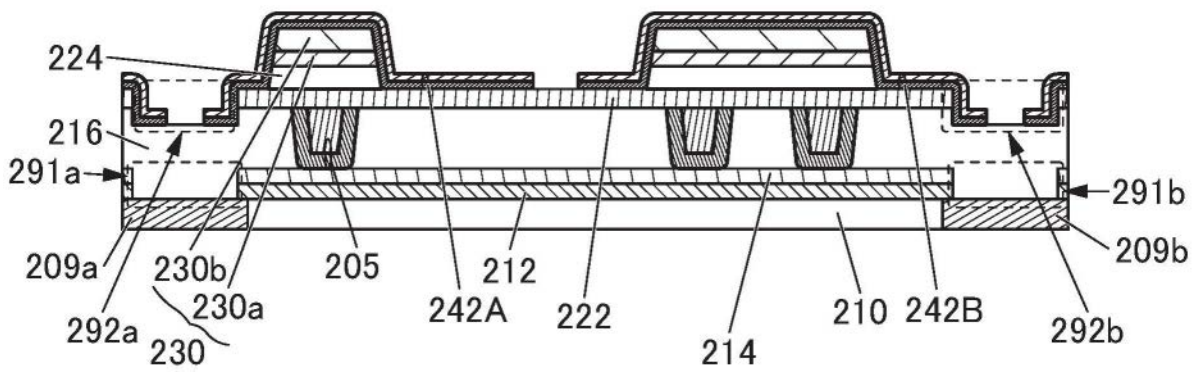


图12B

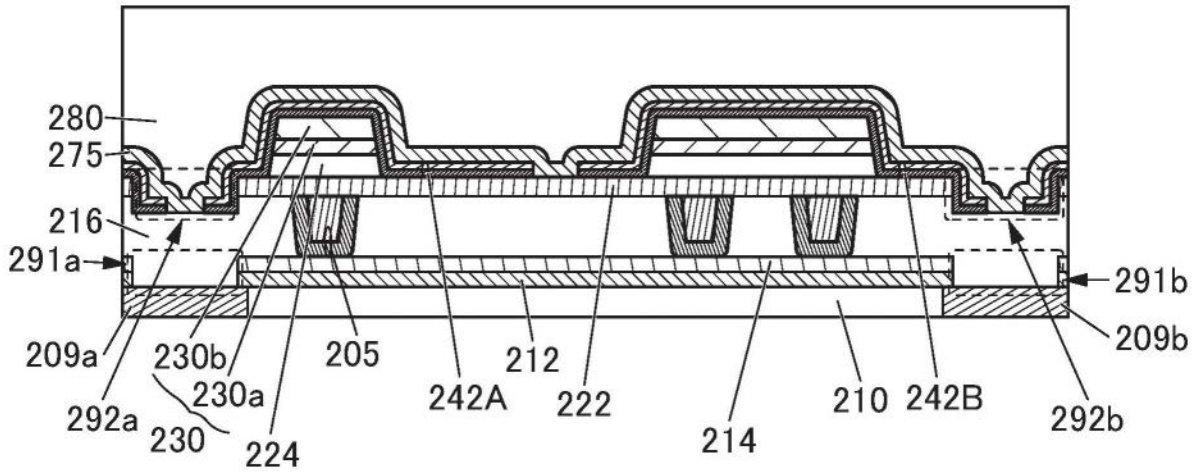


图12C

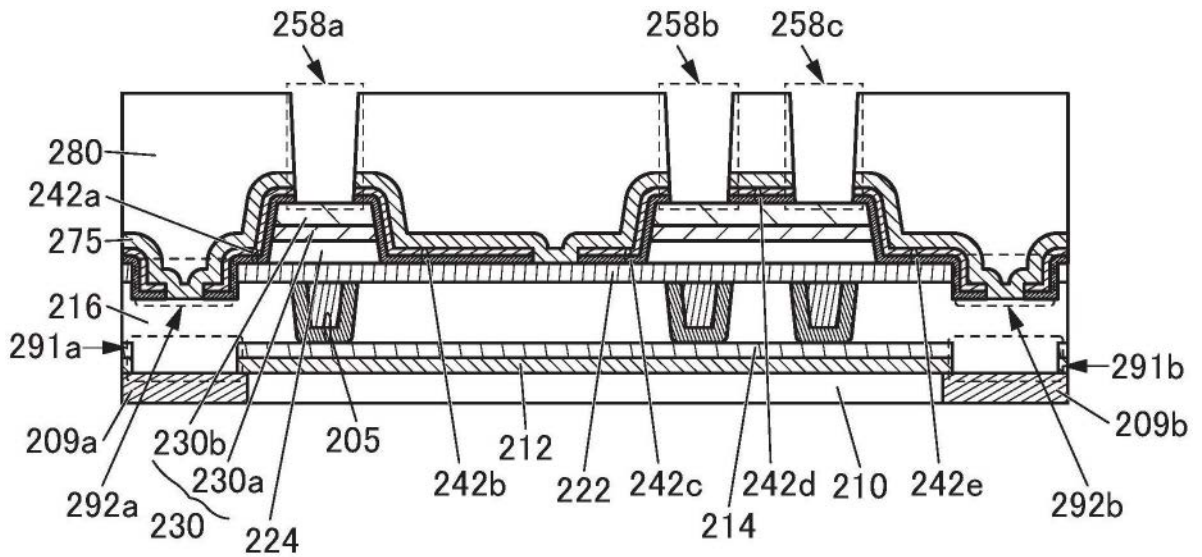


图13A

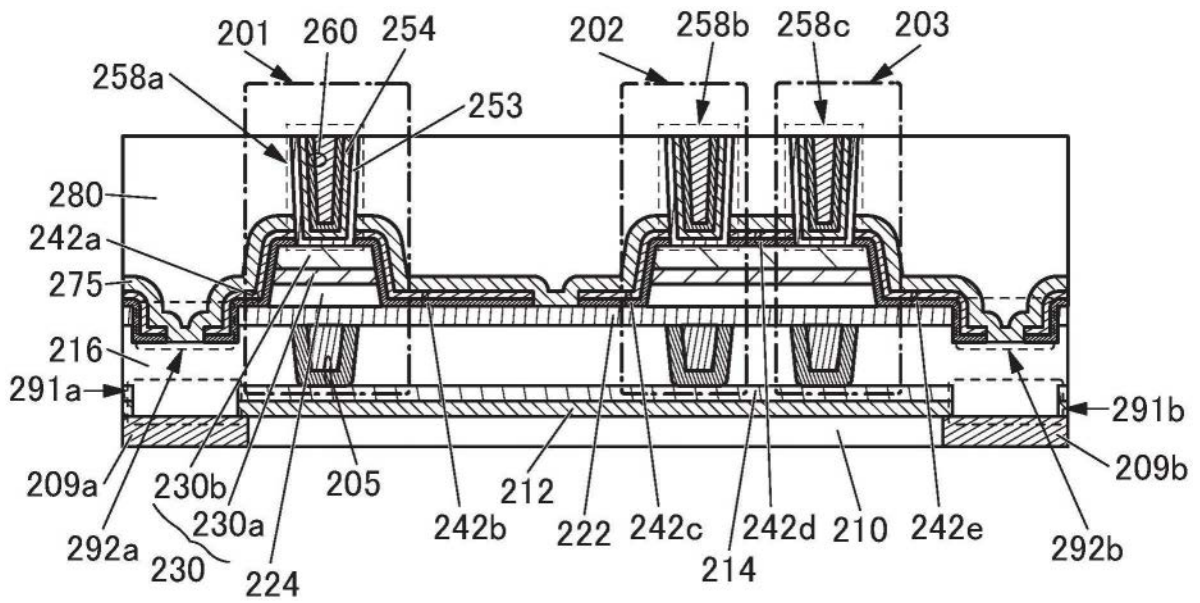


图13B

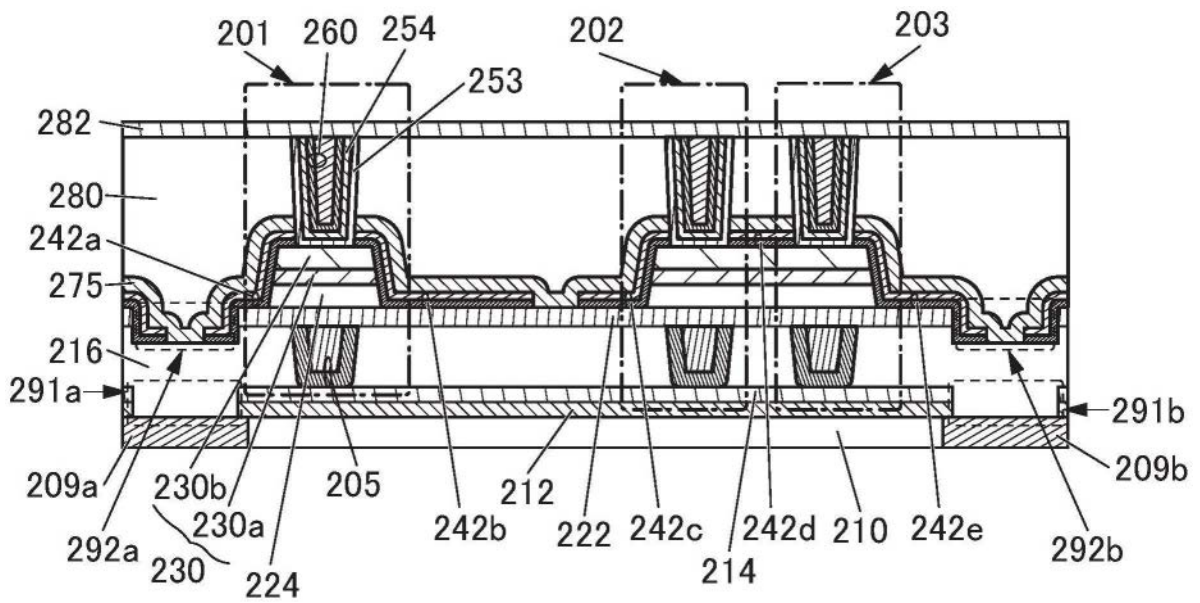


图13C

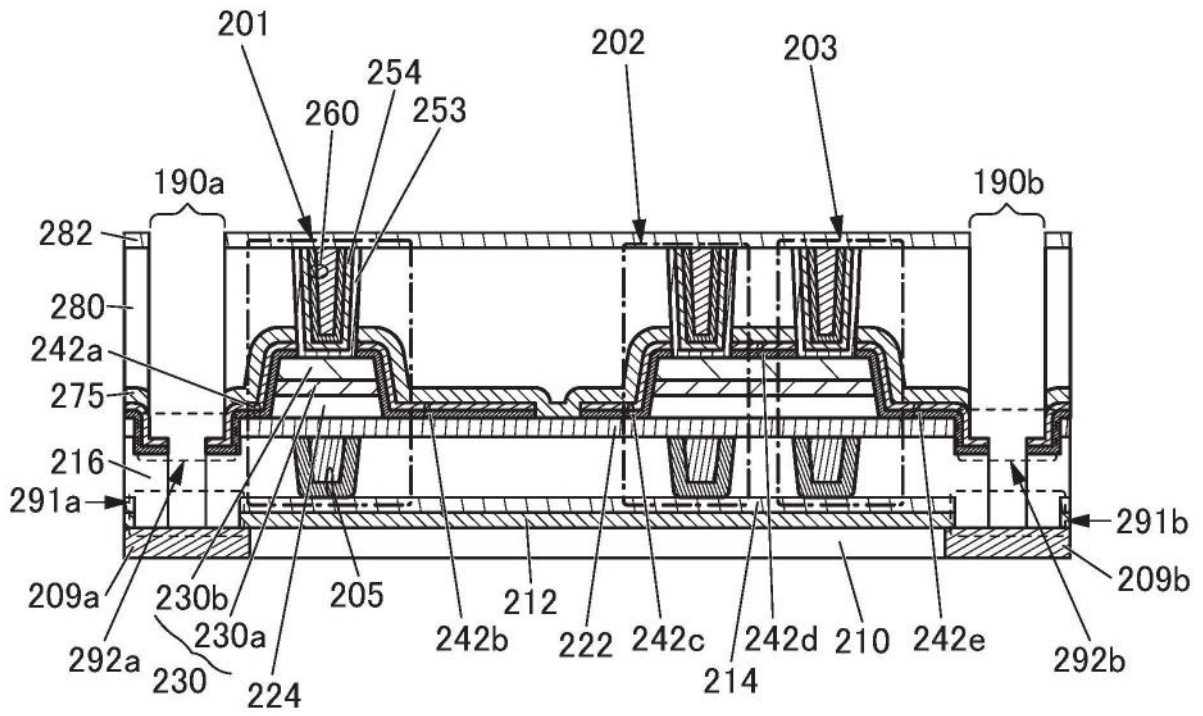


图14A

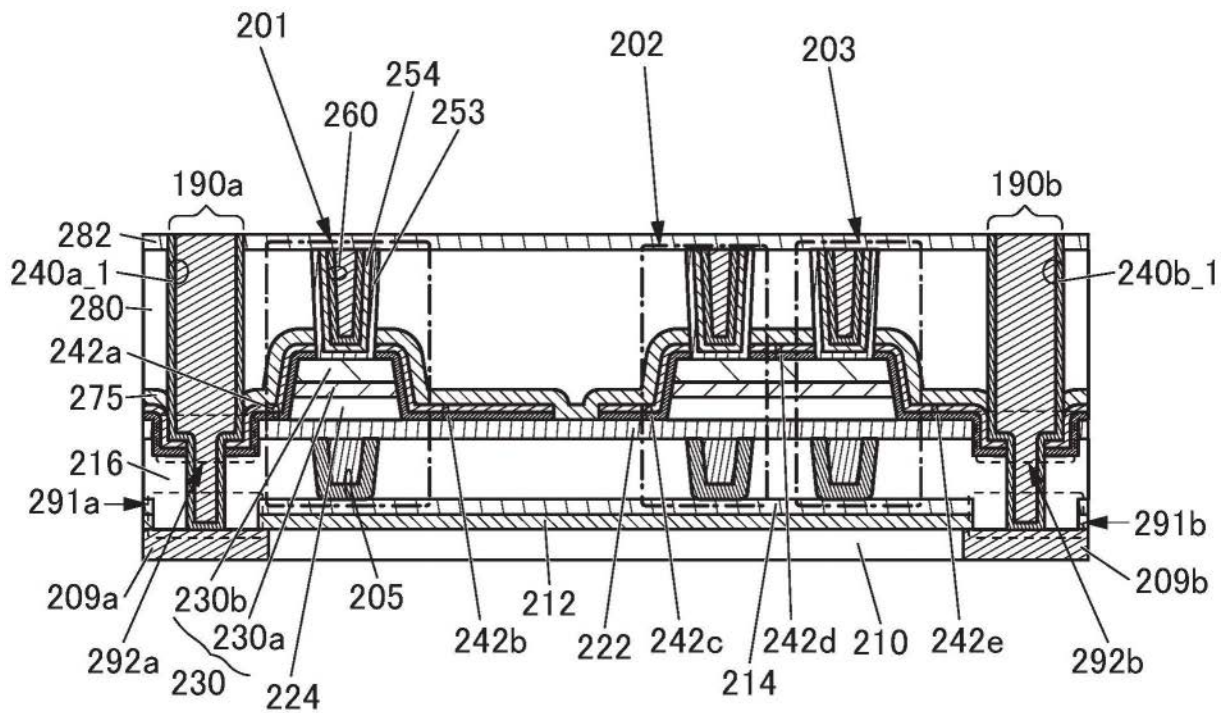


图14B

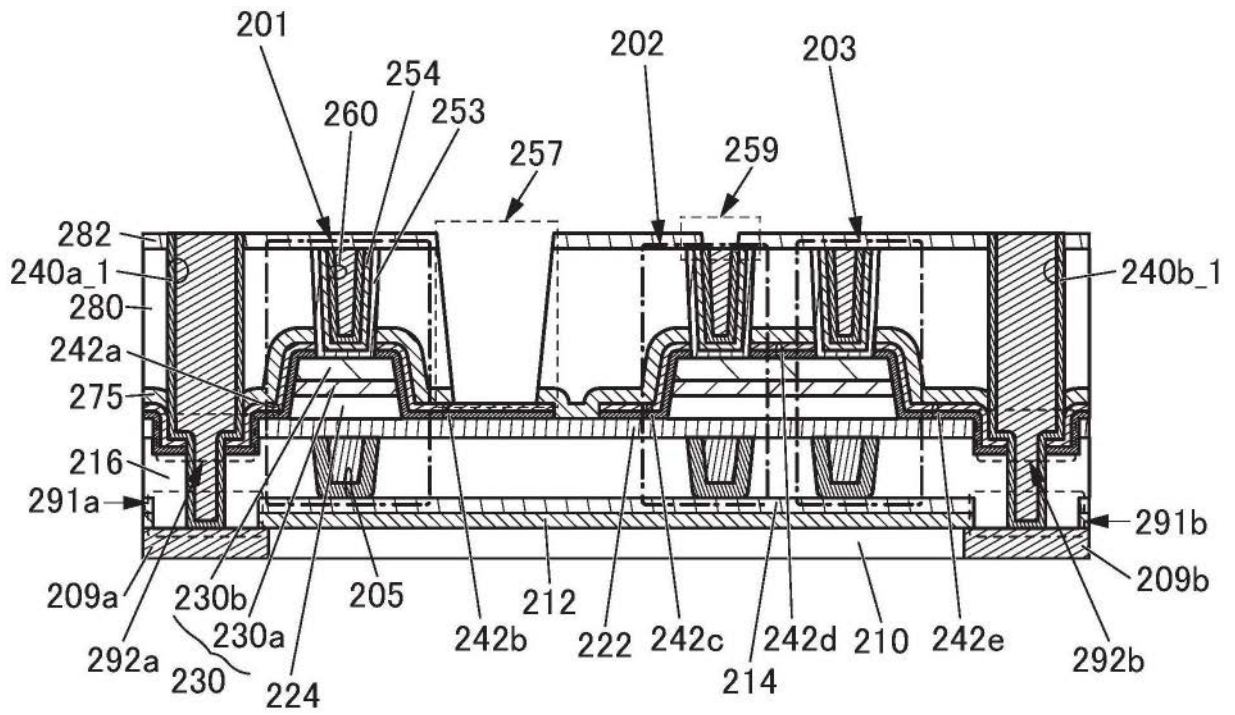


图15A

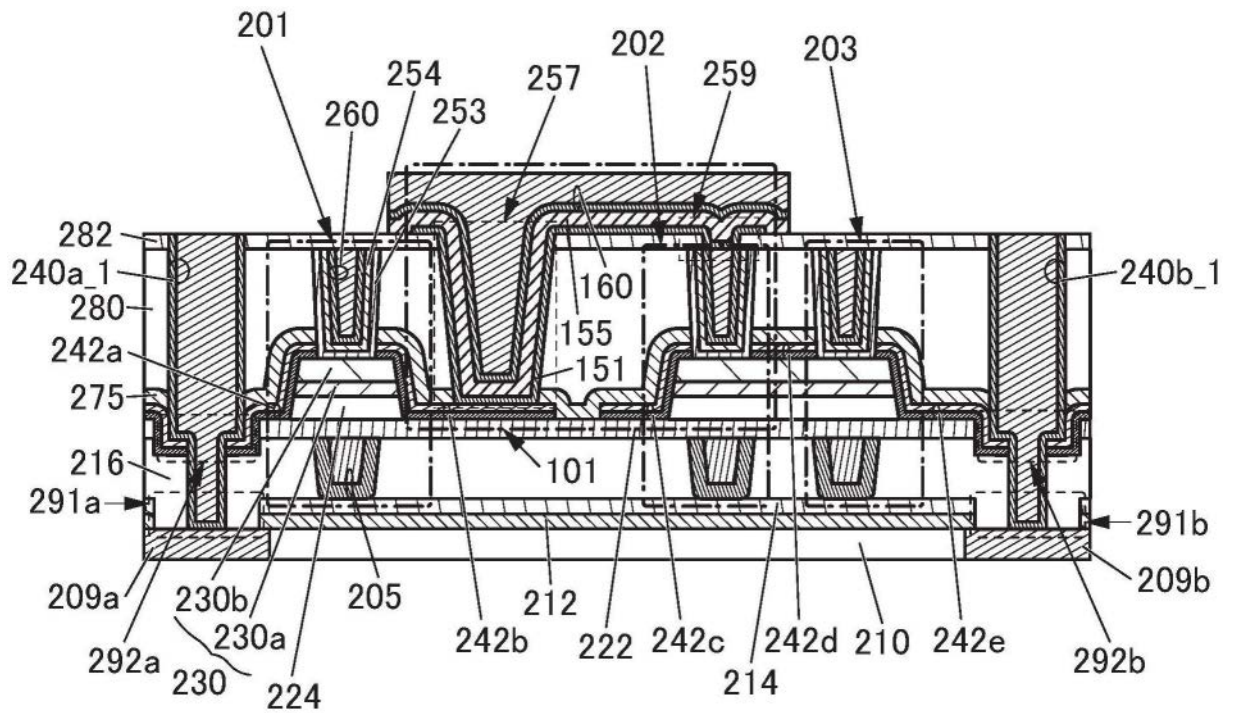


图15B

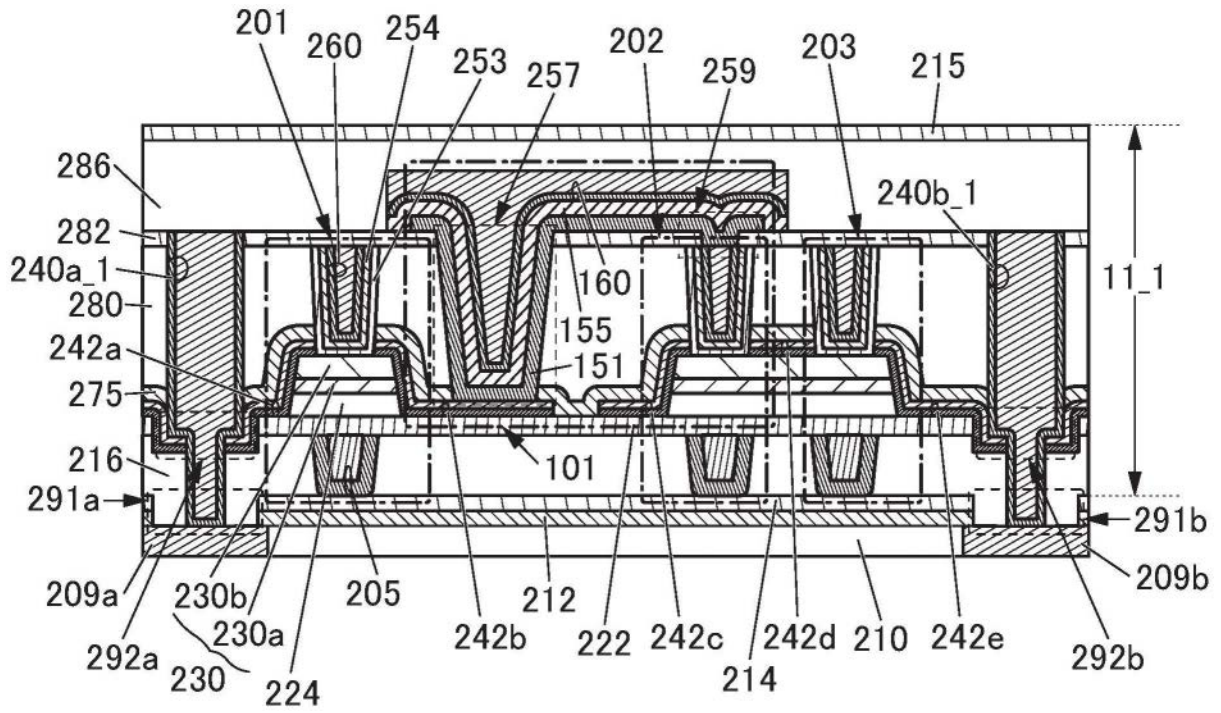


图16A

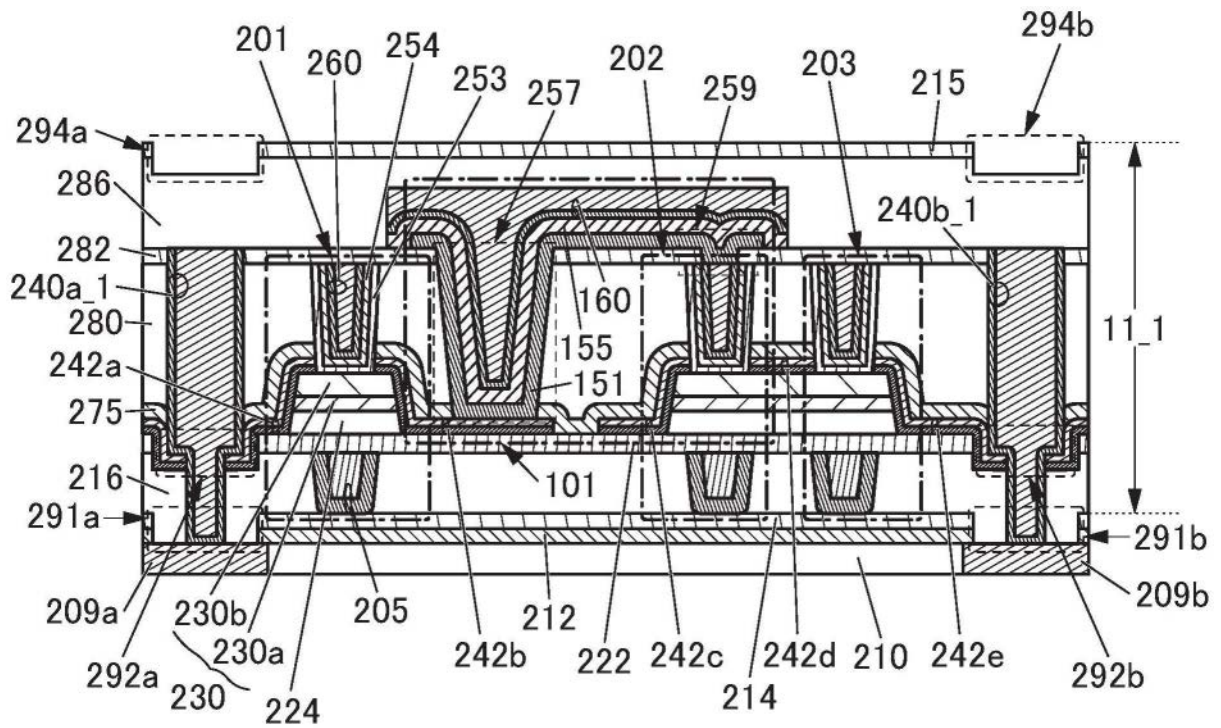


图16B

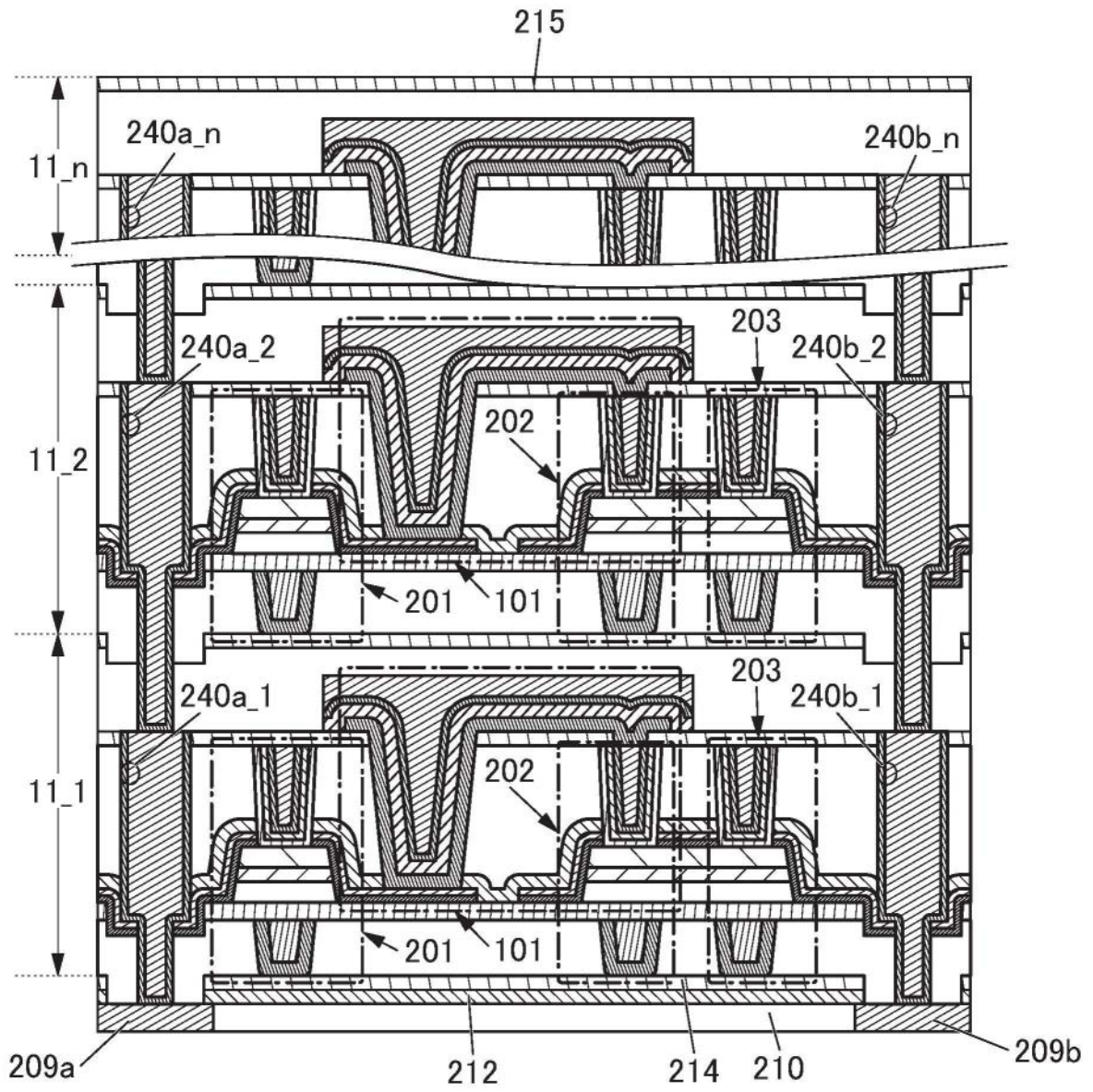


图17

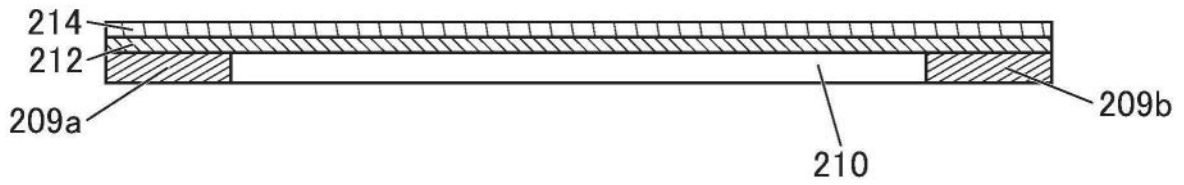


图18A

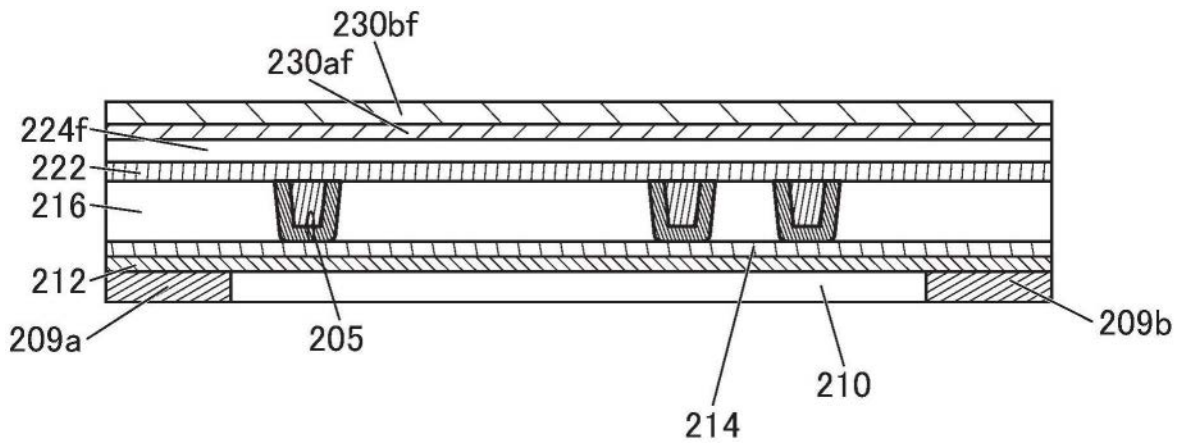


图18B

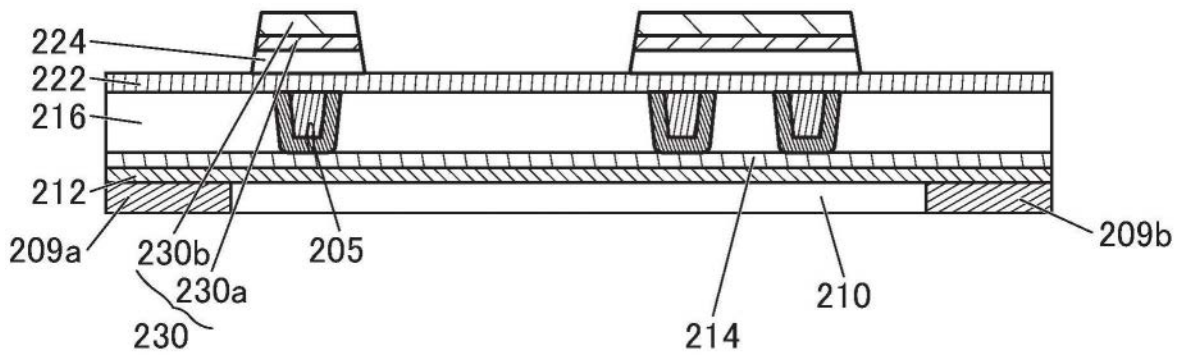


图18C

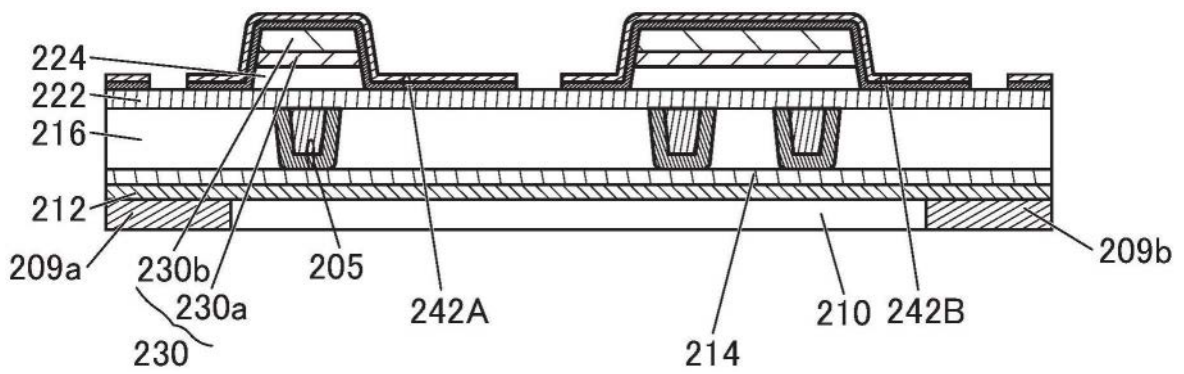


图18D

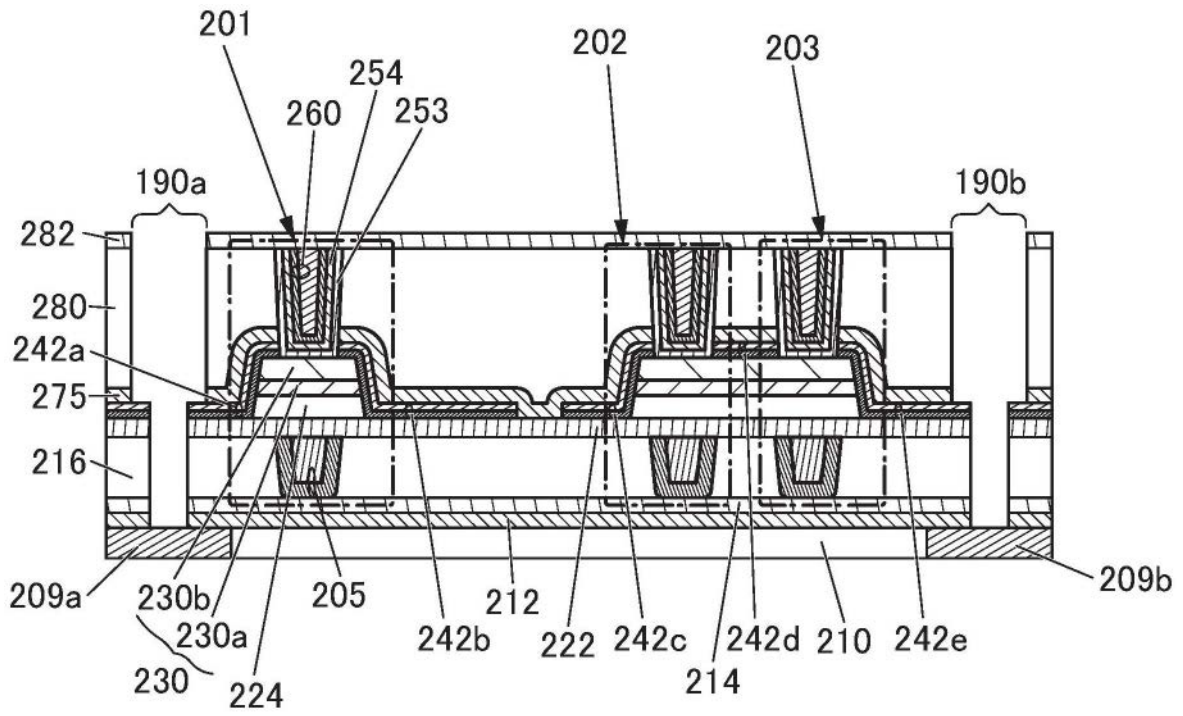


图19A

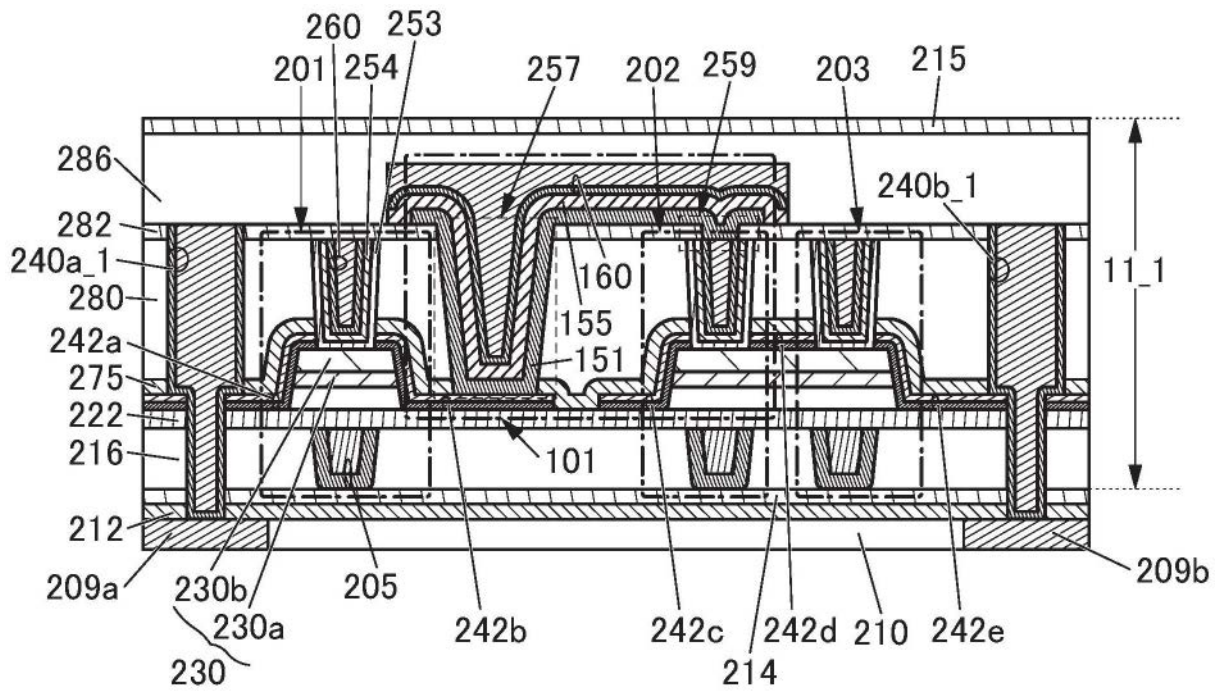


图19B

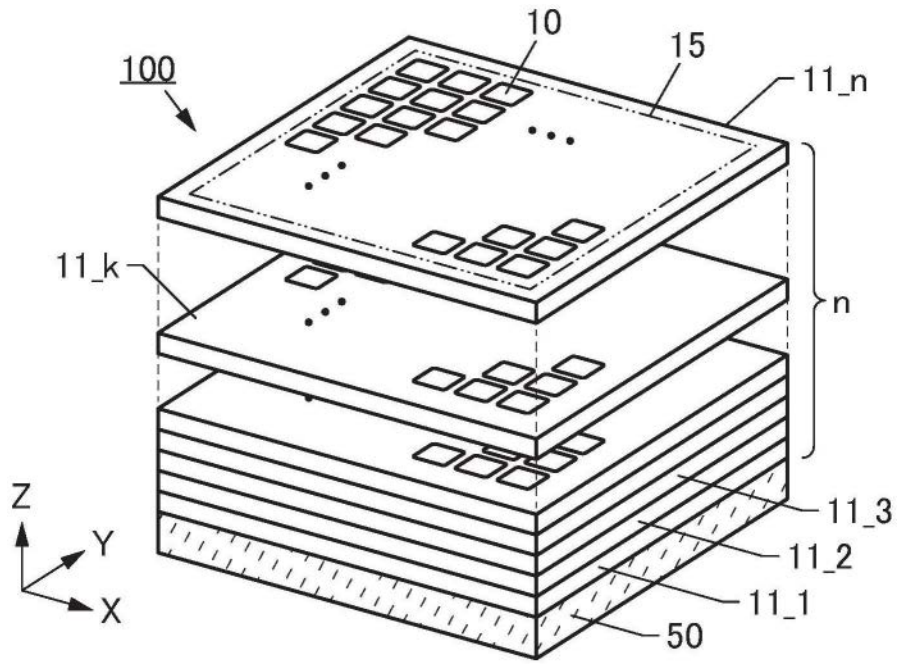


图20A

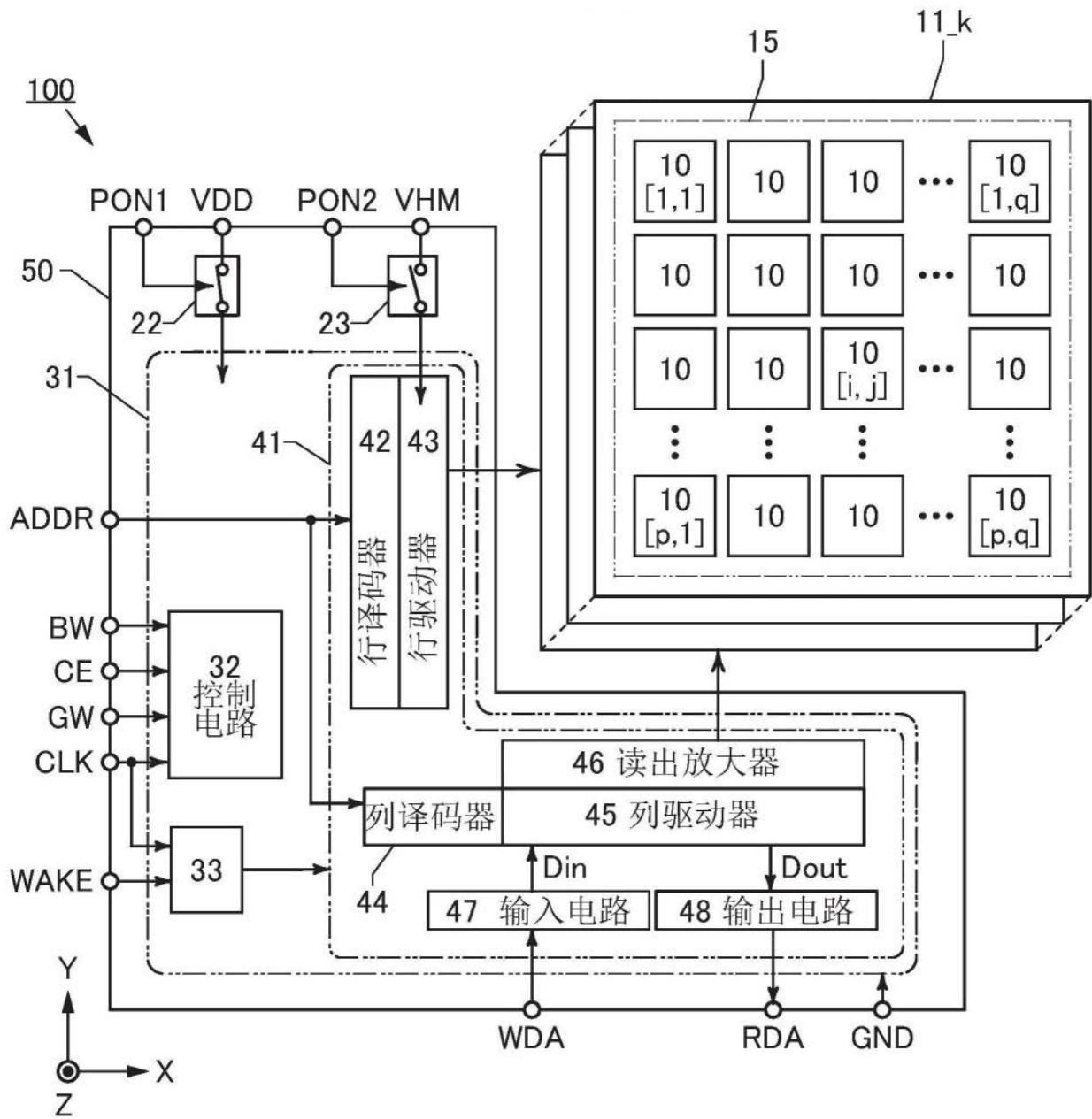


图20B

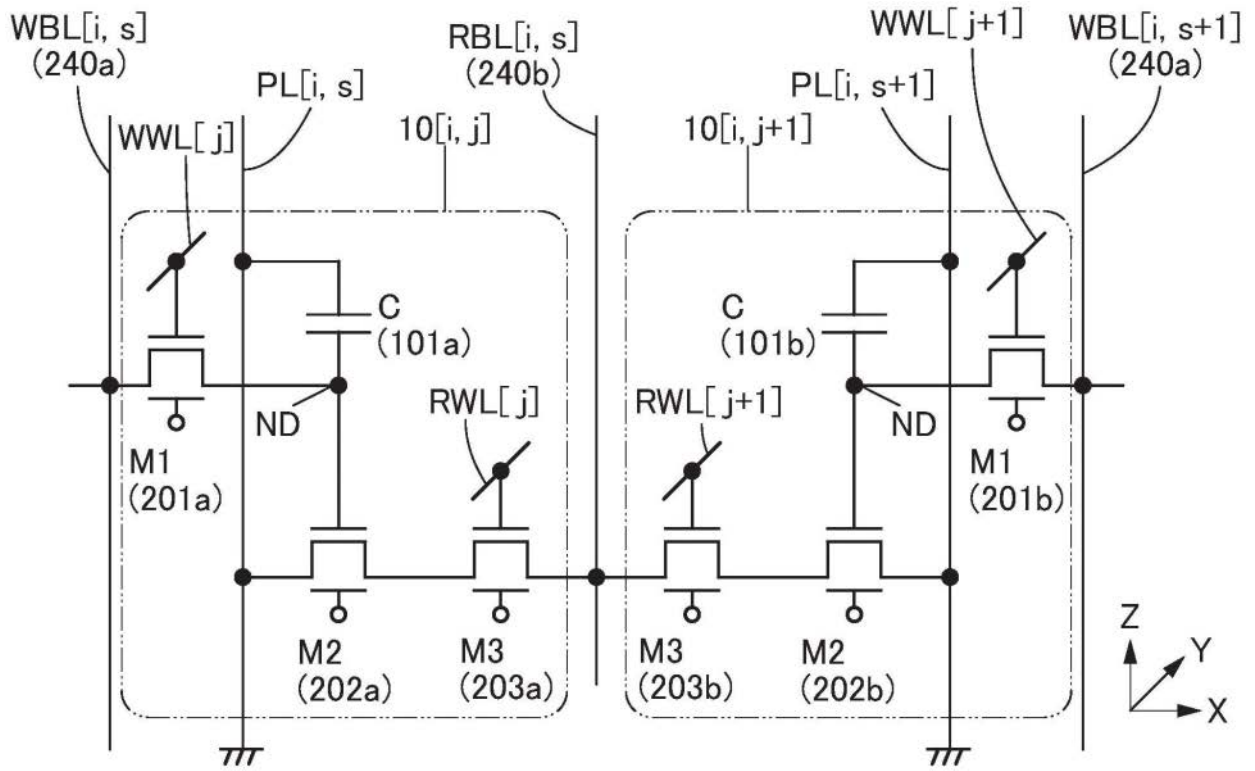


图21A

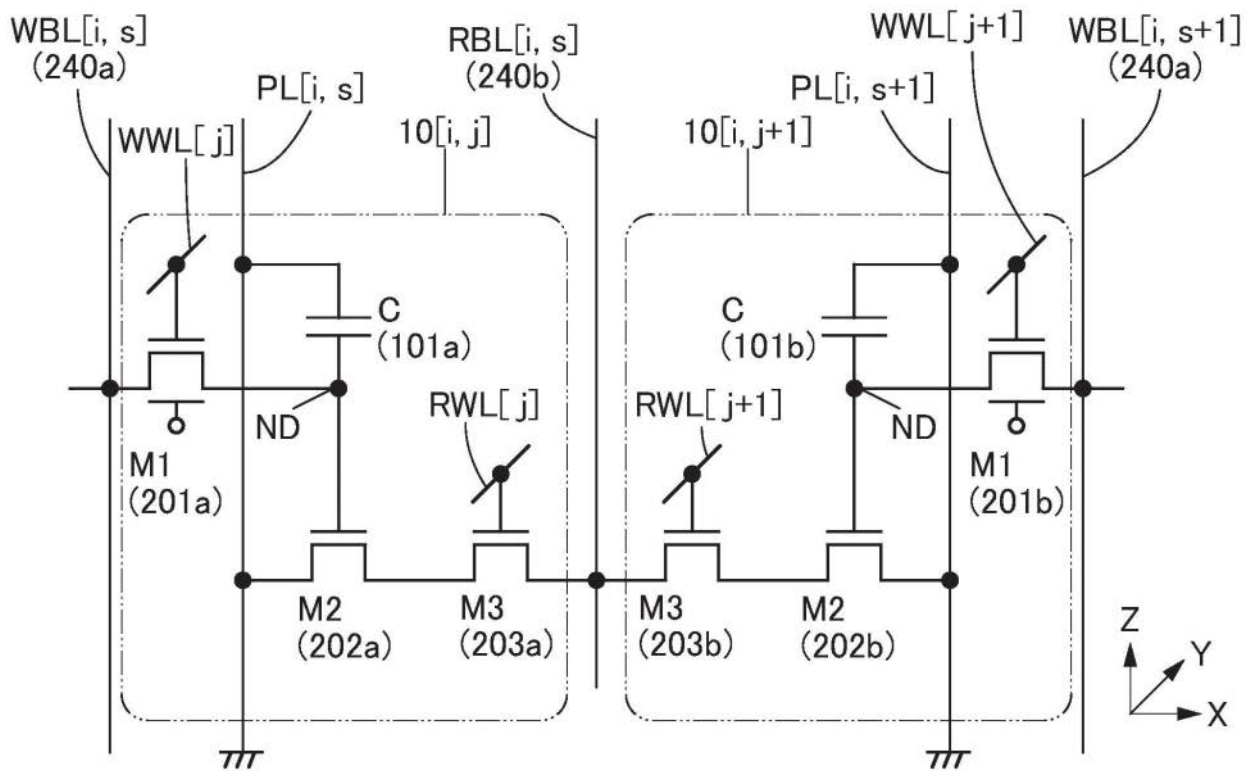


图21B

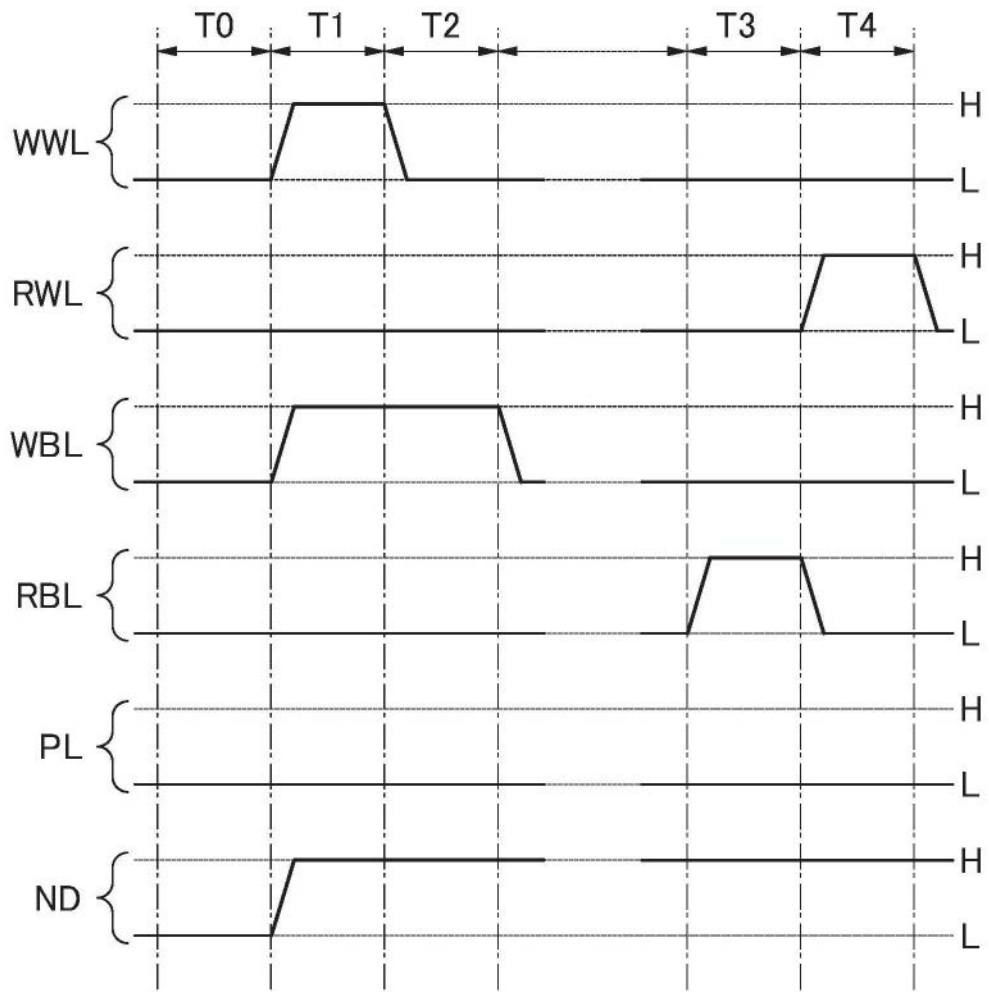


图22

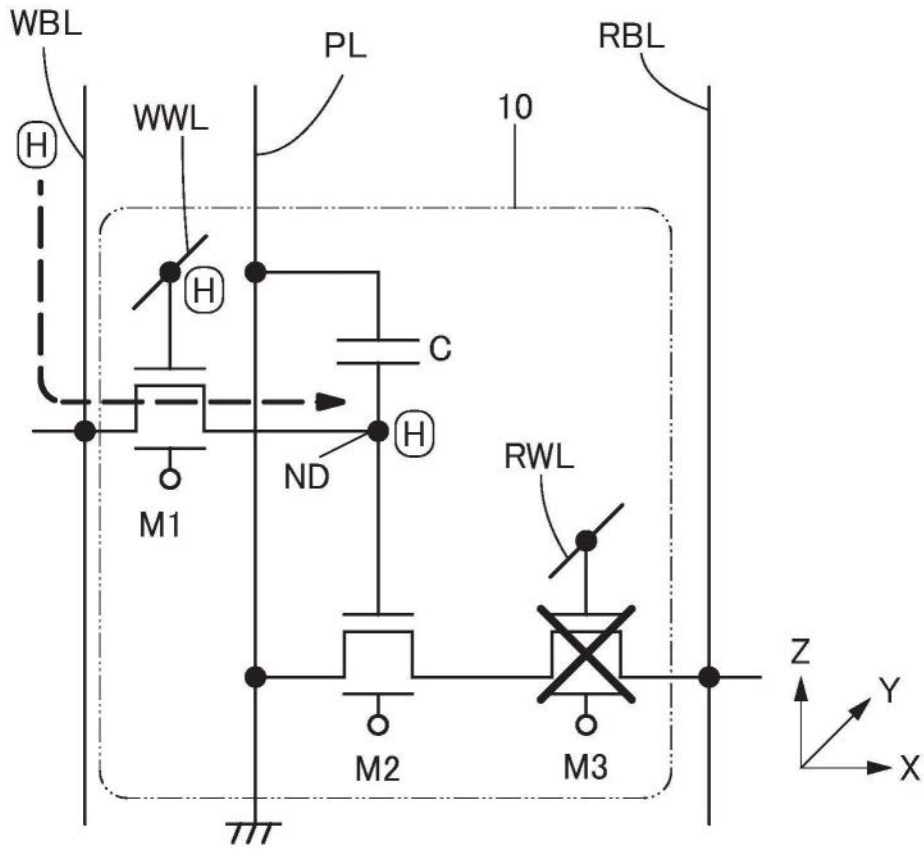


图23A

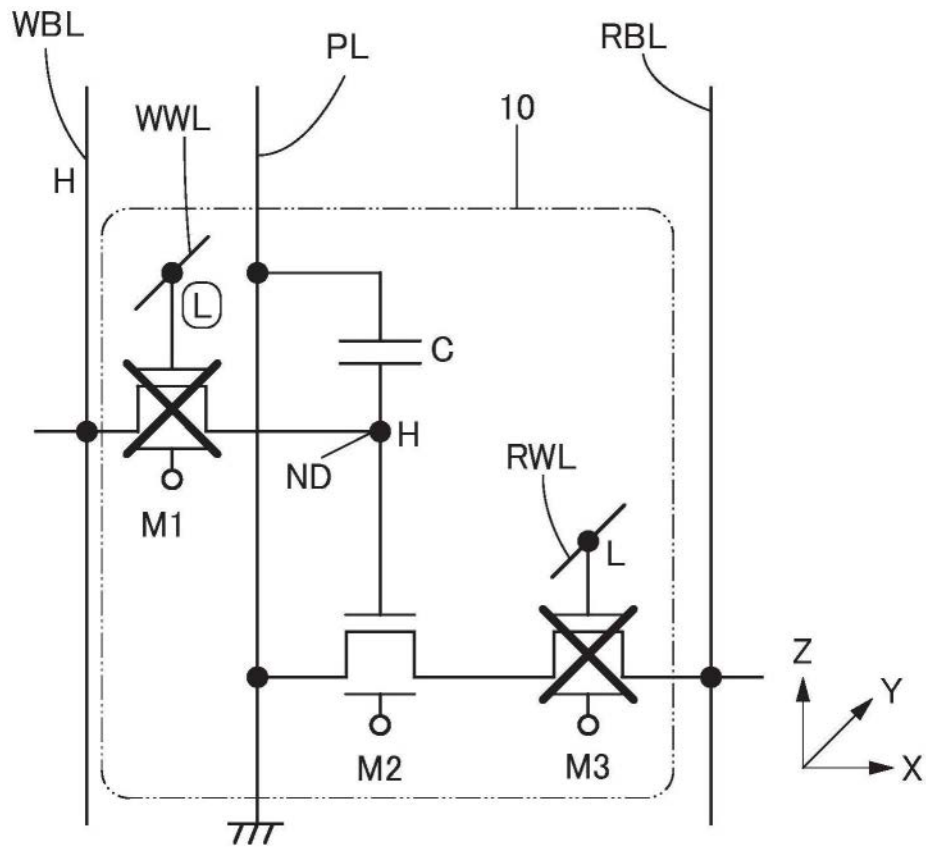


图23B

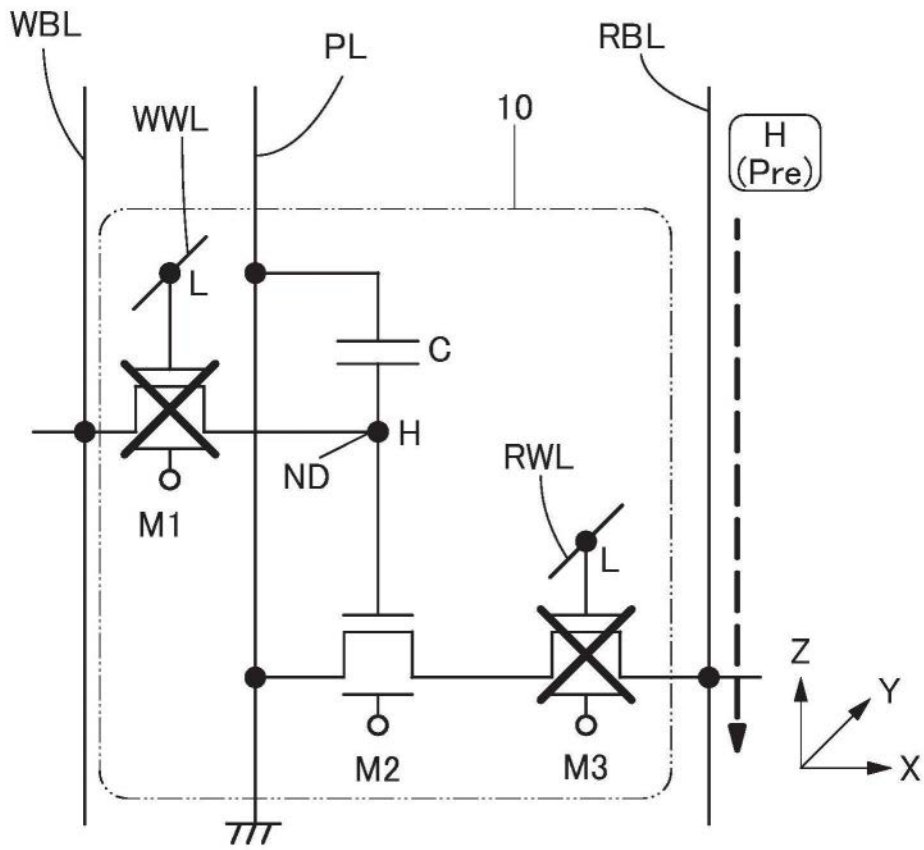


图24A

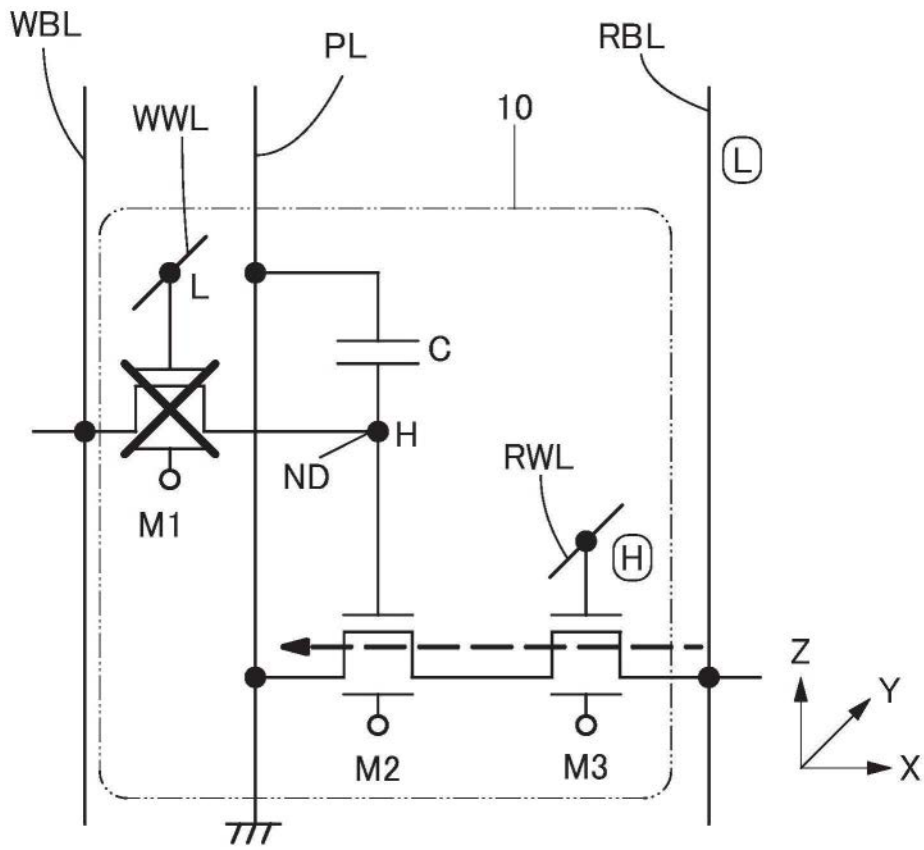


图24B

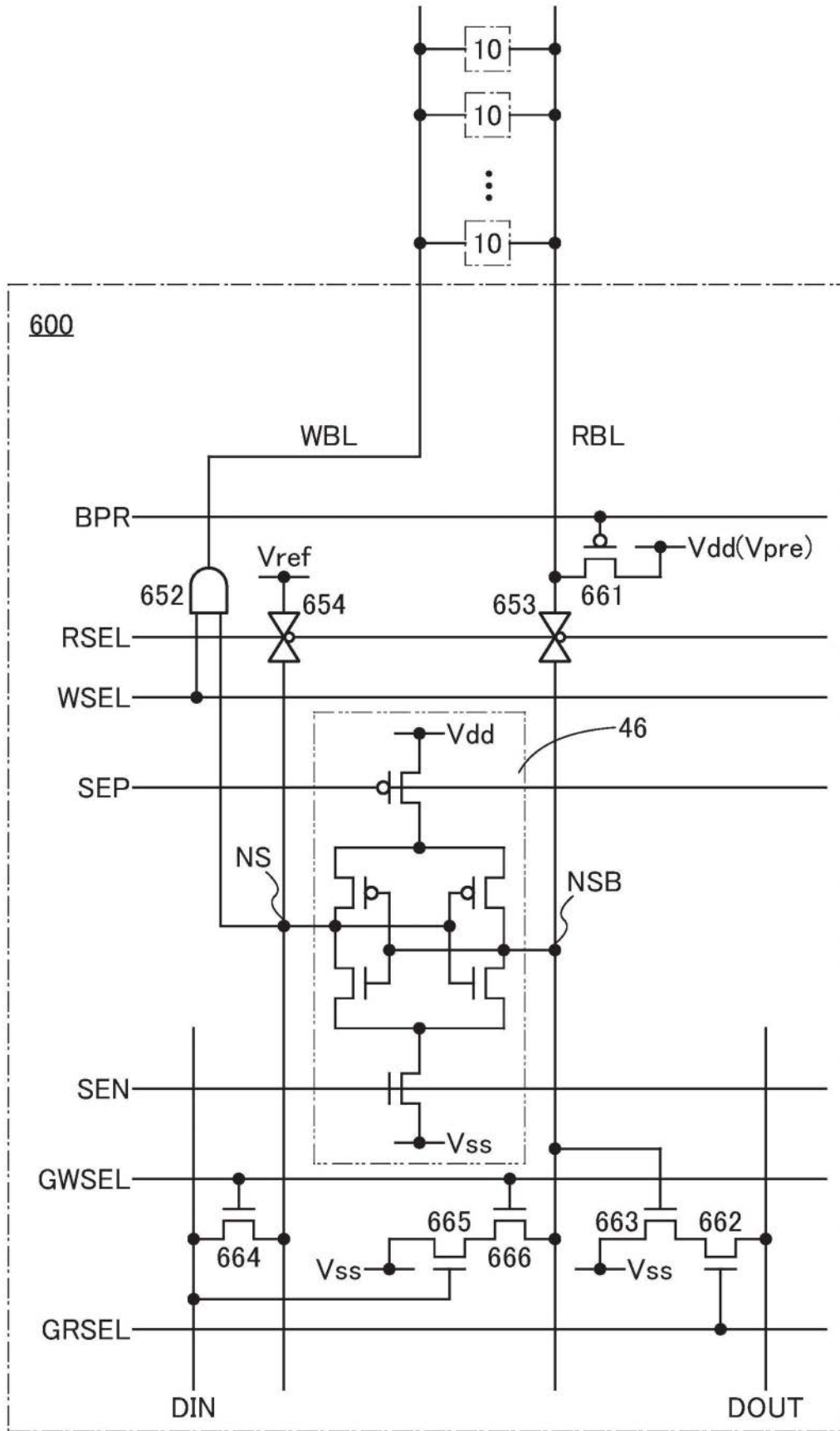


图25

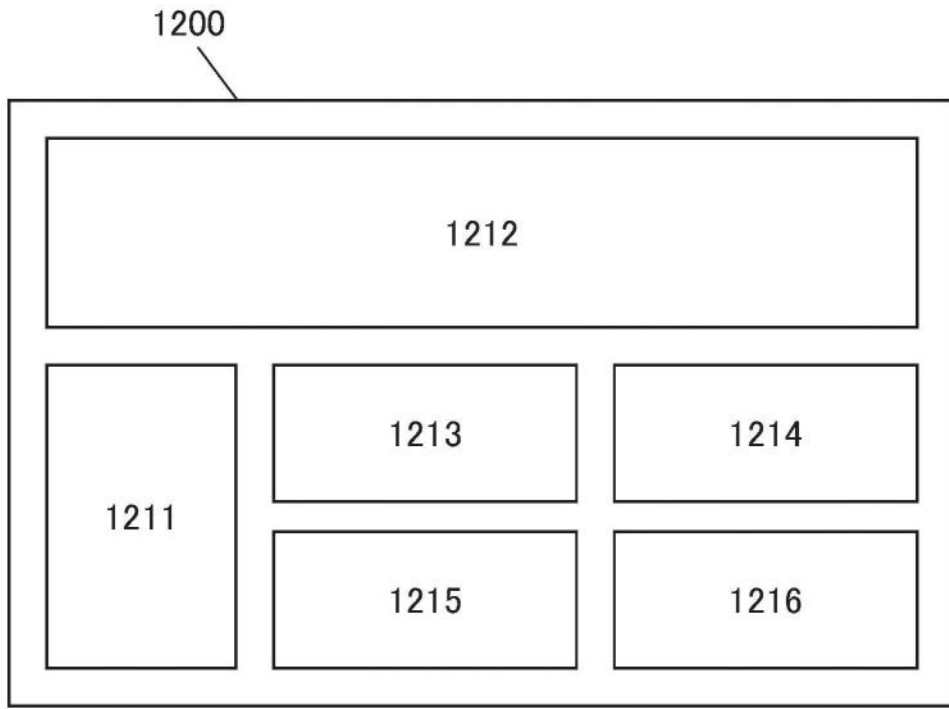


图26A

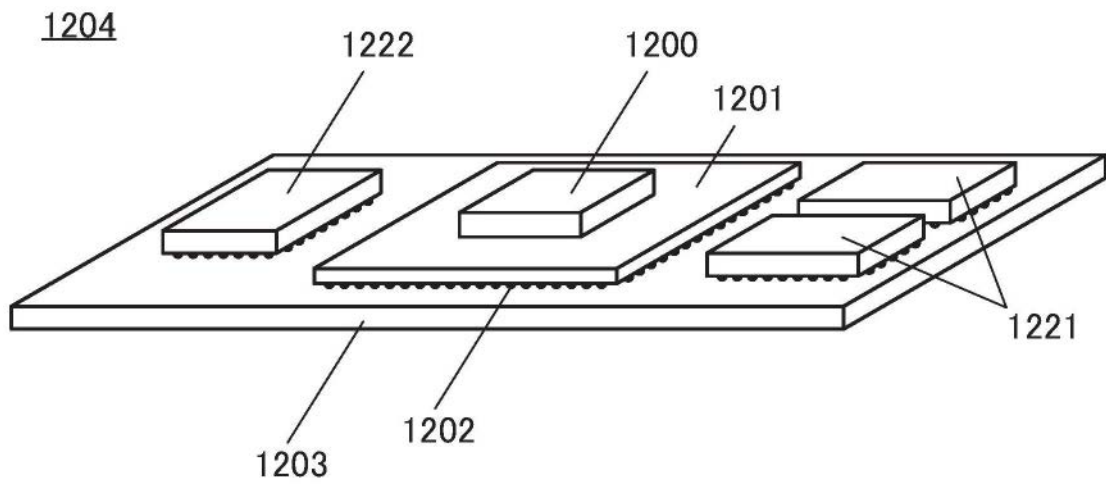


图26B

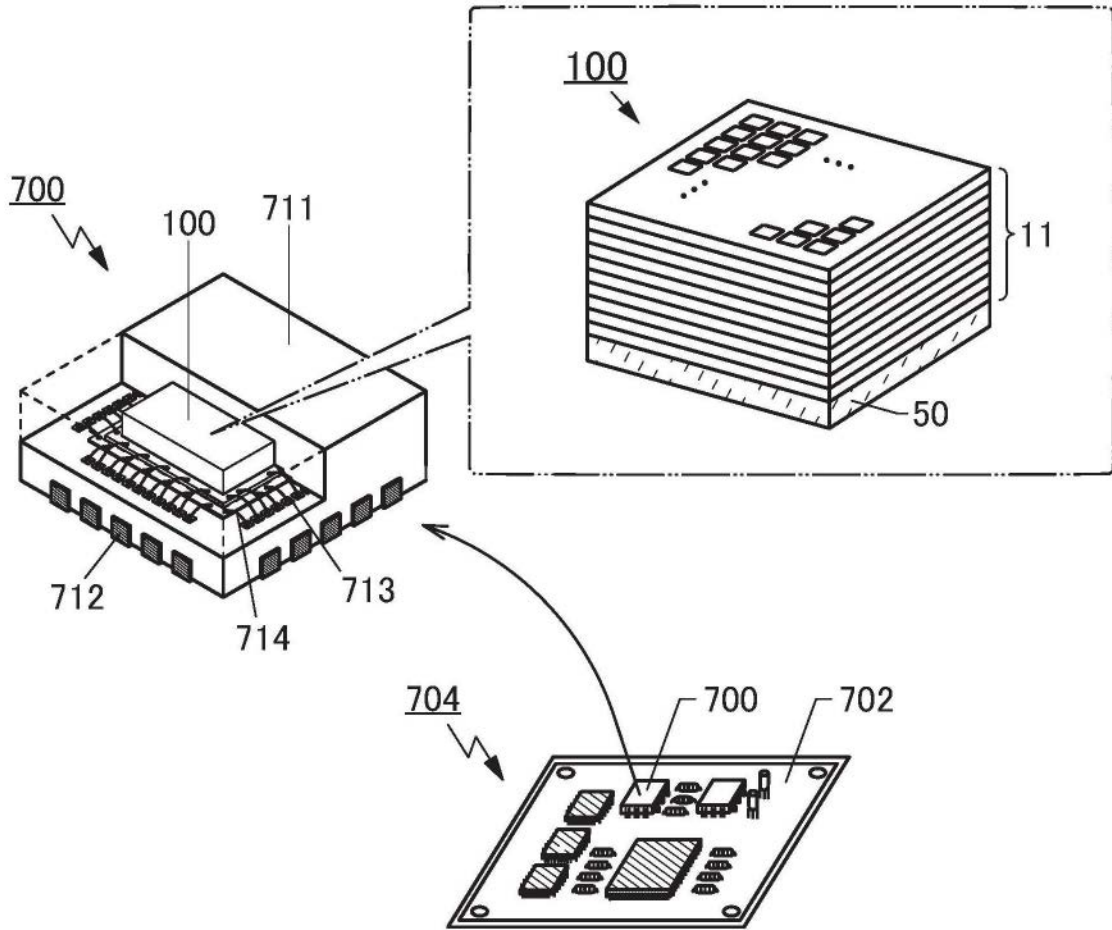


图27A

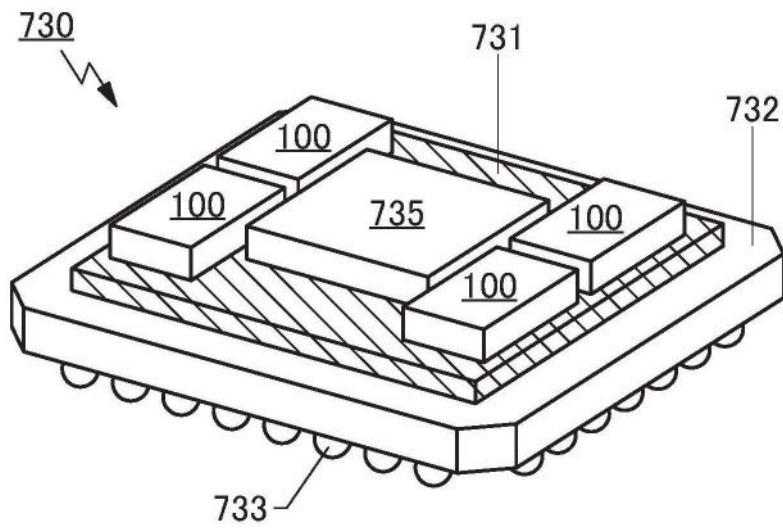


图27B

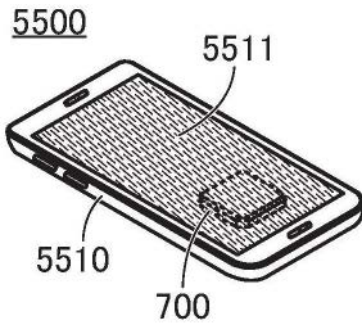


图28A

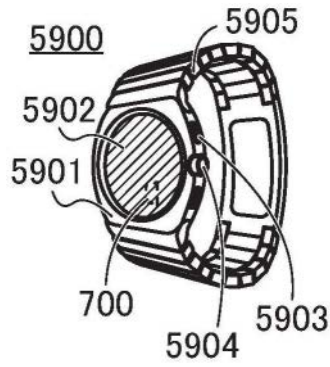


图28B

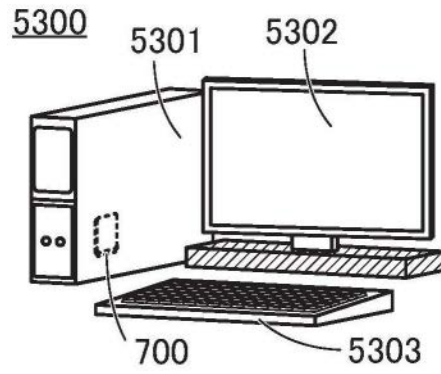


图28C

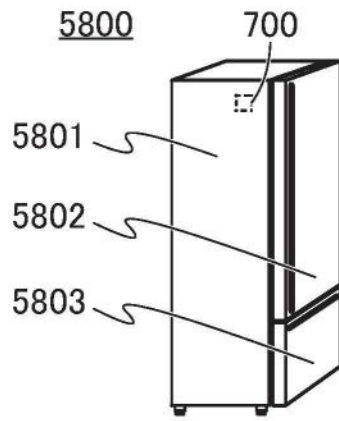


图28D

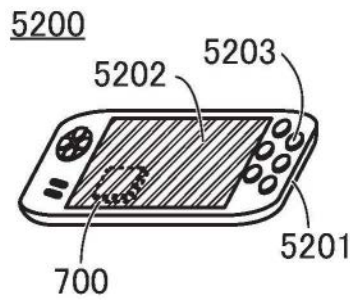


图28E

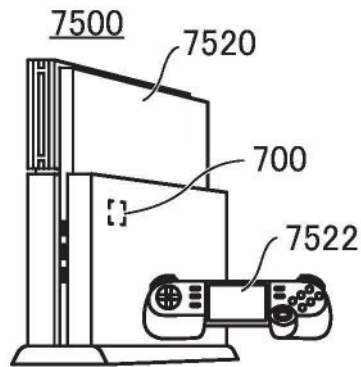


图28F

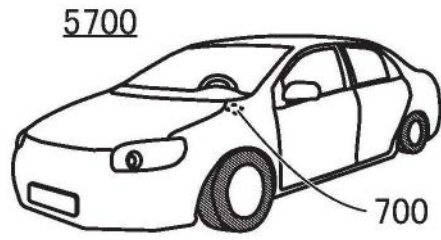


图28G

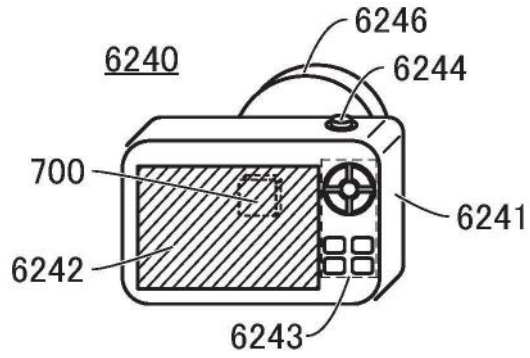


图28H

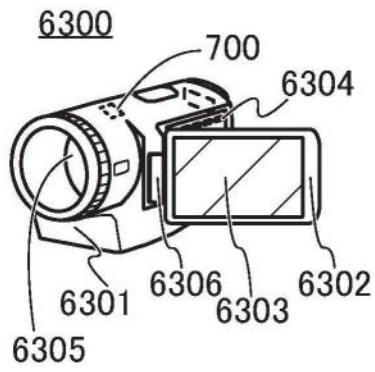


图28I

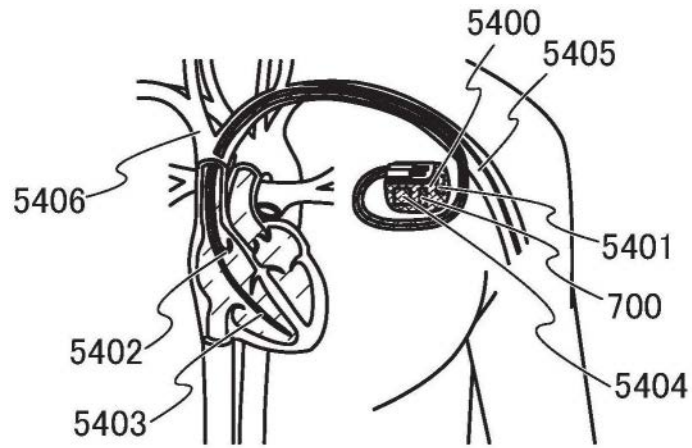


图28J

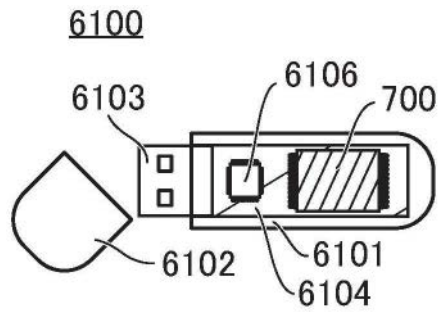


图29A

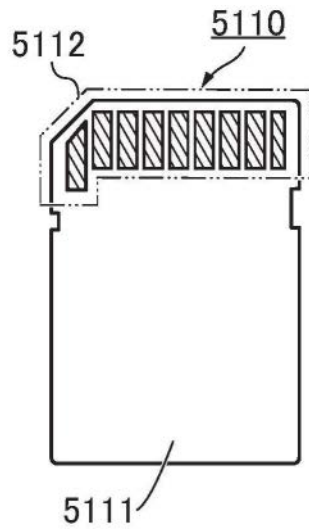


图29B

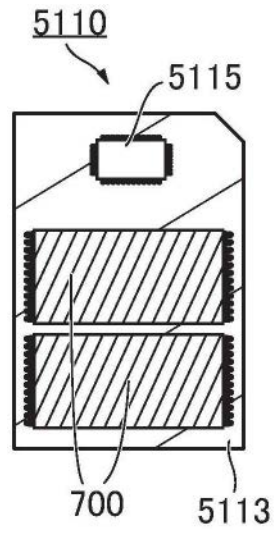


图29C

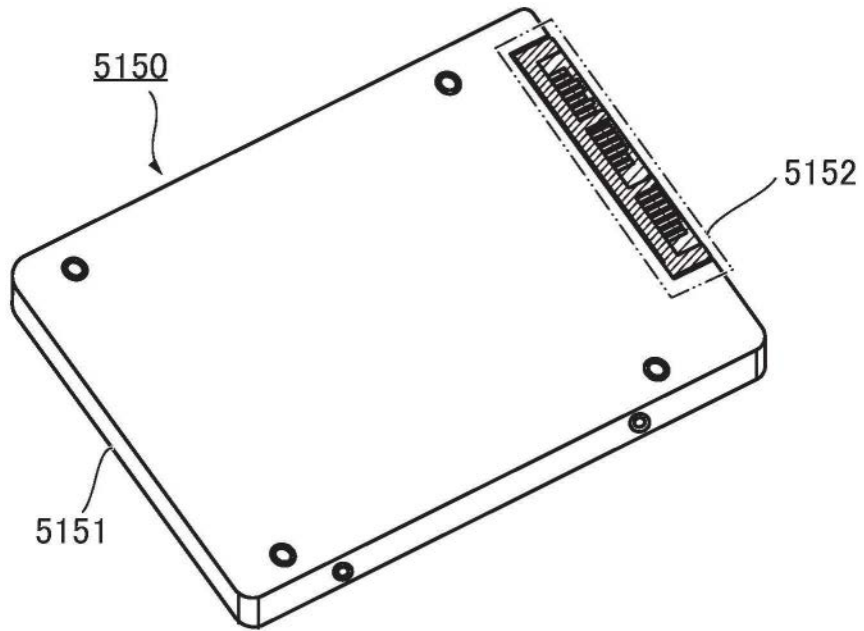


图29D

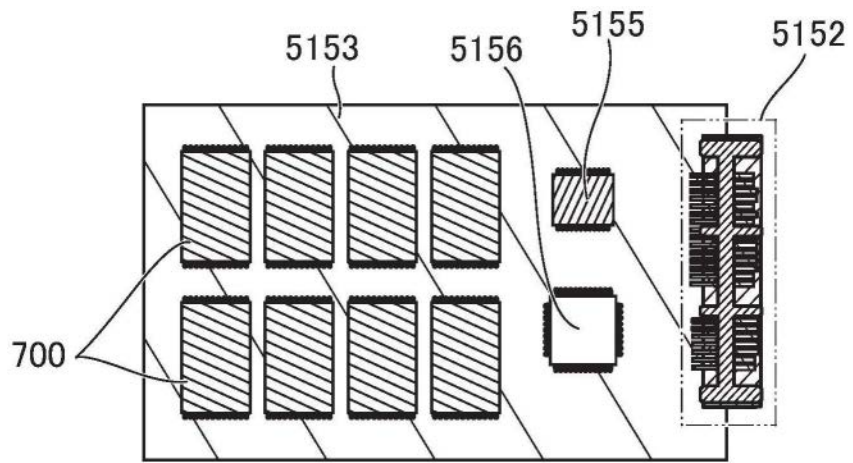


图29E

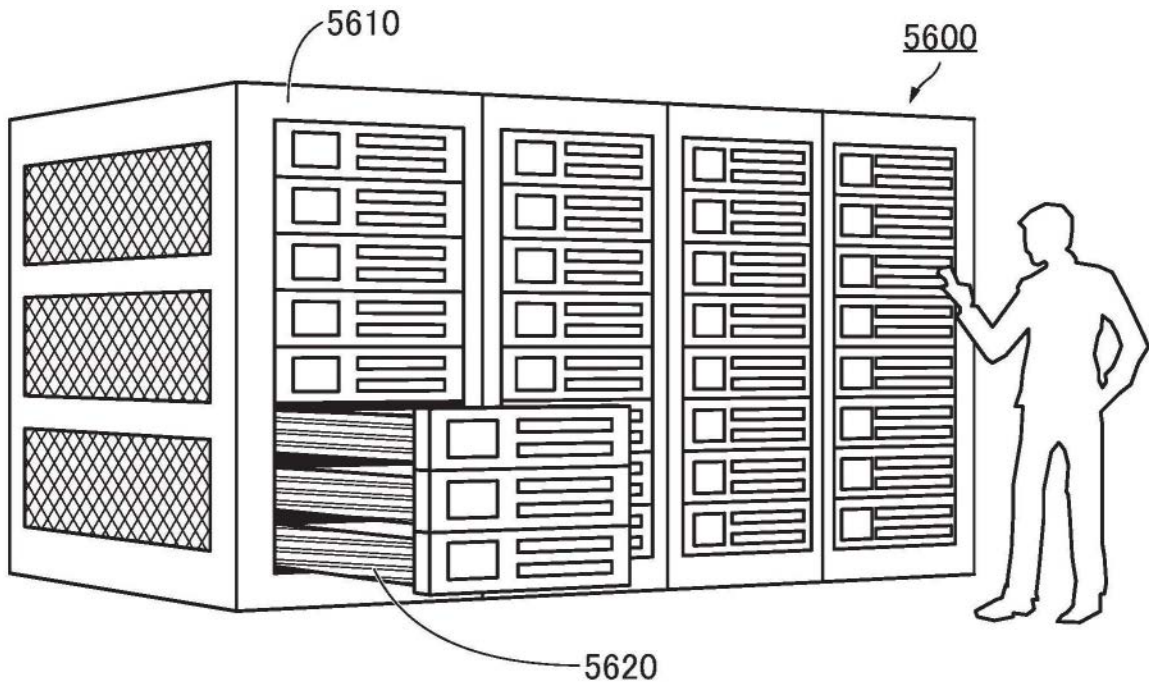


图30A

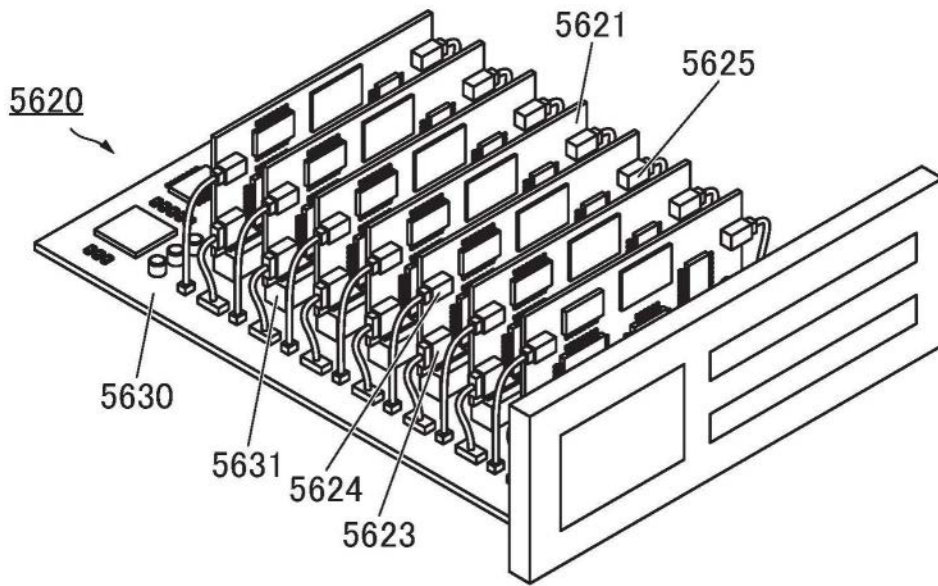


图30B

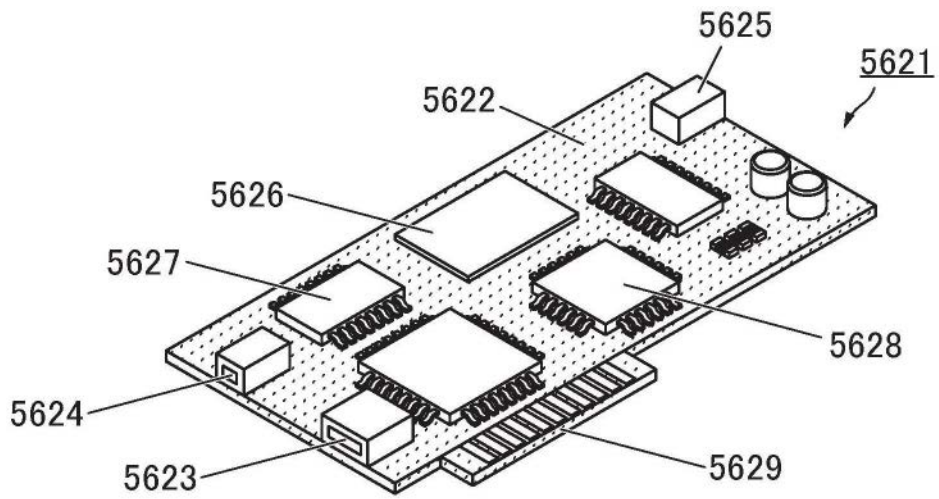


图30C

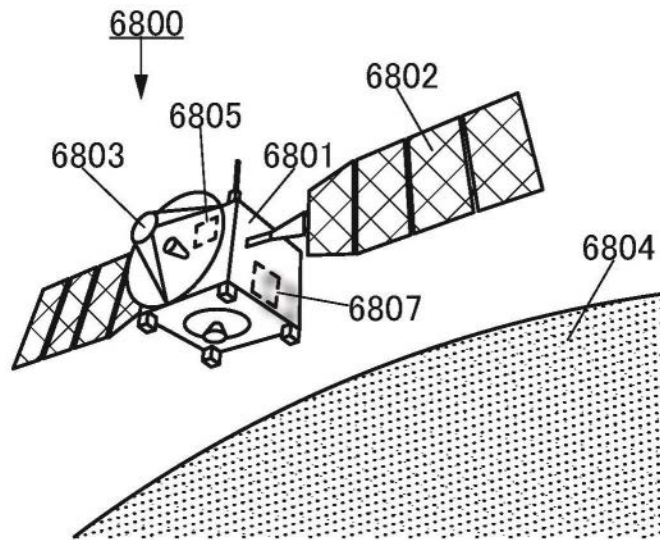


图31